

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97121924

※申請日期：97.7.23

※IPC 分類：B81B 7/00 (2006.01)

B81C 3/00 (2006.01)

H01L 23/02 (2006.01)

## 一、發明名稱：(中文/英文)

用於微電子與微機電元件的整合型立體堆疊封裝結構及其製造方法

A Packaging Structure and Method for Integration of Microelectronics and MEMS Devices by 3D Stacking

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

財團法人工業技術研究院

INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE

代表人：(中文/英文) 史欽泰

SHIH, CHIN-TAY

住居所或營業所地址：(中文/英文)

新竹縣竹東鎮中興路四段 195 號

國 籍：(中文/英文) 中華民國 ROC

## 三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 謝佑聖

HSIEH, YU-SHENG

2. 林靖淵

LIN, JING-YUAN

國 籍：(中文/英文) 1-2：中華民國/R.O.C.

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，  
其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係為一種立體堆疊封裝結構及其方法，尤其是有關於一種用於微電子與微機電元件的整合型立體堆疊封裝結構及其製造方法。

### 【先前技術】

由於行動通訊與個人化影音娛樂的電子裝置的興起，其功能也日益強大。例如過去需要攜帶照相機、隨身聽、PDA、GPS、行動電話等設備，才能同時擁有攝影、影音娛樂、個人資訊管理、導航與通訊的功能，現在幾乎都可以在智慧型手機上同時實現，因此未來個人的隨身電子設備必然是輕、薄、短、小且功能強大。而近幾年來微機電（MEMS）元件也有長足的發展，如微型麥克風與加速度規也已應用在手機上，未來像是 RF MEMS 的元件與微型陀螺儀等各式各樣的 MEMS 元件也將會整合進入手機之中，為手機提供更強大的功能。為了達成上述目的，如何將手機上的各種專用積體電路單元（ASIC）與微機電單元（MEMS）做更有效、更便宜、更薄、更小的元件封裝技術扮演了非常重要的角色。

傳統 MEMS 元件是不具「智慧」的，意思是傳統的 MEMS 元件上僅有感測的結構，但是沒有放大、讀取與邏輯運算的電路，因此若要實現 MEMS 元件的智慧型感測功能，則必須與搭配的 ASIC 整合在一起。

另外，MEMS 元件因為其上具有敏感脆弱的微動結

構，例如感測薄膜(如氣體感測器或生化感測器等)或是可動的立體結構(如微型麥克風、微型加速度規、壓力感測器、微型陀螺儀等)，都需要適當的封裝才能將這些敏感脆弱的微動結構保護起來。

過去將獨立的 MEMS 元件與 ASIC 的整合方式，通常是混合 (hybrid) 方式，整合在一個封裝之內，例如美國專利第 US6809412 號與美國專利第 US6781231 號。另外的封裝方式係為先製作一個具有凹陷的上蓋結構然後覆蓋在 MEMS 元件上，上蓋的凹陷空間與 MEMS 元件可構成一個保護 MEMS 元件上之微動結構的腔室 (例如美國專利第 US6452238 號)

請參見圖一，其係為習知專用積體電路單元 (ASIC) 與微機電單元 (MEMS) 之堆疊結構剖面圖。該堆疊結構包含一專用積體電路單元 10、一上蓋 11 與一微機電單元 12，該專用積體電路單元 10 係堆疊於上蓋 11 之上，該上蓋 11 再堆疊於微機電單元 12 之上；該專用積體電路單元 10 包括一基板 100 及設在該基板 100 上之電路佈局 102；該上蓋 11 開設有一腔室 114；該微機電單元 12 則包括一基板 120 以及設於該基板 120 一面上之微型感應體 122；當堆疊時，微型感應體 122 係可容置於腔室 114 之中。為進行電性導通，該專用積體電路單元 10 設有若干貫孔 106 且該等貫孔 106 中充填有導電材料 108，該上蓋 11 亦開設有相對應之貫孔 110 且該等貫孔 110 中充填有導電材料 112，因此該專用積體電路單元 10 可藉由充填有導電材料 108 之貫孔 106 以及充填有導電材料 112 之貫孔 110 與微機電單

元 12 達成電性連接之目的。

然而，上述封裝方式之上蓋僅提供保護功能，因此仍需要在 MEMS 元件上多留一些空間以作為 MEMS 元件與外部的 ASIC 元件或是其他電路連接之用，因此不可避免的是 MEMS 元件將無法縮的更小；此外此種 MEMS 封裝方式也需以混合的形式與 ASIC 電路整合在一起，會產生增加耗能與訊號雜訊的問題，且因為此種形式大多為 2D 的封裝方式，因此封裝的體積不易縮小。

另外，英特爾（Intel）公司所提出之美國專利第 US7061099 號係藉由於上蓋上製作出凹陷結構與穿越上蓋的電性號通道，如此上蓋可同時提供保護 MEMS 元件與作為互連的功能，如此具有縮小整體封裝體積的功能，然而該專利中並無描述如何將 MEMS 元件與主動 ASIC 元件進行電性連接及封裝堆疊之方法。

緣此，本案之發明人係研究出一種用於微電子與微機電元件的整合型立體堆疊封裝結構及其製造方法，其係可克服習知技術之缺陷。

### 【發明內容】

本發明之主要目的係為提供一種用於微電子與微機電元件的整合型立體堆疊封裝結構及其製造方法，其係於專用積體電路單元之基板背面開設凹穴，以達成與微機電單元堆疊時可容置微機電單元上之微型感應體、防止其損壞之目的。

為達上述目的，本發明係提供一種用於微電子與微機

電元件的整合型立體堆疊封裝結構，包含：一專用積體電路單元，係包括一第一基板以及設在該第一基板一面上之電路佈局，其中該第一基板未設有電路佈局之一面係開設有凹穴，該主動專用積體電路單元係設有至少一貫孔；以及一微機電單元，係包括一第二基板以及設於該第二基板一面上之微型感應體；其中，當該專用積體電路單元與該微機電單元進行貼合時，該微型感應體係容置於凹穴中，且該貫孔中充填有導電材料，使得該專用積體電路單元與該微機電單元可達成電性連接者。

為達上述目的，本發明係提供一種用於微電子與微機電元件的整合型立體堆疊封裝結構之製造方法，包括步驟：

(a)提供一主動專用積體電路單元與一微機電單元；該主動專用積體電路單元包括一第一基板以及設在該第一基板一面上之電路佈局，該微機電單元包括一第二基板以及設於該第二基板一面上之微型感應體；

(b)將該第一基板未設有電路佈局之一面進行薄化；

(c)將該第一基板未設有電路佈局之一面上開設可容置該微型感應體之凹穴；

(d)於該凹穴中設置一導電部，該導電部係與微機電單元電性連接；

(e)將該主動專用積體電路單元與微機電單元進行堆疊，使得微型感應體容置於凹穴中；

(f)於該主動專用積體電路單元上開設至少一

貫孔且使該貫孔分別連接電路佈局與導電部；以及  
(g)於貫孔中填入導電材料，使得電路佈局與  
導電部電性連接。

為使 貴審查委員對於本發明之結構目的和功效有更  
進一步之了解與認同，茲配合圖示詳細說明如後。

### 【實施方式】

請參見圖二，該圖係為本發明用於微電子與微機電元  
件的整合型立體堆疊封裝結構之剖面圖。

於圖二中，整合型立體堆疊結構包含一專用積體電路  
單元 20 與一微機電單元 22，該專用積體電路單元 20 係堆  
疊於微機電單元 22 之上；該專用積體電路單元 20 包括一  
基板 200 及設在該基板 200 一面上之電路佈局 202；為進  
行電性導通，該專用積體電路單元 20 設有若干貫孔 206 且  
該等貫孔 206 中充填有導電材料 208，該導電材料 208 係  
可使用金屬材料，例如銅。微機電單元 22 則包括一基板  
220 以及設於該基板 220 一面上之微型感應體 222。

與習知技術不同的是，該基板 200 係於未設有電路佈  
局 202 之一面上開設一凹穴 204，因此當專用積體電路單  
元 20 與微機電單元 22 進行堆疊貼合時微型感應體 222 可  
容置於凹穴 204 中；且利用充填於貫孔 206 中之導電材料  
208，可將基板 200 之電性連接部 200a 與基板 220 之電性  
連接部 220a 進行電性連接；同樣地，利用充填於貫孔 206  
中之導電材料 208 與佈設於凹穴 204 中之導電部 207，更  
可將基板 200 之電性連接部 200b 與基板 220 之電性連接部

220b 進行電性連接，因此專用積體電路單元 20 之電路佈局 202 即與微機電單元 22 達成電性連接，故專用積體電路單元 20 便相應與微機電單元 22 達成電性連接。

再請參見圖三，於該圖中，吾人係於圖二所示之立體堆疊結構（專用積體電路單元 20 與微機電單元 22）之上再堆疊專用積體電路單元 24 與專用積體電路單元 26，意即專用積體電路單元 24 堆疊於專用積體電路單元 20 之上且以充滿導電材料之貫孔達成電性連接；而專用積體電路單元 26 則堆疊於專用積體電路單元 24 之上且亦以充滿導電材料之貫孔達成電性連接；因此，本發明係可達成多層堆疊且簡化層數之目的。

圖四係為本發明整合型立體堆疊結構之剖面圖，其係顯示另一實施例。該整合型立體堆疊結構包含一專用積體電路單元 40 與一微機電單元 42，該專用積體電路單元 40 係堆疊於微機電單元 42 之上；該專用積體電路單元 40 包括一基板 400 及設在該基板 400 一面上之電路佈局 402；為進行電性導通，該專用積體電路單元 40 設有若干貫孔 406 且該等貫孔 406 中充填有導電材料 408，該導電材料 408 係可使用金屬材料，例如銅。微機電單元 42 則包括一基板 420 以及設於該基板 420 一面上之微型感應體 422。

類似於圖二，圖四之基板 400 係於未設有電路佈局 402 之一面上開設有凹穴 404，因此當專用積體電路單元 40 與微機電單元 42 進行堆疊貼合時微型感應體 422 可容置於凹穴 404 中；且利用充填於貫孔 406 中之導電材料 408，可將基板 400 之電性連接部 400a 與基板 420 之電性連接部

420a 進行電性連接；又，利用充填於貫孔 406 中之導電材料 408 與佈設於凹穴 404 中之導電部 407，更可將基板 400 之電性連接部 400b 與基板 420 之電性連接部 420b 進行電性連接，因此專用積體電路單元 40 之電路佈局 402 即與微機電單元 42 達成電性連接，故專用積體電路單元 40 便相應與微機電單元 42 達成電性連接。

與前述實施例不同的是，圖四之微機電單元 42 有需要與外界進行感應（例如：利用微型感應體 422 感應聲波），因此吾人便將專用積體電路單元 40 上之一貫孔 409 維持中空狀態（不充填導電材）而與微機電單元 42 進行封裝堆疊，如此該微機電單元 42 便可感應經由外界所傳遞之訊號（例如聲波）。

圖五 A 至圖五 G 係為本發明用於微電子與微機電元件的整合型立體堆疊封裝結構之製造方法，其係以剖面圖方式顯示製造流程，包括：

步驟一：提供一主動專用積體電路單元 50；該主動專用積體電路單元 50 包括一基板 500 以及設在該基板 500 上之電路佈局 502，如圖五 A 所示。

步驟二：將該 500 基板未設有電路佈局 502 之一面利用研磨具（未示出）進行薄化，如圖五 B 所示。

步驟三：將該基板 500 未設有電路佈局 502 之一面上開設一凹穴 504（例如：利用濕蝕刻），如圖五 C 所示。

步驟四：於該凹穴 504 中設置（例如：利用金屬進行濺鍍）一導電部 507、一電性連接部 520a 與一電性連接部 520b，如圖五 D 所示。

步驟五：將該主動專用積體電路單元 50 與微機電單元 52 進行堆疊（微機電單元 52 包含一基板 520 與設於該基板 520 上之一微型感應體 522），使得微型感應體 522 容置於凹穴 504 之中，如圖五 E 所示。

步驟六：於該主動專用積體電路單元 50 上開設若干貫孔 506 且使該等貫孔 506 分別通達電性連接部 520a 與導電部 507，如圖五 F 所示。

步驟七：於該等貫孔 506 中填入導電材料 508（例如銅），使得主動專用積體電路單元 50 與微機電單元 52 達成電性連接，如圖五 G 所示。

當然，於上述之製程中，吾人亦可如圖四般只於部分貫孔中填入導電金屬材料，而留下部分貫孔作為微機電單元之微型感應體與外界連通感應之用，該等變化係為熟習此領域者可簡單應用變化，於此將不再贅述。

綜上所述，本發明之用於微電子與微機電元件的整合型立體堆疊封裝方法直接以 ASIC 晶圓製作具有電性連接功能之保護蓋，不僅可以作為 MEMS 元件的保護蓋，其上之 ASIC 電路更可與 MEMS 元件做更緊密的整合，故能達成提升元件的積集度與降低成本之目的，可有效克服習知技術之缺點，合應獲得專利以使相關產業之從業人員能據以利用來促進產業發展。

唯以上所述者，僅為本發明之最佳實施態樣爾，當不能以之限定本發明所實施之範圍。即大凡依本發明申請專利範圍所作之均等變化與修飾，皆應仍屬於本發明專利涵蓋之範圍內，謹請 貴審查委員明鑑，並祈惠准，是所至

禱。

**【圖式簡單說明】**

圖一係為習知專用積體電路單元與微機電單元之堆疊結構剖面圖；

圖二係為本發明用於微電子與微機電元件的整合型立體堆疊封裝結構之剖面圖；

圖三係為本發明用於微電子與微機電元件的整合型立體堆疊封裝結構之剖面圖，其係顯示另一實施例；

圖四係為本發明用於微電子與微機電元件的整合型立體堆疊封裝結構之剖面圖，其係顯示又一實施例；以及

圖五A至圖五G係為本發明用於微電子與微機電元件的整合型立體堆疊封裝結構之製造方法的剖面圖。

**【主要元件符號說明】**

10-專用積體電路單元

11-上蓋

12-微機電單元

20-專用積體電路單元

22-微機電單元

24-專用積體電路單元

26-專用積體電路單元

40-專用積體電路單元

42-微機電單元

50-主動專用積體電路單元

52-微機電單元

100-基板

102-電路佈局

106-貫孔

108-導電材料

110-貫孔

112-導電材料

114-腔室

120-基板

122-微型感應體

200-基板

202-電路佈局

204-凹穴

206-貫孔

207-導電部

208-導電材料

220-基板

222-微型感應體

400-基板

402-電路佈局

404-凹穴

406-貫孔

407-導電部

408-導電材料

409-貫孔

420-基板

422-微型感應體

500-基板

502-電路佈局

504-凹穴

506-貫孔

507-導電部

508-導電材料

520-基板

522-微型感應體

● 200a-電性連接部

200b-電性連接部

220a-電性連接部

220b-電性連接部

400a-電性連接部

400b-電性連接部

420a-電性連接部

420b-電性連接部

● 520a-電性連接部

520b-電性連接部

### 五、中文發明摘要：

一種用於微電子與微機電元件的整合型立體堆疊封裝結構，包含：一專用積體電路單元，係包括一第一基板以及設在該第一基板一面上之電路佈局，其中該第一基板未設有電路佈局之一面係開設有凹穴，該主動專用積體電路單元係設有至少一貫孔；以及一微機電單元，係包括一第二基板以及設於該第二基板一面上之微型感應體；其中，當該專用積體電路單元與該微機電單元進行貼合時，該微型感應體係容置於凹穴中，且該貫孔中充填有導電材料，使得該專用積體電路單元與該微機電單元可達成電性連接者。

### 六、英文發明摘要：

#### **A Packaging Structure and Method for Integration of Microelectronics and MEMS Devices by 3D Stacking**

A packaging structure for integration of microelectronics and MEMS devices by 3D stacking is disclosed, which comprises: a ASIC unit including a first substrate and a layout positioned on one side of the first substrate, wherein a cavity is formed on the other side of the first substrate and there is at least one through hole formed on said ASIC unit; and a MEMS unit including a second substrate and a micro sensor positioned thereon; wherein when the microelectronics device is stacked on the MEMS device, the micro sensor can be positioned in the cavity and there are conductive materials filled in the through hole so that the microelectronics device and the MEMS device can be

electrically connected to each other.

## 十、申請專利範圍：

1. 一種用於微電子與微機電元件的整合型立體堆疊封裝結構，包含：

一主動專用積體電路單元，係包括一第一基板以及設在該第一基板一面上之電路佈局，其中該第一基板未設有電路佈局之一面係開設有凹穴，該主動專用積體電路單元係設有至少一貫孔；以及

一微機電單元，係包括一第二基板以及設於該第二基板上之微型感應體；

其中，當該主動專用積體電路單元與該微機電單元進行貼合時，該微型感應體係容置於凹穴中，且該貫孔中充填有導電材料，使得該主動專用積體電路單元與該微機電單元可達成電性連接者。

2. 如申請專利範圍第1項之用於微電子與微機電元件的整合型立體堆疊封裝結構，其中該凹穴中設有導電部，且該導電部係分別與該貫孔及該微機電單元電性連接。
3. 如申請專利範圍第1項之用於微電子與微機電元件的整合型立體堆疊封裝結構，其中該貫孔係與該第一基板上之電路佈局電性連接。
4. 如申請專利範圍第1項之用於微電子與微機電元件的整合型立體堆疊封裝結構，其中該導電材料為金屬材料。
5. 如申請專利範圍第1項之用於微電子與微機電元件的整合型立體堆疊封裝結構，其中該第一基板上之電路佈局上更堆疊有若干專用積體電路單元，且該電路佈局係與該等主動專用積體電路單元電性連接。

6. 一種用於微電子與微機電元件的整合型立體堆疊封裝結構，包含：

一主動專用積體電路單元，係包括一第一基板以及設在該第一基板一面上之電路佈局，其中該第一基板未設有電路佈局之一面係開設有凹穴，該主動專用積體電路單元係設有兩個以上貫孔；以及

一微機電單元，係包括一第二基板以及設於該第二基板一面上之微型感應體；

其中，當該主動專用積體電路單元與該微機電單元進行貼合時，該微型感應體係容置於凹穴中，且該等貫孔中之至少一者係充填有導電材料，使得該主動專用積體電路單元與該微機電單元可達成電性連接者。

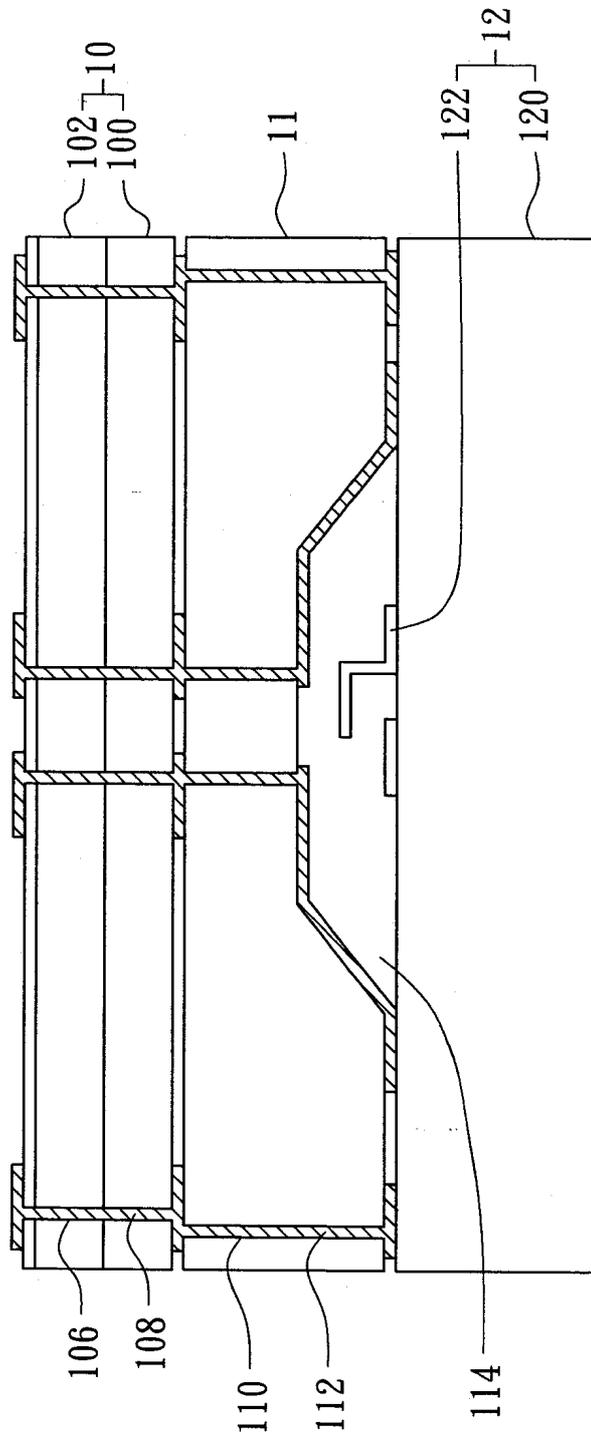
7. 如申請專利範圍第 6 項之用於微電子與微機電元件的整合型立體堆疊封裝結構，其中該凹穴中設有導電部，且該導電部係分別與該貫孔及該微機電單元電性連接。
8. 如申請專利範圍第 6 項之用於微電子與微機電元件的整合型立體堆疊封裝結構，其中該貫孔係與該第一基板一面上之電路佈局電性連接。
9. 如申請專利範圍第 6 項之用於微電子與微機電元件的整合型立體堆疊封裝結構，其中該導電材料為金屬材料。
10. 如申請專利範圍第 6 項之用於微電子與微機電元件的整合型立體堆疊封裝結構，其中該第一基板上之電路佈局上更堆疊有若干主動專用積體電路單元，且該電路佈局係與該等主動專用積體電路單元電性連接。

11. 一種用於微電子與微機電元件的整合型立體堆疊封裝結構之製造方法，包含步驟：

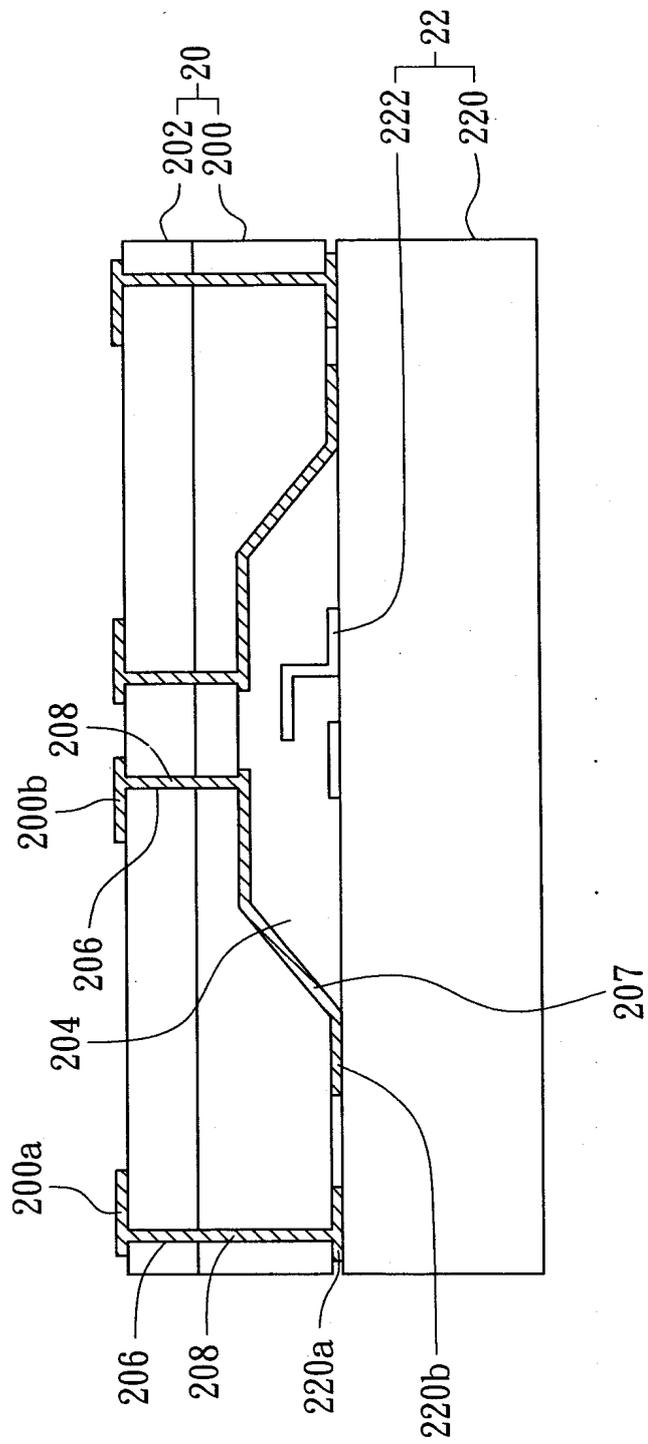
- (a) 提供一主動專用積體電路單元與一微機電單元；該主動專用積體電路單元包括一第一基板以及設在該第一基板一面上之電路佈局，該微機電單元包括一第二基板以及設於該第二基板一面上之微型感應體；
- (b) 將該第一基板未設有電路佈局之一面進行薄化；
- (c) 將該第一基板未設有電路佈局之一面上開設可容置該微型感應體之凹穴；
- (d) 於該凹穴中設置一導電部，該導電部係與微機電單元電性連接；
- (e) 將該主動專用積體電路單元與微機電單元進行堆疊，使得微型感應體容置於凹穴中；
- (f) 於該主動專用積體電路單元上開設至少一貫孔且使該貫孔分別連接電路佈局與導電部；以及
- (g) 於貫孔中填入導電材料，使得電路佈局與導電部電性連接。

12. 如申請專利範圍第 11 項之用於微電子與微機電元件的整合型立體堆疊封裝結構之製造方法，其中該導電材料為金屬材料。

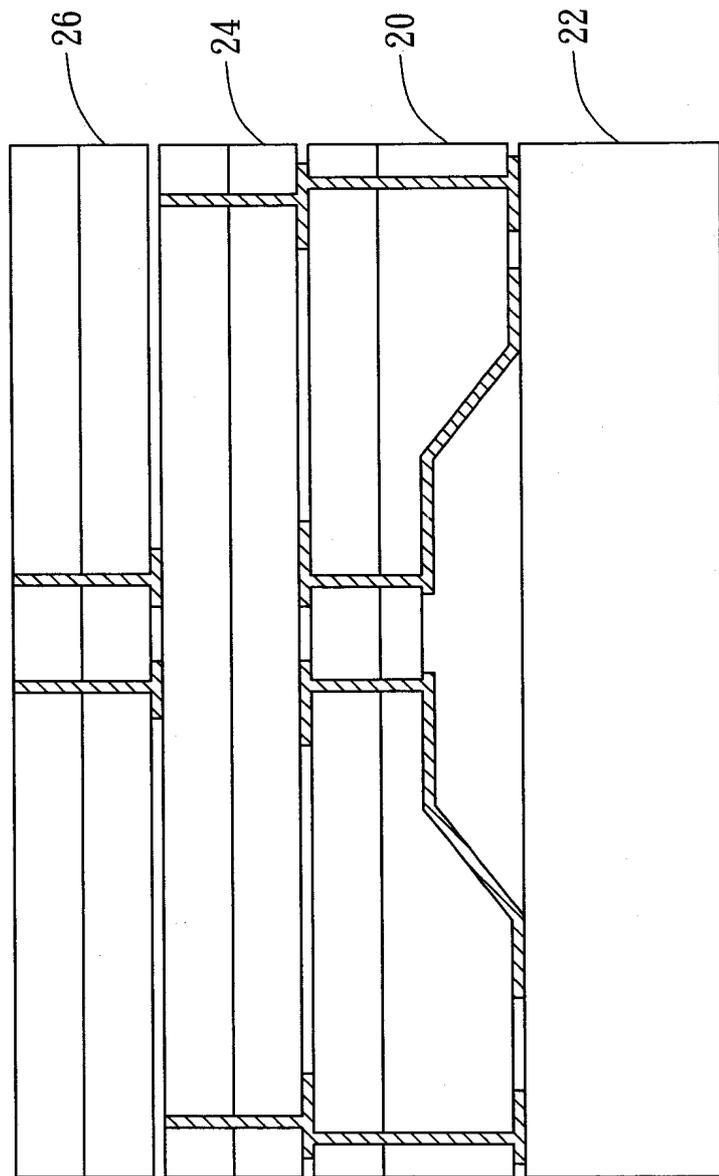
十一、圖式：



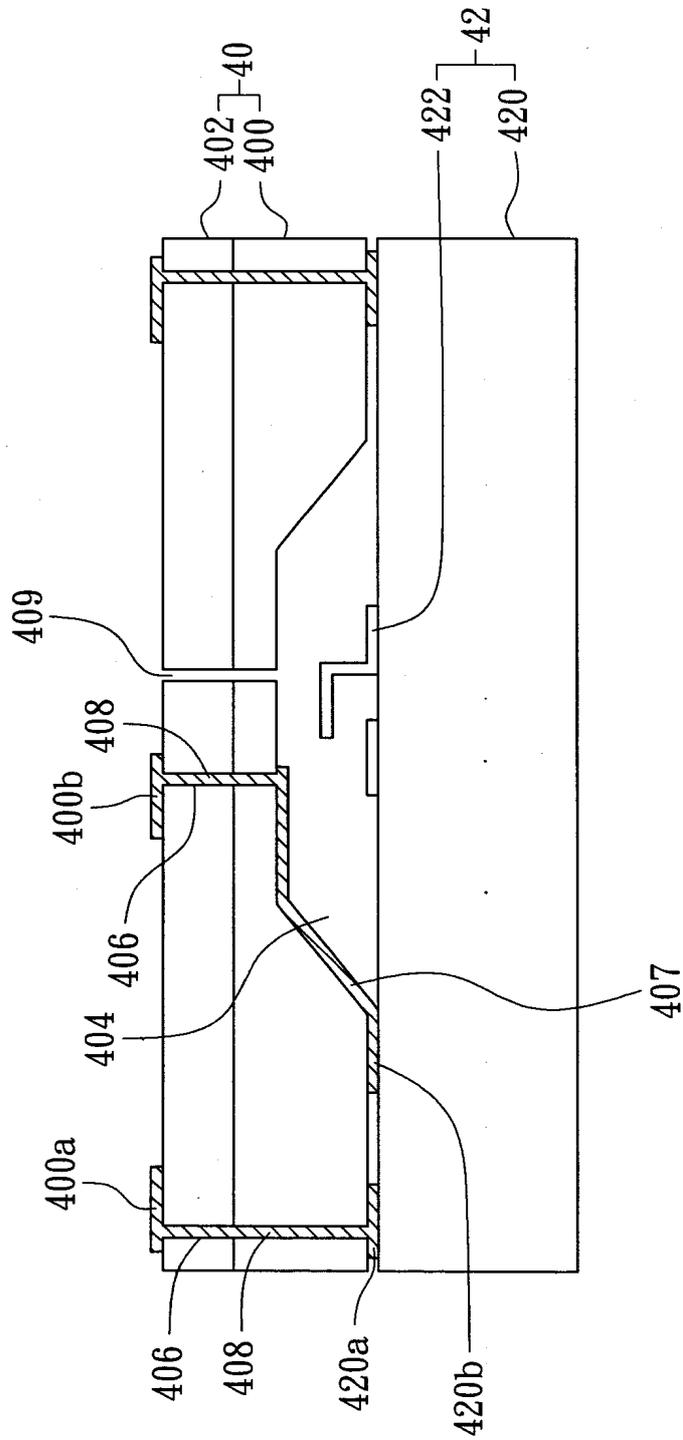
圖一



圖二



圖三



圖四

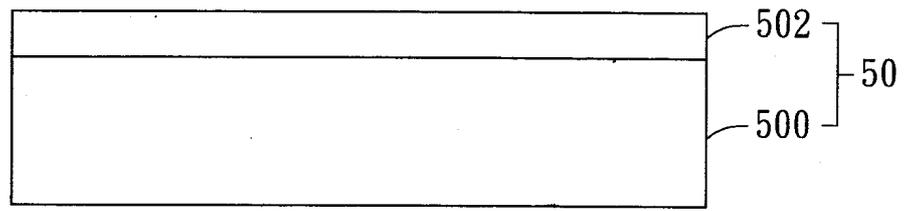


圖 五 A

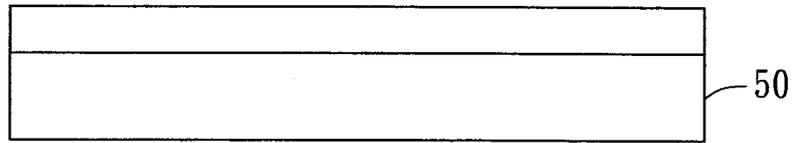


圖 五 B

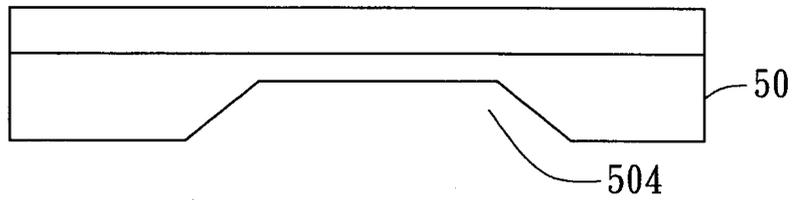


圖 五 C

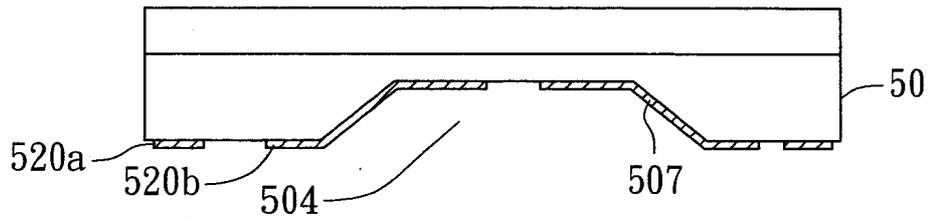


圖 五 D

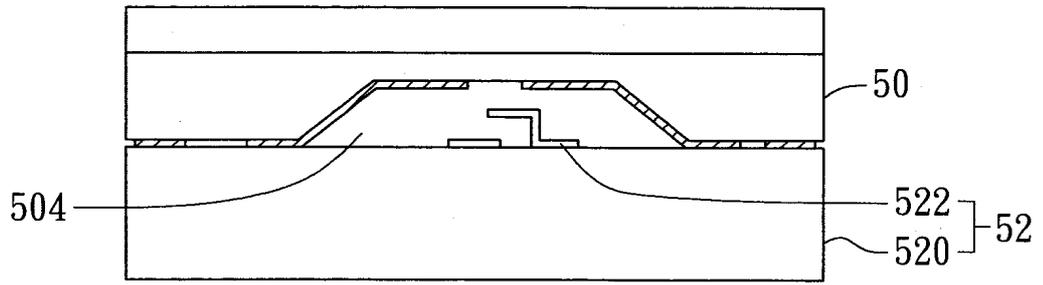


圖 五 E

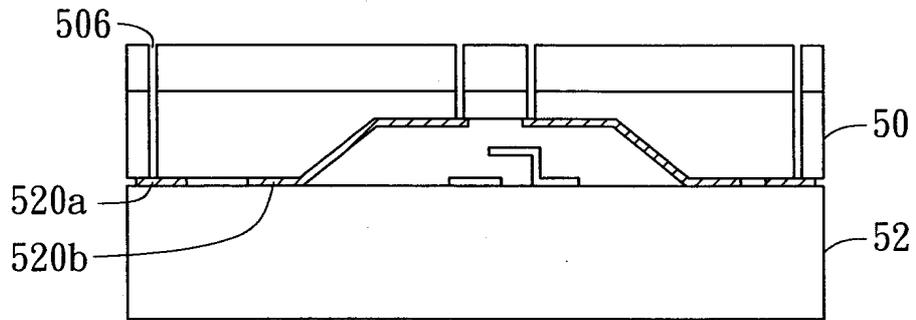


圖 五 F

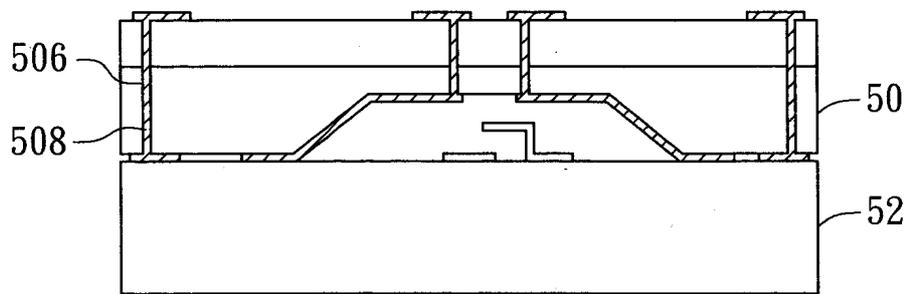


圖 五 G

**七、指定代表圖：**

(一)本案指定代表圖為：第（ 二 ）圖。

(二)本代表圖之元件符號簡單說明：

20-專用積體電路單元

22-微機電單元

200-基板

202-電路佈局

204-凹穴

206-貫孔

207-導電部

208-導電材料

220-基板

222-微型感應體

200a-電性連接部

200b-電性連接部

220a-電性連接部

220b-電性連接部

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**