



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0038603
 (43) 공개일자 2013년04월18일

(51) 국제특허분류(Int. Cl.)
 H01L 43/08 (2006.01) H01L 27/115 (2006.01)
 H01L 21/8246 (2006.01)
 (21) 출원번호 10-2011-0103048
 (22) 출원일자 2011년10월10일
 심사청구일자 없음

(71) 출원인
삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
차지훈
 서울특별시 서초구 반포동 미도2차아파트
 503-1404
백재직
 경기도 성남시 분당구 미금로 63, 청구아파트
 512-1404 (구미동, 무지개마을)
 (뒷면에 계속)
 (74) 대리인
리엔목특허법인

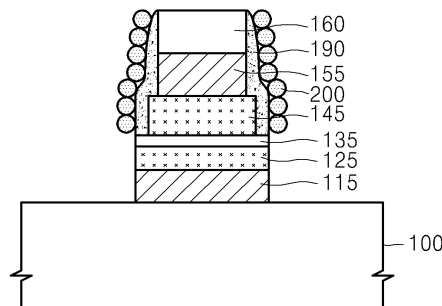
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 자기 메모리 소자의 제조 방법

(57) 요약

자기 메모리 소자의 제조 방법이 제공된다. 상기 제조 방법에서, 기판 상에 하부 자성층 및 절연층을 순차적으로 형성한다. 상기 절연층 상에 상부 자성 패턴을 형성한다. 상기 상부 자성 패턴의 측벽 상에 주회생막을 형성한다. 상기 상부 자성 패턴 및 상기 주회생막을 식각 마스크로 사용하여 상기 절연층 및 상기 하부 자성층을 패터닝하여 절연 패턴 및 하부 자성 패턴을 형성한다. 상기 상기 주회생막을 제거한다.

대표도 - 도6



(72) 발명자

윤보연

서울특별시 서초구 반포2동 반포래미안 119-902

한정남

서울특별시 마포구 공덕동 삼성래미안3차아파트
301-1003

안경진

경기도 화성시 석우동 신일유토빌 136-504

특허청구의 범위

청구항 1

기판 상에 하부 자성층 및 절연층을 순차적으로 형성하는 단계;
 상기 절연층 상에 상부 자성 패턴을 형성하는 단계;
 상기 상부 자성 패턴의 측벽 상에 주회생막을 형성하는 단계;
 상기 상부 자성 패턴 및 상기 주회생막을 식각 마스크로 사용하여 상기 절연층 및 상기 하부 자성층을 패터닝하여 절연 패턴 및 하부 자성 패턴을 형성하는 단계; 및
 상기 주회생막을 제거하는 단계를 포함하는 자기 메모리 소자의 제조 방법.

청구항 2

제1항에 있어서, 상기 주회생막을 제거하는 단계는 상기 주회생막의 측벽 상에 재증착되는 상기 하부 자성층의 식각 잔류물을 함께 제거하는 것을 특징으로 하는 자기 메모리 소자의 제조 방법.

청구항 3

제1항에 있어서, 상기 주회생막은 20Å 이하의 두께를 갖는 것을 특징으로 하는 자기 메모리 소자의 제조 방법.

청구항 4

제1항에 있어서, 상기 상부 자성 패턴을 형성하는 단계는,
 상기 상부 자성층 상에 상부 전극을 형성하는 단계;
 상기 상부 전극의 측벽 상에 부회생막을 형성하는 단계;
 상기 상부 전극 및 상기 부회생막을 식각 마스크로 사용하여 상기 상부 자성층을 패터닝함으로써 상기 절연층 상에 상기 상부 자성 패턴을 형성하는 단계; 및
 상기 부회생막을 제거하는 단계를 포함하는 것을 특징으로 하는 자기 메모리 소자의 제조 방법.

청구항 5

제4항에 있어서, 상기 부회생막을 제거하는 단계는 상기 부회생막의 측벽 상에 재증착되는 상기 상부 자성층의 식각 잔류물을 함께 제거하는 것을 특징으로 하는 자기 메모리 소자의 제조 방법.

청구항 6

제4항에 있어서, 상기 부회생막은 20Å 이하의 두께를 갖는 것을 특징으로 하는 자기 메모리 소자의 제조 방법.

청구항 7

제4항에 있어서, 상기 주회생막 및 부회생막은 각각 실리콘 산화물, 실리콘 질화물, 티타늄, 탄탈륨, 티타늄 질화물, 탄탈륨 질화물 또는 텅스텐을 사용하여 형성되는 것을 특징으로 하는 자기 메모리 소자의 제조 방법.

청구항 8

제1항에 있어서, 상기 주회생막을 제거하는 단계는 이온 빔 에칭(ion beam etching) 공정 또는 습식 식각(wet etching) 공정을 사용하여 수행되는 것을 특징으로 하는 자기 메모리 소자의 제조 방법.

청구항 9

제8항에 있어서, 상기 주회생막을 제거하는 단계는 불산 등 플루오르를 함유하는 식각액을 사용한 습식 식각 공정을 사용하는 것을 특징으로 하는 자기 메모리 소자의 제조 방법.

청구항 10

기관 상에 하부 자성층, 절연층 및 상부 자성층을 순차적으로 형성하는 단계;

상기 상부 자성층 상에 상부 전극을 형성하는 단계;

상기 상부 전극의 측벽 상에 부회생막을 형성하는 단계;

상기 상부 전극 및 상기 부회생막을 식각 마스크로 사용하여 상기 상부 자성층을 식각함으로써 상부 자성 패턴을 형성하는 단계;

상기 부회생막을 제거하는 단계;

상기 상부 전극 및 상기 상부 자성 패턴의 측벽들 상에 주회생막을 형성하는 단계;

상기 상부 전극, 상기 상부 자성 패턴 및 상기 주회생막을 식각 마스크로 사용하여 상기 절연층 및 상기 하부 자성층을 순차적으로 식각함으로써 절연 패턴 및 하부 자성 패턴을 형성하는 단계; 및

상기 주회생막을 제거하는 단계를 포함하는 자기 메모리 소자의 제조 방법.

명세서

기술분야

[0001] 본 발명은 자기 메모리 소자의 제조 방법에 관한 것으로서, 더욱 상세하게는, 자기 저항을 이용하는 자기 메모리 소자의 제조 방법에 관한 것이다.

배경기술

[0002] 자기 메모리 소자는 두 개의 자성체와 그 사이에 개재된 절연막을 포함하는 자기 터널 접합 패턴(magnetic tunnel junction pattern)을 사용하여 데이터를 읽고 쓰는 불휘발성 메모리 장치이다. 두 자성체의 자화(magnetization) 방향에 따라 상기 자기 터널 접합 패턴의 저항값이 달라질 수 있는데, 이러한 저항값의 차이를 이용하여 데이터를 프로그래밍 또는 제거할 수 있다. 그 중, 스핀 트랜스퍼 토크(spin transfer torque: STT) 현상을 이용한 자기 메모리 소자는 한쪽 방향으로 스핀(spin)이 분극화(polarized)된 전류를 흘려줄 때, 전자의 스핀 전달에 의해 자성체의 자화 방향이 달라지는 방식을 이용한다. STT 현상을 이용한 자기 메모리 소자의 경우 셀의 크기가 작아질수록 요구되는 전류가 작아지므로 고집적화에 유리한 장점을 갖는다. 그러나, 셀의 크기가 작아질수록 상기 자기 터널 접합 패턴의 패턴닝이 어려운 문제점이 있다. 예를 들어, 자성체의 패턴닝에 의한 식각 잔류물들이 자기 터널 접합 패턴의 측벽 상에 재증착되어 전기적 단락 등이 발생하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 이루고자 하는 기술적 과제는, 패턴닝시 전기적 단락을 방지하는 자기 메모리 소자의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0004] 상기 기술적 과제를 달성하기 위한 본 발명에 따른 자기 메모리 소자의 제조 방법에서, 기관 상에 하부 자성층 및 절연층을 순차적으로 형성한다. 상기 절연층 상에 상부 자성 패턴을 형성한다. 상기 상부 자성 패턴의 측벽 상에 주회생막을 형성한다. 상기 상부 자성 패턴 및 상기 주회생막을 식각 마스크로 사용하여 상기 절연층 및 상기 하부 자성층을 패턴닝하여 절연 패턴 및 하부 자성 패턴을 형성한다. 상기 주회생막을 제거한다.

[0005] 예시적인 실시예들에 있어서, 상기 주회생막이 제거될 때, 상기 주회생막의 측벽 상에 재증착되는 상기 하부 자성층의 식각 잔류물이 함께 제거될 수 있다.

[0006] 예시적인 실시예들에 있어서, 상기 주회생막은 20Å 이하의 두께를 가질 수 있다.

[0007] 예시적인 실시예들에 있어서, 상기 상부 자성 패턴을 형성할 때, 상기 상부 자성층 상에 상부 전극을 형성하고, 상기 상부 전극의 측벽 상에 부회생막을 형성하며, 상기 상부 전극 및 상기 부회생막을 식각 마스크로 사용하여

상기 상부 자성층을 패터닝함으로써 상기 절연층 상에 상기 상부 자성 패턴을 형성하고, 상기 부회생막을 제거할 수 있다.

- [0008] 예시적인 실시예들에 있어서, 상기 부회생막이 제거될 때, 상기 부회생막의 측벽 상에 재증착되는 상기 상부 자성층의 식각 잔류물이 함께 제거될 수 있다.
- [0009] 예시적인 실시예들에 있어서, 상기 부회생막은 20Å 이하의 두께를 가질 수 있다.
- [0010] 예시적인 실시예들에 있어서, 상기 주회생막 및 부회생막은 각각 실리콘 산화물, 실리콘 질화물, 티타늄, 탄탈륨, 티타늄 질화물, 탄탈륨 질화물 또는 텅스텐을 사용하여 형성될 수 있다.
- [0011] 예시적인 실시예들에 있어서, 이온 빔 에칭(ion beam etching) 공정 또는 습식 식각(wet etching) 공정을 사용하여 상기 주회생막이 제거될 수 있다.
- [0012] 예시적인 실시예들에 있어서, 불산 등 플루오르를 함유하는 식각액을 사용한 습식 식각 공정을 사용하여 상기 주회생막이 제거될 수 있다.
- [0013] 상기 기술적 과제를 달성하기 위한 본 발명에 따른 자기 메모리 소자의 제조 방법에서, 기판 상에 하부 자성층, 절연층 및 상부 자성층을 순차적으로 형성한다. 상기 상부 자성층 상에 상부 전극을 형성한다. 상기 상부 전극의 측벽 상에 부회생막을 형성한다. 상기 상부 전극 및 상기 부회생막을 식각 마스크로 사용하여 상기 상부 자성층을 식각함으로써 상부 자성 패턴을 형성한다. 상기 부회생막을 제거한다. 상기 상부 전극 및 상기 상부 자성 패턴의 측벽들 상에 주회생막을 형성한다. 상기 상부 전극, 상기 상부 자성 패턴 및 상기 주회생막을 식각 마스크로 사용하여 상기 절연층 및 상기 하부 자성층을 순차적으로 식각함으로써 절연 패턴 및 하부 자성 패턴을 형성한다. 상기 주회생막을 제거한다.

발명의 효과

- [0014] 본 발명에 따른 자기 메모리 소자의 제조 방법은, 상부 자성 패턴 형성시 부회생막 측벽 상에 식각 잔류물들이 재증착됨에 따라 상기 식각 잔류물들의 제거가 용이하다. 또한, 하부 자성 패턴 형성시 주회생막 측벽에 식각 잔류물들이 재증착됨에 따라 상기 식각 잔류물들의 제거가 용이하다. 따라서, 상기 식각 잔류물들이 상부 자성 패턴 및 하부 자성 패턴 측벽들 상에 재증착됨에 따라 발생하는 상기 자기 메모리 소자의 전기적 단락을 방지할 수 있다.

도면의 간단한 설명

- [0015] 도 1 내지 도 7은 예시적인 실시예들에 따른 자기 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다.
- 도 8 내지 도 12는 예시적인 실시예들에 따른 자기 메모리 소자의 제조 방법을 나타내는 단면도들이다.
- 도 13 내지 도 21은 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0017] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려 이들 실시예들은 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것이다.
- [0018] 도 1 내지 도 7은 본 발명의 예시적인 실시예들에 따른 자기 메모리 소자의 제조 방법을 나타내는 단면도이다.
- [0019] 도 1을 참조하면, 기판(100) 상에 하부 전극막(110), 하부 자성층(120), 절연층(130), 상부 자성층(140) 및 상부 전극막(150)을 순차적으로 형성한다.
- [0020] 기판(100)은 실리콘(Si) 기판, 게르마늄(Ge) 기판, 실리콘-게르마늄(SiGe) 기판, 실리콘-온-인슐레이터(silicon-on-insulator: SOI) 기판 등의 반도체 기판을 포함할 수 있다.
- [0021] 하부전극막(110)은 티타늄, 탄탈륨, 루테튬, 티타늄 질화물, 탄탈륨 질화물, 텅스텐 등 도전성 물질을 사용하여 원자층 적층 공정, 화학 기상 증착 공정 등에 의해 형성될 수 있다. 예를 들어, 하부 전극막(110)은 루테튬/티

타늄, 루테튬/탄탈륨, 루테튬/티타늄 질화물, 루테튬/탄탈륨 질화물, 티타늄 질화물/텅스텐 등의 이중막 구조를 가질 수 있다.

[0022] 하부 자성층(120)은 하부 전극막(110) 상에 형성된다. 예시적인 실시예들에 있어서, 하부 자성층(120)은 Fe-Pt 합금, Fe-Pd 합금, Co-Pd 합금, Co-Pt 합금, Fe-Ni-Pt 합금, Co-Fe-Pt 합금, 및 Co-Ni-Pt 합금 등을 사용하여 원자층 적층 공정, 화학 기상 증착 공정 등에 의해 형성될 수 있다. 다른 실시예들에 있어서, 하부 자성층(120)은 붕소(B), 탄소(C), 구리(Cu), 은(Ag), 금(Au) 및 크롬(Cr) 중 적어도 어느 하나를 더 포함할 수 있다.

[0023] 절연층(130)은 하부 자성층(120) 상에 형성된다. 예시적인 실시예들에 있어서, 절연층(130)은 붕소 산화물(B₂O₃), 실리콘 산화물(SiO₂), 마그네슘 산화물(MgO), 알루미늄 산화물(Al₂O₃) 등을 사용하여 원자층 적층 공정, 화학 기상 증착 공정 등에 의해 형성될 수 있다.

[0024] 상부 자성층(140)은 절연층(130) 상에 형성된다. 상부 자성층(140)은 복수의 자성층들과 적어도 하나 이상의 중간층들이 순차적으로 적층된 다층막 구조로 형성될 수 있다. 예시적인 실시예들에 따르면, 상부 자성층(140)은 제1 자성층, 제1 중간층, 제2 자성층, 제2 중간층 및 제3 자성층이 순차적으로 적층된 다층막 구조로 형성될 수 있다. 제1 자성층은 Fe-Pt 합금, Fe-Pd 합금, Co-Pd 합금, Co-Pt 합금, Fe-Ni-Pt 합금, Co-Fe-Pt 합금, Co-Ni-Pt 합금, Ni-Fe 합금, Co-Fe 합금, Ni-Fe-B 합금, Co-Fe-B 합금, Ni-Fe-Si-B 합금 또는 Co-Fe-Si-B 등을 사용하여 형성될 수 있다. 제2 및 제3 자성층들은 코발트(Co), 철(Fe), 백금(Pt), 팔라듐(Pd) 등의 단일막, 또는 이들의 다중막을 사용하여 형성될 수 있고, 상기 중간층은 루테튬(Ru), 탄탈륨(Ta), 크롬(Cr), 구리(Cu) 등을 사용하여 형성될 수 있다. 예를 들면, 상부 자성층(140)은 CoFeB/Ta/(Co/Pt)_n/Ru/(Co/Pt)_m의 다층 구조를 가질 수 있다. 상부 자성층(140)은 화학 기상 증착 공정, 원자층 적층 공정 등을 사용하여 형성될 수 있다.

[0025] 상부 전극막(150)은 상부 자성층(140) 상에 형성된다. 예시적인 실시예들에 있어서, 상부 전극막(150)은 티타늄, 탄탈륨, 루테튬, 티타늄 질화물, 탄탈륨 질화물, 텅스텐 등 도전성 물질을 사용하여 화학 기상 증착 공정, 원자층 적층 공정 등을 사용하여 형성될 수 있다. 예를 들어, 상부 전극막(150)은 루테튬/티타늄, 루테튬/탄탈륨, 루테튬/티타늄 질화물, 루테튬/탄탈륨 질화물, 티타늄 질화물/텅스텐 등의 이중막 구조를 갖도록 형성될 수 있다.

[0026] 도 2를 참조하면, 상부 전극막(150) 상에 마스크 패턴(160)을 형성한다. 예시적인 실시예들에 따르면, 마스크 패턴(160)은 포토레지스트 패턴일 수 있고, 실리콘 산화물, 실리콘 질화물 등을 포함하는 하드 마스크 패턴일 수 있다.

[0027] 마스크 패턴(160)을 식각 마스크로 사용하여 상부 전극막(150)을 패터닝함으로써 상부 자성층(140) 상에 상부 전극(155)을 형성한다.

[0028] 이후, 마스크 패턴(160) 및 상부 전극(155)의 측벽들 상에 부회생막(170)을 형성한다. 예시적인 실시예들에 따르면, 마스크 패턴(160) 및 상부 전극(155)을 덮는 예비 부회생막(도시되지 않음)을 상부 자성층(140) 상에 형성하고, 상기 예비 부회생막에 이방성 식각 공정을 수행함으로써 마스크 패턴(160) 및 상부 전극(155)의 측벽들 상에 부회생막(170)을 형성한다. 상기 예비 부회생막은 실리콘 산화물, 실리콘 질화물, 텅스텐, 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물 등을 사용하여 원자층 적층 공정, 화학 기상 증착 공정 등에 의해 형성될 수 있다. 이외에도, 상기 예비 부회생막은 상부 자성층(140)과 식각 선택비를 갖는 물질을 사용하여 형성될 수 있다. 상기 예비 부회생막은 약 20Å 이하의 두께를 갖도록 형성될 수 있다. 부회생막(170)은 마스크 패턴(160) 및 상부 전극(155)의 측벽 상에 균일한 두께로 형성된다.

[0029] 도 3을 참조하면, 마스크 패턴(160) 및 부회생막(170)을 식각 마스크로 사용하여 절연층(130) 상면이 노출될 때까지 상부 자성층(140)을 식각함으로써 절연층(130) 상에 상부 자성 패턴(145)을 형성한다. 예시적인 실시예들에 따르면, 상부 자성층(140)은 반응성 이온 식각(reactive ion etching) 공정 등을 수행함으로써 패터닝될 수 있다.

[0030] 한편, 식각 공정에서 상부 자성층(140)의 식각 잔류물들(180)이 부회생막(170) 측벽들 상에 재증착(redeposition)될 수 있다. 상부 자성층(140)이 백금, 팔라듐 등의 귀금속을 포함하는 경우, 식각 잔류물들(180)은 주로 불휘발성이며, 패터닝된 영역에 인접한 부위에 재증착되므로 효율적으로 패터닝하기 어려운 문제가 있다. 또한, 식각 잔류물들(180)이 도전성 물질을 포함하므로, 상부 자성 패턴(145) 및 후속 공정에서 형성될 하부 자성 패턴 사이에 전기적 단락이 발생할 수도 있다. 본 실시예에서는 상부 전극(155) 측벽 상에 부회생막(170)이 형성되므로, 상부 전극(155)에 식각 잔류물들(180)이 재증착되는 대신, 부회생막(170) 측벽에 식각

잔류물들(180)이 재증착된다.

- [0031] 도 4를 참조하면, 부회생막(170) 및 식각 잔류물들(180)이 제거된다. 예시적인 실시예들에 따르면, 부회생막(170)은 이온 빔 에칭(ion beam etching) 공정, 습식 식각 공정 등을 사용하여 제거될 수 있다. 예를 들면, 경사를 갖는 이온 빔 에칭(tilted ion beam etching) 공정 등을 사용하여 상부 전극(155) 및 마스크 패턴(160) 측벽에 형성된 부회생막(170)을 제거할 수 있다. 또한, 불산 등 플루오르를 포함하는 식각액을 사용한 습식 식각 공정을 수행함으로써 부회생막(170)을 제거할 수도 있다. 한편, 부회생막(170)이 제거될 때, 부회생막(170) 측벽에 증착된 식각 잔류물들(180)이 함께 제거될 수 있다. 한편, 부회생막(170)이 제거된 후, 패터닝된 상부 자성 패턴(145) 및 상부 전극(155) 사이에는 단차가 발생하게 된다. 예를 들어, 약 20Å 이하의 부회생막(170)이 상부 전극(155)과 함께 식각 마스크로 사용되므로, 부회생막(170)이 제거된 후, 상부 자성 패턴(145)의 폭은 부회생막(170)의 두께만큼 상부 전극(155)보다 넓은 폭을 가질 수 있다.
- [0032] 도 5를 참조하면, 마스크 패턴(160), 상부 전극(155) 및 상부 자성 패턴(145)의 측벽들 상에 주회생막(190)을 형성한다. 예시적인 실시예들에 따르면, 마스크 패턴(160), 상부 전극(155) 및 상부 자성 패턴(145)을 덮는 예비 주회생막(도시되지 않음)을 절연층(130) 상에 형성하고, 상기 예비 주회생막에 이방성 식각 공정을 수행함으로써 마스크 패턴(160), 상부 전극(155) 및 상부 자성 패턴(145)의 측벽들 상에 주회생막(190)을 형성할 수 있다. 상기 예비 주회생막은 실리콘 산화물, 실리콘 질화물, 텅스텐, 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물 등을 사용하여 원자층 적층 공정, 화학 기상 증착 공정 등에 의해 형성할 수 있다. 상기 예비 주회생막은 약 20Å 이하의 두께를 갖도록 형성될 수 있다. 주회생막(190)은 마스크 패턴(160), 상부 전극(155) 및 상부 자성 패턴(145)의 측벽들 상에 컨포멀(conformal)하게 형성될 수 있다.
- [0033] 도 6을 참조하면, 마스크 패턴(160) 및 주회생막(190)을 식각 마스크로 사용하여 절연층(130), 하부 자성층(120) 및 하부 전극막(110)을 순차적으로 패터닝함으로써 절연 패턴(135), 하부 자성 패턴(125) 및 하부 전극(115)을 형성한다. 예시적인 실시예들에 따르면, 절연층(130), 하부 자성층(120) 및 하부 전극막(110)은 반응성 이온 식각 공정 등을 통해 패터닝될 수 있다.
- [0034] 한편, 식각 공정에서 하부 자성층(120)의 식각 잔류물들(200)이 주회생막(190) 측벽들 상에 재증착(redeposition)될 수 있다. 하부 자성층(120)이 백금, 팔라듐 등의 귀금속을 포함하는 경우, 식각 잔류물들(200)은 주로 불휘발성이며, 패터닝된 영역에 인접한 부위에 재증착되므로 효율적으로 패터닝하기 어려운 문제가 있다. 또한, 식각 잔류물들(200)이 도전성 물질을 포함하므로, 상부 자성 패턴(145) 및 하부 자성 패턴(125) 사이에 전기적 단락이 발생할 수도 있다. 본 실시예에서는 상부 자성 패턴(145) 측벽 상에 주회생막(190)이 형성되므로, 상부 자성 패턴(145)에 식각 잔류물들(200)이 재증착되는 대신, 주회생막(190) 측벽에 식각 잔류물들(200)이 재증착된다.
- [0035] 도 7을 참조하면, 주회생막(190) 및 식각 잔류물들(200)이 제거된다. 예시적인 실시예들에 따르면, 주회생막(190)은 이온 빔 에칭(ion beam etching) 공정, 습식 식각 공정 등을 사용하여 제거될 수 있다. 예를 들면, 경사를 갖는 이온 빔 에칭(tilted ion beam etching) 공정 등을 사용하여 상부 자성 패턴(145), 상부 전극(155) 및 마스크 패턴(160) 측벽들 상에 형성된 주회생막(190)을 제거할 수 있다. 또한, 불산, 플루오르 등을 포함하는 식각액을 사용한 습식 식각 공정을 수행함으로써 주회생막(190)을 제거할 수도 있다. 한편, 주회생막(190)이 제거될 때, 주회생막(190) 측벽에 증착된 식각 잔류물들(200)이 함께 제거될 수 있다. 한편, 주회생막(190)이 제거된 후, 패터닝된 하부 자성 패턴(125) 및 상부 자성 패턴(145) 사이에는 단차가 발생하게 된다. 예를 들어, 약 20Å 이하의 주회생막(190)이 상부 자성 패턴(145)과 함께 식각 마스크로 사용되므로, 주회생막(190)이 제거된 후, 하부 자성 패턴(125)의 폭은 상부 자성 패턴(145) 보다 주회생막(190)의 두께만큼 넓은 폭을 가질 수 있다.
- [0036] 이후, 마스크 패턴(160)이 제거될 수 있다.
- [0037] 본 발명에 따른 자기 메모리 소자의 제조 방법은, 상부 자성 패턴(145) 형성시 부회생막(170) 측벽 상에 식각 잔류물(180)이 재증착됨에 따라 식각 잔류물들(180)의 제거가 용이하다. 또한, 하부 자성 패턴(125) 형성시 주회생막(190) 측벽에 식각 잔류물들(200)이 재증착됨에 따라 식각 잔류물들(200)의 제거가 용이하다. 따라서, 식각 잔류물들(180, 200)이 상부 자성 패턴(145) 및 하부 자성 패턴(125) 측벽들 상에 재증착됨에 따라 발생하는 전기적 단락을 방지할 수 있다.
- [0038] 도 8 내지 도 12는 예시적인 실시예들에 따른 자기 메모리 소자의 제조 방법을 나타내는 단면도들이다. 상기 제조 방법은 부회생막이 형성되지 않는 점을 제외하면 도 1 내지 도 7을 참조로 설명한 자기 메모리 소자의 제조

방법과 유사하므로, 전술한 차이점을 중심으로 설명한다.

- [0039] 도 8을 참조하면, 기판(100) 상에 하부 전극막(110), 하부 자성층(120), 절연층(130), 상부 자성층(140) 및 상부 전극막(150)을 순차적으로 형성한다.
- [0040] 이후, 상부 전극막(150) 상에 마스크 패턴(160)을 형성한다.
- [0041] 도 9를 참조하면, 마스크 패턴(160)을 식각 마스크로 사용하여 상부 전극막(150)을 패터닝함으로써 상부 자성층(140) 상에 상부 전극(155)을 형성한다.
- [0042] 이후, 마스크 패턴(160) 및 상부 전극(155)을 식각 마스크로 사용하여 상부 자성층(140)을 패터닝함으로써 상부 자성 패턴(145)을 형성한다.
- [0043] 한편, 상부 자성 패턴(145) 형성시 식각 잔류물들(180)이 마스크 패턴(160) 및 상부 전극(155)의 측벽들 상에 재증착될 수 있다.
- [0044] 도 10을 참조하면, 마스크 패턴(160) 및 상부 전극(155) 측벽에 재증착된 식각 잔류물들(180)을 제거할 수 있다. 예시적인 실시예들에 따르면, 경사를 갖는 이온 빔 에칭(tilted ion beam etching) 공정을 사용하여 마스크 패턴(160) 및 상부 전극(155)의 측벽들 상에 마스크 패턴(160) 및 상부 전극(155)의 측벽들 상에 재증착된 식각 잔류물들(180)을 제거할 수 있다. 다른 실시예들에 따르면, 습식 식각 공정을 수행하여 마스크 패턴 한편, 상기 에칭 공정에서 절연층(130)이 식각 정지막 역할을 할 수 있으므로, 식각 잔류물들(180)의 선택적 제거가 가능하다.
- [0045] 이후, 마스크 패턴(160), 상부 전극(155) 및 상부 자성 패턴(145)의 측벽들 상에 주회생막(190)을 형성한다. 예시적인 실시예들에 따르면, 마스크 패턴(160), 상부 전극(155) 및 상부 자성 패턴(145)을 덮는 예비 주회생막(도시되지 않음)을 절연층(130) 상에 형성하고, 상기 예비 주회생막에 이방성 식각 공정을 수행함으로써 마스크 패턴(160), 상부 전극(155) 및 상부 자성 패턴(145)의 측벽들 상에 주회생막(190)을 형성할 수 있다. 상기 예비 주회생막은 실리콘 산화물, 실리콘 질화물, 텅스텐, 티타늄, 탄탈륨 등의 금속을 사용하여 원자층 적층 공정, 화학 기상 증착 공정 등에 의해 형성할 수 있다. 상기 예비 주회생막은 약 20Å 이하의 두께를 갖도록 형성될 수 있다. 주회생막(190)은 마스크 패턴(160), 상부 전극(155) 및 상부 자성 패턴(145)의 측벽들 상에 컨포멀(conformal)하게 형성될 수 있다.
- [0046] 도 11을 참조하면, 마스크 패턴(160) 및 회생막(190)을 식각 마스크로 사용하여 절연층(130), 하부 자성층(120) 및 하부 전극막(110)을 순차적으로 패터닝함으로써 절연 패턴(135), 하부 자성 패턴(125) 및 하부 전극(115)을 형성한다. 예시적인 실시예들에 따르면, 절연층(130), 하부 자성층(120) 및 하부 전극막(110)은 반응성 이온 식각 공정 등을 통해 패터닝될 수 있다.
- [0047] 한편, 식각 공정에서 하부 자성층(120)의 식각 잔류물들(200)이 주회생막(190) 측벽들 상에 재증착(redeposition)될 수 있다. 하부 자성층(120)이 백금, 팔라듐 등의 귀금속을 포함하는 경우, 식각 잔류물들(200)은 주로 불휘발성이며, 패터닝된 영역에 인접한 부위에 재증착되므로 효율적으로 패터닝하기 어려운 문제가 있다. 또한, 식각 잔류물들(200)이 도전성 물질을 포함하므로, 상부 자성 패턴(145) 및 하부 자성 패턴(125) 사이에 전기적 단락이 발생할 수도 있다. 본 실시예에서는 상부 자성 패턴(145) 측벽 상에 주회생막(190)이 형성되므로, 상부 자성 패턴(145)에 식각 잔류물들(200)이 재증착되는 대신, 주회생막(190) 측벽에 식각 잔류물들(200)이 재증착된다.
- [0048] 도 12를 참조하면, 주회생막(190) 및 식각 잔류물들(200)이 제거된다. 예시적인 실시예들에 따르면, 주회생막(190)은 이온 빔 에칭(ion beam etching) 공정, 습식 식각 공정 등을 사용하여 제거될 수 있다. 예를 들면, 경사를 갖는 이온 빔 에칭(tilted ion beam etching) 공정 등을 사용하여 상부 자성 패턴(145), 상부 전극(155) 및 마스크 패턴(160) 측벽들 상에 형성된 주회생막(190)을 제거할 수 있다. 또한, 불산 등 플루오르를 포함하는 식각액을 사용한 습식 식각 공정을 수행함으로써 주회생막(190)을 제거할 수도 있다. 한편, 주회생막(190)이 제거될 때, 주회생막(190) 측벽에 증착된 식각 잔류물들(200)이 함께 제거될 수 있다. 한편, 주회생막(190)이 제거된 후, 패터닝된 하부 자성 패턴(125) 및 상부 자성 패턴(145) 사이에는 단차가 발생하게 된다. 예를 들어, 약 20Å 이하의 주회생막(190)이 상부 자성 패턴(145)과 함께 식각 마스크로 사용되므로, 주회생막(190)이 제거된 후, 하부 자성 패턴(125)의 폭은 상부 자성 패턴(145) 보다 주회생막(190)의 두께만큼 넓은 폭을 가질 수 있다.
- [0049] 이후, 마스크 패턴(160)이 제거될 수 있다.

- [0050] 본 발명의 자기 메모리 소자의 제조 방법은, 하부 자성 패턴(125) 형성시 주회생막(190) 측벽에 식각 잔류물들(200)이 재증착됨에 따라 식각 잔류물들(200)의 제거가 용이하다. 따라서, 식각 잔류물들(200)이 상부 자성 패턴(145) 및 하부 자성 패턴(125) 측벽들 상에 재증착됨에 따라 발생하는 전기적 단락을 방지할 수 있다.
- [0051] 도 13 내지 도 21은 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다. 상기 반도체 장치는 도 1 내지 도 7을 참조로 설명한 자기 메모리 소자를 포함하므로, 차이점을 중심으로 설명한다.
- [0052] 도 13을 참조하면, 기판(300)에 소자 분리막(305)을 형성한다. 예시적인 실시예들에 따르면, 소자 분리막(305)은 얇은 트렌치 소자 분리(STI) 공정을 통해 형성될 수 있다.
- [0053] 기판(300) 상에 게이트 절연막, 게이트 전극막 및 게이트 마스크막을 순차적으로 형성하고, 사진 식각 공정을 통해 이들을 패터닝하여, 기판(300) 상에 순차적으로 적층된 게이트 절연막 패턴(312), 게이트 전극(314) 및 게이트 마스크(316)를 각각 포함하는 복수 개의 게이트 구조물들(310)을 형성한다. 상기 게이트 절연막은 실리콘 산화물 혹은 금속 산화물을 사용하여 형성될 수 있다. 상기 게이트 전극막은 도핑된 폴리실리콘 혹은 금속을 사용하여 형성될 수 있다. 상기 게이트 마스크막은 실리콘 질화물을 사용하여 형성될 수 있다.
- [0054] 이후, 게이트 구조물들(310)을 이온 주입 마스크로 사용하는 이온 주입 공정을 통해, 게이트 구조물들(310)에 인접한 기판(300) 상부에 제1 및 제2 불순물 영역들(301, 303)을 형성한다. 제1 및 제2 불순물 영역들(301, 303)은 트렌지스터의 소스/드레인 영역으로 기능할 수 있다.
- [0055] 게이트 구조물(310) 및 불순물 영역들(301, 303)은 상기 트렌지스터를 형성할 수 있다. 한편, 게이트 구조물들(310)의 측벽들에는 실리콘 질화물을 사용하여 스페이서들(318)을 형성할 수 있다.
- [0056] 게이트 구조물들(310) 및 스페이서들(318)을 커버하는 제1 층간 절연막(320)을 기판(300) 상에 형성한다. 제1 층간 절연막(320)을 부분적으로 식각하여 불순물 영역들(301, 303)을 노출시키는 제1 홀들(도시하지 않음)을 형성한다. 예시적인 실시예들에 따르면, 상기 제1 홀들은 게이트 구조물들(310) 및 스페이서들(318)에 자기 정렬될 수 있다.
- [0057] 이후, 상기 제1 홀들을 매립하는 제1 도전막을 제1 층간 절연막(320) 상에 형성하고, 기계 화학적 연마 공정 및/또는 에치 백 공정을 통해 제1 층간 절연막(320)이 노출될 때까지 상기 제1 도전막 상부를 제거함으로써, 상기 제1 홀들 내에 형성된 제1 플러그(321) 및 제2 플러그(323)를 형성한다. 제1 플러그(321)는 제1 불순물 영역(301)에 접촉할 수 있고, 제2 플러그(323)는 제2 불순물 영역(303)에 접촉할 수 있다. 상기 제1 도전막은 도핑된 폴리실리콘, 금속 등을 사용하여 형성될 수 있다. 제1 플러그(321)는 소스 라인 콘택으로 기능할 수 있다.
- [0058] 제1 플러그(321)에 접촉하는 제2 도전막(도시하지 않음)을 제1 층간 절연막(320) 상에 형성하고 이를 패터닝함으로써 소스 라인(335)을 형성한다. 상기 제2 도전막은 도핑된 폴리실리콘, 금속 등을 사용하여 형성될 수 있다. 이후, 상기 비트 라인을 커버하는 제2 층간 절연막(340)을 제1 층간 절연막(320) 상에 형성한다. 제2 층간 절연막(340)을 부분적으로 식각하여 제2 플러그(323)를 노출시키는 제2 홀들(도시하지 않음)을 형성하고, 상기 제2 홀들을 매립하는 제3 도전막을 제2 플러그(323) 및 제2 층간 절연막(340) 상에 형성한다. 기계 화학적 연마(chemical mechanical polish) 공정 및/또는 에치 백(etch-back) 공정을 통해 제2 층간 절연막(340)이 노출될 때까지 상기 제3 도전막 상부를 제거함으로써, 상기 제2 홀들 내에 형성된 하부 콘택(345)을 형성한다. 상기 제3 도전막은 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물, 텅스텐, 도핑된 폴리실리콘 등을 사용하여 형성될 수 있다.
- [0059] 도 14를 참조하면, 제2 층간 절연막(340) 및 하부 콘택(345) 상에 하부 전극막(350), 하부 자성층(360), 절연층(370), 상부 자성층(380) 및 상부 전극막(390)이 순차적으로 형성된다.
- [0060] 하부 전극막(350)은 제2 층간 절연막(340) 및 하부 콘택(345) 상에 형성될 수 있다. 예시적인 실시예들에 있어서, 하부 전극막(350)은 티타늄, 탄탈륨, 루테튬, 티타늄 질화물, 탄탈륨 질화물, 텅스텐 등 도전성 물질을 사용하여 원자층 적층 공정, 화학 기상 증착 공정 등에 의해 형성될 수 있다.
- [0061] 하부 자성층(360)은 하부 전극막(350) 상에 형성된다. 예시적인 실시예들에 있어서, 하부 자성층(360)은 Fe-Pt 합금, Fe-Pd 합금, Co-Pd 합금, Co-Pt 합금, Fe-Ni-Pt 합금, Co-Fe-Pt 합금, 및 Co-Ni-Pt 합금 등을 사용하여 원자층 적층 공정, 화학 기상 증착 공정 등에 의해 형성될 수 있다. 다른 실시예들에 있어서, 하부 자성층(360)은 붕소(B), 탄소(C), 구리(Cu), 은(Ag), 금(Au) 및 크롬(Cr) 중 적어도 어느 하나를 더 포함할 수 있다.
- [0062] 절연층(370)은 하부 자성층(360) 상에 형성된다. 예시적인 실시예들에 있어서, 절연층(370)은 붕소 산화물

(B₂O₃), 실리콘 산화물(SiO₂), 마그네슘 산화물(MgO), 알루미늄 산화물(Al₂O₃) 등을 사용하여 원자층 적층 공정, 화학 기상 증착 공정 등에 의해 형성될 수 있다.

- [0063] 상부 자성층(380)은 절연층(370) 상에 형성된다. 상부 자성층(380)은 복수의 자성층들과 적어도 하나 이상의 중간층들이 순차적으로 적층된 다층막 구조로 형성될 수 있다. 예시적인 실시예들에 따르면, 상부 자성층(380)은 제1 자성층, 제1 중간층, 제2 자성층, 제2 중간층 및 제3 자성층이 순차적으로 적층된 다층막 구조로 형성할 수 있다.
- [0064] 상부 전극막(390)은 상부 자성층(380) 상에 형성된다. 예시적인 실시예들에 있어서, 상부 전극막(390)은 티타늄, 탄탈륨, 루테튬, 티타늄 질화물, 탄탈륨 질화물, 텅스텐 등 도전성 물질을 사용하여 원자층 적층 공정, 화학 기상 증착 공정 등에 의해 형성될 수 있다.
- [0065] 도 15를 참조하면, 마스크 패턴(400)은 상부 전극막(390) 상에 형성된다.
- [0066] 이후, 마스크 패턴(400)을 식각 마스크로 사용하여 상부 전극막(390)을 패터닝함으로써 상부 전극(395)을 형성한다.
- [0067] 마스크 패턴(400) 및 상부 전극(395)의 측벽들 상에 부회생막(410)을 형성한다. 부회생막(410)은 실리콘 산화물, 실리콘 질화물, 텅스텐, 티타늄, 탄탈륨 등의 금속을 사용하여 원자층 적층 공정, 화학 기상 증착 공정 등에 의해 형성할 수 있다. 부회생막(410)은 약 20Å 이하의 두께를 갖도록 형성될 수 있다.
- [0068] 도 16을 참조하면, 마스크 패턴(400) 및 부회생막(410)을 식각 마스크로 사용하여 상부 자성층(380)을 패터닝함으로써 상부 자성 패턴(385)을 형성한다. 한편, 식각 공정에서 상부 자성층(380)의 식각 잔류물들(420)이 부회생막(410) 측벽에 재증착될 수 있다.
- [0069] 도 17을 참조하면, 부회생막(410) 및 식각 잔류물들(420)이 제거된다. 예시적인 실시예들에 따르면, 부회생막(410)은 이온 빔 에칭(ion beam etching) 공정, 습식 식각 공정 등을 사용하여 제거될 수 있다. 한편, 부회생막(410)이 제거될 때, 부회생막(410) 측벽에 증착된 식각 잔류물들(420)이 함께 제거될 수 있다. 한편, 부회생막(170)이 제거된 후, 패터닝된 상부 자성 패턴(145) 및 상부 전극(155) 사이에는 단차가 발생하게 된다. 예를 들어, 약 20Å 이하의 부회생막(170)이 상부 전극(155)과 함께 식각 마스크로 사용되므로, 부회생막(170)이 제거된 후, 상부 자성 패턴(145)의 폭은 부회생막(170)의 두께만큼 상부 전극(155)보다 넓은 폭을 가질 수 있다.
- [0070] 도 18을 참조하면, 마스크 패턴(400), 상부 전극(395) 및 상부 자성 패턴(385)의 측벽들 상에 주회생막(430)을 형성한다. 주회생막(430)은 실리콘 산화물, 실리콘 질화물, 텅스텐, 티타늄, 탄탈륨 등의 금속을 사용하여 원자층 적층 공정, 화학 기상 증착 공정 등에 의해 형성할 수 있다. 주회생막(430)은 약 20Å 이하의 두께를 갖도록 형성될 수 있다.
- [0071] 도 19를 참조하면, 마스크 패턴(400) 및 주회생막(430)을 식각 마스크로 사용하여 절연층(370), 하부 자성층(360) 및 하부 전극막(350)을 순차적으로 패터닝함으로써 절연 패턴(375), 하부 자성 패턴(365) 및 하부 전극(355)을 형성한다. 한편, 식각 공정에서 하부 자성층(360)의 식각 잔류물들(440)이 주회생막(430) 측벽들 상에 재증착(redeposition)될 수 있다.
- [0072] 도 20을 참조하면, 주회생막(430) 및 식각 잔류물들(440)이 제거된다. 예시적인 실시예들에 따르면, 주회생막(430)은 이온 빔 에칭(ion beam etching) 공정, 습식 식각 공정 등을 사용하여 제거될 수 있다. 한편, 주회생막(430)이 제거될 때, 주회생막(430) 측벽에 증착된 식각 잔류물들(440)이 함께 제거될 수 있다. 한편, 주회생막(190)이 제거된 후, 패터닝된 하부 자성 패턴(125) 및 상부 자성 패턴(145) 사이에는 단차가 발생하게 된다. 예를 들어, 약 20Å 이하의 주회생막(190)이 상부 자성 패턴(145)과 함께 식각 마스크로 사용되므로, 주회생막(190)이 제거된 후, 하부 자성 패턴(125)의 폭은 상부 자성 패턴(145) 보다 주회생막(190)의 두께만큼 넓은 폭을 가질 수 있다.
- [0073] 이후, 마스크 패턴(400)이 제거될 수 있다.
- [0074] 도 21을 참조하면, 제2 층간 절연막(340) 상에 하부 전극(355), 하부 자성 패턴(365), 절연 패턴(375), 상부 자성 패턴(385) 및 상부 전극(395)을 덮는 절연막(도시되지 않음)을 형성한 후, 상부 전극(395)의 상면이 노출될 때까지 상기 절연막을 평탄화함으로써 제3 층간 절연막(450)을 형성한다.
- [0075] 제3 층간 절연막(450) 상에 제4 층간 절연막(460)을 형성한다. 이후, 상부 전극(395)의 상면을 노출하는 개구(도시되지 않음)를 형성하고, 상기 개구를 채우는 도전막(도시되지 않음)을 형성한다. 제4 층간 절연막(460)의

상면이 노출될 때까지 상기 도전막을 평탄화함으로써 상부 전극(395)에 전기적으로 연결되는 상부 콘택(465)을 형성한다.

[0076] 상부 콘택(465) 상에 비트 라인(470)을 형성한다.

[0077] 전술한 공정을 수행하여 상기 반도체 장치가 완성된다.

[0078] 본 발명에 따른 반도체 장치의 제조 방법은, 상부 자성 패턴(395) 형성시 부회생막(410) 측벽 상에 식각 잔류물(420)이 재증착됨에 따라 식각 잔류물들(420)의 제거가 용이하다. 또한, 하부 자성 패턴(365) 형성시 주회생막(430) 측벽에 식각 잔류물들(440)이 재증착됨에 따라 식각 잔류물들(440)의 제거가 용이하다. 따라서, 식각 잔류물들(420, 440)이 상부 자성 패턴(395) 및 하부 자성 패턴(365) 측벽들 상에 재증착됨에 따라 발생하는 전기적 단락을 방지할 수 있다.

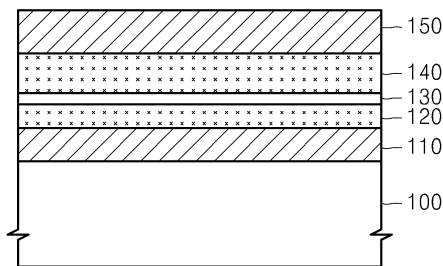
[0079] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

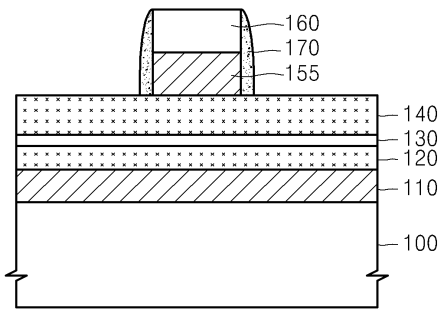
- [0080] 100, 300: 기판 110, 350: 하부 전극막
 115, 355: 하부 전극 120, 360: 하부 자성층
 125, 365: 하부 자성 패턴 130, 370: 절연층
 135, 375: 절연 패턴 140, 380: 상부 자성층
 145, 385: 상부 자성 패턴 150, 390: 상부 전극막
 155, 395: 상부 전극 160, 400: 마스크 패턴
 170, 410: 부회생막 180, 200, 420, 440: 식각 잔류물
 190, 430: 주회생막 301, 303: 불순물 영역
 305: 소자 분리막 310: 게이트 구조물
 320, 340, 450, 460: 층간 절연막
 321, 323: 플러그 335: 소스 라인
 345: 하부 콘택 465: 상부 콘택
 470: 비트 라인

도면

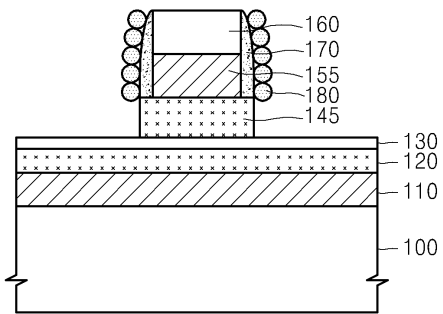
도면1



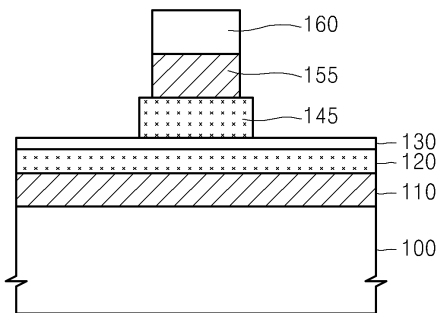
도면2



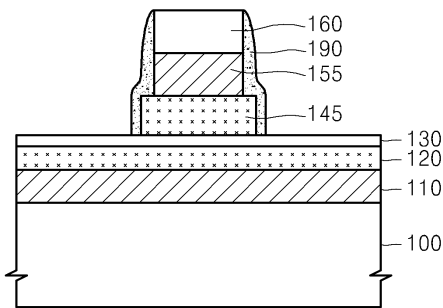
도면3



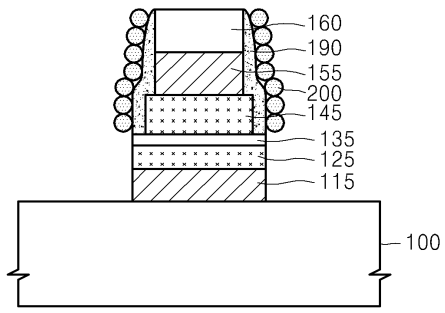
도면4



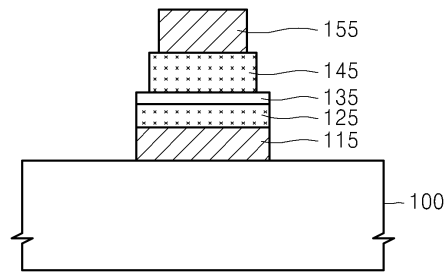
도면5



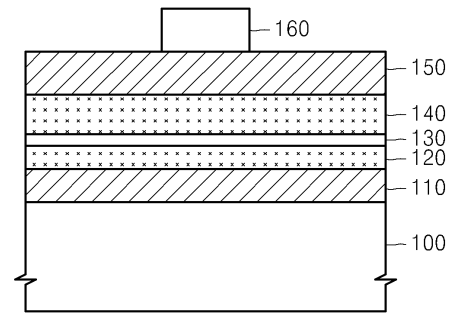
도면6



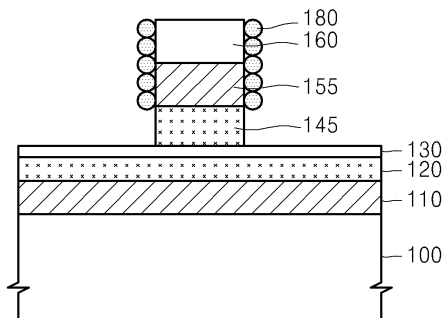
도면7



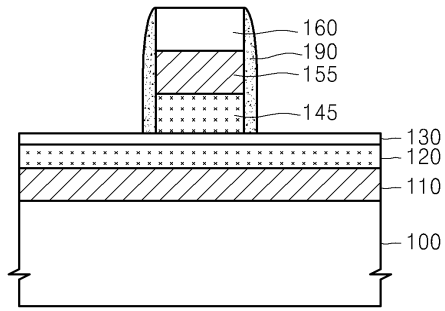
도면8



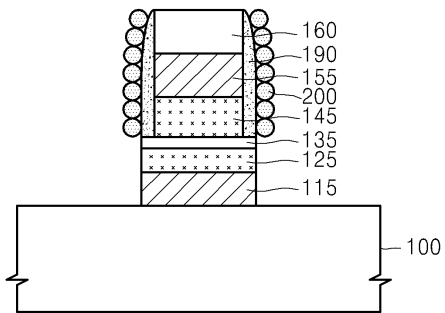
도면9



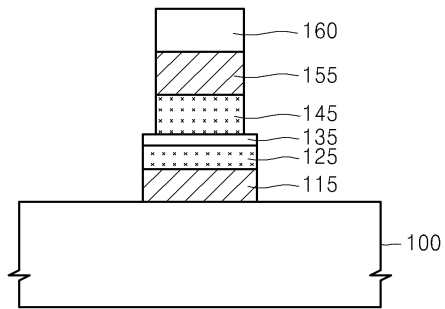
도면10



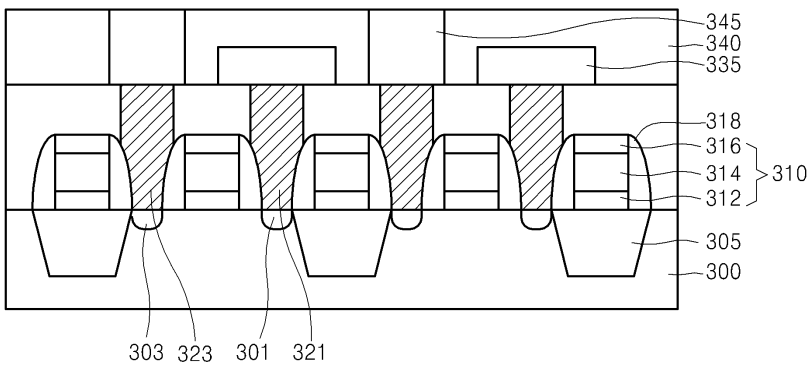
도면11



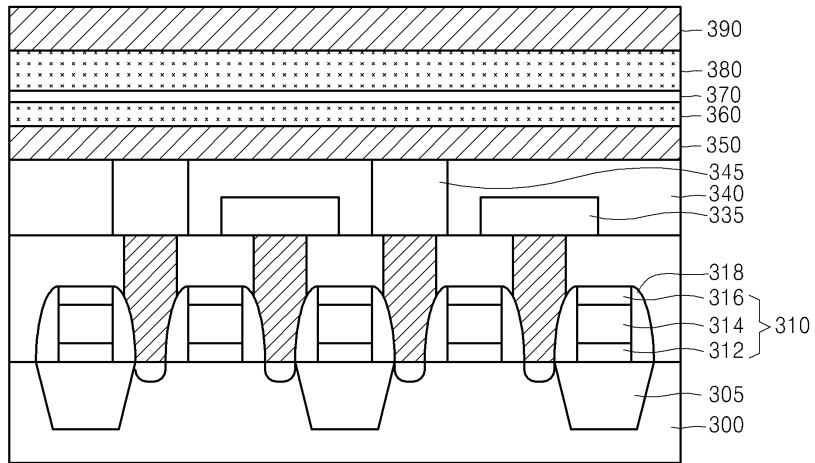
도면12



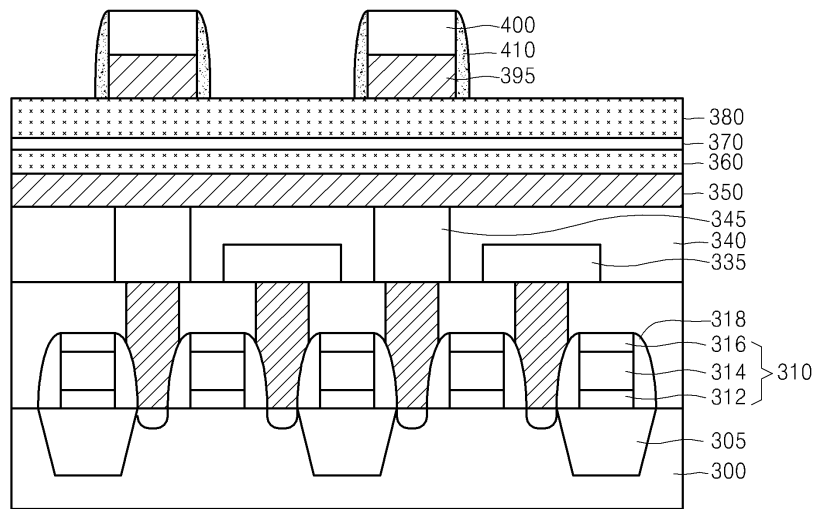
도면13



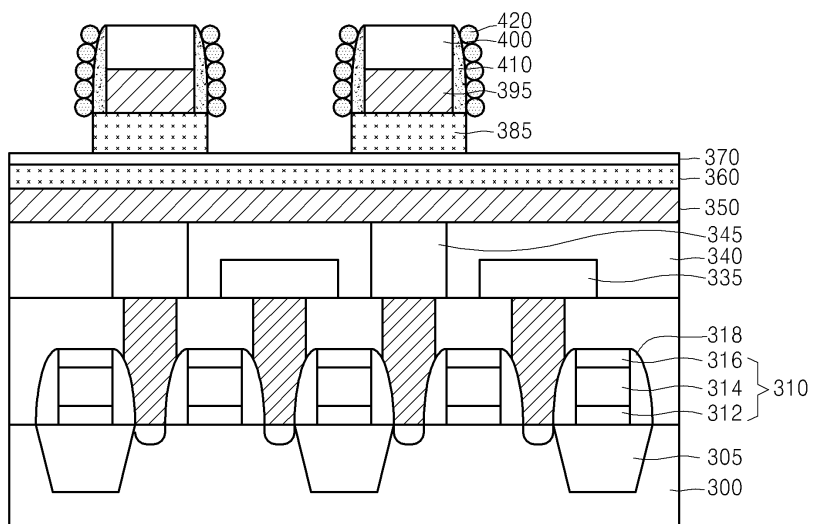
도면14



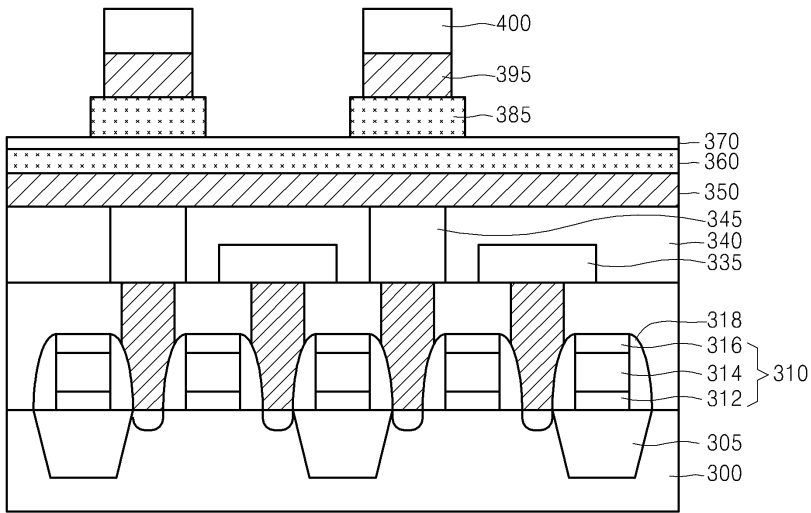
도면15



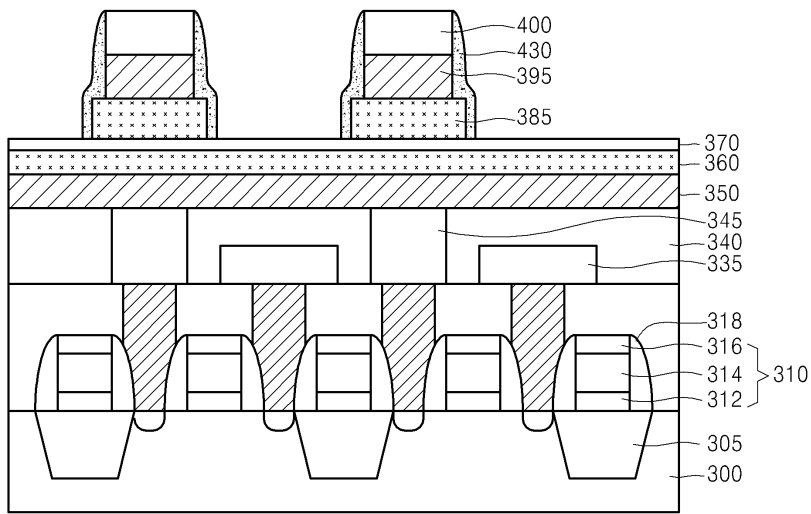
도면16



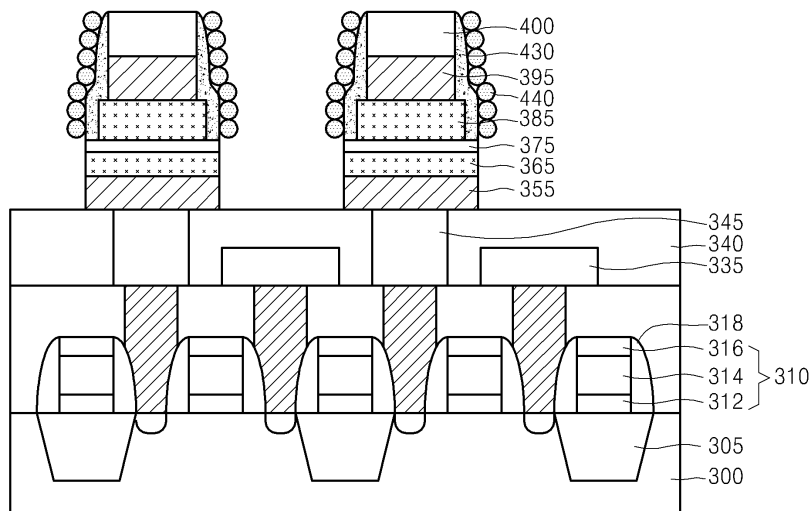
도면17



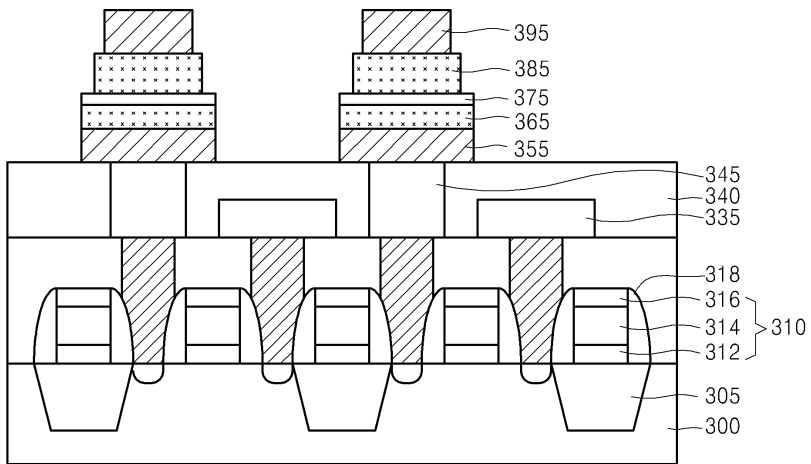
도면18



도면19



도면20



도면21

