

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-529302

(P2008-529302A)

(43) 公表日 平成20年7月31日(2008.7.31)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 F	4 M 1 0 4
HO 1 L 27/092 (2006.01)	HO 1 L 21/28 3 0 1 S	5 F 0 4 8
HO 1 L 21/28 (2006.01)	HO 1 L 29/50 M	
HO 1 L 29/417 (2006.01)		

審査請求 未請求 予備審査請求 未請求 (全 27 頁)

(21) 出願番号 特願2007-553101 (P2007-553101)
 (86) (22) 出願日 平成17年12月21日 (2005.12.21)
 (85) 翻訳文提出日 平成19年9月19日 (2007.9.19)
 (86) 国際出願番号 PCT/US2005/046097
 (87) 国際公開番号 W02006/081012
 (87) 国際公開日 平成18年8月3日 (2006.8.3)
 (31) 優先権主張番号 10/905,945
 (32) 優先日 平成17年1月27日 (2005.1.27)
 (33) 優先権主張国 米国 (US)

(71) 出願人 390009531
 インターナショナル・ビジネス・マシー
 ズ・コーポレーション
 INTERNATIONAL BUSIN
 ESS MASCHINES CORPO
 RATION
 アメリカ合衆国10504 ニューヨーク
 州 アーモンク ニュー オーチャード
 ロード
 (74) 代理人 100108501
 弁理士 上野 剛史
 (74) 代理人 100112690
 弁理士 太佐 種一
 (74) 代理人 100091568
 弁理士 市位 嘉宏

最終頁に続く

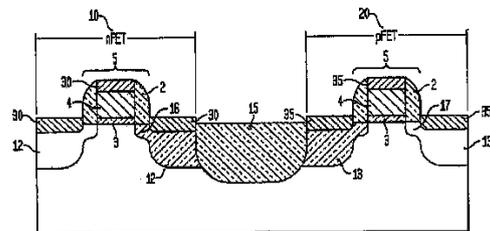
(54) 【発明の名称】 デバイス性能を改善するためのデュアル・シリサイド・プロセス

(57) 【要約】

【課題】 n F E Tデバイス及びp F E Tデバイスの両方に接触するための低減された抵抗率を有する半導体コンタクト構造体、及び、その形成方法を提供すること。

【解決手段】 半導体構造体及びその形成方法は、p型デバイス領域(20)及びn型デバイス領域(10)を有する基板と、n型デバイス領域(10)への第1型シリサイド・コンタクト(30)と、p型デバイス領域(20)への第2型シリサイド・コンタクト(35)と、を含み、第1シリサイドはn型デバイス領域の伝導帯と実質的に合わせられた仕事関数を有し、第2シリサイドはp型デバイス領域の価電子帯と実質的に合わせられた仕事関数を有する。本発明はまた、シリサイド・コンタクト材料及びシリサイド・コンタクト加工条件がp F E Tデバイス及びn F E Tデバイスに歪みに基づくデバイスの改善を与えるように選択された、半導体構造体及びその形成方法を提供する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体構造体であって、

第 1 デバイス領域における p 型デバイス及び第 2 デバイス領域における n 型デバイスを有する基板と、

前記第 2 デバイス領域における前記 n 型デバイスへの第 1 型シリサイド・コンタクトであって、前記第 2 デバイス領域における前記 n 型デバイスの伝導帯と実質的に合わせられた仕事関数を有する第 1 型シリサイド・コンタクトと、

前記第 1 デバイス領域における前記 p 型デバイスへの第 2 型シリサイド・コンタクトであって、前記第 1 デバイス領域における前記 p 型デバイスの価電子帯と実質的に合わせられた仕事関数を有する第 2 型シリサイド・コンタクトと、
を備える半導体構造体。

10

【請求項 2】

前記第 2 型シリサイド・コンタクトが、PtSi、Pt₂Si、IrSi 及び Pd₂Si からなる群から選択され、前記第 1 型シリサイド・コンタクトが、CoSi₂、VSi₂、ErSi、ZrSi₂、HfSi、MoSi₂、NiSi 及び CrSi₂ からなる群から選択される、請求項 1 に記載の半導体構造体。

【請求項 3】

前記第 1 型シリサイド・コンタクトが、実質的に $10^{-9} \text{ ohm} \cdot \text{cm}^{-2}$ から $10^{-7} \text{ ohm} \cdot \text{cm}^{-2}$ までの範囲の接触抵抗を有し、前記第 2 型シリサイド・コンタクトが、実質的に $10^{-9} \text{ ohm} \cdot \text{cm}^{-2}$ から $10^{-7} \text{ ohm} \cdot \text{cm}^{-2}$ までの範囲の接触抵抗を有する、請求項 1 に記載の半導体構造体。

20

【請求項 4】

半導体構造体を形成する方法であって、

基板の少なくとも第 1 デバイス領域上に第 1 シリサイド層を形成するステップであって、前記基板の前記第 1 デバイス領域が第 1 導電型デバイスを含み、前記第 1 シリサイド層が前記第 1 導電型デバイスの伝導帯と実質的に合わせられた仕事関数を有するステップと、

前記基板の少なくとも第 2 デバイス領域上に第 2 シリサイド層を形成するステップであって、前記基板の前記第 2 デバイス領域が第 2 導電型デバイスを含み、前記第 2 シリサイド層が前記第 2 導電型デバイスの価電子帯と実質的に合わせられた仕事関数を有するステップと、
を含む方法。

30

【請求項 5】

前記基板の前記第 1 デバイス領域が少なくとも 1 つの nFET デバイスを含み、前記基板の前記第 2 デバイス領域が少なくとも 1 つの pFET デバイスを含む、請求項 4 に記載の方法。

【請求項 6】

前記第 2 シリサイド層が、PtSi、Pt₂Si、IrSi 及び Pd₂Si からなる群から選択され、前記第 1 シリサイド層が、CoSi₂、VSi₂、ErSi、ZrSi₂、HfSi、MoSi₂、NiSi 及び CrSi₂ からなる群から選択される、請求項 5 に記載の方法。

40

【請求項 7】

前記第 2 シリサイド層がさらに、Co、Er、V、Zr、Hf、Mo、Ni、Cr、及びその組み合わせからなる群から選択される材料を含み、前記第 1 シリサイド層がさらに、Pt、Pd、Ir、及びその組み合わせからなる群から選択される材料を含む、請求項 6 に記載の方法。

【請求項 8】

前記基板の前記第 1 デバイス領域上に前記第 1 シリサイド層を形成する前記ステップがさらに、

50

前記基板の前記第 2 デバイス領域を保護し、前記基板の前記第 1 デバイス領域を露出する第 1 保護層を、前記基板上に形成するステップと、

前記基板の少なくとも前記第 1 デバイス領域上に第 1 シリサイド金属を堆積するステップと、

前記基板をアニーリングして前記第 1 シリサイド金属を前記第 1 シリサイド層に変換するステップと、

前記第 1 保護層を除去するステップと、

を含む、請求項 5 に記載の方法。

【請求項 9】

前記第 1 シリサイド金属が、Co、Er、V、Zr、Hf、Mo、Ni 及び Cr からなる群から選択される、請求項 8 に記載の方法。

10

【請求項 10】

前記基板の前記第 2 デバイス領域上に前記第 2 シリサイド層を形成する前記ステップがさらに、

前記基板の前記第 1 デバイス領域を保護し、前記基板の前記第 2 デバイス領域を露出する第 2 保護層を、前記基板上に形成するステップと、

前記基板の前記第 2 デバイス領域上に第 2 シリサイド金属を堆積するステップと、

前記第 2 シリサイド金属をアニーリングして前記第 2 シリサイド金属を前記第 2 シリサイド層に変換するためにステップと、

前記第 2 保護層を除去するステップと、

を含む、請求項 9 に記載の方法。

20

【請求項 11】

前記第 2 シリサイド金属が、Pt、Ir 及び Pd からなる群から選択される、請求項 10 に記載の方法。

【請求項 12】

前記基板の前記第 2 デバイス領域上に第 2 シリサイド金属を形成する前記ステップが、第 2 シリサイド金属を前記第 2 デバイス領域上及び前記第 1 シリサイド層の上に堆積するステップと、

前記第 2 シリサイド金属をアニーリングして前記第 2 デバイス領域の上の前記第 2 シリサイド金属を前記第 2 シリサイド層に変換し、前記第 1 デバイス領域の上の前記第 2 シリサイド金属を前記第 1 シリサイド層の中に拡散させるステップと、

を含む、請求項 11 に記載の方法。

30

【請求項 13】

前記第 2 シリサイド金属が、Pt、Ir 及び Pd からなる群から選択される、請求項 12 に記載の方法。

【請求項 14】

前記基板の前記第 1 デバイス領域上に前記第 1 シリサイド層を形成する前記ステップがさらに、

前記基板の前記第 1 デバイス領域及び前記第 2 デバイス領域上に第 1 シリサイド金属を堆積するステップと、

前記第 1 シリサイド金属をアニーリングして前記第 1 シリサイド層を形成するステップと、

を含む、請求項 5 に記載の方法。

40

【請求項 15】

前記第 2 領域上に前記第 2 シリサイド層を形成する前記ステップが、

前記基板の前記第 1 デバイス領域における前記第 1 シリサイド層の上に保護層を形成するステップと、

前記基板の前記第 2 デバイス領域における前記第 1 シリサイド層の上に第 2 シリサイド金属を堆積するステップと、

前記第 2 シリサイド金属をアニーリングして、前記第 2 シリサイド金属を前記基板の前

50

記第 2 デバイス領域の上の前記第 1 シリサイド層の中に拡散させて、第 2 シリサイド層を与えるステップと、
を含む、請求項 14 に記載の方法。

【請求項 16】

前記第 1 シリサイド金属が、Co、Er、V、Zr、Hf、Mo、Ni、及びCrからなる群から選択され、前記第 2 シリサイド金属が、Pt、Ir、及びPdからなる群から選択される、請求項 15 に記載の方法。

【請求項 17】

半導体デバイスであって、

第 1 デバイス領域及び第 2 デバイス領域を有する基板と、

少なくとも 1 つの第 1 型デバイスであって、前記第 1 デバイス領域内の前記基板の第 1 デバイス・チャンネル部分の上の第 1 ゲート領域と、前記第 1 デバイス・チャンネルに隣接するソース及びドレーン領域と、前記第 1 デバイス・チャンネルに隣接する前記ソース及びドレーン領域への第 1 シリサイド・コンタクトとを含み、前記第 1 シリサイド・コンタクトが前記基板の前記第 1 デバイス領域内に第 1 歪みを生み出す、第 1 型デバイスと、

少なくとも 1 つの第 2 型デバイスであって、前記第 2 デバイス領域内の前記基板の第 2 デバイス・チャンネル部分の上の第 2 ゲート領域と、前記第 2 デバイス・チャンネルに隣接するソース及びドレーン領域と、前記第 2 デバイス・チャンネルに隣接する前記ソース及びドレーン領域への第 2 シリサイド・コンタクトとを含み、前記第 2 シリサイド・コンタクトが前記基板の前記第 2 デバイス領域内に第 2 歪みを生み出す、第 2 型デバイスと、

前記第 1 歪み及び前記第 2 歪みは圧縮歪みであって前記第 1 圧縮歪みは前記第 2 圧縮歪みよりも大きく、又は前記第 1 歪みは圧縮歪みであって前記第 2 歪みは引張歪みであり、或いは前記第 1 歪み及び前記第 2 歪みは引張歪みであって前記第 1 引張歪みは前記第 2 引張歪みよりも小さい、半導体デバイス。

【請求項 18】

前記少なくとも 1 つの第 1 型デバイスは p F E T であり、前記少なくとも 1 つの第 2 型デバイスは n F E T である、請求項 17 に記載の半導体デバイス。

【請求項 19】

前記第 1 シリサイド・コンタクトが、PtSi、PdSi、CoSi₂、及びZr₂Si₃からなる群から選択され、基板内の反応したシリコンに対するシリサイドの体積比が 1 よりも大きく、前記第 2 シリサイド・コンタクトが、CoSi₂、IrSi₃、CrSi₂、MoSi₂、及びZr₅Si₃からなる群から選択され、基板内の反応したシリコンに対するシリサイドの体積比が第 1 シリサイドの比よりも小さい、請求項 17 に記載の半導体デバイス。

【請求項 20】

半導体構造体を形成する方法であって、

基板の少なくとも第 1 デバイス領域上に第 1 シリサイド層を形成するステップであって、前記基板の前記第 1 デバイス領域が第 1 導電型デバイスを含み、前記第 1 シリサイド層が前記基板の前記第 1 デバイス領域内に第 1 歪みを生み出すステップと、

前記基板の少なくとも第 2 デバイス領域上に第 2 シリサイド層を形成するステップであって、前記基板の前記第 2 デバイス領域が第 2 導電型デバイスを含み、前記第 2 シリサイド層が前記基板の前記第 2 デバイス領域内に第 2 歪みを生み出すステップと、

前記第 1 歪みが前記第 2 歪みとは異なる、方法。

【請求項 21】

前記第 1 歪みが p F E T デバイスにおけるキャリア移動度を増加させ、前記第 2 歪みが n F E T デバイスにおけるキャリア移動度を増加させる、請求項 20 に記載の方法。

【請求項 22】

前記基板の前記第 1 デバイス領域上に前記第 1 シリサイド層を形成する前記ステップが

10

20

30

40

50

さらに、

前記基板の前記第 2 デバイス領域を保護し、前記基板の前記第 1 デバイス領域を露出する第 1 保護窒化物層を、前記基板上に形成するステップと、

前記基板の少なくとも前記第 1 デバイス領域上に第 1 シリサイド金属を堆積するステップと、

前記基板をアニーリングして前記第 1 シリサイド金属を前記第 1 シリサイド層に変換するステップと、

前記第 1 保護窒化物層を除去するステップと、

を含む、請求項 2 1 に記載の方法。

【請求項 2 3】

10

前記第 1 シリサイド金属が、5 原子量 % から 25 原子量 % までのシリコンと、95 原子量 % から約 75 原子量 % までのコバルトとを含む、請求項 2 2 に記載の方法。

【請求項 2 4】

前記第 1 シリサイドが、PtSi、PdSi、CoSi₂、及び Zr₂Si からなる群から選択され、基板内の反応したシリコンに対するシリサイドの体積比が 1 よりも大きい、請求項 2 2 に記載の方法。

【請求項 2 5】

前記基板の前記第 2 デバイス領域上に前記第 2 シリサイド層を形成する前記ステップがさらに、

前記基板の前記第 1 デバイス領域を保護し、前記基板の前記第 2 デバイス領域を露出する第 2 保護窒化物層を、前記基板上に形成するステップと、

20

前記基板の前記第 2 デバイス領域上に第 2 シリサイド金属を堆積するステップと、

前記第 2 シリサイド金属をアニーリングして前記第 2 シリサイド金属を前記第 2 シリサイド層に変換するステップと、

前記第 2 保護窒化物層を除去するステップと、

を含む、請求項 2 3 に記載の方法。

【請求項 2 6】

前記第 2 シリサイドが、CoSi₂、IrSi₃、CrSi₂、MoSi₂、及び Zr₅Si₃ からなる群から選択され、基板内の反応したシリコンに対するシリサイドの体積比が第 1 シリサイドの比よりも小さい、請求項 2 5 に記載の方法。

30

【請求項 2 7】

前記基板の前記第 2 デバイス領域上に前記第 2 シリサイド層を形成する前記ステップがさらに、

前記基板の前記第 1 デバイス領域を保護し、前記基板の前記第 2 デバイス領域を露出する第 2 保護窒化物層を、前記基板上に形成するステップと、

前記基板の前記第 2 デバイス領域上に第 2 シリサイド金属を堆積するステップと、

前記第 2 シリサイド金属をアニーリングして前記第 2 シリサイド金属を前記第 2 シリサイド層に変換するステップと、

前記第 2 保護窒化物層を除去するステップと、

を含む、請求項 2 4 に記載の方法。

40

【請求項 2 8】

前記第 2 シリサイドが、CoSi₂、IrSi₃、CrSi₂、MoSi₂、及び Zr₅Si₃ からなる群から選択され、基板内の反応したシリコンに対するシリサイドの体積比が第 1 シリサイドの比よりも小さい、請求項 2 7 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体デバイスに用いるための金属シリサイド・コンタクトに関し、より詳細には、2つの異なる仕事関数を有する2つの異なる金属シリサイド・コンタクトを備えた構造体及びその形成方法に関する。本発明はまた、シリサイド・コンタクトの金属が歪

50

みに基づくデバイスの改善を与えるように選択された、半導体デバイスに関する。

【背景技術】

【0002】

現在実現可能である性能が増大した集積回路（IC）を製造できるようにするためには、電気接触抵抗を減少させるデバイス・コンタクトが開発されなければならない。コンタクトは、半導体デバイスの活性領域、例えばウェハ表面のトランジスタ・デバイスのソース/ドレイン又はゲートと金属層との間の電氣的接続部であり、相互接続部として働く。

【0003】

シリサイド・コンタクトは、チップ性能を増大させるためにソース/ドレイン及びゲート領域における多くのSiコンタクトの電気抵抗を減少させる必要があるため、相補型金属酸化物半導体（CMOS）デバイスを含むICにとって特に重要である。シリサイドは、熱的に安定な金属化合物であり、Si/金属界面における低い電気抵抗を与える。接触抵抗の減少は、デバイス速度を向上させ、それによりデバイス性能を増大させる。

【0004】

シリサイドの形成は、典型的には、Si含有材料又はウェハの表面上にNi、Co、Pd、Pt、Rh、Ir、Zr、Cr、Hf、Er、Mo又はTiのような金属を堆積させることを必要とする。堆積後に、構造体は、これに限られるものではないが急速熱アニーリングのような従来のプロセスを用いるアニーリング・ステップに供される。熱アニーリングの間に、堆積された金属がSiと反応して金属シリサイドを形成する。

【0005】

技術が進歩するのに伴って、n型電界効果トランジスタ（nFET）とp型電界効果トランジスタ（pFET）は、相補型電界効果トランジスタ（CMOS）のように、必然的に同じ構造体内で組み合わされる。nFETデバイス及びpFETデバイスの両方における直列抵抗を最小にするために、nFETデバイス及びpFETデバイスの両方に低抵抗コンタクトが必要とされる。理想的には、pFETデバイスへの低抵抗シリサイド・コンタクトは、pFETの価電子帯と合わせられた仕事関数を有し、nFETデバイスへの低抵抗シリサイド・コンタクトは、nFETの伝導帯と合わせられた仕事関数を有する。CMOSのnFET及びpFETデバイス構造体への従来のコンタクトは、単一の導電性材料の堆積の間に形成されたコンタクトを用い、各々のコンタクトは同じ材料を含む。

【0006】

したがって、nFETデバイス及びpFETデバイスの両方へのコンタクトを形成するために1つのシリサイドが用いられるため、異なるデバイス・タイプ間の接触抵抗におけるトレードオフが存在し、一方のデバイス、例えばnFETの接触抵抗を最小にするように選択されたシリサイドは、他方のデバイス、例えばpFETの接触抵抗を増加させる。デバイスのスケールリングが続いていくのに伴って、接触抵抗がデバイスの性能を支配しないことを保証するために、nFETデバイス及びpFETデバイスへのシリサイド・コンタクトの接触抵抗の改善が必要とされる。

【0007】

さらに、従来のコンタクトは、接触抵抗を減少させるために非常に高いドーパント濃度を用いていた。現在のデバイスでは、ドーピング濃度はほぼその物理的限界に達している。したがって、コンタクトの接触抵抗を減少させるために新しい方法が考案されなければならない。

【0008】

さらに、シリコン金属酸化物半導体電界効果トランジスタ（MOSFET）の継続的な小型化が、過去30年間の全世界の半導体産業を動かしていた。しかしながら、MOSFETはそれらの旧来のスケールリングの限界に達し始めているという兆候が今日では高まっている。

【0009】

継続的なスケールリングを通じてMOSFET、したがって相補型金属酸化物半導体（CMOS）デバイスの性能を改善するのはだんだん難しくなっているため、スケールリン

10

20

30

40

50

グなしに性能を改善する方法が重要となっている。これを行うための1つの手法は、キャリア（電子及び/又は正孔）移動度を増大させることである。キャリア移動度を増大させるための1つの方法は、Si格子に適切な歪みを導入することである。

【0010】

応力又は歪みの適用は、Si含有基板の格子寸法を変化させる。格子寸法を変化させることによって、材料のエネルギー・ギャップも同様に变化する。真性半導体における変化はほんの僅かであり、結果としてほんの小さな抵抗の変化をもたらすのみであるが、半導体材料がドーブされ、すなわちn型とされ、部分的にイオン化されたときには、エネルギー・バンドにおける非常に小さな変化が、不純物レベルとバンド・エッジとの間のエネルギー差の大きな割合の変化を生み出すことができる。したがって、応力が適用された材料の抵抗の変化は大きい。

10

【0011】

基板の歪みに基づく改善を与えるための従来を試みは、エッチング止めライナ又は埋設SiGe構造体を使用していた。n型チャネル電界効果トランジスタ(nFET)は、歪みに基づくデバイスの改善のためにチャネル上に張力を必要とし、一方、p型チャネル電界効果トランジスタ(pFET)は、歪みに基づくデバイスの改善のためにチャネル上に圧縮力を必要とする。半導体デバイスのさらなるスケールリングは、基板内に生成される歪みレベルが制御され、及び生成され得る歪みを増加させるための新しい方法が開発されることを必要とする。

20

【0012】

上記の技術水準に照らして、各々の仕事関数が各々のデバイスへの低抵抗コンタクトを与えるように調整された、nFETデバイス及びpFETデバイスの両方への低接触抵抗シリサイド・コンタクトを提供する必要性が引き続き存在している。さらに、nFETデバイス及びpFETデバイスの両方について適切に歪むことができる、バルクSi又はSOI基板における歪んだSi基板を提供する必要性が引き続き存在している。

【発明の開示】

【発明が解決しようとする課題】

【0013】

本発明の目的は、nFETデバイス及びpFETデバイスの両方に接触するための低減された抵抗率を有する半導体コンタクト構造体、及び、その形成方法を提供することである。

30

【0014】

本発明の別の目的は、nFETデバイス及びpFETデバイスの両方への低抵抗金属シリサイド・コンタクトを含む半導体コンタクト構造体、及び半導体構造体の形成方法を提供することである。「低抵抗金属シリサイド・コンタクト」という用語は、 $1 \times 10^{-9} \text{ ohm} \cdot \text{cm}^{-2}$ から $1 \times 10^{-7} \text{ ohm} \cdot \text{cm}^{-2}$ までの範囲の接触抵抗を有するシリサイド・コンタクトのことを意味する。

【0015】

本発明のさらなる目的は、デバイスのシリサイド・コンタクトがnFETデバイス及びpFETデバイスにおいて歪みに基づくデバイスの改善を与えるように選択された、半導体デバイス、及び半導体デバイスの形成方法を提供することである。

40

【課題を解決するための手段】

【0016】

本発明において、これらの並びに他の目的及び利点は、その後処理されてnFETデバイス又はpFETデバイスを与える基板の部分に、シリサイド材料が選択的に堆積されることを可能にする方法によって達成される。nFETデバイス及びpFETデバイスの両方に接触するための低減された抵抗率を有する半導体コンタクト構造体は、それらが電氣的に接触するデバイスに対して最適化された仕事関数を有するシリサイド・コンタクトによって提供することができる。本発明は、pFETデバイスの価電子帯に近い電位をもつ仕事関数を有するpFETデバイスへのシリサイド・コンタクトを提供し、nFETデバ

50

イスの伝導帯に近い電位をもつ仕事関数を有する n F E T デバイスへのシリサイド・コンタクトを提供する。

【 0 0 1 7 】

大まかには、本発明の構造体は、

第 1 デバイス領域における p 型デバイス及び第 2 デバイス領域における n 型デバイスを有する基板と、

第 2 デバイス領域における n 型デバイスへの第 1 型シリサイド・コンタクトであって、第 2 デバイス領域における n 型デバイスの伝導帯と実質的に合わせられた仕事関数を有する第 1 型シリサイド・コンタクトと、

第 1 デバイス領域における p 型デバイスへの第 2 型シリサイド・コンタクトであって、第 1 デバイス領域における p 型デバイスの価電子帯と実質的に合わせられた仕事関数を有する第 2 型シリサイド・コンタクトと、
を備える。

10

【 0 0 1 8 】

第 1 型シリサイド・コンタクトは、n F E T デバイスの伝導帯と実質的に合わせられた仕事関数を有し、第 2 型シリサイド・コンタクトは、p F E T デバイスの価電子帯と実質的に合わせられた仕事関数を有する。

【 0 0 1 9 】

第 2 型シリサイド・コンタクトは、PtSi、Pt₂Si、IrSi、Pd₂Si のようなシリサイド、並びに、p F E T デバイスの価電子帯と実質的に合わせられた仕事関数を有する他のものを含むことができる。第 1 型シリサイド・コンタクトは、CoSi₂、VSi₂、ErSi、ZrSi₂、HfSi、MoSi₂、NiSi、CrSi₂、並びに、n F E T デバイスの伝導帯と実質的に合わせられた仕事関数を有する他のものを含むことができる。第 1 型シリサイド・コンタクトの接触抵抗は、約 $10^{-9} \text{ ohm} \cdot \text{cm}^{-2}$ から約 $10^{-7} \text{ ohm} \cdot \text{cm}^{-2}$ までの範囲である。第 2 型シリサイドの接触抵抗は、約 $10^{-9} \text{ ohm} \cdot \text{cm}^{-2}$ から約 $10^{-7} \text{ ohm} \cdot \text{cm}^{-2}$ までの範囲である。

20

【 0 0 2 0 】

本発明の別の態様は、n F E T デバイス及び p F E T デバイスの両方への低抵抗金属シリサイド・コンタクトを有する基板を形成する方法である。大まかには、本発明の方法は、基板の少なくとも第 1 デバイス領域上に第 1 シリサイド層を形成するステップであって、基板の第 1 デバイス領域が第 1 導電型デバイスを含み、第 1 シリサイド層が第 1 導電型デバイスの伝導帯と実質的に合わせられた仕事関数を有するステップと、基板の少なくとも第 2 デバイス領域上に第 2 シリサイド層を形成するステップであって、基板の第 2 デバイス領域が第 2 導電型デバイスを含み、第 2 シリサイド層が第 2 導電型デバイスの価電子帯と実質的に合わせられた仕事関数を有するステップと、を含む。

30

【 0 0 2 1 】

基板の第 1 デバイス領域は少なくとも 1 つの n F E T デバイスを含み、基板の第 2 デバイス領域は少なくとも 1 つの p F E T デバイスを含む。基板の第 1 デバイス領域上に第 1 シリサイド層を形成するステップは、基板の第 1 デバイス領域及び第 2 デバイス領域の上に第 1 保護材料層を堆積することを含む。次の加工ステップにおいて、第 1 保護層は、基板の第 1 デバイス領域を露出するためにエッチングされる。第 1 保護層は、基板の第 2 デバイス領域の上の第 1 保護層の部分を保護し、基板の第 1 デバイス領域の上の第 1 保護層の部分を露出する第 1 パターン形成ブロック・マスクを、第 1 保護層の上に形成することによって開放される。次いで、第 1 保護層は、基板の第 1 デバイス領域を露出するように選択的にエッチングされ、第 1 保護層の残りの部分は、基板の第 2 デバイス領域の上に重なるように位置決めされる。次いで、第 1 パターン形成ブロック・マスクが除去される。次いで、第 1 シリサイド金属が基板の少なくとも第 1 デバイス領域上に堆積される。第 1 シリサイド金属は、Co、Er、V、Zr、Hf、Mo、Ni、Cr、又は Co/TiN のスタック、或いは、n F E T デバイスの伝導帯と実質的に合わせられた仕事関数を有するシリサイドを形成する他の金属又は金属合金を含むことができる。次いで、第 1 シリサ

40

50

イド金属は、第1シリサイド金属を第1シリサイド層に変換するためにアニールされる。シリサイド化の後で、未反応の金属が除去される。

【0022】

基板の第2デバイス領域上に第2シリサイド層を形成するステップは、基板の第1デバイス領域及び第2デバイス領域の上に第2保護材料層を堆積し、次いで、第2保護層をエッチングして基板の第2デバイス領域を露出することを含む。第2保護層のエッチングは、第2パターン形成ブロック・マスクを形成することを含み、第2パターン形成ブロック・マスクは、基板の第1デバイス領域を保護し、基板の第2デバイス領域を露出する。次いで、第2保護層は、基板の第2デバイス領域を露出するように選択的にエッチングされ、第2保護層の残りの部分は、基板の第1デバイス領域の上に重なるように位置決めされる。次いで、第2パターン形成ブロック・マスクが除去される。次いで、第2シリサイド金属が基板の第2デバイス領域上に堆積される。第2シリサイド金属は、Pt、Ir、Pd、或いは、pFETデバイスの価電子帯と実質的に合わせられた仕事関数を有するシリサイドを形成する他の金属又は金属合金とすることができる。次いで、第2シリサイド金属は、第2シリサイド金属を第2シリサイド層に変換するためにアニールされる。シリサイド化の後で、第2シリサイド金属の未反応部分が除去される。次いで、第2保護層が随意的に除去される。

10

【0023】

幾つかの実施形態は第1シリサイド層の形成前又は形成後のいずれかに第2シリサイド層を形成する理由を与え得るので、第2シリサイド層は、第1シリサイド層の形成前又は形成後のいずれかに形成されることができる。

20

【0024】

本発明の方法の他の実施形態においては、加工ステップの数は、第1及び第2金属シリサイド層を形成するのに用いられるブロック・マスクの数を減らすことによって減少させることができる。

【0025】

1つの例において、第1シリサイド金属は、基板の上にブランケット堆積され、次いでアニールされて第1デバイス領域及び第2デバイス領域の上にシリサイド層を形成する。次の加工ステップにおいて、単一の保護層が第1デバイス領域の上に形成され、第2シリサイド金属が、第2デバイス領域における露出された第1シリサイド層の上に形成される。アニーリングの間に、第2シリサイド金属が第2デバイス領域における第1シリサイド層と混合される。

30

【0026】

別の例においては、単一の保護層が第1導電型デバイス又は第2導電型デバイスのいずれかを含む基板の部分上に形成され、第1シリサイド層が基板の露出部分の上に形成される。次の加工ステップにおいて、単一の保護層が除去され、第2シリサイド金属が第1シリサイド層を含む基板表面の上にブランケット堆積される。その後のアニーリングの間に、第2デバイス領域の上の第2シリサイド金属が第2シリサイド層に変換され、第1デバイス領域における第2シリサイド金属が第1シリサイド層と混合される。

【0027】

本発明の別の実施形態においては、デバイスのソース領域及びドレーン領域へのシリサイド・コンタクトがpFETデバイス及びnFETデバイスに対して歪みに基づくデバイスの改善を与える、半導体デバイスが提供される。大まかには、そして特定の用語で、本発明の半導体デバイスは、

40

第1デバイス領域及び第2デバイス領域を有する基板と、

少なくとも1つの第1型デバイスであって、第1デバイス領域内の基板の第1デバイス・チャンネル部分の上の第1ゲート領域と、第1デバイス・チャンネルに隣接するソース及びドレーン領域と、ソース領域、ドレーン領域及び随意的にゲート領域に接触する第1シリサイドとを含み、第1シリサイド・コンタクトが基板の第1デバイス領域内に第1歪みを生成する、第1型デバイスと、

50

少なくとも1つの第2型デバイスであって、第2デバイス領域内の基板の第2デバイス・チャンネル部分の上の第2ゲート領域と、第2デバイス・チャンネルに隣接するソース及びドレーン領域と、ソース領域、ドレーン領域及び随意的にゲート領域に接触する第2シリサイドとを含み、第2シリサイド・コンタクトが基板の第2デバイス領域内に第2歪みを生成する、第2型デバイスと、を備え、第1歪み及び第2歪みは圧縮歪みであって第1圧縮歪みは第2圧縮歪みよりも大きく、又は第1歪みは圧縮歪みであって第2歪みは引張歪みであり、或いは第1歪み及び第2歪みは引張歪みであって第1引張歪みは第2引張歪みよりも小さい。

【0028】

本発明によれば、第1型デバイスはpFETとすることができ、第2型デバイスはnFETとすることができる。pFETデバイスは、nFETよりも大きい内部圧縮歪みを有すべきである。nFETデバイスは、圧縮歪み又は引張歪みのいずれを有してもよい。シリサイド・コンタクトは、それが各々のデバイスについての適切な応力を生み出すので、このシリサイドを形成するのに消費されたシリコンに対するシリサイドの体積差を生み出すように最適化されるべきである。例えば、 CoSi_2 は、消費されたシリコンに対するシリサイドの体積比が0.97であり、これは中程度の引張応力をもたらし、nFETの移動度に有益となる。PtSiは、消費されたシリコンに対するシリサイドの体積比が1.5であり、これは圧縮応力をもたらし、pFETの移動度に有益となる。nFETにおける移動度に対して有利な、消費されたシリコンに対するシリサイドの体積比を有するシリサイドのさらなる例は、0.9の比を有する CrSi_2 、0.9の比を有する IrSi_3 、及び0.87の比を有する MoSi_2 であり、他のシリサイドもこの基準を満たすであろう。pFETにおける移動度に対して有利な、消費されたシリコンに対するシリサイドの体積比を有するシリサイドのさらなる例は、1.45の比を有するPdSi、1.35の比を有するRhSi、及び2.13の比を有するYSiであり、他のシリサイドもこの基準を満たすであろう。

【0029】

この応力の差を生み出す別の方法は、同じベース金属から2相のシリサイドを生成することであり、例えば、 Zr_2Si は2.7の比を有し、pFETに有利となり、 Zr_5Si_3 は0.25の比を有し、nFETに有利となる。

【0030】

この応力の差を生み出すさらに別の方法は、nFET上にCoを堆積し、0.97の比を有する CoSi_2 を形成し、5%から25%のシリコンを有するCo合金を堆積することであり、例えば Co_2Si を堆積して CoSi_2 を形成すると、およそ1.29の比を有することになり、それはpFETに有利な応力をもたらす。

【0031】

本発明の別の態様においては、前述の構造体を与える方法が提供される。大まかには、そして特定の用語で、半導体構造体を形成するための本発明の方法は、

基板の少なくとも第1デバイス領域上に第1シリサイド層を形成するステップであって、基板の第1デバイス領域が第1導電型デバイスを含み、第1シリサイド層が基板の第1デバイス領域内に第1歪みを生み出すステップと、

基板の少なくとも第2デバイス領域上に第2シリサイド層を形成するステップであって、基板の第2デバイス領域が第2導電型デバイスを含み、第2シリサイド層が基板の第2デバイス領域内に第2歪みを生み出すステップとを含み、第1歪みは第2歪みとは異なる。

【0032】

本発明の方法によれば、第1歪みはpFETデバイスにおけるキャリア移動度を増大させ、第2歪みはnFETデバイスにおけるキャリア移動度を増大させる。第1シリサイド金属は、コバルト・シリコン合金、Zr、Pt、Pd、Rh又はY、或いは、圧縮応力を生み出す、消費されたシリコンに対するシリサイドの体積比をもたらす他の金属又は合金から形成されるシリサイドとすることができる。第2シリサイド金属は、Co、Zr、C

10

20

30

40

50

r、Ir、Mo、又は、第1シリサイドによって生み出された応力よりも大きい引張応力を生み出す、消費されたシリコンに対するシリサイドの体積比をもたらず他の金属又は合金から形成されたシリサイドとすることができる。

【発明を実施するための最良の形態】

【0033】

n型電界効果トランジスタ(nFET)及びp型電界効果トランジスタ(pFET)の両方への低接触抵抗シリサイド・コンタクトを含む半導体構造体、及びその形成方法を提供する本発明を、本明細書に付属の図面を参照することによって、ここでより詳しく説明される。図面は、1つの基板上に2つのみの電界効果トランジスタ(FET)の存在を示しているが、多数のFETも本発明の範囲内である。

10

【0034】

本発明は、nFETデバイスへの金属シリサイド・コンタクトの組成がnFETデバイスの伝導帯と実質的に合わせられた仕事関数を有し、pFETデバイスへの金属シリサイド・コンタクトの組成がpFETデバイスの価電子帯と実質的に合わせられた仕事関数を有するnFETデバイス及びpFETデバイスの両方を備えた半導体構造体を提供する。

【0035】

「伝導帯と実質的に合わせられた仕事関数」という用語は、シリサイドの仕事関数が、nFETデバイスのバンド・ギャップ内の、バンド・ギャップのほぼ中央からn型材料の伝導帯までの範囲の、好ましくは伝導帯の方に近いところに位置する電位を有することをいう。伝導帯と実質的に合わせられた仕事関数を有するシリサイド・コンタクトは、低接触抵抗n型シリサイドをもたらず。「低接触抵抗n型シリサイド」という用語は、 $10^{-7} \text{ ohms} \cdot \text{cm}^{-2}$ よりも小さい接触抵抗を有するnFETデバイスへの金属シリサイドのことをいう。

20

【0036】

「価電子帯と実質的に合わせられた仕事関数」という用語は、シリサイドの仕事関数が、pFETデバイスのバンド・ギャップ内の、バンド・ギャップのほぼ中央からp型材料の価電子帯までの範囲の、好ましくは価電子帯の方に近いところに位置する電位を有することをいう。価電子帯と実質的に合わせられた仕事関数を有するシリサイド・コンタクトは、低接触抵抗p型シリサイドをもたらず。「低接触抵抗p型シリサイド」という用語は、 $10^{-7} \text{ ohms} \cdot \text{cm}^{-2}$ よりも小さい接触抵抗を有するpFETデバイスへの金属シリサイドのことをいう。

30

【0037】

図1を参照すると、本発明の半導体デバイスは、第2のデバイス領域としてのnFETデバイス領域10と第1のデバイス領域としてのpFETデバイス領域20とを含む。分離領域15が、nFETデバイス領域10とpFETデバイス領域20とを分離してもよい。pFETデバイス領域20は、p型ソース/ドレイン領域13を有する少なくとも1つのトランジスタを含む。トランジスタの各々はさらに、ゲート誘電体3の上にゲート導体4を含むゲート領域5を有し、ゲート領域5には側壁スペーサ2が当接する。

【0038】

低抵抗p型シリサイド・コンタクト35は、p型ソース/ドレイン/ゲート・コンタクト領域13の両方の上に形成され、低抵抗p型シリサイド・コンタクト35の金属は、p型ソース/ドレイン13の材料の価電子帯と実質的に合わせられた仕事関数電位を有する金属シリサイドをもたらずように選択される。p型ソース/ドレイン領域13の上に位置決めされた低抵抗p型シリサイド・コンタクト35は、p型シリサイド・コンタクト35がp型ソース/ドレイン材料13の価電子帯と実質的に合わせられた仕事関数を有する限りは、PtSi、Pt₂Si、IrSi、Pd₂Si、CoSi₂、PdSi、RhSi、YSi、Zr₂Si、又は、基板のpFETデバイス領域20のための応力又は接触抵抗について最適化された他のシリサイドとすることができる。低抵抗p型シリサイド・コンタクト35の厚さは、およそ1nmからおよそ40nmまでの範囲とすることができる。

40

50

【0039】

n F E Tデバイス領域10は、n型ソース/ドレイン領域12を有する少なくとも1つのトランジスタを含む。トランジスタの各々はさらに、ゲート誘電体3の上にゲート導体4を含むゲート領域5を有し、ゲート領域5には側壁スペーサ2が当接する。

【0040】

低抵抗n型シリサイド・コンタクト30は、n型ソース/ドレイン/ゲート・コンタクト領域12の両方の上に形成され、低抵抗n型シリサイド・コンタクトの金属は、n型ソース/ドレイン材料12の伝導帯と実質的に合わせられた仕事関数電位を有する金属シリサイドをもたらすように選択される。n型ソース/ドレイン領域12の上に位置決めされた低抵抗n型シリサイド・コンタクト30は、n型シリサイド・コンタクト30がn型ソ

10

【0041】

p F E Tデバイスにp型シリサイド・コンタクトを設ける効果は、図2に描かれたI d l i n対I o f fプロットに示されている。I d l i nは、デバイスがオンにされたときのp F E Tデバイスからの出力電流の測定値である。I d l i nは、デバイスのオン電流

20

【0042】

p F E Tデバイスからの出力電流(I d l i n)が増加することにより、デバイスの速度が増大する。出力電流(I d l i n)は、シリサイド化プロセスの関数であり得、出力電流は低抵抗シリサイド・コンタクトによって増加し、高抵抗シリサイド・コンタクトによって減少する。デバイスのオフ電流(I o f f)は、ドーパントの位置決め(positioning)の関数であり、シリサイド化プロセスに直接は依存しない。

30

【0043】

したがって、出力電流(I d l i n)はシリサイド化プロセスに依存し、オフ電流(I o f f)はシリサイド化プロセスに依存しないため、デバイスへのシリサイド・コンタクトの抵抗の減少は、一定のオフ電流(I o f f)のときの出力電流(I d l i n)の増加によって測定することができる。本発明の別の態様は、デバイスからの出力電流(I d l i n)を増加させ、オフ電流(I o f f)を一定に保つことによって、デバイスの速度及び性能を向上させることができるという点である。

【0044】

図2を参照すると、C o S i ₂コンタクト及びP t S iコンタクトのようなシリサイド・コンタクトを有するデバイスのu A / u m単位の出力電流(I d l i n)が、デバイスのオフ電流(I o f f)に対してプロットされている。図2に描かれたプロットから、C o S i ₂コンタクトに比べてP t S iコンタクトを用いてp F E Tデバイスの著しい改善が達成され、y軸上の任意の所与のオフ電流に対して、オン電流(I d l i n)は、C o S i ₂コンタクトからP t S iコンタクトまで増加した。

40

【0045】

ここで、図1に描かれたような前述の半導体構造体の形成方法を、図3 - 図10を参照しながら説明する。本発明の方法の第1の実施形態が、図3 - 図5に描かれており、p F E Tデバイス領域20への低抵抗金属シリサイド・コンタクト35と、n F E Tデバイス領域10への異なる低抵抗金属シリサイド・コンタクト30とを有し、異なるデバイス・タイプのための接触抵抗を改善するようにシリサイドの差異が調整されたC M O S構造体を提供するための、本発明の方法の1つの実施形態が(断面図で)描かれている。

50

【0046】

図3を参照すると、シリコン(Si)含有材料の基板40上に形成されたnFETデバイス領域10及びpFETデバイス領域20を有する初期状態の構造体を用意される。Si含有材料には、シリコン、単結晶シリコン、多結晶シリコン、シリコン・ゲルマニウム、シリコン・オン・シリコン・ゲルマニウム、アモルファス・シリコン、シリコン・オン・インシュレータ(SOI)、シリコン・ゲルマニウム・オン・インシュレータ(SGOI)、及びアニール化ポリシリコンが含まれるが、これらに限定されるものではない。基板40はさらに、nFETデバイス領域10からpFETデバイス領域20を分離する分離領域15を含む。図3は、pFETデバイス領域20における1つのみのpFETデバイスと、nFETデバイス領域10における1つのみのnFETデバイスとを描いているが、nFETデバイス領域10及びpFETデバイス領域20内の多数のデバイスも意図されており、したがって本発明の開示の範囲内である。

10

【0047】

nFET及びpFETデバイスは、MOSFETデバイスを製造することができる従来の加工ステップを用いることによって形成される。各々のデバイスは、ゲート誘電体3の上にゲート導体4を有するゲート領域5を備える。少なくとも一組の側壁スペーサ2が、ゲート領域5に当接して配置されてもよい。延長領域16、17を含むソース/ドレイン領域12、13が、基板40内に配置され、デバイス・チャンネルを画定する。nFETデバイスのソース/ドレイン領域12はn型ドーパされる。pFETデバイスのソース/ドレイン領域13はp型ドーパされる。Si含有基板におけるn型ドーパントは、As、Sb及び/又はPのような元素周期表のV族からの元素である。Si含有基板におけるp型ドーパントは、Bのような元素周期表のIII族からの元素である。

20

【0048】

ここで図4を参照すると、ソース/ドレインのアニール後に、nFETデバイス領域10及びpFETデバイス領域20を含む基板40の上に第1保護層81としての窒化物保護層が堆積される。窒化物保護層は、当該技術分野では典型的に知られているように化学気相成長プロセス又は同様のプロセスを用いて堆積される。好ましくは、窒化物保護層は、5nmから約20nmまでの範囲の厚さを有するSi₃N₄のようなコンフォーマル窒化物である。第1保護層81は窒化物を含むことが好ましいが、代替的に、第1保護層81は、酸化物又は酸窒化物、或いは他の適切な誘電体であってもよい。第1保護層81の材料は、その後のシリサイド化プロセスの間、第1保護層81の一体性が確実に維持されるように選択される。

30

【0049】

次の加工ステップにおいて、第2デバイス領域(pFETデバイス領域20)の上に重なる第1保護層81の部分を保護し、第1デバイス領域(nFETデバイス領域10)の上に重なる第1保護層81の部分を露出する、第1ブロック・マスク50が形成される。次いで、基板40の露出された部分が、適切な金属シリサイドを用いてシリサイド化されて、そこに形成されたデバイスへの低抵抗コンタクトを形成する。図4に描かれた例においては、pFETデバイス領域20(第2デバイス領域)の上に重なり、nFETデバイス領域10(第1デバイス領域)を露出されたまま残して、第1ブロック・マスク50が形成される。この例においては、その後、nFETデバイス領域10内のデバイスへのn型シリサイド・コンタクトが形成される。

40

【0050】

第1ブロック・マスク50は、低圧化学気相成長(LPCVD)、急速熱処理化学気相成長(RTCVD)、又はプラズマ化学気相成長(PECVD)により、基板40の上にブロック・マスク材料層をブランケット堆積することによって形成され、PECVDを用いるのが好ましい。次いで、従来のフォトリソグラフィ及びエッチング・プロセスを用いてブロック・マスク層がパターン形成される。最初に、構造体全体の上にフォトレジスト層が堆積される。次いで、フォトレジスト層は選択的に露光されて現像され、フォトレジスト層が、基板40のpFETデバイス領域20における第1保護層81の上に重なるブ

50

ロック・マスク材料層の部分を保護し、n F E Tデバイス領域10の上に重なる第1保護層81の部分を露出するように、パターン形成される。

【0051】

次に、パターンは、パターン形成されたフォトレジスト又は下にあるn F E Tデバイス領域10を実質的にエッチングすることなく第1保護層81を選択的に除去するエッチング・プロセスを用いて、第1保護層81に転写される。好ましくは、エッチング・プロセスは、反応性イオン・エッチングのような異方性(directional)エッチングである。

【0052】

エッチングの後で、化学ストリップ及び/又は反応性プラズマ・エッチングによってブロック・マスク50が除去される。ブロック・マスク50が除去されると、シリサイド・コンタクトがその後形成される基板40の露出部分の表面をクリーンにするために、クリーニング・プロセスが行われる。クリーニング・プロセスは、当業者には公知の従来の化学クリーニングである。

10

【0053】

さらに図4を参照すると、第1シリサイド層30(低抵抗n型シリサイド・コンタクト30)が、n F E Tデバイス領域10におけるデバイスのソース/ドレーン領域12及びゲート4の上に形成される。シリサイドの形成は、典型的には、Si含有材料の表面上に金属を堆積することを必要とする。図4に描かれた実施形態においては、第1シリサイド層30は低抵抗n型シリサイドであり、第1シリサイド金属は、n型デバイス領域10内のSi含有基板40のn型ソース/ドレーン領域12の伝導帯と実質的に合わせられた仕事関数を有するシリサイドを形成する。Si含有基板40内のn型ドーパされたソース/ドレーン領域の伝導帯と実質的に合わせられた仕事関数を有するシリサイドを与えることができる金属としては、とりわけ、Co、Er、V、Zr、Hf、Mo又はCrが挙げられる。シリサイド金属は、めっき及びスパッタリングといった物理堆積法を用いて堆積されることができる。金属層は、約10 から約100 までの範囲の厚さに堆積されることができ、70 であることが好ましい。

20

【0054】

堆積の後で、構造体は、これに限定するものではないが急速熱アニーリングのような従来のプロセスを用いるアニーリング・ステップに供される。熱アニーリングの間、堆積された金属は、Siと反応して金属シリサイドを形成する。図4に描かれた実施形態においては、第1シリサイド金属30はCo、Er、V、Zr、Hf、Mo、Ni又はCrを含み、金属シリサイドは、 $CoSi_2$ 、 VSi_2 、 $ErSi$ 、 $ZrSi_2$ 、 $HfSi$ 、 $MoSi_2$ 、 $NiSi$ 、又は $CrSi_2$ とすることができる。アニーリング及びクリーニングの詳細は、シリサイドの各々のタイプについて当業者によって最適化されるであろう。 $CoSi_2$ の場合は、第1アニールは、約1秒から約90秒までの範囲の時間にわたって約350 から約600 までの範囲の温度で完了する。本発明の幾つかの実施形態においては、低抵抗n型金属シリサイド・コンタクト30はさらに、随意にTiN層を含んでもよい。

30

【0055】

シリサイド化は、シリサイド金属がSi含有表面上に堆積されることを必要とする。したがって、シリサイドは、Si含有基板40の露出部分の上に形成されるが、第1ブロック・マスク50又は側壁スペーサ2の上には形成されない。シリサイドは、誘電体材料層でゲート導体をキャッピングすることによって、ゲート導体の上に形成されるのを防止されてもよい。

40

【0056】

次いで、側壁スペーサ、分離領域、及び第1ブロック・マスク50の上に位置する未反応シリサイド金属が、ウェット・エッチングを用いて剥離される。好ましくは、未反応の第1シリサイド金属は、未反応シリサイド金属を選択的に除去するウェット・エッチングによって除去される。

【0057】

50

随意の第2アニールは、低抵抗n型シリサイド・コンタクト30の抵抗率を減少させるために必要とされる。この第2アニールの温度は600 から800 までの範囲であり、約1秒から60秒までの範囲の時間にわたる。第2アニールは、 CoSi_2 のようなジシリサイドを形成することができる。 CoSi_2 の厚さは、初めに堆積されたCo金属の厚さの3.49倍である。

【0058】

シリサイド化の後で、第1保護層81は随意に除去されてもよい。第1保護層81は、pFETデバイス領域又はnFETデバイス領域10、20を実質的にエッチングすることなく第1保護層81を除去する高い選択性を有するウェット・エッチング又はドライ・エッチングによって除去されることができる。

10

【0059】

図5を参照すると、次の加工ステップにおいて、第2保護層82が、第1デバイス領域(nFETデバイス領域10)上に形成され、第2デバイス領域(pFETデバイス領域20)は露出されたまま残される。次いで、第2デバイス領域20(pFETデバイス領域)上に第2シリサイド層(低抵抗p型シリサイド・コンタクト35)が形成される。図5に描かれた実施形態においては、nFETデバイス領域10における低抵抗n型シリサイド・コンタクト30の上に重なる第2保護層82が形成され、露出されたpFETデバイス領域20の上に低抵抗p型シリサイド・コンタクト35が形成される。

【0060】

図4に描かれた第1保護層81を製造するのに用いられるのと同様の材料及びプロセスを用いて、nFETデバイス領域10の上に第2保護層82が形成される。具体的には、第2保護層82は、従来の堆積法、フォトリソグラフィ及びエッチングを用いて形成されることができる。第2保護層82は、酸化シリコン、炭化シリコン、窒化シリコン、又はシリコン炭窒化物、或いは他の適切な誘電体材料を含んでもよく、好ましくは窒化シリコンである。

20

【0061】

さらに図5を参照すると、次いで、pFETデバイス領域20の上に第2シリサイド金属が形成され、第2シリサイド金属は、pFETデバイス領域20内の基板40のp型ドーパされたソース/ドレイン領域13の価電子帯と実質的に合わせられた仕事関数を有する第2シリサイド層を形成し、これにより低抵抗p型シリサイド・コンタクト35を与える。

30

【0062】

第2シリサイド金属を堆積する前に、低抵抗p型金属シリサイド・コンタクトがその後形成される表面をクリーンにするために、クリーニング・プロセスが行われる。クリーニング・プロセスは、緩衝化HF又は希釈HFを含むことが好ましい。

【0063】

図5に描かれるような低抵抗p型シリサイド・コンタクト35は、p型デバイス領域20上に第2シリサイド金属層を堆積することによって形成され、第2シリサイド金属は、pFET領域20内のSi含有基板40のp型ソース/ドレイン領域13の価電子帯と実質的に合わせられた仕事関数を有するシリサイドを形成する。Si含有基板40のp型ソース/ドレイン領域13の価電子帯と実質的に合わせられた仕事関数を有するシリサイドを与えることができる金属には、Pt、Ir、Pd、並びに、pFETデバイスの価電子帯と実質的に合わせられた仕事関数を有する他の金属がある。p型シリサイド金属は、めっき及びスパッタリングといった物理堆積法を用いて堆積されることができる。第2シリサイド金属層は、1nmから約10nmまでの範囲の厚さに堆積されることができる。

40

【0064】

堆積後に、構造体は、これに限られるものではないが急速熱アニーリングのような従来のプロセスを用いるアニーリング・ステップに供される。熱アニーリングの間に、堆積された第2シリサイド金属がSiと反応してPtSi、Pt₂Si、IrSi、Pd₂Siといった金属シリサイドを形成する。アニーリング及びクリーニング条件は、シリサイド

50

によって変化することになり、当業者には公知である。PtSiの場合、第1アニールは、約1秒から約90秒までの範囲の時間にわたって350 から600 までの範囲の温度で完了する。Pt-シリサイドの厚さは、堆積されたシリサイド金属の厚さの1.98倍である。

【0065】

側壁スペーサ2、分離領域15、及び第2保護層82の上に位置する未反応の第2シリサイド金属が、ウェット・エッチングを用いて剥離される。好ましくは、未反応Ptは、硝酸及びHClを含むウェット・エッチングを用いて除去される。次の加工ステップにおいて、第2保護層82は、nFETデバイス領域10又はpFETデバイス領域20を実質的にエッチングすることなく第2保護層82を除去する高い選択性を有するウェット・エッチング又はドライ・エッチングによって除去されることができる。

10

【0066】

シリサイドの形成後に、基板40は、従来のバック・エンド・オブ・ライン(BEOL)プロセスを用いて加工されてもよい。例えば、誘電体材料層を基板全体の上にブランケット堆積し、平坦化し、その中に、低抵抗n型及びp型シリサイド・コンタクト30、35への相互接続部を形成することができる。

【0067】

ブランケット誘電体は、 SiO_2 、 Si_3N_4 、 SiO_xN_y 、 SiC 、 $SiCO$ 、 $SiCOH$ 、及び $SiCH$ 化合物といったシリコン含有材料、幾らか又は全てのSiがGeによって置換された前述のシリコン含有材料、炭素ドープ酸化物、ホウ素及びリンドープ酸化物、無機酸化物、無機ポリマー、ハイブリッド・ポリマー、ポリアミド又はSiLK(商標)のような有機ポリマー、他の炭素含有材料、スピン・オン・ガラス及びシルセスキオキサンベースの材料のような有機-無機材料、並びにダイヤモンド状炭素(DLC)、アモルファス水素化炭素、 $a-C:H$)からなる群から選択されることができる。

20

【0068】

従来のフォトリソグラフィ及びエッチングを用いて誘電体材料内にバイアが形成され、従来のプロセスを用いてバイア・ホールの中に導電性金属を堆積することによって、低抵抗n型及びp型シリサイド・コンタクト30、35への相互接続部がバイアの中に形成される。

【0069】

図3-図5には描かれていないが、もう1つの方法として、nFETデバイス領域を保護し、pFETデバイス領域を露出されたまま残す第1保護層が形成されてもよく、その後、pFETデバイス領域内に位置するデバイス・コンタクトへの低抵抗p型シリサイドが形成される。nFETデバイス領域から第1保護層を除去した後で、pFETデバイス領域における低抵抗p型金属シリサイドの上に重なる第2保護層が形成され、露出されたnFETデバイス領域の上に低抵抗n型金属シリサイド層が形成される。

30

【0070】

図6-図7は、pFETデバイス領域への低抵抗金属シリサイド・コンタクトと、nFETデバイス領域への異なる低抵抗金属シリサイド・コンタクトとを有し、異なるデバイス・タイプについての接触抵抗を改善するようにシリサイドの差異が調整されたCMOS構造体を提供するための、本発明の方法の第2の実施形態を(断面図で)示す。図6-図7を参照すると、nFETデバイス領域10への低抵抗n型シリサイド・コンタクト30と、pFETデバイス領域20への低抵抗p型シリサイド・コンタクト35とを有するCMOS構造体を提供するための加工ステップの数は、1つ又は複数のブロック・マスク及び保護層の使用を排除することによって減らされる。例えば、本発明の第1の実施形態において用いられる第2保護層を排除し、第1デバイス領域(n型デバイス領域)における第1シリサイド層(低抵抗n型シリサイド・コンタクト)の上、及び第2デバイス領域(p型デバイス領域)における基板表面の上に第2金属層ブランケット45を堆積することができる。ここで、本発明の第2の実施形態をより詳しく説明する。

40

【0071】

50

第1の実施形態の図3 - 図4に描かれた最初の加工ステップと同様に、第1シリサイド層30（低抵抗n型シリサイド・コンタクト30）が、堆積、フォトリソグラフィ、及びエッチング・プロセスを用いて第1デバイス領域10（n型デバイス領域10）の上に選択的に形成される。具体的には、第1保護層81が、nFETデバイス領域10を露出されたまま残して、基板40の一部の上に形成される。次いで、第1シリサイド金属の金属層がnFETデバイス領域の上に堆積され、これがその後のアニーリングの間に低抵抗n型シリサイド・コンタクトを形成する。第1シリサイド金属は、好ましくは、 $CoSi_2$ 、 VSi_2 、 $ErSi$ 、 $ZrSi_2$ 、 $HfSi$ 、 $MoSi_2$ 、 $CrSi_2$ 、並びに、nFETデバイスの伝導帯と実質的に合わせられた仕事関数を有する他のものを含み、基板40のnFETデバイス領域10におけるn型ソース/ドレイン領域12の伝導帯と実質的に合わせられた仕事関数を有するシリサイドをもたらす。

10

【0072】

図6を参照すると、本発明の第2の実施形態においては、低抵抗n型シリサイド・コンタクト30の形成後に、第1保護層81が基板40から除去され、nFETデバイス領域10における低抵抗n型シリサイド・コンタクト30及びpFETデバイス領域20の基板40の表面上に第2金属ブランケット層45が直接堆積される。第1保護層81は、形成されたn型シリサイド・コンタクト30又はp型デバイス領域20の表面を実質的にエッチングすることなく第1ブロック・マスクを除去する高選択性エッチング・プロセスによって除去される。

20

【0073】

第1保護層81の除去後に、低抵抗n型シリサイド・コンタクト30及びp型デバイス領域20の表面が、シリサイド化のためのクリーンな表面を与えるためにクリーニングされる。クリーニング・プロセスは、当業者には公知の従来の化学クリーニングとすることができる。

【0074】

次に、第2金属ブランケット層45がpFETデバイス領域20及び低抵抗n型シリサイド・コンタクト30の上に直接堆積される。第2金属ブランケット層45は、基板40のpFETデバイス領域20内のp型ソース/ドレイン領域13の価電子帯と実質的に合わせられた仕事関数を有するシリサイドをその後に形成する第2シリサイド金属を含む。第2金属ブランケット層45は、スパッタリング及びめっきといった物理気相成長法を用いて堆積されることができ、約1nmから約10nmまでの範囲の厚さを有する。第2金属ブランケット層45は、好ましくは、Pt、Ir、Pd、並びに、pFETデバイスの価電子帯と実質的に合わせられた仕事関数を有する他のものを含む。

30

【0075】

図7を参照すると、第2金属ブランケット層45は次にアニーリングされて、基板40のpFETデバイス領域20内のp型ソース/ドレイン領域13の価電子帯と実質的に合わせられた仕事関数を有する第2シリサイド層35をもたらす、それにより低抵抗p型シリサイド・コンタクト35を与える。アニーリングの間に、第2金属ブランケット層45は、nFETデバイス領域10内の低抵抗n型金属コンタクト30と混合されて、Co、V、Er、Zr、Hf、Mo、Ni、Cr、並びに、nFETデバイスの伝導帯と実質的に合わせられた仕事関数を有する他のものを含むことができる低抵抗n型金属シリサイド・コンタクト30'を形成する。

40

【0076】

Ptを取り込むことは、低抵抗n型シリサイド・コンタクト30'の仕事関数を、バンド・ギャップの中央の方、且つn型ソース/ドレイン領域12の伝導帯から遠ざかる方へ配置する。しかしながら、Ptを低抵抗n型金属コンタクト30'の中に混合するにもかかわらず、低抵抗n型シリサイド・コンタクト30'の仕事関数は、依然としてn型ソース/ドレイン領域12の伝導帯と実質的に合わせられ、 $10^{-9} \text{ohm} \cdot \text{cm}^{-2}$ から $10^{-7} \text{ohm} \cdot \text{cm}^{-2}$ までの範囲の接触抵抗を有するコンタクトを与える。

【0077】

50

シリサイド化の後で、第2金属ブランケット層45の未反応部分が、nFETデバイス領域10及びpFETデバイス領域20内の構造体を実質的にエッチングしない選択的エッチングによって除去される。好ましくは、未反応Ptは、硝酸及びHClを含む化学ストリップを用いて除去される。

【0078】

図3 - 図5に描かれた実施形態と同様に、nFETデバイス領域を保護し、pFETデバイス領域を露出されたまま残す第1保護層が代替的に形成されてもよく、その後、Ptを含む低抵抗p型シリサイド・コンタクトがpFETデバイス領域10内に形成されたデバイスに対して形成される。nFETデバイス領域から第1保護層を除去した後で、Co、V、Er、Zr、Hf、Mo、Ni、Crを含む第2金属層が、低抵抗p型シリサイド・コンタクト及び露出されたnFETデバイス領域の上に形成され、nFETデバイス領域内に形成されたデバイスへの低抵抗n型シリサイド・コンタクトが形成され、アニーリングの間に第2金属層が低抵抗p型金属シリサイド・コンタクトと混合される。

10

【0079】

Co、V、Er、Zr、Hf、Mo、Ni、又はCrが低抵抗p型シリサイド・コンタクト30の中に取り込まれるにもかかわらず、低抵抗p型シリサイド・コンタクトの仕事関数は、依然としてp型ソース/ドレイン領域13の価電子帯と実質的に合わせられ、 $10^{-9} \text{ ohm} \cdot \text{cm}^{-2}$ から $10^{-7} \text{ ohm} \cdot \text{cm}^{-2}$ までの範囲の低い接触抵抗を有するコンタクトを与える。

【0080】

図8 - 図10は、pFETデバイス領域への低抵抗金属シリサイド・コンタクトと、nFETデバイス領域への異なる低抵抗金属シリサイド・コンタクトとを有し、異なるデバイス・タイプについての接触抵抗を改善するようにシリサイドの差異が調整されたCMOS構造体を提供するための、本発明の方法の第3の実施形態を(断面図で)示す。図8 - 図10を参照すると、本発明の第3の実施形態においては、nFETデバイス領域10への低接触抵抗n型シリサイド・コンタクト30と、pFETデバイス領域20への低抵抗p型シリサイド・コンタクト35とを有するCMOS構造体を提供するための加工ステップの数は、nFETデバイス領域10及びpFETデバイス領域20を含む基板40の上に第1金属層(第1金属ブランケット層)60を直接ブランケット堆積することによってさらに減らされる。ここで、本発明の第3実施形態をより詳しく説明する。

20

30

【0081】

図8を参照すると、第1加工ステップにおいて、nFETデバイス領域10及びpFETデバイス領域20を含む基板40の表面全体の上に第1金属層60が直接ブランケット堆積される。堆積前に、基板40の表面は、緩衝化HF、希釈HF、水酸化アンモニウム - 過酸化水素、及び/又は、塩酸 - 過酸化水素を含む化学クリーニング組成物を用いてクリーニングされる。

【0082】

その後、第1金属層60は、低抵抗n型シリサイド又は低抵抗p型シリサイドのいずれかを与える。低抵抗n型金属シリサイドは、シリサイド化されたときにnFETデバイス領域10における基板40のn型ドーパされたソース/ドレイン領域12の伝導帯と実質的に合わせられた仕事関数を与えるCo、V、Er、Zr、Hf、Mo、Ni、Crといったシリサイド金属を堆積することによって形成される。p型金属シリサイドは、シリサイド化されたときにpFETデバイス領域20における基板40のp型ドーパされたソース/ドレイン領域13の価電子帯と実質的に合わせられた仕事関数を与える金属、Pt、Ir又はPdを堆積することによって形成される。第1金属層60は、めっき及びスパッタリングといった物理堆積法を用いて堆積されることができる。図8 - 図10に描かれた実施形態においては、第1金属層60は、Co、V、Er、Zr、Hf、Mo、Ni、又はCrを含む。

40

【0083】

図9を参照すると、堆積後に、第1金属層60は、アニーリングされて、nFETデバ

50

イス領域 10 への低抵抗 n 型金属シリサイド・コンタクト 30 を与える。本発明の第 1 実施形態と同様に、第 1 金属層 60 は、急速熱アニーリングのような従来のアニーリング・プロセスを用いて、350 から 600 の範囲の温度で 1 秒から 90 秒の範囲の時間にわたリアニールされる。このシリサイド化プロセスの間に、p F E T デバイス領域 20 の上に堆積された第 1 金属層 60 が、Co、V、Er、Zr、Hf、Mo、又は Cr を含む p F E T デバイス領域 20 における初期のシリサイド 65 を形成する。シリサイド化の後で、n F E T デバイス領域 10、p F E T デバイス領域 20 又は基板 40 を実質的にエッチングすることなく残りの未反応の第 1 金属層 60 を除去する選択性を有するウェット・エッチングによって、残りの未反応の第 1 金属層 60 が除去される。

【0084】

さらに図 9 を参照すると、第 1 保護層 81 が、p F E T デバイス領域 20 を露出されたまま残して、n F E T デバイス領域 10 の上に形成される。前の実施形態と同様に、第 1 保護層 81 は、好ましくは、窒化シリコンを含み、図 4 を参照しながら前述されたように、堆積、フォトリソグラフィ及びエッチングを用いて形成される。次いで、p F E T デバイス領域 20 の表面が、シリサイド化のための p F E T デバイス領域 20 を用意するために、化学クリーニングを用いてクリーニングされる。このクリーニング・プロセスは、初期シリサイド 65 が p F E T デバイス領域 20 に存在するため、省略されてもよい。

【0085】

次に、第 2 金属層（第 2 金属ブランケット層）70 が、n F E T デバイス領域 10 における第 1 保護層 81 を含む基板 40 の全体の上、及び p F E T デバイス領域 20 における初期シリサイド 65 の上にブランケット堆積される。図 8 - 図 10 に描かれた実施形態においては、第 2 金属層 70 は、基板 40 の p F E T 領域 20 における p 型ソース/ドレイン領域 13 の荷電子帯と実質的に合わせられた仕事関数を有するシリサイドをもたらす、Pt、Ir 又は Pd といった金属を含む。

【0086】

堆積後に、第 2 金属層 70 がアニーリングされ、アニーリングの間に、第 2 金属層 70 が初期シリサイド 65 と混合されて、p F E T デバイス領域 20 への低抵抗 p 型シリサイド・コンタクト 35 ' を形成する。低抵抗 p 型シリサイド 35 ' コンタクトは、Co、V、Er、Zr、Hf、Mo、Ni 又は Cr と組み合わせて Pt、Ir 又は Pd を含む。Pt、Ir 又は Pd の取り込みは、初期シリサイド・コンタクト 65 の仕事関数を、p 型ソース/ドレイン領域 13 の価電子帯の方へと配置し、低抵抗 p 型シリサイド・コンタクト 35 をもたらす。Co、V、Er、Zr、Hf、Mo、Ni 又は Cr が Pt、Ir 又は Pd - シリサイドに取り込まれるにもかかわらず、低抵抗 p 型シリサイド・コンタクト 35 の仕事関数は、p 型ソース/ドレイン領域 13 の価電子帯と実質的に合わせられ、 $10^{-9} \text{ ohm} \cdot \text{cm}^{-2}$ から $10^{-7} \text{ ohm} \cdot \text{cm}^{-2}$ までの範囲の低い接触抵抗を有するコンタクトを与える。

【0087】

n F E T デバイス領域 10 は第 1 保護層 81 によって保護され、シリサイド化は Si 含有表面を必要とするため、シリサイドは n F E T デバイス領域 10 の上に形成されない。シリサイド化の後で、10 に描かれるように、第 2 金属層 70 の未反応部分及び第 1 保護層 81 が、n F E T デバイス領域 10 及び p F E T デバイス領域内の構造体を実質的にエッチングしない選択的エッチングを用いて除去される。

【0088】

図 8 - 図 10 に描かれた実施形態においては、第 1 金属層は、代替的に、n F E T デバイス領域及び p F E T デバイス領域の上に直接堆積される Pt、Ir 又は Pd といった低抵抗 p 型シリサイド・コンタクトを与える金属を含んでもよく、次いで、第 1 金属層は、アニーリングされて、p F E T デバイス領域への低抵抗 p 型金属シリサイド・コンタクト及び n F E T デバイス領域への初期シリサイドを与え、n F E T デバイス領域への初期シリサイドは Pt、Ir 又は Pd を含む。次いで、第 1 保護層が、n F E T デバイス領域を露出されたまま残して、p F E T デバイス領域の上に形成される。次いで、Co、V、E

10

20

30

40

50

r、Zr、Hf、Mo、Ni又はCrを含む第2金属層を、初期シリサイドを含む露出されたnFETデバイス領域の上に形成することができ、アニーリングの間に、第2金属層と初期シリサイドが混合されて、n型デバイス領域への低抵抗n型金属シリサイド・コンタクトを与える。

【0089】

PtSi、Pt₂Si、IrSi、Pd₂Si、並びに、pFETデバイスの価電子帯と実質的に合わせられた仕事関数を有する他のもの。第1型シリサイド・コンタクトは、CoSi₂、VSi₂、ErSi、ZrSi₂、HfSi、MoSi₂、NiSi、CrSi₂、並びに、nFETデバイスの伝導帯と実質的に合わせられた仕事関数を有する他のものを含むことができる。

10

【0090】

Co、V、Er、Zr、Hf、Mo、Ni又はCrの取り込みは、初期シリサイド・コンタクトの仕事関数をn型ソース/ドレーン領域の伝導帯の方へ配置し、低抵抗n型金属シリサイド・コンタクトをもたらす。Pt、Ir又はPdがCo、V、Er、Zr、Hf、Mo、Ni又はCrシリサイドに取り込まれるにもかかわらず、低抵抗n型金属シリサイド・コンタクトの仕事関数は、n型ソース/ドレーン領域の伝導帯と実質的に合わせられ、 $10^{-9} \text{ ohm} \cdot \text{cm}^{-2}$ から $10^{-7} \text{ ohm} \cdot \text{cm}^{-2}$ までの範囲の低い接触抵抗を有するコンタクトを与える。

【0091】

本発明の別の実施形態においては、nFETデバイス領域及びpFETデバイス領域に形成されたシリサイド化金属は、pFETデバイス及びnFETデバイスにおけるキャリア移動度を増加させることによって、歪みに基づくデバイスの改善を与えるように選択されることができる。

20

【0092】

好ましい実施形態においては、pFET領域及びnFET領域を有する基板を含む半導体デバイスが提供され、nFET領域内のデバイスへのシリサイド・コンタクトはnFETデバイス性能を増加させる応力場をもたらし、pFET領域内のデバイスへのシリサイド・コンタクトはpFETデバイス性能を増加させるpFET領域内の応力場をもたらし、pFET領域内の応力場はnFET領域内の応力場よりも圧縮性が高い。

【0093】

キャリア移動度は、pFETデバイスが形成される基板において圧縮応力場を生じさせることによって、pFETデバイスにおいて増大することができる。キャリア移動度は、pFET領域よりも低い圧縮応力をnFET領域内に生じさせることによって、又は、nFET領域において引張応力を形成することによって、nFETデバイスにおいて増大することができる。

30

【0094】

基板のnFET領域及びpFET領域の選択的処理は、前述の方法のいずれかを用いて達成され、接触抵抗を最適化するためのためにプロセス条件及びシリサイド金属組成を選択する代わりに、プロセス条件及びシリサイド金属組成は、歪みに基づくデバイスの改善を与えるように選択される。

40

【0095】

1つの例において、nFET領域上にコバルトを堆積し、基板のpFET領域上にコバルト・シリコン合金を堆積することによって応力差が与えられ、シリサイド化の後で、コバルト・ジシリサイド・コンタクトがpFETデバイス及びnFETデバイス上に形成される。ここで、nFETデバイス領域とpFETデバイス領域との間の応力差を有する半導体デバイスを形成するための方法を、図11を参照しながらより詳しく説明する。

【0096】

図3 - 図5に描かれた実施形態と同様に、nFETデバイス領域10及びpFETデバイス領域20を含む基板40が与えられる。次いで、第1保護層81が、第1デバイス領域、すなわちnFETデバイス領域10を露出されたまま残して、第2デバイス領域20

50

、すなわち p F E T デバイス領域 2 0 の上に形成される。

【 0 0 9 7 】

次いで、露出されたデバイス領域は、基板内に応力場を誘起するデバイス・シリサイド・コンタクトを与えるように処理され、その上に形成されたデバイスに歪みに基づくデバイスの改善をもたらす。例えば、コバルトは、n F E T デバイスにおいて歪みに基づくデバイスの改善のための適切な応力場を生み出す金属シリサイド・コンタクトを与えるために、n F E T デバイス領域のシリコン含有表面の上に堆積される。堆積後に、コバルト金属は、アニーリングされて、n F E T デバイス領域のシリコン表面の上に堆積されたコバルトは n F E T 金属シリサイド・コンタクト 3 0 ' に変換される。コバルトのシリサイド化の間に生み出された応力状態は、n F E T 金属シリサイド・コンタクト 3 0 ' に隣接するシリコン含有基板の部分の中に低圧縮性応力から引張応力までの状態を与えることができる。シリサイド化の後で、コバルトの未反応部分が選択的エッチング・プロセスによって除去される。応力は、反応したシリコンに対する生じたシリサイドの体積の変化に起因すると考えられる。C o S i ₂ の場合には、シリサイドの体積は、反応したシリコンよりも 3 % 小さく、これは、n F E T におけるキャリアの移動度のために望ましいものとなる中程度の引張応力を生み出すと考えられる。それに対して、C o S i ₂ に変換される C o ₂ S i は、基板の反応したシリコンよりも 2 9 % 大きいシリサイド体積を有し、これは、p F E T におけるキャリア移動度を改善する圧縮応力をもたらすことになる。

10

【 0 0 9 8 】

ここで図 1 2 を参照すると、次の一連の加工ステップにおいて、第 2 保護層 8 2 が、基板 4 0 の p F E T 領域を露出されたまま残して n F E T デバイス領域 1 0 の上に形成される。次いで、基板 4 0 の p F E T 領域 2 0 は、基板 4 0 内に応力場を誘起する p F E T 金属シリサイド・コンタクト 3 5 ' を与えるように処理され、これが p F E T デバイスにおいて歪みに基づくデバイスの改善をもたらす。1 つの例において、コバルト・シリサイド合金 (例えば C o ₂ S i) が、基板 4 0 の p F E T 領域 2 0 の露出された S i 含有表面上に堆積され、コバルト・シリコン合金のシリサイド化の間に生じた応力状態は、p F E T 金属シリサイド・コンタクト 3 5 ' に隣接する基板 4 0 の部分の中に高圧縮性の応力状態を与えることができる。

20

【 0 0 9 9 】

コバルト・シリコン合金金属は、5 原子量 % から 2 5 原子量 % までのシリコンと、9 5 原子量 % から 7 5 原子量 % までのコバルトとを含む。好ましい実施形態においては、コバルト・シリコン合金は C o ₂ S i である。コバルト・シリサイド合金と基板 4 0 との間のエッチング選択性が維持され、シリサイド化プロセスの間、基板 4 0 の p F E T 領域 2 0 内に圧縮応力が生み出される限り、他のシリコン濃度もまた意図されることに注意されたい。堆積後に、3 0 0 から 4 5 0 までの範囲内の低温アニールが、S i に接触する領域において、材料をよりシリコン・リッチなシリサイドに変換する。この、よりシリコンリッチなシリサイドではなく C o ₂ S i を除去するために選択的エッチングが用いられ、6 0 0 から 8 0 0 までのさらなるアニールが、p F E T シリサイド・コンタクト 3 5 ' について C o S i ₂ への変換を完了させる。

30

【 0 1 0 0 】

基板の n F E T デバイス領域 1 0 と p F E T デバイス領域 2 0 との間の応力差は、基板 4 0 の p F E T 領域 2 0 において堆積されたコバルト・シリコン合金に S i が取り込まれることに起因する。本発明においては、S i を含有するコバルト合金層を堆積することにより、シリコン含有基板からコバルト合金層のシリサイドに要求されるシリコンの量を減少させる。コバルト合金のシリサイド化の間に基板のシリコン格子から除去されるシリコンをより少なくすることによって、その後形成される p F E T 金属シリサイド・コンタクトに隣接する圧縮歪みの増大をもたらす体積膨張が起こる。既に述べたように、形成された C o S i ₂ と基板からの反応したシリコンとの間の体積差は、反応後では 2 9 % 大きい体積である。これは、p F E T キャリア移動度を助ける圧縮応力を生み出すことになる。

40

【 0 1 0 1 】

50

本発明の別の実施形態においては、基板40のpFETデバイス領域20は、白金シリサイドを与えるように処理されることができる。本発明のこの実施形態においては、pFETデバイス領域20とnFETデバイス領域10との間の応力差は、基板40のnFETデバイス領域10にコバルト・シリサイド又はコバルト・ジシリサイド・コンタクトを形成し、pFETデバイス領域に白金及びコバルトを含有するシリサイドを形成することによって生じる。基板のnFETデバイス領域におけるコバルト・シリサイド又はコバルト・ジシリサイドは、nFET領域10内に低圧縮又は引張応力場を生み出し、それにより、nFETデバイスにおけるキャリア移動度及びデバイス性能を向上させる。白金及びコバルトを含有するシリサイドは、pFETデバイス領域内に圧縮応力場を生み出し、それにより、pFETデバイスにおけるキャリア移動度及びデバイス性能を向上させる。

10

【0102】

これらは、pFET内の応力を最適化するための材料の2つの例にすぎない。各々のデバイス内の応力を最適化させるシリサイドの例を挙げる。例えば、 CoSi_2 は、消費されたシリコンに対するシリサイドの体積比0.97を有し、これは、中程度の引張応力を生み出し、nFETの移動度に有利となる。 PtSi は、消費されたシリコンに対するシリサイドの体積比1.5を有し、これは、圧縮応力を生み出し、pFETの移動度に有利となる。nFETにおける移動度に有利な、消費されたシリコンに対するシリサイドの体積比を有するシリサイドのさらなる例は、0.9の比をもつ CrSi_2 、0.9の比をもつ IrSi_3 、0.87の比をもつ MoSi_2 であり、他のシリサイドもこの基準を満たすであろう。pFETにおける移動度に有利な、消費されたシリコンに対するシリサイド

20

【0103】

この応力差を生み出すための別の方法は、同じベース金属から2相のシリサイドをもたらすことであり、例えば、 Zr_2Si は2.7の比を有し、pFETに有利であり、 Zr_5Si_3 は0.25の比を有し、nFETに有利である。

【0104】

この応力差を生み出すためのさらに別の方法は、nFET上にCoを堆積して0.97の比をもつ CoSi_2 を形成し、そして5%から25%のシリコンを含有するCo合金を堆積することであり、これは、例えば Co_2Si を堆積して、pFETに有利な応力を生み出すことになる約1.29の比を有する CoSi_2 を形成することである。

30

【0105】

本発明を、その好ましい実施形態に関して具体的に図示され説明してきたが、形態及び詳細における上記の及び他の変化は、本発明の精神及び範囲から逸脱することなく成され得ることを、当業者であれば理解するであろう。したがって、本発明は、説明され図示された正確な形態及び詳細に限定されるものではなく、添付の請求項の範囲内に含まれることが意図される。

【図面の簡単な説明】

【0106】

【図1】nFET領域及びpFET領域を有し、n型シリサイド・コンタクトが CoSi_2 、 VSi_2 、 ErSi 、 ZrSi_2 、 HfSi 、 MoSi_2 、 CrSi_2 、 Zr_5Si_3 、 IrSi_3 、 NiSi 、又は基板のnFET領域のための応力又は接触抵抗について最適化された他のシリサイドを含み、p型シリサイド・コンタクトが PtSi 、 Pt_2Si 、 IrSi 、 Pd_2Si 、 CoSi_2 、 PdSi 、 RhSi 、 YSi 、 Zr_2Si 又はCMOS構造体の基板のpFET領域のための応力又は接触抵抗について最適化された他のシリサイドを含む、本発明の半導体構造体の一実施形態を(断面図で)示す図である。

40

【図2】低抵抗Pt-シリサイド・コンタクト及びCo-シリサイド・コンタクトを有するpFETデバイスに関する I_{dlin} 対 I_{off} のプロットである。

50

【図3】pFETデバイス領域への低抵抗金属シリサイド・コンタクトと、nFETデバイス領域への異なる低抵抗金属シリサイド・コンタクトとを有し、シリサイドの差異が異なるデバイス・タイプについての接触抵抗を改善するように調整されたCMOS構造体を提供するための、本発明の方法の第1の実施形態を(断面図で)示す図である。

【図4】pFETデバイス領域への低抵抗金属シリサイド・コンタクトと、nFETデバイス領域への異なる低抵抗金属シリサイド・コンタクトとを有し、シリサイドの差異が異なるデバイス・タイプについての接触抵抗を改善するように調整されたCMOS構造体を提供するための、本発明の方法の第1の実施形態を(断面図で)示す図である。

【図5】pFETデバイス領域への低抵抗金属シリサイド・コンタクトと、nFETデバイス領域への異なる低抵抗金属シリサイド・コンタクトとを有し、シリサイドの差異が異なるデバイス・タイプについての接触抵抗を改善するように調整されたCMOS構造体を提供するための、本発明の方法の第1の実施形態を(断面図で)示す図である。

10

【図6】pFETデバイス領域への低抵抗金属シリサイド・コンタクトと、nFETデバイス領域への異なる低抵抗金属シリサイド・コンタクトとを有し、シリサイドの差異が異なるデバイス・タイプについての接触抵抗を改善するように調整されたCMOS構造体を提供するための、本発明の方法の第2の実施形態を(断面図で)示す図である。

【図7】pFETデバイス領域への低抵抗金属シリサイド・コンタクトと、nFETデバイス領域への異なる低抵抗金属シリサイド・コンタクトとを有し、シリサイドの差異が異なるデバイス・タイプについての接触抵抗を改善するように調整されたCMOS構造体を提供するための、本発明の方法の第2の実施形態を(断面図で)示す図である。

20

【図8】pFETデバイス領域への低抵抗金属シリサイド・コンタクトと、nFETデバイス領域への異なる低抵抗金属シリサイド・コンタクトとを有し、シリサイドの差異が異なるデバイス・タイプについての接触抵抗を改善するように調整されたCMOS構造体を提供するための、本発明の方法の第3の実施形態を(断面図で)示す図である。

【図9】pFETデバイス領域への低抵抗金属シリサイド・コンタクトと、nFETデバイス領域への異なる低抵抗金属シリサイド・コンタクトとを有し、シリサイドの差異が異なるデバイス・タイプについての接触抵抗を改善するように調整されたCMOS構造体を提供するための、本発明の方法の第3の実施形態を(断面図で)示す図である。

【図10】pFETデバイス領域への低抵抗金属シリサイド・コンタクトと、nFETデバイス領域への異なる低抵抗金属シリサイド・コンタクトとを有し、シリサイドの差異が異なるデバイス・タイプについての接触抵抗を改善するように調整されたCMOS構造体を提供するための、本発明の方法の第3の実施形態を(断面図で)示す図である。

30

【図11】基板のpFET領域及びnFET領域が、nFETデバイス及びpFETデバイスにおいて歪みに基づくデバイスの改善をもたらすシリサイド・コンタクトを与えるように別々に処理される、本発明の別の実施形態を(断面図で)示す図である。

【図12】基板のpFET領域及びnFET領域が、nFETデバイス及びpFETデバイスにおいて歪みに基づくデバイスの改善をもたらすシリサイド・コンタクトを与えるように別々に処理される、本発明の別の実施形態を(断面図で)示す図である。

【符号の説明】

【0107】

40

2：側壁スペーサ

3：ゲート誘電体

4：ゲート導体

5：ゲート領域

10：nFETデバイス領域

12、13：ソース/ドレーン領域

15：分離領域

20：pFETデバイス領域

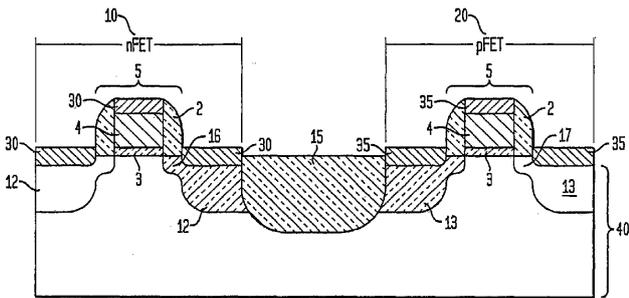
30、35：シリサイド・コンタクト

30'、35'：シリサイド・コンタクト

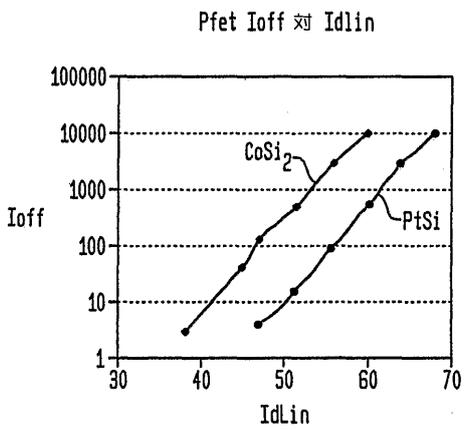
50

- 40 : 基板
- 45、60 : 金属層
- 50 : ブロック・マスク
- 81、82 : 保護層

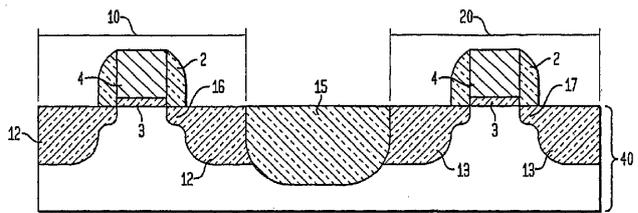
【 図 1 】



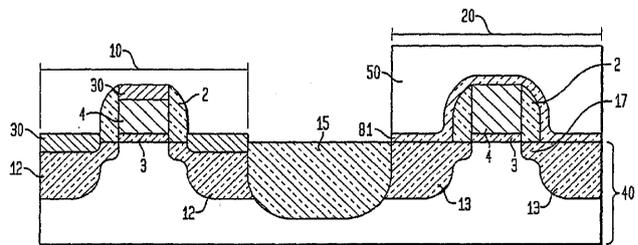
【 図 2 】



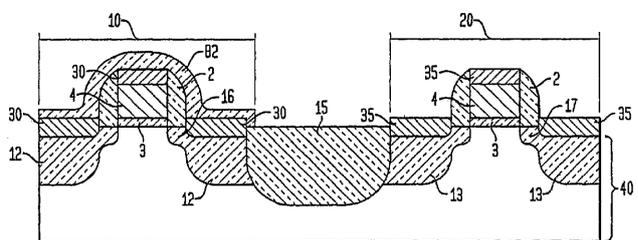
【 図 3 】



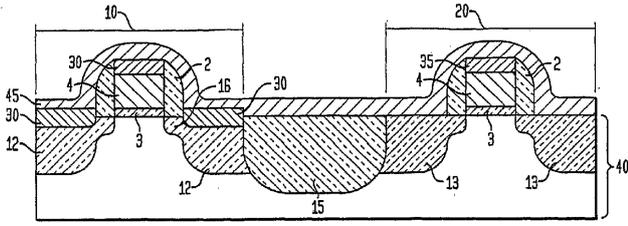
【 図 4 】



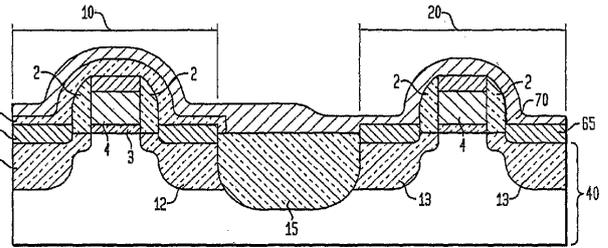
【 図 5 】



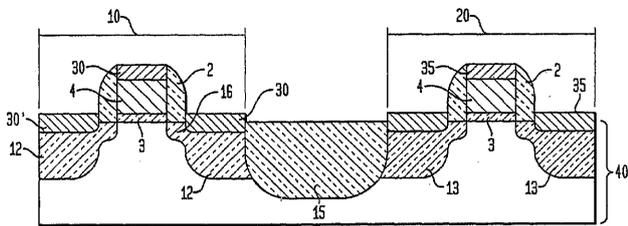
【 図 6 】



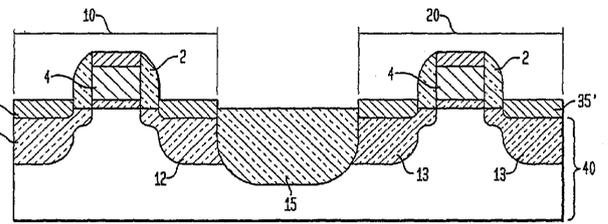
【 図 9 】



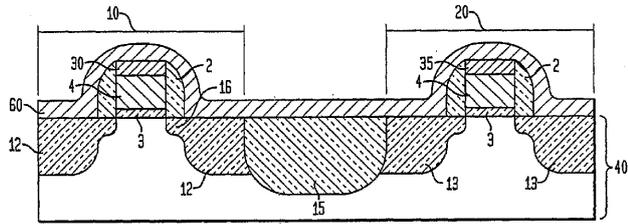
【 図 7 】



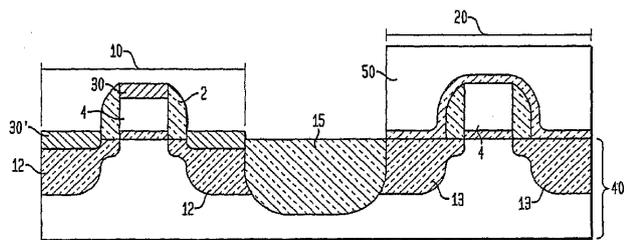
【 図 10 】



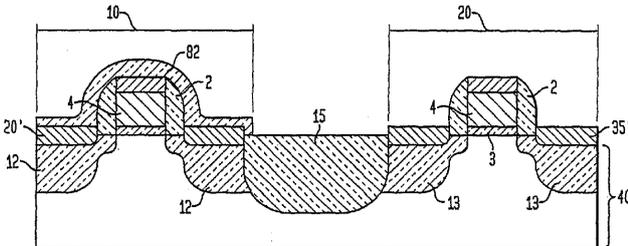
【 図 8 】



【 図 11 】



【 図 12 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US05/46097
A. CLASSIFICATION OF SUBJECT MATTER IPC: H01L 21/8238(2006.01),29/772(2006.01),29/78(2006.01) USPC: 438/199;257/369 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 438/199;257/369 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EAST (257/ or 438/) and CMOS and (silicide with (stress or strain))		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X,P	US 2005/0093059 (BELYANSKY et al) 5 May 2005 (05.05.2005), Figures 8-12, paragraphs [0007], [0014], [0037], [0039], [0042]	1-28
X,P	US 2005/0156208 (LIN et al) 21 July 2005 (21.07.2005), paragraphs [0025], [0116]	1-28
Y,P	US 6,869,866 (CHIDAMBARRAO et al) 22 March 2005 (22.03.2005) column 2, lines 5-18; column 6 lines 39-59	1-28
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier application or patent published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search 05 April 2006 (05.04.2006)		Date of mailing of the international search report 06 JUN 2006
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201		Authorized officer <i>Shouler for Reed</i> Eddie Lee Telephone No. (571) 272-1950

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 エリス - モナハン、ジョン、ジェイ

アメリカ合衆国 05458 バーモント州 グランド・アイル メイナード・コート 6

(72)発明者 マーティン、デイル、ダブリュー

アメリカ合衆国 05655 バーモント州 ハイド・パーク ウエスト 15 バーモント 5
64

(72)発明者 マーフィー、ウィリアム、ジェイ

アメリカ合衆国 05473 バーモント州 ノース・フェリスバーグ ピアス・レーン 190

(72)発明者 ナコス、ジェームズ・エス

アメリカ合衆国 05452 バーモント州 エセックス・ジャンクション バターナット・コート 3

(72)発明者 ピーターソン、カーク

アメリカ合衆国 05452 バーモント州 エセックス・ジャンクション ウエスト・ストリート 139

Fターム(参考) 4M104 AA01 AA03 AA08 AA09 BB01 BB19 BB20 BB21 BB22 BB23
BB24 BB26 BB38 CC01 DD02 DD04 DD37 DD79 DD84 DD94
EE05 EE16 EE17 GG09 GG10 GG14 HH15
5F048 AA08 AC03 AC04 BA01 BA14 BA16 BB08 BB10 BB12 BB14
BC06 BD01 BF06 BF07 BF16 BG11 DA23