

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5188037号
(P5188037)

(45) 発行日 平成25年4月24日(2013.4.24)

(24) 登録日 平成25年2月1日(2013.2.1)

(51) Int.Cl.	F I	
HO 1 L 29/06 (2006.01)	HO 1 L 29/06	3 O 1 F
HO 1 L 29/78 (2006.01)	HO 1 L 29/06	3 O 1 G
HO 1 L 29/12 (2006.01)	HO 1 L 29/06	3 O 1 V
HO 1 L 29/739 (2006.01)	HO 1 L 29/78	6 5 2 H
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 5 2 J
請求項の数 5 (全 20 頁) 最終頁に続く		

(21) 出願番号	特願2006-170689 (P2006-170689)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成18年6月20日(2006.6.20)	(74) 代理人	100108062 弁理士 日向寺 雅彦
(65) 公開番号	特開2008-4643 (P2008-4643A)	(72) 発明者	齋藤 涉 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内
(43) 公開日	平成20年1月10日(2008.1.10)	(72) 発明者	小野 昇太郎 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内
審査請求日	平成21年2月9日(2009.2.9)		
最終頁に続く			

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型の第1の半導体層と、
 前記第1の半導体層の主面上に設けられた第1導電型の第1の半導体ピラー領域と、
 前記第1の半導体層の前記主面に対して略平行な方向に前記第1の半導体ピラー領域と共に周期的配列構造を形成するように、前記第1の半導体ピラー領域に隣接して前記第1の半導体層の前記主面上に設けられた第2導電型の第2の半導体ピラー領域と、
 前記第1の半導体層の前記主面の反対側に設けられた第1の主電極と、
 前記第1の半導体ピラー領域及び前記第2の半導体ピラー領域の上に選択的に設けられた第2導電型の第1の半導体領域と、
 前記第1の半導体領域の表面に選択的に設けられた第1導電型の第2の半導体領域と、
 前記第1の半導体領域及び前記第2の半導体領域に接して設けられた第2の主電極と、
 前記第1の半導体領域、前記第2の半導体領域および前記第1の半導体ピラー領域の上に絶縁膜を介して設けられた制御電極と、
 前記第1の半導体ピラー領域及び前記第2の半導体ピラー領域の周期的配列構造が形成された素子部の外側の終端部における前記第1の半導体層の上に設けられ、前記第1の半導体ピラー領域よりも不純物濃度が低い第1導電型の第2の半導体層と、
 前記終端部における前記第2の半導体層表面に選択的に設けられた第2導電型のガードリング層と、
 前記第2の半導体層中に選択的に埋め込まれ、前記ガードリング層の前記素子部とは反

対側のコーナー部に接して少なくとも前記ガードリング層の前記素子部とは反対側の側部の一部と底部の一部とを覆うように設けられた第2導電型半導体の埋め込みガードリング層と、

を備えたことを特徴とする半導体装置。

【請求項2】

前記埋め込みガードリング層は、高電圧が印加されると空乏化することを特徴とする請求項1記載の半導体装置。

【請求項3】

第1導電型の第1の半導体層と、

前記第1の半導体層の主面側に設けられた第1導電型の第2の半導体層と、

前記第1の半導体層の前記主面の反対側に設けられた第1の主電極と、

前記第2の半導体層の表面に選択的に設けられた第2導電型の半導体領域と、

前記半導体領域に接して設けられた第2の主電極と、

前記半導体領域を含む素子部の外側の終端部における前記第2の半導体層表面に選択的に設けられた第2導電型のガードリング層と、

前記終端部における前記第2の半導体層中に選択的に埋め込まれ、前記ガードリング層の前記素子部とは反対側のコーナー部に接して少なくとも前記ガードリング層の前記素子部とは反対側の側部の一部と底部の一部とを覆うように設けられた、高電圧が印加されると空乏化する第2導電型半導体の埋め込みガードリング層と、

を備えたことを特徴とする半導体装置。

【請求項4】

前記埋め込みガードリング層と、前記ガードリング層とが同心円状に設けられたことを特徴とする請求項1～3のいずれか1つに記載の半導体装置。

【請求項5】

前記第2の半導体層表面の前記ガードリング層に接して前記素子部とは反対側に設けられた、前記第1の半導体ピラー領域よりも高濃度の第1導電型の高濃度層をさらに備え、

前記埋め込みガードリング層は、前記ガードリング層の前記素子部とは反対側のコーナー部から前記高濃度層よりも前記素子部とは反対側まで設けられている請求項1または2に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、例えばパワーエレクトロニクス用途に適した半導体装置に関する。

【背景技術】

【0002】

縦形パワーMOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) のオン抵抗は、伝導層(ドリフト層)部分の電気抵抗に大きく依存する。そして、このドリフト層の電気抵抗を決定するドーピング濃度は、ベースとドリフト層とが形成するpn接合の耐圧に応じて限界以上には上げられない。このため、素子耐圧とオン抵抗にはトレードオフの関係が存在する。このトレードオフを改善することが低消費電力素子には重要となる。このトレードオフには素子材料により決まる限界があり、この限界を越える事が既存のパワー素子を越える低オン抵抗素子の実現への道である。

【0003】

この問題を解決するMOSFETの一例として、ドリフト層にp型ピラー領域とn型ピラー領域とを埋め込んだ「スーパージャンクション構造」が知られている。「スーパージャンクション構造」は、p型ピラー領域とn型ピラー領域に含まれるチャージ量(不純物量)を同じとすることで、擬似的にノンドープ層を作り出し、高耐圧を保持しつつ、高ドーピングされたn型ピラー領域を通して電流を流すことで、材料限界を越えた低オン抵抗を実現する。耐圧を保持するためには、n型ピラー領域及びp型ピラー領域の不純物量を精度

10

20

30

40

50

良く制御する必要がある。

【0004】

このようなドリフト層に「スーパージャンクション構造」が形成されたMOSFETでは、終端構造の設計も通常のパワーMOSFETと異なる。例えば、高耐圧を保持すべく終端部にも「スーパージャンクション構造」を形成したとしても、n型ピラー領域とp型ピラー領域の不純物量が等しくなくなると、素子部（セル部）よりも大きく終端部の耐圧が低下してしまう。

【0005】

また、特許文献1には、終端部に「スーパージャンクション構造」を設けず、高抵抗層を形成した構造が提案されている。しかし、「スーパージャンクション構造」を形成しない終端部では縦方向と横方向に空乏層が伸びるため、ソース電極に接続されたベース端部に電界が集中する。ベース端部での電界集中を抑制するためにガードリング構造やフィールドプレート構造を採用したとしても、終端部の半導体層中におけるガードリング層端部やフィールドプレート電極端部で電界集中が起こる。

10

【0006】

また、高耐圧が保持できても、終端部に鋭い電界ピークが存在した場合、高電界により発生したホットキャリアの影響でフィールド絶縁膜が劣化し、リーク電流変動、耐圧変動、破壊といった信頼性劣化が起こり易い。また、高電圧印加時に終端部にてアバランシェ降伏が起きた場合、アバランシェ電流により発生したキャリアによって、電界ピークがより大きくなって、電流集中を起こし、素子が破壊するといった問題が起き易く、高アバランシェ耐量が得られ難い。内蔵ダイオードを動作させた後のリカバリー状態においても、終端部のベース端付近は、高キャリア状態となるため、電界ピークが大きいと、局所的なアバランシェ降伏が起こり、素子が破壊し易くなって、リカバリー耐量が得られ難い。

20

【特許文献1】特開2000-277726号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、終端部での局所的な電界集中を抑えることで、高信頼性、高耐量が得られる半導体装置を提供する。

【課題を解決するための手段】

30

【0008】

本発明の一態様によれば、第1導電型の第1の半導体層と、前記第1の半導体層の主面上に設けられた第1導電型の第1の半導体ピラー領域と、前記第1の半導体層の前記主面に対して略平行な方向に前記第1の半導体ピラー領域と共に周期的配列構造を形成するように、前記第1の半導体ピラー領域に隣接して前記第1の半導体層の前記主面上に設けられた第2導電型の第2の半導体ピラー領域と、前記第1の半導体層の前記主面の反対側に設けられた第1の主電極と、前記第1の半導体ピラー領域及び前記第2の半導体ピラー領域の上に選択的に設けられた第2導電型の第1の半導体領域と、前記第1の半導体領域の表面に選択的に設けられた第1導電型の第2の半導体領域と、前記第1の半導体領域及び前記第2の半導体領域に接して設けられた第2の主電極と、前記第1の半導体領域、前記第2の半導体領域および前記第1の半導体ピラー領域の上に絶縁膜を介して設けられた制御電極と、前記第1の半導体ピラー領域及び前記第2の半導体ピラー領域の周期的配列構造が形成された素子部の外側の終端部における前記第1の半導体層の上に設けられ、前記第1の半導体ピラー領域よりも不純物濃度が低い第1導電型の第2の半導体層と、前記終端部における前記第2の半導体層表面に選択的に設けられた第2導電型のガードリング層と、前記第2の半導体層中に選択的に埋め込まれ、前記ガードリング層の前記素子部とは反対側のコーナー部に接して少なくとも前記ガードリング層の前記素子部とは反対側の側部の一部と底部の一部とを覆うように設けられた第2導電型半導体の埋め込みガードリング層と、を備えたことを特徴とする半導体装置が提供される。

40

【0009】

50

また、本発明の他の一態様によれば、第1導電型の第1の半導体層と、前記第1の半導体層の主面側に設けられた第1導電型の第2の半導体層と、前記第1の半導体層の前記主面の反対側に設けられた第1の主電極と、前記第2の半導体層の表面に選択的に設けられた第2導電型の半導体領域と、前記半導体領域に接して設けられた第2の主電極と、前記半導体領域を含む素子部の外側の終端部における前記第2の半導体層表面に選択的に設けられた第2導電型のガードリング層と、前記終端部における前記第2の半導体層中に選択的に埋め込まれ、前記ガードリング層の前記素子部とは反対側のコーナー部に接して少なくとも前記ガードリング層の前記素子部とは反対側の側部の一部と底部の一部とを覆うように設けられた、高電圧が印加されると空乏化する第2導電型半導体の埋め込みガードリング層と、を備えたことを特徴とする半導体装置が提供される。

10

【発明の効果】

【0010】

本発明によれば、終端部での局所的な電界集中を抑えることで、高信頼性、高耐量が得られる半導体装置が提供される。

【発明を実施するための最良の形態】

【0011】

以下、本発明の実施の形態について図面を参照しながら説明する。なお、以下の実施形態では第1導電型をn型、第2導電型をp型としている。また、各図面中の同一部分には同一番号を付している。

【0012】

20

[第1の実施形態]

図1は本発明の第1の実施形態に係る半導体装置の要部断面構造を例示する模式図である。

図2(b)は、図1における要部の拡大図であり、図2(a)は、その要部の平面パターンの一例を示す模式図である。

図3(b)は、図2(b)と同様に図1における要部の拡大図であり、図3(a)は、その要部の平面パターンの他の具体例を示す模式図である。

【0013】

高不純物濃度のn⁺型シリコンからなるドレイン層(第1の半導体層)2の主面上に、n型シリコンからなる第1の半導体ピラー領域3(以下、単に「n型ピラー領域」とも称する)と、p型シリコンからなる第2の半導体ピラー領域4(以下、単に「p型ピラー領域」とも称する)とが、ドレイン層2の主面に対して略平行な方向に周期的に配列されて設けられている。n型ピラー領域3とp型ピラー領域4は、いわゆる「スーパージャンクション構造」を構成している。すなわち、n型ピラー領域3とp型ピラー領域4は互いに隣接してpn接合部を形成している。n型ピラー領域3及びp型ピラー領域4の平面パターンは、図2に表すように、例えばストライプ状に設けても、あるいは図3に表すように格子状に設けてもよい。

30

【0014】

本実施形態に係る半導体装置は、n型ピラー領域3及びp型ピラー領域4の周期的配列構造が形成された素子部(セル部)と、この素子部を囲むように素子部の外側に設けられた終端部とに大きく分けられる。終端部におけるドレイン層2の主面上には、スーパージャンクション構造は設けられず、高抵抗層(第2の半導体層)13が設けられている。高抵抗層(第2の半導体層)13は、n型ピラー領域3よりも不純物濃度が低い(高抵抗な)例えばn型シリコンからなる。

40

【0015】

素子部におけるp型ピラー領域4の上には、p型シリコンからなるベース領域(第1の半導体領域)5が、p型ピラー領域4に接して設けられている。ベース領域5も、p型ピラー領域4と同様に、n型ピラー領域3に隣接してpn接合部を形成している。ベース領域5の表面には、n⁺型シリコンからなるソース領域(第2の半導体領域)6が選択的に設けられている。また、終端部との境界近くのn型ピラー領域3及びp型ピラー領域4の

50

上に、ベース領域 5 の最外部 5 a が設けられている。ベース領域 5 の最外部 5 a には、ソース領域 6 は設けられていない。

【 0 0 1 6 】

n 型ピラー領域 3 から、ベース領域 5 を経てソース領域 6 に至る部分の上には、絶縁膜 7 が設けられている。絶縁膜 7 は、例えば、シリコン酸化膜であり、膜厚は約 $0.1 \mu\text{m}$ である。絶縁膜 7 の上には、制御電極（ゲート電極）8 が設けられている。

【 0 0 1 7 】

ソース領域 6 の一部、およびベース領域 5 におけるソース領域 6 間の部分の上には、ソース電極（第 2 の主電極）9 が設けられている。また、ドレイン層 2 の主面の反対側の面には、ドレイン電極（第 1 の主電極）1 が設けられている。

10

【 0 0 1 8 】

スーパージャンクション構造の最外部にあたるピラー領域は、p 型ピラー領域 4 でも n 型ピラー領域 3 でもよい。但し、最外ピラー領域は、高抵抗層 1 3 よりも不純物濃度が高い為、高電圧印加時に高抵抗層 1 3 から最外ピラー領域に向かって空乏層は伸びず、隣のピラー領域からのみ空乏層が伸びる。最外ピラー領域を完全空乏化させるために、最外ピラー領域の不純物量は、他のピラー領域の $0.35 \sim 0.65$ 倍程度とすることが望ましい。

【 0 0 1 9 】

終端最外部には、高電圧印加時に空乏層がダイシングラインまで到達しないように、n 型のフィールドストップ層 1 2 が形成されている。フィールドストップ層 1 2 は、n 型ピラー領域 3 と同時に形成することができる。また、フィールドストップ層 1 2 上部にフィールドストップ電極を形成しても実施可能である。

20

【 0 0 2 0 】

終端部における高抵抗層 1 3 の表面には、p 型シリコンからなるガードリング層 1 0 が形成されている。高抵抗層 1 3、ガードリング層 1 0 およびフィールドストップ層 1 2 の表面は、フィールド絶縁膜 1 1 で覆われている。ガードリング層 1 0 を形成することで、最外ベース領域 5 a 端部における電界集中を抑制し、高耐圧を実現する。また、終端部にスーパージャンクション構造を設けず、高抵抗（低不純物濃度）層 1 3 を設けることで空乏層が伸び易く、素子部よりも高い終端耐圧を実現することができる。高耐圧な終端耐圧を実現するために、高抵抗層 1 3 の不純物濃度は、n 型ピラー領域 3 の濃度の $1/100 \sim 1/10$ 程度とすることが望ましい。

30

【 0 0 2 1 】

高抵抗層 1 3 中には、最外ベース領域 5 a 及びガードリング層 1 0 のそれぞれの外側のコーナー部に接して覆うように、p 型シリコンからなる埋め込みガードリング層 1 4 が埋め込まれている。ソース・ドレイン間に高電圧が印加されたとき、埋め込みガードリング層 1 4 が完全空乏化するように、埋め込みガードリング層 1 4 の不純物濃度は、p 型ピラー領域 4 の不純物濃度の $0.5 \sim 2$ 倍程度とすることが望ましい。

【 0 0 2 2 】

図 2 に表される平面パターンでは、最外ベース領域 5 a のコーナー部において、ガードリング層 1 0 及び埋め込みガードリング層 1 4 が同心円状となるような曲率をもって形成されている。最外ベース領域 5 a のコーナー部での電界集中を抑制する為に、最外ベース領域 5 a の曲率半径は、ドリフト層（n 型ピラー領域 3）の厚さの $2 \sim 4$ 倍程度とすることが望ましい。

40

【 0 0 2 3 】

埋め込みガードリング層 1 4 の平面パターンと、素子部のスーパージャンクション構造の平面パターンとは、それぞれ独立に設計することができる。スーパージャンクション構造の平面パターンは、図 2 に表すようにストライプ状に形成しても、あるいは図 3 に表すように格子状に形成しても実施可能である。また、p 型ピラー領域 4 を千鳥状に配置するなど、他の平面パターンでも実施可能である。

【 0 0 2 4 】

50

図4(a)は、素子部及び終端部の表層部分の模式断面図であり、図4(b)は、最外ベース領域5aから終端部にかけての部分の電界分布を表す模式図である。図4(b)において、破線は、埋め込みガードリング層14を設けない場合の電界分布を表し、実線は、埋め込みガードリング層14を設けた場合の電界分布を表す。

【0025】

埋め込みガードリング層14を設けない構造では、最外ベース領域5a及びガードリング層10の外側コーナー部で鋭いピークを持つ電界分布となっている。電圧の変化やフィールド絶縁膜11中のチャージの変化、半導体中のキャリア分布の変化により終端部の電界分布は変化するため、設計段階で予め鋭いピークを持つ電界分布となっていると、高電圧を一時的に保持することができても、上記のような変動により電界分布が変化してしまったときに、電界ピーク付近で局所的にアバランシェ降伏が起き易い。局所的なアバランシェ降伏が起こると、降伏により発生したキャリアによるフィールド絶縁膜11の劣化や電流集中による破壊といった信頼性劣化やアバランシェ耐量、リカバリー耐量の低下といった問題が起き易い。

10

【0026】

本実施形態では、最外ベース領域5a及びガードリング層10の外側コーナー部などの電界集中が起きやすい部分に、埋め込みガードリング層14を埋め込むことで、それら部分での局所的な電界集中を抑えて電界を緩和することができる。

【0027】

埋め込みガードリング層14を形成することで、最外ベース領域5a及びガードリング層10の外側コーナー部の曲率が大きくなる。そして、高電圧印加時に、埋め込みガードリング層14が空乏化することで、埋め込みガードリング層14中にも電界が加わるようになり、図4(b)において実線で表されるように緩やかな電界分布となる。埋め込みガードリング層14が空乏化することで、ピーク以外の電界は大きくなるが、ピークの電界が下がることで局所的なアバランシェ降伏が起き難くなって、高信頼性、高耐量を実現することができる。

20

【0028】

埋め込みガードリング層14は、p型ピラー領域4と同時に形成することで、高電圧印加時に空乏化する低濃度な埋め込み層を形成することができる。また、埋め込みガードリング層14をあまり深く形成すると、高抵抗層13の厚さが薄くなったのと同じになり耐圧が低下してしまう。このため、埋め込みガードリング層14の深さは、p型ピラー領域4よりも浅いことが望ましい。

30

【0029】

n型ピラー領域3とp型ピラー領域4とから成るスーパー Junction構造は、例えば、高抵抗n層中にイオン注入を行い、その後高抵抗n層で埋め込み結晶成長を行うプロセスを複数回繰り返して、熱拡散することで深さ方向に接続させることで形成可能である。また、高抵抗n層中に加速電圧を変化させて、複数回イオン注入を繰り返しても形成可能である。さらにまた、加速電圧を変化させて、複数回イオン注入を行った後、埋め込み結晶成長を行うことを複数回繰り返しても形成可能である。

40

【0030】

これらの工程を用いて、スーパー Junction構造を形成する場合、最表層側に埋め込まれるp型ドープ層をイオン注入により形成する際に、埋め込みガードリング層14も形成されるようなマスクパターンとすれば、p型ピラー領域4よりも浅い埋め込みガードリング層14を形成することができる。すなわち、既存の工程にて、マスクパターンを変えるだけで簡単に本実施形態の構造が得られる。

【0031】

なお、高抵抗層13の表面に形成されるガードリング層10の数は2本でなくともよく、1本、もしくは、3本以上でも実施可能である。

【0032】

また、図5に表されるように、ガードリング層14にフィールドプレート電極15が接

50

続されている構造でも実施可能である。

【 0 0 3 3 】

また、フィールドプレート電極 1 5 の（外側の）端部における電界集中を抑制するために、図 6 に表すように、高抵抗層 1 3 中、フィールドプレート電極 1 5 端部の直下に埋め込みガードリング層 1 4 を設けてもよい。

【 0 0 3 4 】

また、図 7 に表されるように、ガードリング層 1 0 間の間隔が比較的広い場合、それらガードリング層 1 0 の間に、埋め込みガードリング層 1 4 を配置することで、その埋め込みガードリング層 1 4 よりも内側のガードリング層 1 0 への電界集中を抑制することができる。このため、高抵抗層 1 3 表面のガードリング層 1 0 を比較的自由に配置することができる。ガードリング層 1 0 は、ベース領域 5 と別工程で形成し、ベース領域 5 と異なる拡散深さであっても、あるいはベース領域 5 と同時に形成し、ベース領域 5 と同じ拡散深さであっても実施可能である。

【 0 0 3 5 】

[第 2 の実施形態]

図 8 は本発明の第 2 の実施形態に係る半導体装置の要部断面構造を例示する模式図である。前述の実施形態と同一部分の詳しい説明は省略し、ここでは異なる部分についてのみ説明する。

【 0 0 3 6 】

図 8 に示す構造では、終端部表面に形成されたフィールド絶縁膜 1 1 の厚さが段階的に変化している。具体的には、フィールド絶縁膜 1 1 は、最外ベース領域 5 a 端部から終端最外部に向かって段階的に厚く形成されている。

【 0 0 3 7 】

フィールド絶縁膜 1 1 において、段階的に厚さが変化した部分の上には、ソース電極 9 と一体に形成されたフィールドプレート電極 1 5 が形成されている。フィールドプレート電極 1 5 を形成することで、最外ベース領域 5 a 端部の電界集中を抑制し、高耐圧を実現できる。

【 0 0 3 8 】

図 8 に示したフィールドプレート構造でも、図 1 に示したガードリング終端構造と同様に、最外ベース領域 5 a 端部やフィールド絶縁膜 1 1 の厚さが変化する角部で局所的な電界ピークが発生する。この電界ピークを抑制する為に、本実施形態でも、最外ベース領域 5 a 端部、フィールド絶縁膜 1 1 の厚さが変化する角部の下、およびフィールドプレート電極 1 5 の端部の下の高抵抗層 1 3 中に、埋め込みガードリング層 1 4 が埋め込まれている。

【 0 0 3 9 】

フィールドプレート電極 1 5 の平面パターンは、図 2、3 に表されるガードリング層 1 0 と同様に、コーナー部で最外ベース領域 5 a に対して同心円状となるように曲率が付けられる。

【 0 0 4 0 】

本実施形態においても、電界が集中しやすい部分に埋め込みガードリング層 1 4 を形成することで、フィールドプレート電極 1 5 コーナー部の曲率を大きくして電界集中を緩和し、また、高電圧印加時に、埋め込みガードリング層 1 4 が空乏化することで、埋め込みガードリング層 1 4 中にも電界が加わるようになり、終端部の電界分布を緩やかにする。埋め込みガードリング層 1 4 が空乏化することで、ピーク以外の電界は大きくなるが、ピークの電界が下がることで局所的なアバランシェ降伏が起き難くなって、高信頼性、高耐量を実現することができる。

【 0 0 4 1 】

局所的な電界ピークの緩和という点から、埋め込みガードリング層 1 4 は、最外ベース領域 5 a 端部、フィールド絶縁膜 1 1 の厚さが変化する箇所、フィールドプレート電極 1 5 端部の直下に配置することが望ましい。

10

20

30

40

50

【 0 0 4 2 】

また、図 9 に表されるように、フィールドプレート電極 1 5 端部の外側に埋め込みガードリング層 1 4 を配置しても実施可能である。フィールド絶縁膜 1 1 の厚さが薄いと、フィールドプレート電極 1 5 端部の電界が大きくなるが、埋め込みガードリング層 1 4 をフィールドプレート電極 1 5 端部の外側にも配置することで、フィールドプレート電極 1 5 端部の電界を抑制することができ、フィールド絶縁膜 1 1 の厚さを比較的自由に設定することができる。

【 0 0 4 3 】

また、図 1 0 に表されるように、フィールド絶縁膜 1 1 の厚さが変化していないフィールドプレート電極 1 5 の下に、埋め込みガードリング層 1 4 を設けても実施可能である。フィールドプレート電極 1 5 の長さが短いと最外ベース領域 5 a 端部の電界が大きくなるが、埋め込みガードリング層 1 4 をフィールドプレート電極 1 5 の下に配置することで、電界を抑制することができ、フィールドプレート電極 1 5 の長さを比較的自由に設定することができる。

10

【 0 0 4 4 】

図 8 ~ 1 0 に表される構造では、フィールドプレート電極 1 5 は、ソース電極 9 に接続されていたが、フィールドプレート電極 1 5 はゲート電極 8 に接続されていても実施可能である。

【 0 0 4 5 】

[第 3 の実施形態]

図 1 1 は本発明の第 3 の実施形態に係る半導体装置の要部断面構造を例示する模式図である。前述の実施形態と同一部分の詳しい説明は省略し、ここでは異なる部分についてのみ説明する。

20

【 0 0 4 6 】

図 1 1 に示す終端構造は、フィールドプレート構造と、ガードリング構造とを組み合わせた構造である。フィールドプレート電極 1 5 は、ゲート電極 8 に接続され、フィールドプレート電極 1 5 の外側にガードリング層 1 0 が設けられている。

【 0 0 4 7 】

本実施形態においても、最外ベース領域 5 a 端部、フィールドプレート電極 1 5 端部、ガードリング層 1 0 端部などの電界集中しやすい部分に対応する位置の高抵抗層 1 3 中に埋め込みガードリング層 1 4 を埋め込むことで、それら部分における電界集中を抑制し、高信頼性及び高耐量を実現することができる。なお、図 1 1 では、フィールドプレート電極 1 5 は、ゲート電極 8 に接続されているが、ソース電極 9 に接続されていても実施可能である。

30

【 0 0 4 8 】

また、図 1 2 に表すように、ガードリング層 1 0 にフィールドプレート電極 1 5 が接続されていても実施可能である。このガードリング層 1 0 に接続されたフィールドプレート電極 1 5 端部の電界集中を抑制する為に、フィールドプレート電極 1 5 端部直下に埋め込みガードリング層 1 4 を形成することが望ましい。

【 0 0 4 9 】

[第 4 の実施形態]

図 1 3 は本発明の第 4 の実施形態に係る半導体装置の要部断面構造を例示する模式図である。前述の実施形態と同一部分の詳しい説明は省略し、ここでは異なる部分についてのみ説明する。

40

【 0 0 5 0 】

図 1 3 に示す構造では、スーパージャンクション構造の最外ピラー領域（図 1 3 では例えば n 型ピラー領域 3 ）と、最外ベース領域 5 a 端部に設けられた埋め込みガードリング層 1 4 とが接している。

【 0 0 5 1 】

最外ベース領域 5 a 端部に電界が集中することにより、最外ベース領域 5 a 端部の近く

50

にスーパージャンクション構造を形成してしまうと、最外ベース領域 5 a 端部に近いスーパージャンクション構造の耐圧が低下し易い。

【 0 0 5 2 】

しかし、最外ベース領域 5 a 端部に埋め込みガードリング層 1 4 を設けることで、最外ベース領域 5 a 端部の電界集中が抑制されるため、スーパージャンクション構造を最外ベース領域 5 a 端部に近づけても高耐圧を得ることができる。スーパージャンクション構造を最外ベース領域 5 a 端部に近付けることで、素子有効面積を増やすことができ、チップオン抵抗を低減することができる。

【 0 0 5 3 】

[第 5 の実施形態]

図 1 4 は本発明の第 5 の実施形態に係る半導体装置の要部断面構造を例示する模式図である。前述の実施形態と同一部分の詳しい説明は省略し、ここでは異なる部分についてのみ説明する。

【 0 0 5 4 】

図 1 4 に示す構造では、素子部におけるベース領域 5 間に、n 型ピラー領域 3 よりも高不純物濃度の高濃度 n 層 1 6 が形成されている。ベース領域 5 間の間隔は、n 型ピラー領域 3 の幅より狭くなるので、抵抗が上がり易い。ベース領域 5 間の間隔が短い分だけピンチオフしやすいので、耐圧が低下することのない程度まで高濃度 n 層 1 6 の不純物濃度を上げることで、オン抵抗を低減することができる。

【 0 0 5 5 】

高濃度 n 層 1 6 を形成する方法として、素子部のフィールド絶縁膜 1 1 を除去する工程と同時に行う方法が考えられる。具体的には、フィールド絶縁膜 1 1 を全面に形成後、リソグラフィにより素子部のフィールド絶縁膜 1 1 を除去するようなパターンを形成し、エッチングにより素子部のフィールド絶縁膜 1 1 を除去する。このフィールド絶縁膜 1 1 のパターンを用いて、n 型ドーパントである例えばリン (P) をイオン注入することで、高濃度 n 層 1 6 を形成することができる。これにより、フィールド絶縁膜 1 1 のエッチング用リソグラフィ工程と、高濃度 n 層 1 6 のイオン注入用リソグラフィ工程とを一括で行うことができ、工程を短縮することが可能となる。

【 0 0 5 6 】

しかし、この方法を用いる場合、高濃度 n 層 1 6 の所望の拡散深さを確保する観点から、ベース領域 5 を形成する前に高濃度 n 層 1 6 を形成するため、最外ベース領域 5 a よりも外側 (終端部側) にも高濃度 n 層 1 6 が形成されてしまう。最外ベース領域 5 a よりも外側に高濃度 n 層 1 6 が形成されていると、最外ベース領域 5 a 端部で電界集中が起きてしまい、耐圧が低下する。しかし、最外ベース領域 5 a 端部に、埋め込みガードリング層 1 4 を形成することで、最外ベース領域 5 a 端部の電界を抑制でき、高耐圧を保持することができる。確実に最外ベース領域 5 a 端部の電界を抑制する為に、埋め込みガードリング層 1 4 は、高濃度 n 層 1 6 よりも外側に伸びて形成されていることが望ましい。

【 0 0 5 7 】

最外ベース領域 5 a 端部に埋め込みガードリング層 1 4 を設けることで最外ベース領域 5 a 端部の電界集中を抑制するため、最外ベース領域 5 a よりも外側に形成された高濃度 n 層 1 6 を、例えば別工程にて p 型層でつぶす必要はなく、工程削減が図れる。

【 0 0 5 8 】

また、ガードリング層 1 0 をベース領域 5 と同時に形成する場合、図 1 5 に示すようにガードリング層 1 0 の外側にも高濃度 n 層 1 6 が形成される。この場合、ガードリング層 1 0 端部の電界を抑制する為に、ガードリング層 1 0 の外側に形成された高濃度 n 層 1 6 よりも外側まで伸ばして埋め込みガードリング層 1 4 を形成することが望ましい。

【 0 0 5 9 】

また、ガードリング終端構造に限らず、フィールドプレート終端構造において、フィールド絶縁膜 1 1 のエッチング用リソグラフィ工程と、高濃度 n 層 1 6 のイオン注入用リソグラフィ工程とを一括で行って工程短縮を図った場合でも高濃度 n 層 1 6 は最外ベー

10

20

30

40

50

ス領域 5 a の外側に形成されるため、前述と同様に埋め込みガードリング層 1 4 を高濃度 n 層 1 6 の外側まで形成することで高耐圧を得ることができる。

【 0 0 6 0 】

[第 6 の実施形態]

図 1 6 は本発明の第 6 の実施形態に係る半導体装置の要部断面構造を例示する模式図である。前述の実施形態と同一部分の詳しい説明は省略し、ここでは異なる部分についてのみ説明する。

【 0 0 6 1 】

図 1 6 に示す構造では、ドレイン層 2 上に n 層 1 7 が形成され、その n 層 1 7 の上にスーパージャンクション構造と、高抵抗層 1 3 が形成されている。ソース - ドレイン間に電圧が印加されると、n 層 1 7 が空乏化することで電圧を保持する。これにより、n 層 1 7 の保持電圧分だけ、素子耐圧は増加することが可能である。n 層 1 7 の不純物濃度と厚さを変化させることで、n 層 1 7 の保持電圧を変化させることができ、素子耐圧を変化させることができる。n 層 1 7 を確実に空乏化させるために、n 層 1 7 は n 型ピラー領域 3 よりも低い不純物濃度を有することが望ましい。

10

【 0 0 6 2 】

[第 7 の実施形態]

図 1 7 は本発明の第 7 の実施形態に係る半導体装置の要部断面構造を例示する模式図である。

図 1 8 (b) は、図 1 7 における要部の拡大図であり、図 1 8 (a) は、その要部の平面パターンの一例を示す模式図である。

20

図 1 9 (b) は、図 1 8 (b) と同様に図 1 7 における要部の拡大図であり、図 1 9 (a) は、その要部の平面パターンの他の具体例を示す模式図である。

【 0 0 6 3 】

図 1 7 に示す構造では、終端部にもスーパージャンクション構造が形成されている。この場合においても、最外ベース領域 5 a 端部やフィールドプレート電極 1 5 端部などの電界集中しやすい箇所に、埋め込みガードリング層 1 4 を形成することで、高信頼性、高耐量を得ることができる。

【 0 0 6 4 】

埋め込みガードリング層 1 4 は、スーパージャンクション構造の位置とは独立に配置することが可能であり、例えば、図 1 8 に示すように、n 型ピラー領域 3 と p 型ピラー領域 4 とはストライプ状に形成され、埋め込みガードリング層 1 4 は、最外ベース領域 5 a のコーナー部、フィールドプレート電極 1 5 のコーナー部を覆うようにそれらと同心円状に形成される。

30

【 0 0 6 5 】

また、図 1 9 に示すように p 型ピラー領域 4 が格子状に配置されていても実施可能である。あるいは、p 型ピラー領域 4 が千鳥状に配置されていても実施可能である。

【 0 0 6 6 】

終端部の耐圧を高くするために、終端部のスーパージャンクション構造や埋め込みガードリング層 1 4 は、空乏化し易いように、素子部のスーパージャンクション構造よりも不純物濃度が低いことが望ましい。

40

【 0 0 6 7 】

素子部スーパージャンクション構造の最外部は、p 型ピラー領域でも、n 型ピラー領域でも同等の効果を得ることができる。

【 0 0 6 8 】

MOS ゲート部やスーパージャンクション構造の平面パターンは、ストライプ状に限らず、格子状や千鳥状に形成してもよい。MOS ゲート構造はプレーナ構造にて説明したが、トレンチ構造でも実施可能である。

【 0 0 6 9 】

前述した実施形態では、終端部表面は、ガードリング構造やフィールドプレート構造を

50

用いた構造を示したが、図 20 に表すように、高抵抗層 13 表面にリサーフ (RESURF: Reduced-Surface-Field) 層 18 を設けた構造、図 21 に表すように、フィールド絶縁膜 11 上にフローティングフィールドプレート電極 19 を設けた構造、図 22 に表すように、埋め込みガードリング層 14 のみの構造などでも実施可能であり、終端部表面の構造には限定されない。

【0070】

複数の埋め込みガードリング層 14 を形成する場合には、終端最外部に向かって、隣り合う埋め込みガードリング層 14 間の間隔を広げていった方が、終端部における電界分布をより緩やかにできる。

【0071】

p 型ピラー領域 4 は、ドレイン層 2 に接していなくとも実施可能である。高抵抗層 13 が成長されている基板表面にイオン注入を行うことでスーパージャンクション構造を形成すると、p 型ピラー領域 4 はドレイン層 2 に接しているが、ドレイン層 2 上に n 型半導体層を成長させることで、p 型ピラー領域がドレイン層 2 に接していない構造を形成することも可能である。

【0072】

前述した具体例では、スーパージャンクション構造を有する MOSFET で説明したが、本発明の構造は、スーパージャンクション構造を有する素子であれば、SBD (Schottky Barrier Diode)、MOSFET と SBD との混載素子、SIT (Static Induction Transistor)、IGBT (Insulated Gate Bipolar Transistor) などの素子でも適用可能である。

【0073】

[第 8 の実施形態]

図 23 は本発明の第 8 の実施形態に係る半導体装置の要部断面構造を例示する模式図である。本実施形態に係る半導体装置は、pin (p-intrinsic-n) ダイオードである。

【0074】

高不純物濃度の n⁺ 型シリコンからなるカソード (第 1 の半導体層) 22 の主面上に、n 型シリコンからなるバッファ層 23 が設けられ、このバッファ層 23 の上に n⁻ 型シリコンからなるドリフト層 (第 2 の半導体層) 24 が設けられている。

【0075】

素子部におけるドリフト層 24 上には、p⁺ 型シリコンからなるアノード領域 (半導体領域) 25 が設けられている。アノード領域 25 上には、アノード領域 25 に接してアノード電極 (第 2 の主電極) 26 が設けられている。また、カソード層 22 の主面の反対側の面には、カソード電極 (第 1 の主電極) 21 が設けられている。

【0076】

終端部におけるドリフト層 24 の表面には、p 型シリコンからなるガードリング層 10 が形成されている。終端部におけるドリフト層 24 中には、アノード領域 25 及びガードリング層 10 のそれぞれの外側のコーナー部に接して覆うように、p 型シリコンからなる埋め込みガードリング層 14 が埋め込まれている。ソース - ドレイン間に高電圧が印加されたとき、埋め込みガードリング層 14 が完全空乏化するように、埋め込みガードリング層 14 の不純物濃度は設定されている。

【0077】

本実施形態においても、アノード領域 25 及びガードリング層 10 の外側コーナー部などの電界集中が起きやすい部分に、埋め込みガードリング層 14 を埋め込むことで、それら部分での局所的な電界集中を抑えて電界を緩和することができる。アノード - カソード間に高電圧が印加されたとき、埋め込みガードリング層 14 が空乏化することで、埋め込みガードリング層 14 中にも電界が加わるようになり、終端部の電界分布が緩やかになる。埋め込みガードリング層 14 が空乏化することで、ピーク以外の電界は大きくなるが、ピークの電界が下がることで局所的なアバランシェ降伏が起き難くなって、高信頼性、高耐量を実現することができる。

10

20

30

40

50

【 0 0 7 8 】

埋め込みガードリング層 1 4 は、前述した実施形態におけるスーパージャンクション構造の p 型ピラー領域と同様に、イオン注入した後の埋め込み結晶成長や、高加速イオン注入などにより形成可能である。

【 0 0 7 9 】

[第 9 の実施形態]

図 2 4 は本発明の第 9 の実施形態に係る半導体装置の要部断面構造を例示する模式図である。本実施形態に係る半導体装置は、I G B T (Insulated Gate Bipolar Transistor) である。

【 0 0 8 0 】

高不純物濃度の p ⁺ 型シリコンからなるコレクタ層 (第 1 の半導体層) 3 2 の主面上に、n 型シリコンからなるバッファ層 3 3 が設けられ、このバッファ層 3 3 の上に n 型シリコンからなるベース層 (第 2 の半導体層) 3 4 が設けられている。

【 0 0 8 1 】

素子部におけるベース層 3 4 の表面には、p 型シリコンからなるベース領域 (第 1 の半導体領域) 3 5 が設けられている。ベース領域 3 5 の表面には、n 型シリコンからなるエミッタ領域 (第 2 の半導体領域) 3 6 が選択的に設けられている。

【 0 0 8 2 】

素子部には、選択的に、ベース領域 3 5 を貫通してベース層 3 4 に至るトレンチが形成され、そのトレンチ内には絶縁膜 3 7 を介して制御電極 (ゲート電極) 3 8 が充填されている。制御電極 3 8 は、絶縁膜 3 7 を介して、エミッタ領域 3 6、およびエミッタ領域 3 6 とベース層 3 4 との間のベース領域 3 5 に対向している。

【 0 0 8 3 】

エミッタ領域 3 6 およびベース領域 3 5 に接してエミッタ電極 (第 2 の主電極) 3 9 が設けられている。また、コレクタ層 3 2 の主面の反対側の面には、コレクタ電極 (第 1 の主電極) 3 1 が設けられている。

【 0 0 8 4 】

終端部におけるベース層 3 4 の表面には、p 型シリコンからなるガードリング層 1 0 が形成されている。終端部におけるベース層 3 4 中には、ベース領域 3 5 及びガードリング層 1 0 のそれぞれの外側のコーナー部に接して覆うように、p 型シリコンからなる埋め込みガードリング層 1 4 が埋め込まれている。エミッタ - コレクタ間に高電圧が印加されたとき、埋め込みガードリング層 1 4 が完全空乏化するように、埋め込みガードリング層 1 4 の不純物濃度は設定されている。

【 0 0 8 5 】

本実施形態においても、ベース領域 3 5 及びガードリング層 1 0 の外側コーナー部などの電界集中が起きやすい部分に、埋め込みガードリング層 1 4 を埋め込むことで、それら部分での局所的な電界集中を抑えて電界を緩和することができる。エミッタ - コレクタ間に高電圧が印加されたとき、埋め込みガードリング層 1 4 が空乏化することで、埋め込みガードリング層 1 4 中にも電界が加わるようになり、終端部の電界分布が緩やかになる。埋め込みガードリング層 1 4 が空乏化することで、ピーク以外の電界は大きくなるが、ピークの電界が下がることで局所的なアバランシェ降伏が起き難くなって、高信頼性、高耐量を実現することができる。

【 0 0 8 6 】

埋め込みガードリング層 1 4 は、前述した実施形態におけるスーパージャンクション構造の p 型ピラー領域と同様に、イオン注入した後の埋め込み結晶成長や、高加速イオン注入などにより形成可能である。また、I G B T は、プレーナゲート構造やノンパンチスルー構造でも実施可能である。

【 0 0 8 7 】

以上の説明では、第 1 導電型を n 型、第 2 導電型を p 型として説明したが、第 1 導電型を p 型、第 2 導電型を n 型としても実施可能である。

10

20

30

40

50

【0088】

また、半導体としてシリコン(Si)を用いたMOSFETを説明したが、半導体としては、例えばシリコンカーバイド(SiC)や窒化ガリウム(GaN)等の化合物半導体やダイヤモンドなどのワイドバンドギャップ半導体を用いることができる。

【図面の簡単な説明】

【0089】

【図1】本発明の第1の実施形態に係る半導体装置の要部断面構造を例示する模式図である。

【図2】(b)は、図1における要部の拡大図であり、(a)は、その要部の平面パターンの一例を示す模式図である。

【図3】(b)は、図2(b)と同様に図1における要部の拡大図であり、(a)は、その要部の平面パターンの他の具体例を示す模式図である。

【図4】(a)は、素子部及び終端部の表層部分の模式断面図であり、(b)は、最外ベース領域から終端部にかけての部分の電界分布を表す模式図である。

【図5】第1の実施形態に係る半導体装置において、他の具体例を表す模式図である。

【図6】第1の実施形態に係る半導体装置において、さらに他の具体例を表す模式図である。

【図7】第1の実施形態に係る半導体装置において、さらに他の具体例を表す模式図である。

【図8】本発明の第2の実施形態に係る半導体装置の要部断面構造を例示する模式図である。

【図9】第2の実施形態に係る半導体装置において、他の具体例を表す模式図である。

【図10】第2の実施形態に係る半導体装置において、さらに他の具体例を表す模式図である。

【図11】本発明の第3の実施形態に係る半導体装置の要部断面構造を例示する模式図である。

【図12】第3の実施形態に係る半導体装置において、他の具体例を表す模式図である。

【図13】本発明の第4の実施形態に係る半導体装置の要部断面構造を例示する模式図である。

【図14】本発明の第5の実施形態に係る半導体装置の要部断面構造を例示する模式図である。

【図15】第5の実施形態に係る半導体装置において、他の具体例を表す模式図である。

【図16】本発明の第6の実施形態に係る半導体装置の要部断面構造を例示する模式図である。

【図17】本発明の第7の実施形態に係る半導体装置の要部断面構造を例示する模式図である。

【図18】(b)は、図17における要部の拡大図であり、(a)は、その要部の平面パターンの一例を示す模式図である。

【図19】(b)は、図18(b)と同様に図17における要部の拡大図であり、(a)は、その要部の平面パターンの他の具体例を示す模式図である。

【図20】本発明の実施形態に係る半導体装置において、終端部表面の他の構造を例示する模式図である。

【図21】本発明の実施形態に係る半導体装置において、終端部表面のさらに他の構造を例示する模式図である。

【図22】本発明の実施形態に係る半導体装置において、終端部表面のさらに他の構造を例示する模式図である。

【図23】本発明の第8の実施形態に係る半導体装置の要部断面構造を例示する模式図である。

【図24】本発明の第9の実施形態に係る半導体装置の要部断面構造を例示する模式図である。

10

20

30

40

50

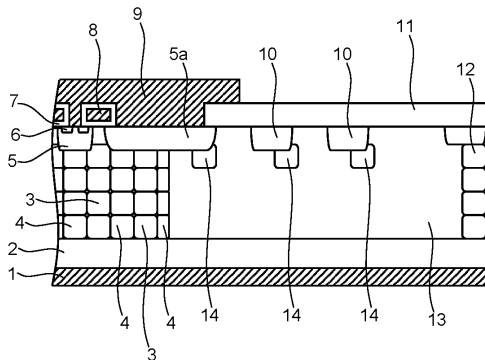
【符号の説明】

【0090】

1 ... ドレイン電極 (第1の主電極)、2 ... n⁺型ドレイン層 (第1の半導体層)、3 ... n型ピラー領域 (第1の半導体ピラー領域)、4 ... p型ピラー領域 (第2の半導体ピラー領域)、5 ... ベース領域 (第1の半導体領域)、6 ... ソース領域 (第2の半導体領域)、7 ... ゲート絶縁膜、8 ... 制御電極、9 ... ソース電極 (第2の主電極)、10 ... ガードリング層、11 ... フィールド絶縁膜、13 ... n⁻層 (第2の半導体層)、14 ... 埋め込みガードリング層、15 ... フィールドプレート電極、21 ... カソード電極 (第1の主電極)、22 ... n⁺カソード層 (第1の半導体層)、23 ... n型バッファ層、24 ... n⁻型ドリフト層 (第2の半導体層)、25 ... p⁺型アノード領域 (半導体領域)、26 ... アノード電極 (第2の主電極)、31 ... コレクタ電極 (第1の主電極)、32 p⁺コレクタ層 (第1の半導体層)、33 ... n型バッファ層、34 ... n型ベース層 (第2の半導体層)、35 ... p型ベース領域 (半導体領域)、36 ... n型エミッタ層、37 ... ゲート絶縁膜、38 ... 制御電極、39 ... エミッタ電極 (第2の主電極)

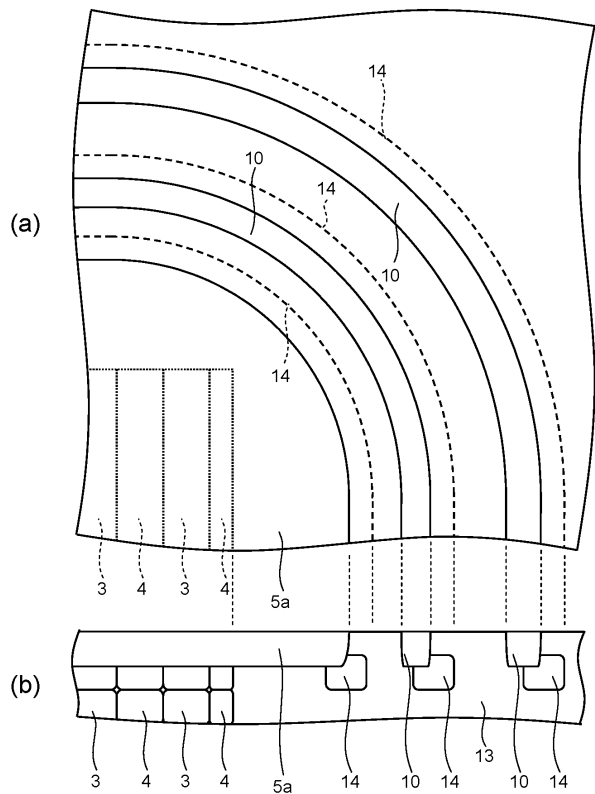
10

【図1】

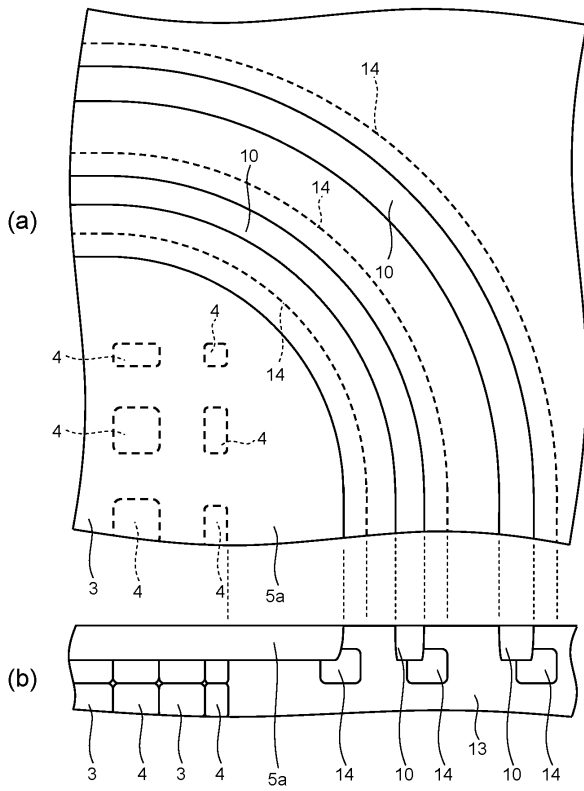


1:ドレイン電極(第1の主電極) 2:n⁺型ドレイン層(第1の半導体層)
 3:n型ピラー領域(第1の半導体ピラー領域)
 4:p型ピラー領域(第2の半導体ピラー領域) 5:ベース領域(第1の半導体領域)
 6:ソース領域(第2の半導体領域) 7:ゲート絶縁膜 8:制御電極
 9:ソース電極(第2の主電極) 10:ガードリング層 11:フィールド絶縁膜
 13:n⁻層(第2の半導体層) 14:埋め込みガードリング層

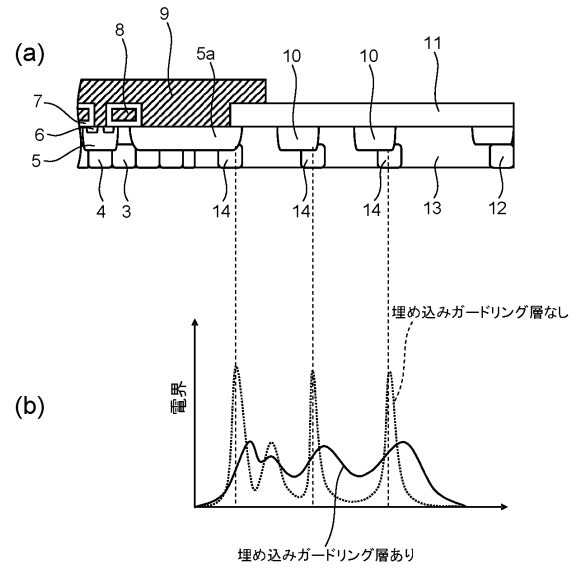
【図2】



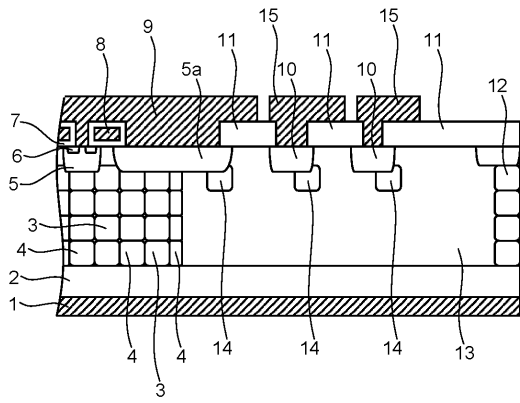
【図3】



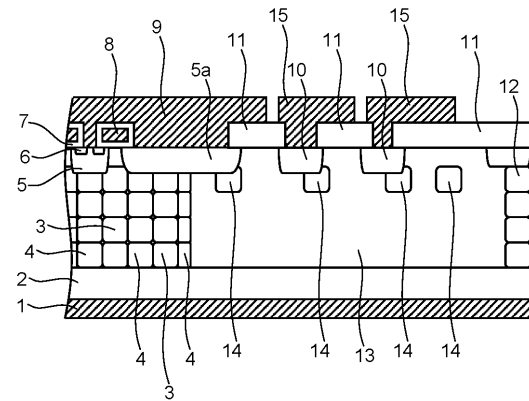
【図4】



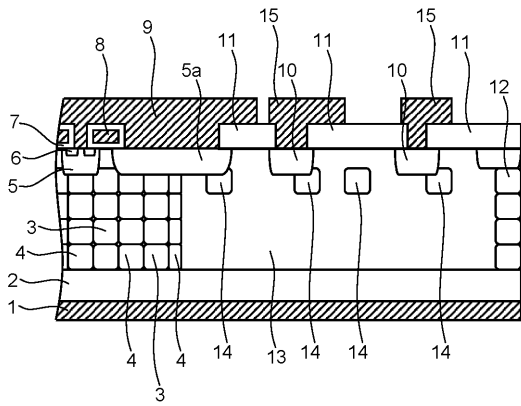
【図5】



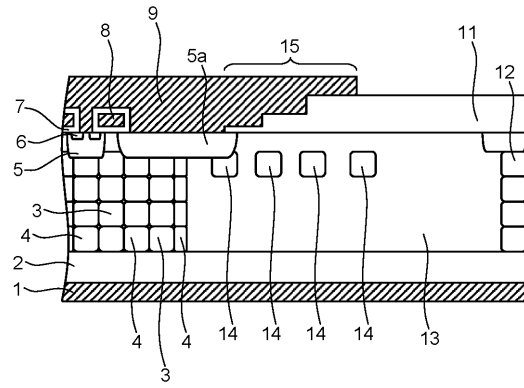
【図6】



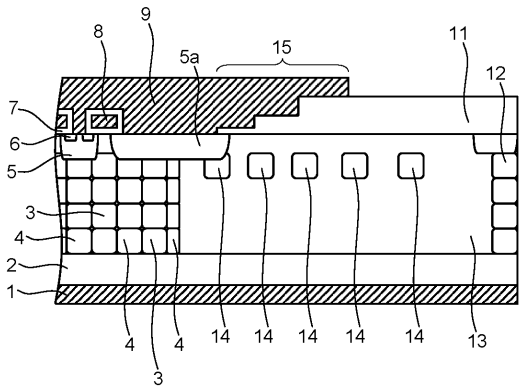
【図 7】



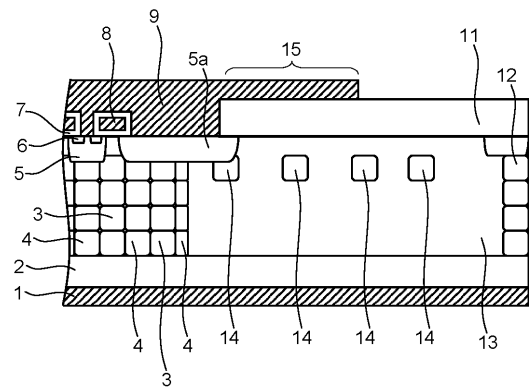
【図 8】



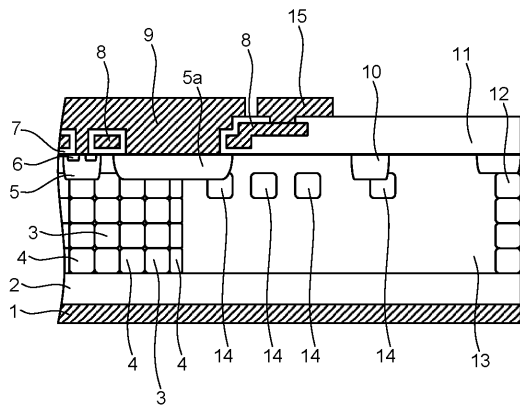
【図 9】



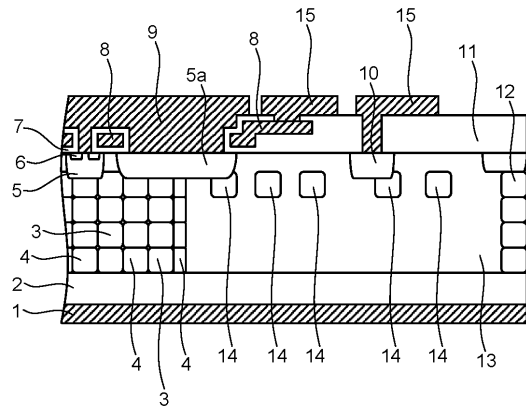
【図 10】



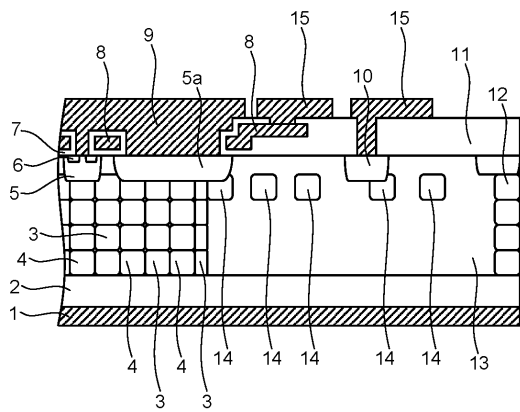
【図 1 1】



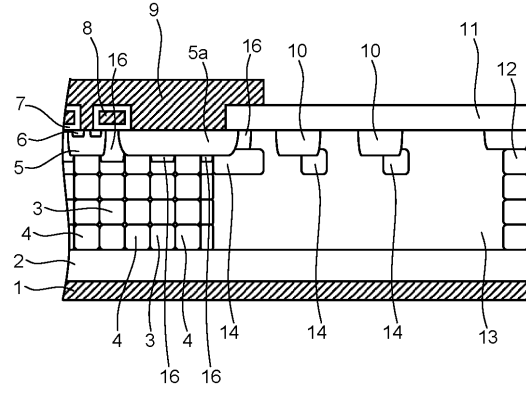
【図 1 2】



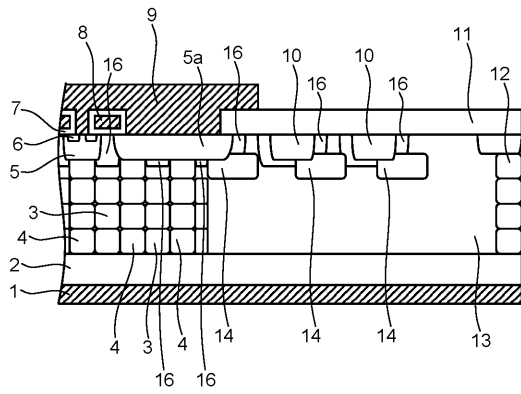
【図 1 3】



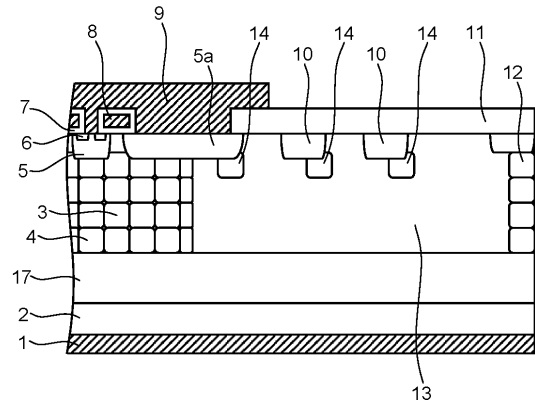
【図 1 4】



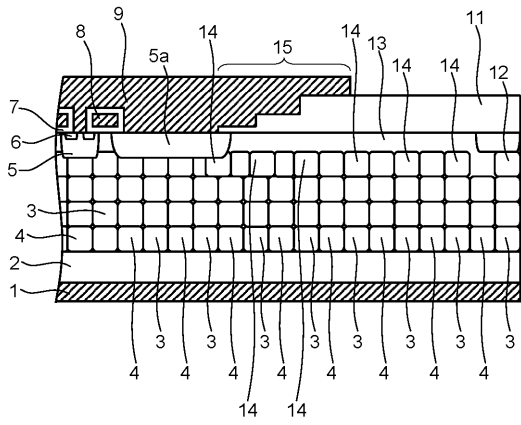
【図 15】



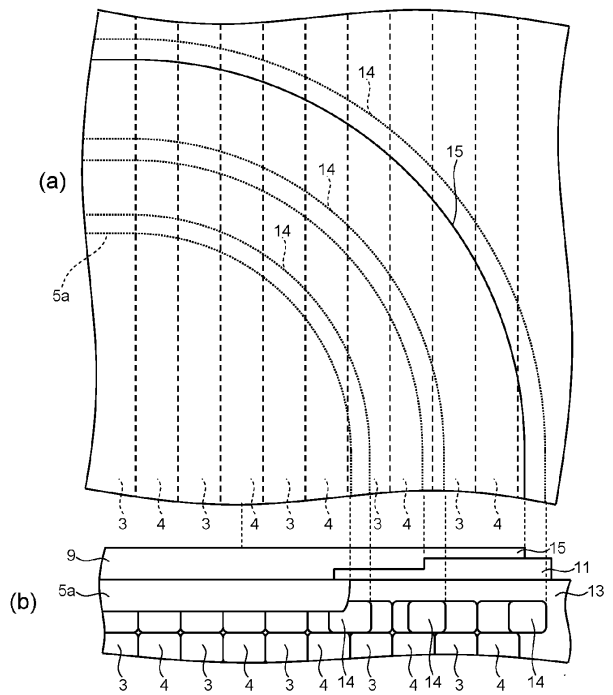
【図 16】



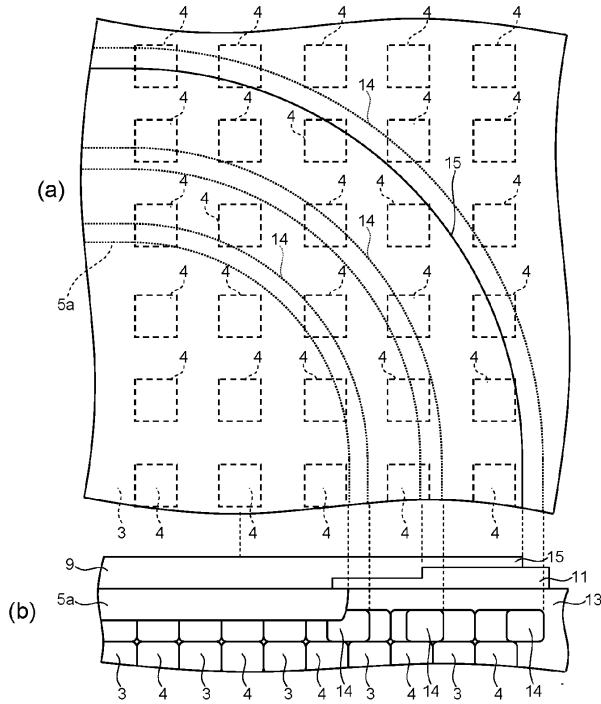
【図 17】



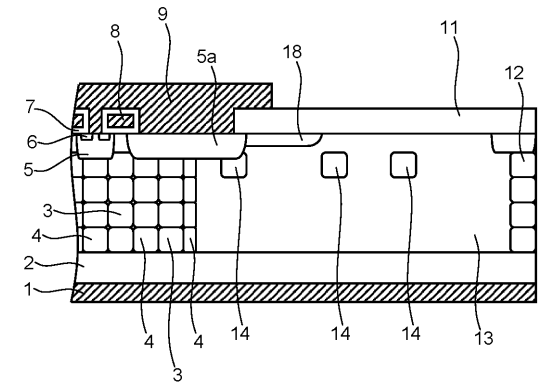
【図 18】



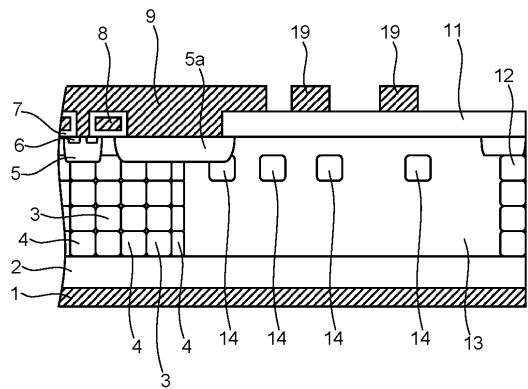
【図 19】



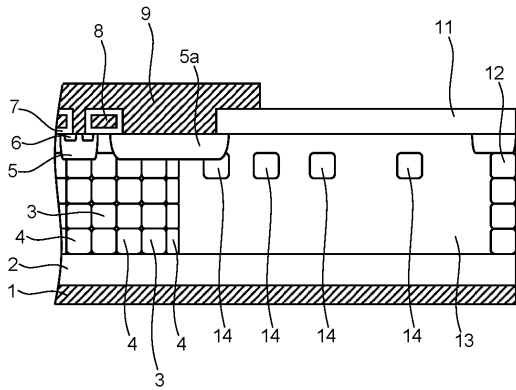
【図 20】



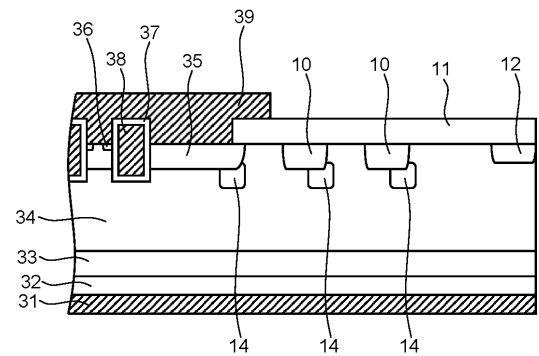
【図 21】



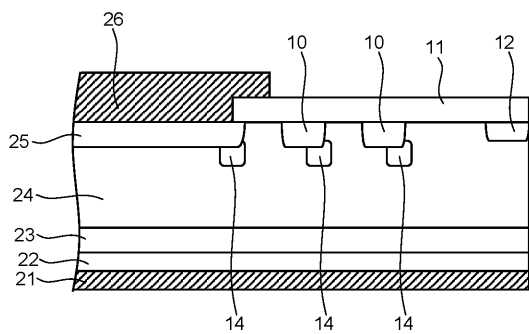
【図 22】



【図 24】



【図 23】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L	29/78	6 5 2 P
H 0 1 L	29/78	6 5 2 T
H 0 1 L	29/78	6 5 3 A
H 0 1 L	29/78	6 5 5 F
H 0 1 L	29/78	6 5 8 F

(72)発明者 高下 正勝

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

(72)発明者 角 保人

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

(72)発明者 泉沢 優

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

(72)発明者 大田 浩史

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

審査官 工藤 一光

(56)参考文献 特開2003-273355(JP,A)

特開平10-209451(JP,A)

特開2004-158817(JP,A)

特開2000-277726(JP,A)

特開2000-183350(JP,A)

特開平07-007154(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 0 6

H 0 1 L 2 9 / 1 2

H 0 1 L 2 9 / 7 3 9

H 0 1 L 2 9 / 7 8 - 2 9 / 7 9 2