

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
7. November 2013 (07.11.2013)



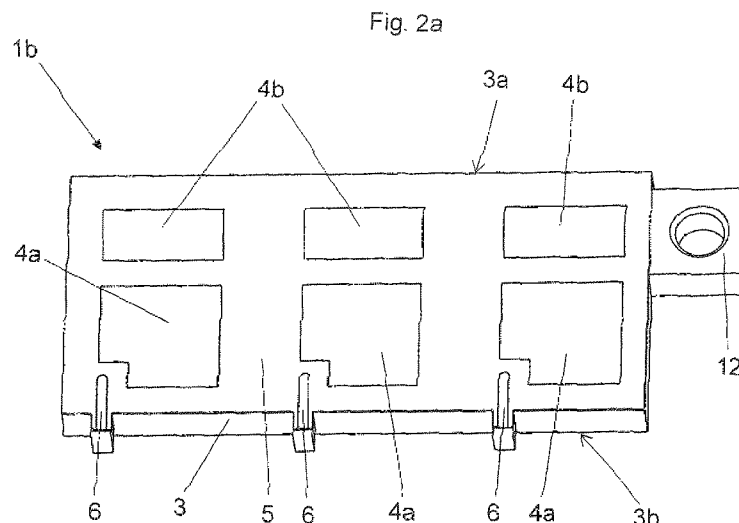
(10) Internationale Veröffentlichungsnummer
WO 2013/163664 A1

- (51) **Internationale Patentklassifikation:**
H05K 1/02 (2006.01) *H02M 7/00* (2006.01)
H01L 23/492 (2006.01) *H05K 1/05* (2006.01)
H01L 25/07 (2006.01)
- (21) **Internationales Aktenzeichen:** PCT/AT2013/000063
- (22) **Internationales Anmeldedatum:**
15. April 2013 (15.04.2013)
- (25) **Einreichungssprache:** Deutsch
- (26) **Veröffentlichungssprache:** Deutsch
- (30) **Angaben zur Priorität:**
A 526/2012 4. Mai 2012 (04.05.2012) AT
- (71) **Anmelder:** A.B. **MIKROELEKTRONIK
GESELLSCHAFT MIT BESCHRÄNKTER
HAFTUNG** [AT/AT]; Josef-Brandstätter-Straße 2, A-5020
Salzburg (AT).
- (72) **Erfinder:** **BURNS, Robert, Christopher;** Heftrasse 9,
A-5020 Salzburg (AT). **TUSLER, Wolfgang;** Josef Preis
Allee 11 / 3a, A-5020 Salzburg (AT). **HAEGELE, Bernd;**
Simon-Irschl-Strasse 1, 84549 Engelsberg (DE).
- (74) **Anwälte:** **TORGGLER, Paul, N.** et al.; Wilhelm-Greil-
Strasse 16, A-6020 Innsbruck (AT).
- (81) **Bestimmungsstaaten** (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW,
BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK,
DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,
GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN,
KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD,
ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,
NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU,
RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ,
TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA,
ZM, ZW.
- (84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ,
TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ,
RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE,
SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA,
GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[Fortsetzung auf der nächsten Seite]

(54) **Title:** CIRCUIT BOARD, PARTICULARLY FOR A POWER-ELECTRONIC MODULE, COMPRISING AN
ELECTRICALLY-CONDUCTIVE SUBSTRATE

(54) **Bezeichnung :** LEITERPLATTE, INSBESONDERE FÜR EIN LEISTUNGSELEKTRONIKMODUL, UMFASSEND EIN
ELEKTRISCH LEITFÄHIGES SUBSTRAT



(57) **Abstract:** The invention relates to a circuit board (1a, 1b, 1c), particularly for a power-electronic module (2), comprising an electrically-conductive substrate (3) which consists, at least partially and preferably entirely, of aluminium and/or an aluminium alloy. On at least one surface (3a, 3b) of the electrically-conductive substrate (3), at least one conductor surface (4a, 4b) is arranged in the form of an electrically-conductive layer applied preferably using a printing method and more preferably using a screen-printing method, said conductor surface (4a, 4b) being in direct electrical contact with the electrically-conductive substrate (3).

(57) **Zusammenfassung:**

[Fortsetzung auf der nächsten Seite]

WO 2013/163664 A1



Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eingehen (Regel 48 Absatz 2 Buchstabe h)

Leiterplatte (1a, 1 b, 1c), insbesondere für ein Leistungselektronikmodul (2), umfassend ein elektrisch leitfähiges Substrat (3), wobei das Substrat (3) zumindest teilweise, vorzugsweise vollständig, aus Aluminium und/oder einer Aluminiumlegierung besteht, wobei auf wenigstens einer Oberfläche (3a, 3b) des elektrisch leitfähigen Substrats (3) wenigstens eine Leiterfläche (4a, 4b) in Form einer, vorzugsweise durch ein Druckverfahren, besonders bevorzugt durch ein Siebdruckverfahren, aufgetragenen, elektrisch leitfähigen Schicht angeordnet ist, wobei die Leiterfläche (4a, 4b) direkt mit dem elektrisch leitfähigen Substrat (3) elektrisch kontaktiert ist.

Leiterplatte, insbesondere für ein Leistungselektronikmodul, umfassend ein elektrisch leitfähiges Substrat

5 Die Erfindung betrifft eine Leiterplatte, insbesondere für ein Leistungselektronikmodul, umfassend ein elektrisch leitfähiges Substrat, wobei das Substrat zumindest teilweise, vorzugsweise vollständig, aus Aluminium und/oder einer Aluminiumlegierung besteht. Weiters betrifft die Erfindung ein Leistungselektronikmodul umfassend wenigstens eine Leiterplatte sowie ein Verfahren zur Herstellung einer Leiterplatte.

10

Der Werkstoff Aluminium erfährt insbesondere im Bereich der Leistungselektronik eine zunehmend höhere Bedeutung. Durch sein verhältnismäßig geringes Gewicht und die geringen Kosten wird Aluminium häufig als Kühlkörper für elektronische Bauteile (z.B. LEDs, IGBTs oder MOSFETs) in Leistungselektronikmodulen oder auch direkt als stromführender Leiter, insbesondere als Strom- oder Sammelschiene, eingesetzt. Aluminium weist für diese Einsatzzwecke sowohl eine sehr hohe Wärmeleitfähigkeit als auch eine sehr hohe elektrische Leitfähigkeit auf.

15 Im Bereich der Leistungselektronik wird als Substrat häufig ein isoliertes Metallsubstrat (auf Englisch „insulated metal substrate“, kurz IMS) eingesetzt, welches einen Kern aus Aluminium umfasst und welches von einer elektrisch isolierenden bzw. dielektrischen Schicht umhüllt ist. Der Kern aus Aluminium wird in diesem Fall ausschließlich für eine verbesserte Wärmeleitung eingesetzt. Die Leiterbahnen selbst sind auf der Isolierschicht angeordnet und elektrisch nicht mit dem Kern aus Aluminium kontaktiert.

25

Aufgabe der Erfindung ist es, eine gattungsgemäße Leiterplatte bereitzustellen, auf der elektronische Bauteile mit einem Substrat der Leiterplatte elektrisch kontaktierbar anordenbar sind. Insbesondere soll ein elektronisches Bauteile an einem Substrat einer Leiterplatte, das überwiegend aus Aluminium und/oder einer Aluminiumlegierung besteht, anlötfähig sein, um eine elektrische Kontaktierung des elektronischen Bauteils mit dem Substrat herstellen zu können.

30

Diese Aufgabe wird erfindungsgemäß durch die Merkmale des Patentanspruchs 1 gelöst. Vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Patentansprüchen angegeben.

5 Gemäß der Erfindung ist also vorgesehen, dass auf wenigstens einer Oberfläche des elektrisch leitfähigen Substrats wenigstens eine Leiterfläche in Form einer, vorzugsweise durch ein Druckverfahren, besonders bevorzugt durch ein Siebdruckverfahren, aufgebracht, elektrisch leitfähigen Schicht angeordnet ist, wobei die Leiterfläche direkt mit dem elektrisch leitfähigen Substrat elektrisch kontaktiert ist.

10

Ein Ziel der Erfindung ist es, eine direkte elektrische Kontaktierung von auf dem Substrat angeordneten Leiterflächen bzw. Leiterbahnen mit dem Substrat selbst zu erzielen und das Substrat als elektrischen Leiter zu verwenden. Bei der vorgeschlagenen Leiterplatte ist eine elektrisch leitfähige Leiterfläche, die im
15 Wesentlichen aus Kupfer bestehen kann und eine Dicke von 25 µm bis 125 µm, vorzugsweise von 90 µm bis 110 µm, aufweisen kann, direkt an einer Oberfläche des elektrisch leitfähigen Substrats angeordnet. Es kann also auf eine zwischen Substrat und Leiterfläche angeordnete Isolierschicht verzichtet werden. Dadurch kann einerseits ein vereinfachter Aufbau der Leiterplatte erzielt werden, wodurch sich eine Leiterplatte
20 auch kostengünstiger herstellen lässt. Andererseits kann dadurch das Substrat zusätzlich zu seiner Funktion als wärmeabführende Vorrichtung auch als stromführender Teil der Leiterplatte verwendet werden. Dies ist insbesondere bei Leistungselektronikmodulen und den bei diesen auftretenden hohen elektrischen Strömen von Vorteil.

25

Gemäß einer besonders bevorzugten Ausführungsform kann vorgesehen sein, dass die wenigstens eine Oberfläche des elektrisch leitfähigen Substrats im Wesentlichen eben ausgebildet ist. Dadurch lässt sich der Herstellungsprozess einer Leiterplatte wesentlich vereinfachen. So können beispielsweise herkömmliche Aluminiumplatten mit einer
30 Dicke von etwa 1 mm bis 3 mm einfach je nach Bedarf geschnitten, gesägt oder ausgestanzt werden, ohne die Oberflächen der Aluminiumplatten speziell behandeln zu müssen.

In einer bevorzugten Ausführungsform der Erfindung kann vorgesehen sein, dass auf der wenigstens einen Oberfläche des elektrisch leitfähigen Substrats wenigstens eine Isolatorfläche in Form einer, vorzugsweise durch ein Druckverfahren – besonders bevorzugt durch ein Siebdruckverfahren – aufgetragenen, dielektrischen Schicht angeordnet ist. Dabei kann die wenigstens eine Isolatorfläche zumindest teilweise an der wenigstens einen Leiterfläche angrenzen, vorzugsweise die wenigstens eine Leiterfläche umgeben.

Um einen Funkenüberschlag zwischen strom- bzw. spannungsführenden Teilen und einem damit verbundenen Kurzschluss zu verhindern, müssen diese in einem bestimmten Abstand zueinander angeordnet werden. Beispielsweise soll der Abstand bzw. die Luftstrecke zwischen zwei spannungsführenden Teilen bei einer Spannungsdifferenz von 400 V gemäß der Norm DIN EN 60664-1 VDE 0110-1 mindestens 4 mm betragen. Durch die Isolatorfläche kann der Abstand zu anderen stromführenden Teilen, beispielsweise zu anderen Leiterplatten innerhalb eines Leistungselektronikmoduls, bei gleicher Spannungsfestigkeit verringert werden, beispielsweise auf unter 1 mm. Dadurch können Baugrößen von Leistungselektronikmodulen, die wenigstens eine vorgeschlagene Leiterplatte umfassen, reduziert werden.

Die Dicke der Isolatorfläche kann je nach auszulegender Überschlagspannung gewählt werden. Bei einer durchschnittlichen Überschlagspannung der dielektrischen Schicht von 800 V pro 25 µm ist üblicherweise eine Dicke von 100 µm für die Isolatorfläche ausreichend. Generell kann die Dicke der dielektrischen Schicht abhängig von der Überschlagspannung eines verwendeten und z.B. zwischen zwei Leiterplatten angeordneten IGBT gewählt werden und beispielsweise für Hochspannungsanwendungen derart gewählt werden, dass eine Überschlagspannung von etwa 600 V bis etwa 1700 V erzielt wird.

Generell kann die Isolatorfläche auch als Lötdeckung für die wenigstens eine Leiterfläche dienen. Daher kann die wenigstens eine Isolatorfläche in einem solchen Muster auf das Substrat aufgetragen werden, sodass die wenigstens eine Leiterfläche bzw. eine Mehrzahl von Leiterflächen von der Isolatorfläche umgeben bzw. umrahmt sind.

Zur Herstellung der wenigstens einen Isolatorfläche auf dem Substrat kann vorgesehen sein, dass auf der wenigstens einen Oberfläche des Substrats zumindest bereichsweise
5 eine dielektrische Schicht aufgebracht wird. Dabei kann durch ein Druckverfahren, vorzugsweise durch ein Siebdruckverfahren, eine dielektrische Dickschichtpaste aufgebracht werden. Die Dickschichtpaste kann bei Temperaturen unter etwa 200 °C für ca. 10 min getrocknet werden oder direkt in einem Brennofen gesintert werden.

10 Das Brennen bzw. Sintern der Dickschichtpaste kann unter Luftatmosphäre bei Temperaturen zwischen etwa 540 °C und etwa 640 °C in einem Brennofen erfolgen. Es ist auch möglich, die Dickschichtpaste bei Temperaturen unter 540 °C zu brennen, jedoch kann sich dies nachteilig auf die Anhaftung der Dickschichtpaste am Substrat auswirken. Bei einem Brennen der Dickschichtpaste über 640 °C kann das Substrat
15 beginnen, sich aufzuweichen, da der Schmelzpunkt von Aluminium bei etwa 660 °C liegt.

Um eine günstige Anhaftung der Dickschichtpaste am Substrat zu erreichen, können Glasbestandteile der Dickschichtpaste wenigstens ein Alkalimetalloxid umfassen, z.B.
20 Lithiumoxid, Natriumoxid oder Kaliumoxid. Dadurch schmelzen die Glasbestandteile bereits bei Temperaturen unterhalb des Schmelzpunkts von Aluminium. Darüber hinaus kann durch das Vorhandensein von Alkalimetalloxiden auch der Ausdehnungskoeffizient der Dickschichtpaste erhöht und/oder an den Ausdehnungskoeffizienten von Aluminium angepasst werden.

25 Eine vorgeschlagene Leiterplatte ist besonders dazu geeignet, in kompakten Leistungselektronikmodulen, z.B. in Hochstrom-Mehrphasen-Leistungsbrücken oder Wechselrichtern, eingesetzt zu werden. Bei solchen Leistungselektronikmodulen kommen häufig elektronische Schalter bzw. Transistoren in Form von
30 Bipolartransistoren mit isolierten Gate-Elektroden (auf Englisch „insulated-gate bipolar transistor“, kurz IGBT) zum Einsatz. Für den Anschluss einer solchen Gate-Elektrode kann vorgesehen sein, dass auf der wenigstens einen Isolatorfläche wenigstens eine Anschlussfläche in Form einer elektrisch leitfähigen Schicht angeordnet ist. Die

Anschlussfläche kann in weiterer Folge mit dem Gate-Anschluss eines IGBTs verbunden werden, z.B. durch Verlöten.

Schutz wird auch begehrt für ein Leistungselektronikmodul nach Anspruch 12.

- 5 Vorteilhafte Ausgestaltungen sind in den davon abhängigen Patentansprüchen angegeben.

Eine vorgeschlagene Leiterplatte kann Teil eines Leistungselektronikmoduls sein, beispielsweise eines Wechselrichters. Solche Wechselrichter werden unter anderem bei
10 hybriden oder vollelektrischen Antriebssträngen im Automobilbereich eingesetzt, um die Gleichspannung einer Gleichspannungsquelle (z.B. Batterie) in eine 3-Phasen-Wechselspannung für einen Drehstrommotor umzusetzen. Der Wechselrichter selbst kann dabei sechs elektronische Schalter (z.B. IGBTs) und damit korrespondierende Freilaufdioden umfassen. Durch entsprechende Ansteuerung der Gate-Anschlüsse der
15 IGBTs kann dabei eine an den Wechselrichter angeschlossene Gleichspannung, beispielsweise im Bereich von etwa 300 V bis 1200 V, in bekannter Art und Weise in drei phasenverschobene Wechselspannungen umgerichtet und einem Drehstrommotor zugeführt werden.

- 20 Gemäß einer besonders bevorzugten Ausführungsform kann ein vorgeschlagenes Leistungselektronikmodul eine erste Leiterplatte, eine zweite Leiterplatte und drei dritte Leiterplatten umfassen.

Für die erste Leiterplatte kann vorgesehen sein, dass auf der wenigstens einen
25 Oberfläche des elektrisch leitfähigen Substrats eine Mehrzahl von Leiterflächen, vorzugsweise sechs Leiterflächen, angeordnet sind, wobei vorzugsweise die Leiterflächen von einer Isolatorfläche umgeben sind. An den Leiterflächen können beispielsweise drei IGBTs und drei damit korrespondierende Freilaufdioden angebracht werden, z.B. durch Anlöten. Die erste Leiterplatte kann beispielsweise als negativ
30 gepolte Stromschiene eines Wechselrichters ausgebildet sein, die mit dem negativen Pol einer Gleichspannungsquelle verbindbar ist.

Für die zweite Leiterplatte kann zusätzlich vorgesehen sein, dass auf der Isolatorfläche eine Mehrzahl von Anschlussflächen, vorzugsweise drei Anschlussflächen, angeordnet

sind. Dadurch lassen sich zusätzlich zur Anbringung von drei IGBTs und drei damit korrespondierenden Freilaufdioden an die Leiterflächen auch die Gate-Elektroden der IGBTs mit den Anschlussflächen verbinden, z.B. durch Anlöten, und in weiterer Folge ansteuern. Die zweite Leiterplatte kann beispielsweise als positiv gepolte Stromschiene eines Wechselrichters ausgebildet sein, die mit dem positiven Pol einer Gleichspannungsquelle verbindbar ist.

Für jede der drei dritten Leiterplatten kann vorgesehen sein, dass auf einer ersten Oberfläche des elektrisch leitfähigen Substrats eine Mehrzahl von Leiterflächen, vorzugsweise zwei Leiterflächen, angeordnet sind und dass auf einer zweiten Oberfläche des elektrisch leitfähigen Substrats eine Mehrzahl von Leiterflächen, vorzugsweise zwei Leiterflächen, sowie wenigstens eine Isolatorfläche angeordnet sind, wobei auf der wenigstens einen Isolatorfläche eine Anschlussfläche angeordnet ist.

Jede der drei dritten Leiterplatten kann dabei als Phasenanschluss eines Wechselrichters für einen Drehstrommotor ausgebildet sein. Die zwei Leiterflächen der ersten Oberfläche einer dritten Leiterplatte können dabei mit je einem Paar elektronischer Bauteile – umfassend einen IGBT und eine damit korrespondierende Freilaufdiode – die an der zweiten Leiterplatte angeordnet sein können, verbunden werden, z.B. durch Löten. Die zwei Leiterflächen und die Anschlussfläche der zweiten Oberfläche einer dritten Leiterplatte können dabei mit je einem Paar elektronischer Bauteile – umfassend einen IGBT und eine damit korrespondierende Freilaufdiode – die an der ersten Leiterplatte angeordnet sein können, verbunden werden, z.B. durch Löten. Die Anschlussfläche kann dabei jeweils zur Verbindung der Gate-Elektrode eines IGBTs dienen.

Als besonders vorteilhaft hat es sich herausgestellt, wenn die Leiterplatten im Wesentlichen gestapelt angeordnet sind, wobei die drei dritten Leiterplatten, vorzugsweise nebeneinander liegend, zwischen der ersten Leiterplatte und der zweiten Leiterplatte angeordnet sind. Dadurch kann eine sehr kompakte Bauform eines Leistungselektronikmoduls erzielt werden.

In einer besonders bevorzugten Ausführungsform kann vorgesehen sein, dass das Leistungselektronikmodul als Hochstrom-Mehrphasen-Leistungsbrücke ausgebildet ist,

wobei auf der wenigstens einen Oberfläche der ersten Leiterplatte und/oder den zweiten Oberflächen der drei dritten Leiterplatten drei Transistoren, vorzugsweise IGBTs, und drei Freilaufdioden angebracht, vorzugsweise angelötet, sind und wobei auf der wenigstens einen Oberfläche der zweiten Leiterplatte und/oder den ersten Oberflächen der drei dritten Leiterplatten drei Transistoren, vorzugsweise IGBTs, und drei Freilaufdioden angebracht, vorzugsweise angelötet, sind.

Das Anlöten von elektronischen Bauteilen wie z.B. IGBTs und Freilaufdioden auf einer vorgeschlagenen Leiterplatte kann vorzugsweise durch Dampfphasenlöten erfolgen. Dadurch kann in den Lötsschichten eines Leistungselektronikmoduls ein einheitlicher Temperaturgradient erzielt werden. Bei einem gestapelten Wechselrichter können eine erste Lötsschicht zwischen der ersten Leiterplatte und den drei dritten Leiterplatten und eine zweite Lötsschicht zwischen den drei dritten Leiterplatten und der zweiten Leiterplatte angeordnet sein.

Generell kann eine Leiterfläche auf die Oberfläche eines Substrats durch verschiedene Verfahren aufgebracht werden, wie beispielsweise durch galvanische Prozesse, Plasma-Metall-Sprays oder durch Plattieren (z.B. Walzplattieren).

Schutz wird auch begehrt für ein Verfahren zur Herstellung einer Leiterplatte nach Anspruch 16.

Eine chemische Eigenschaft von Aluminium ist eine sich sehr schnell an der Luft bildende dünne Oxidschicht, die sich durch Kontakt mit Sauerstoff in der Atmosphäre in Folge eines Oxidationsprozesses an der Oberfläche eines Aluminiumkörpers bildet. Diese Oxidschicht bietet zwar einerseits einen Korrosionsschutz, erschwert aber andererseits die Verbindung von Aluminium mit anderen Werkstoffen durch Löten, Schweißen oder andere bekannte Verbindungstechniken.

Zur Herstellung einer vorgeschlagenen Leiterplatte, insbesondere zur Herstellung der wenigstens einen Leiterfläche auf dem Substrat, kann daher vorgesehen sein, dass auf einer Oberfläche des Substrats zumindest bereichsweise eine Leiterpaste aufgebracht wird, in einer ersten Brennphase die Leiterpaste einer im Wesentlichen kontinuierlich steigenden Brenntemperatur ausgesetzt wird, wobei die Brenntemperatur auf eine

vorgebbare maximale Brenntemperatur kleiner etwa 660 °C erhöht wird, in einer zweiten Brennphase die Leiterpaste für einen vorgebbaren Zeitraum im Wesentlichen der vorgebbaren maximalen Brenntemperatur ausgesetzt wird, in einer Abkühlphase die Leiterpaste abgekühlt wird und in einer Nachbehandlungsphase eine Oberfläche der
5 Leiterpaste mechanisch nachbehandelt, vorzugsweise gebürstet, wird.

Die Bereiche, an denen die Leiterpaste aufgebracht und entsprechend den Verfahrensschritten gesintert wird, treten zur elektrischen Kontaktierung des Substrats anstelle der in diesem Bereich vorherrschenden, oxidierten Oberfläche des Substrats.
10 Diese elektrisch leitfähige Schicht, die zumindest bereichsweise durch das Auftragen und Sintern der Leiterpaste erzielt wird, kann in weiterer Folge beispielsweise zum Anlöten eines elektronischen Bauteils oder auch zum Anlöten eines Kühlkörpers verwendet werden, wobei der Kühlkörper selbst wiederum aus Aluminium bestehen kann.

15 Das Substrat kann dabei zumindest teilweise, vorzugsweise vollständig, aus einem Aluminium-Werkstoff mit einem möglichst hohen Aluminium-Anteil bestehen. Vorzugsweise kommt ein Aluminium-Werkstoff mit der Güte EN AW-1050A oder EN AW-1060A nach Europäischer Norm EN 573 zum Einsatz, der mindestens 99,5 Gew.-%
20 bzw. 99,6 Gew.-% Aluminium enthält. Trotz etwas geringerer Liquidustemperaturen und geringerer Wärmeleitfähigkeit im Vergleich zu den vorgenannten im Wesentlichen puren Aluminium-Werkstoffen können auch Aluminiumlegierungen eingesetzt werden, beispielsweise Aluminiumlegierungen umfassend Mangan oder Magnesium wie z.B. EN AW-3003 (AlMn1Cu), EN AW-3103 (AlMn1), EN AW-5005 (AlMg1) oder EN AW-5754
25 (AlMg3).

Durch das beschriebene Herstellungsverfahren erhält man die Möglichkeit, selektiv einzelne Bereiche der Oberfläche eines Aluminium-basierten Substrats zu metallisieren, wobei die metallisierten Bereiche in Form einer gesinterten Leiterpaste direkt
30 stoffschlüssig mit dem Substrat verbunden sind und sich dadurch eine hohe elektrische Leitfähigkeit und eine hohe thermische Leitfähigkeit von Leiterpaste zu Substrat und umgekehrt erzielen lässt. Die metallisierten Bereiche stellen darüber hinaus lötbare Bereiche dar, durch die das Substrat in bekannter Art und Weise mit weiteren Komponenten verbunden werden kann. So können beispielsweise unter Verwendung

von herkömmlichen Lötmitteln wie eutektischen Sn-Pb-, Sn-Ag-Cu- oder Sn-Au-Loten einzelne elektronische Bauteile auf die metallisierten Bereiche aufgelötet werden.

- 5 Gemäß einer besonders bevorzugten Ausführungsform kann vorgesehen sein, dass die Leiterpaste durch ein Druckverfahren, vorzugsweise durch ein Siebdruckverfahren, auf die Oberfläche des Substrats aufgebracht wird.

10 Dabei können herkömmliche Leiterpasten in Form von Dickschichtpasten oder Sinterpasten eingesetzt werden. Durch die Porosität von Dickschichtpasten können unterschiedliche Wärmeausdehnungen von Leiterpaste und Substrat kompensiert werden, wodurch sich die Zuverlässigkeit der Verbindung zwischen Leiterpaste und Substrat erhöhen lässt, insbesondere bei starker Temperaturwechselbeanspruchung wie beispielsweise im Automobilbereich.

15 Durch die additive Natur der Siebdrucktechnik, bei der Schichten auf ein Substrat aufgebaut werden, kann zum Metallisieren einer Substrat-Oberfläche darüber hinaus auf den Einsatz von Belichtungs- und Ätz-Verfahren verzichtet werden, was zu Kostenvorteilen des vorgeschlagenen Verfahrens führt.

20 Eine Dickschichtleiterpaste umfasst üblicherweise zumindest ein Metallpulver als elektrisch leitfähiges Mittel, ein anorganisches Pulver (z.B. Glasfritten) als Anhaftemittel, sowie organische Binde- und Lösemittel. Die organischen Binde- und Lösemittel führen zu einer pastenähnlichen Konsistenz mit bestimmten rheologischen Eigenschaften, die jedoch auch durch die weiteren Bestandteile der Leiterpaste beeinflusst sind.

25 In Bezug auf den Bestandteil des elektrisch leitfähigen Metallpulvers kann vorzugsweise vorgesehen sein, dass eine Leiterpaste umfassend ein Kupferpulver verwendet wird. Selbstverständlich ist es aber auch möglich, eine Leiterpaste umfassend ein Silber- und/oder Goldpulver zu verwenden. Der Einsatz von Kupferpulver ist dabei jedoch deutlich kostengünstiger.

30 Bezüglich des Bestandteils des anorganischen Pulvers kann vorzugsweise vorgesehen sein, dass eine Leiterpaste umfassend ein Glas aus dem $\text{PbO-B}_2\text{O}_3\text{-SiO}_2$ -System

und/oder ein Glas umfassend Bi_2O_3 verwendet wird. Dadurch kann während des Sinterprozesses im vorgeschlagenen Verfahren trotz der dabei vorherrschenden, verhältnismäßig geringen Brenntemperaturen eine sehr gute Anhaftung der Leiterpaste am Substrat erzielt werden.

5

Nach dem Aufdrucken einer Leiterpaste, beispielsweise durch ein im Stand der Technik bekanntes Siebdruckverfahren, verbleibt die Leiterpaste aufgrund ihrer rheologischen Eigenschaften im Wesentlichen auf den entsprechenden Bereichen, ohne nennenswert zu verfließen. Um die auf die Oberfläche des Substrats aufgetragene Leiterpaste optimal auf das Brennen bzw. Sintern vorzubereiten, kann vorzugsweise vorgesehen sein, dass die Leiterpaste vor der ersten Brennphase in einer Trocknungsphase bei einer Temperatur von etwa 80 °C bis etwa 200 °C, vorzugsweise von 100 °C bis 150 °C, besonders bevorzugt bei maximal 130 °C, getrocknet wird, vorzugsweise für eine Zeitspanne von etwa 5 min bis etwa 20 min. Durch diese Trocknungsphase lösen sich die in der Leiterpaste vorhandenen Lösemittel im Wesentlichen vollständig auf. Bevorzugt sind dabei bekannte Trocknungsmethoden wie beispielsweise Infrarot- oder Heißlufttrocknung. Durch den Trocknungsprozess und das damit verbundene Auflösen der Lösemittel in der Leiterpaste erfährt die Leiterpaste einen gewissen Volumenschwund. Diesem kann jedoch bereits im Vorfeld durch ein dementsprechend dickeres Auftragen der Leiterpaste entgegengewirkt werden.

15
20

Das Brennen bzw. Sintern der Leiterpaste in der ersten und/oder zweiten Brennphase des vorgeschlagenen Verfahrens kann vorzugsweise in einem Brennofen erfolgen, wobei im Brennofen die Brenntemperatur vorherrscht. Selbstverständlich kann bzw. können auch die Trocknungsphase und/oder die Abkühlphase im Brennofen erfolgen. Vorzugsweise kann dabei ein Brennofen mit einer Fördereinrichtung zum Einsatz kommen.

25

Abhängig von der verwendeten Werkstoffkombination aus Substrat und Leiterpaste kann ein geeignetes Brennprofil angewendet werden. Eine besondere Ausführungsvariante sieht vor, dass in der ersten Brennphase die Brenntemperatur zumindest zeitweise um etwa 40 °C/min bis etwa 60 °C/min erhöht wird. Weiters kann vorgesehen sein, dass in der ersten Brennphase die Brenntemperatur auf eine

30

maximale Brenntemperatur von etwa 580 °C, vorzugsweise etwa 565 °C, besonders bevorzugt etwa 548 °C, erhöht wird.

5 Eine Erhitzung der Leiterpaste über etwa 400 °C bis 450 °C führt dazu, dass sich alle organischen Inhaltsstoffe, wie beispielsweise organische Bindemittel, im Wesentlichen vollständig auflösen und dass sich die inorganischen Bestandteile (z.B. Glaspulver oder Glasfritten) aufweichen. Darüber hinaus setzt bei diesen Temperaturen der Sinterprozess des Metallpulvers ein. Die aufgeweichten Glasbestandteile der Leiterpaste führen in weiterer Folge zu einer guten Anhaftung der Leiterpaste auf dem
10 Substrat.

Die maximale Brenntemperatur ist grundsätzlich durch die Schmelztemperatur von Aluminium begrenzt, die bei etwa 660 °C liegt. Bei Einsatz einer Leiterpaste auf Silberbasis beträgt die maximale Brenntemperatur vorzugsweise etwa 565 °C und bei
15 Einsatz einer Leiterpaste auf Kupferbasis beträgt die maximale Brenntemperatur vorzugsweise etwa 548 °C. Diese Temperaturen ergeben sich aus den Schmelztemperaturen von möglichen dabei entstehenden eutektischen Aluminium-Kupfer bzw. Aluminium-Silber Legierungen.

20 In Bezug auf die jeweilige maximale Brenntemperatur sind für eine Leiterpaste geeignete Glasbestandteile auszuwählen, deren entsprechende Glasübergangstemperatur (T_G) bzw. Schmelztemperatur (T_S) an diese maximale Brenntemperatur angepasst sind. Die Glasübergangstemperatur bzw. Schmelztemperatur des Glasbestandteils der entsprechenden Leiterpaste sollte
25 demnach entsprechend unterhalb der angegebenen maximalen Brenntemperaturen liegen, um eine optimale Anhaftung der Leiterpaste auf dem Substrat zu gewährleisten. Geeignet sind insbesondere Gläser aus dem $PbO-B_2O_3-SiO_2$ -System oder Gläser umfassend Bi_2O_3 .

30 Als besonders vorteilhaft hat es sich herausgestellt, wenn das Brennen der Leiterpaste in der zweiten Brennphase für etwa 5 min bis etwa 30 min erfolgt. Dadurch kann eine optimale Anhaftung der Leiterpaste auf dem Substrat erzielt werden. Grundsätzlich gilt, je länger die Zeitspanne in der zweiten Brennphase ist (bei maximaler Brenntemperatur), desto dichter sintert die Leiterpaste und weist somit bessere

Eigenschaften für die Weiterverarbeitung (z.B. Löten und Schweißen) auf. Bei zu langen Zeitspannen in der zweiten Brennphase wird jedoch die Durchlaufzeit in einem typischen Einbrennofen entsprechend verlängert, was sich negativ auf den Gesamtdurchsatz auswirken kann.

5

In einer weiteren vorteilhaften Ausführungsvariante kann vorgesehen sein, dass in der zweiten Brennphase die vorgebbare maximale Brenntemperatur im Wesentlichen konstant gehalten wird.

10 Vorzugsweise kann außerdem vorgesehen sein, dass die Leiterpaste in der ersten Brennphase und/oder der zweiten Brennphase einer Schutzgasatmosphäre umfassend Stickstoff ausgesetzt wird. Durch den Einsatz eines inerten Gases bzw. Schutzgases kann eine Oxidation eines beispielsweise in der Leiterpaste enthaltenen Kupfers verringert bzw. verhindert werden. Dies ist insbesondere bei hohen Temperaturen
15 vorteilhaft. Eine Schutzgasatmosphäre (z.B. Stickstoff) ist für den Einbrand von Kupfer-Leiterbahnpasten vorteilhaft, um die Oxidation des Leiterbahnmaterials zu unterbinden (es kann abhängig von der Brennphase ein Restsauerstoffgehalt von einigen ppm vorliegen). Die organischen Binder eines solchen Materials bzw. der Leiterpaste können dabei so konzipiert sein, dass sie unter einer Stickstoffatmosphäre reduziert werden
20 können. Für Silber-Leiterbahnpasten kann wiederum eine herkömmliche Luft-Atmosphäre vorteilhaft sein, weil es hierbei zu keiner nennenswerten Beeinträchtigung der Leiterbahnoberfläche durch Oxidation kommt. Die hierbei eingesetzten organischen Binder können über den Luftsauerstoff oxidiert werden.

25 In einer bevorzugten Ausführungsform der Erfindung kann vorgesehen sein, dass in der Abkühlphase die Brenntemperatur zumindest zeitweise um etwa 20 °C/min bis etwa 40 °C/min, vorzugsweise um etwa 30 °C/min, reduziert wird. Vorzugsweise erfolgt dabei das Abkühlen bis auf Umgebungstemperatur. Je langsamer die Abkühlung erfolgt, desto geringer sind die mechanischen Auswirkungen der Verbindung zwischen
30 Leiterpaste und Substrat aufgrund unterschiedlicher Wärmeausdehnungskoeffizienten der verwendeten Werkstoffe.

Durch die typische Oxidation der gesinterten Leiterpaste, die während des Brenn- bzw. Sinterprozesses durch die dabei vorherrschenden hohen Temperaturen erfolgt, ist

vorgesehen, dass die Oberfläche der Leiterpaste nach der Abkühlung entsprechend mechanisch nachbehandelt wird, um die weitere Verarbeitung zu erleichtern, beispielsweise für nachfolgende Löt- oder Schweißverfahren.

5 Gemäß einer bevorzugten Ausführungsform kann vorgesehen sein, dass die Leiterpaste mit einer Dicke von etwa 10 µm bis etwa 100 µm auf die Oberfläche des Substrats aufgebracht wird. Selbstverständlich ist es auch möglich, Leiterpasten mit einer Dicke von weniger als 10 µm oder Leiterpasten mit einer Dicke von mehr als 100 µm auf die Oberfläche des Substrats aufzubringen. Es kann auch vorgesehen sein,
10 dass das vorgeschlagene Verfahren mehrmals hintereinander angewendet wird, um die sich insgesamt ergebende Dicke der Leiterpaste zu erhöhen. Vorzugsweise weist die wenigstens eine Leiterfläche der vorgeschlagenen Leiterplatte, die der gesinterten Leiterpaste entsprechen kann, eine Dicke von 25 µm bis 125 µm, vorzugsweise von 90 µm bis 110 µm, auf.

15

Weitere Einzelheiten und Vorteile der vorliegenden Erfindung werden anhand der nachfolgenden Figurenbeschreibung erläutert. Dabei zeigt bzw. zeigen:

- Fig. 1 ein Schaltbild eines als Wechselrichter ausgebildeten
20 Leistungselektronikmoduls,
Fig. 2a eine perspektivische Ansicht einer vorgeschlagenen Leiterplatte,
Fig. 2b die Leiterplatte der Fig. 2a mit daran angeordneten elektronischen Bauelementen,
Fig. 3 eine weitere vorgeschlagene Leiterplatte mit darauf angeordneten
25 elektronischen Bauteilen,
Fig. 4 ein Ausführungsbeispiel eines vorgeschlagenen Leistungselektronikmoduls während der Assemblierung,
Fig. 5 ein vorgeschlagenes Leistungselektronikmodul in perspektivischer Ansicht,
30 Fig. 6 ein Leistungselektronikmodul gemäß Fig. 5 in einer Seitenansicht,
Fig. 7a eine Schnittdarstellung gemäß Schnittlinie I-I der Fig. 5,
Fig. 7b eine Detaildarstellung der Fig. 7a,
Fig. 8a eine Schnittdarstellung gemäß Schnittlinie II-II der Fig. 5 und
Fig. 8b eine Detaildarstellung der Fig. 8a.

Fig. 1 zeigt ein Blockschaltbild eines als Wechselrichter ausgebildeten Leistungselektronikmoduls 2. Das Leistungselektronikmodul 2 umfasst sechs als IGBTs U_H , V_H , W_H , U_L , V_L , W_L ausgebildete elektronische Bauteile 7 und ist an eine Gleichspannungsquelle 9 angeschlossen, beispielsweise an eine Batterie. Durch eine Ansteuerelektronik 10 werden die Gateanschlüsse der drei Highside-Transistoren U_H , V_H , W_H und der drei Lowside-Transistoren U_L , V_L , W_L in bekannter Art und Weise angesteuert, sodass die Gleichspannung der Gleichspannungsquelle 9 durch das Leistungselektronikmodul 2 in drei phasenverschobene Wechselspannungen umgerichtet und einem Drehstrommotor 11 zugeführt wird. Jeder der sechs IGBTs kann zusätzlich jeweils mit einer korrespondierenden Freilaufdiode verschaltet sein. Aus Gründen der Übersichtlichkeit sind diese Freilaufdioden in dieser Darstellung jedoch nicht gezeigt.

Fig. 2a zeigt eine Leiterplatte 1b eines als Wechselrichter ausgebildeten Leistungselektronikmoduls 2 gemäß Fig. 1. Die Leiterplatte 1b umfasst ein elektrisch leitfähiges Substrat 3 in Form einer Aluminiumplatte, deren Oberflächen 3a, 3b im Wesentlichen eben ausgebildet sind. Bei der Leiterplatte 1b kann es sich beispielsweise um die positive Stromschiene des Wechselrichters handeln, die mittels Anschlusselement 12 mit dem positiven Pol einer Gleichspannungsquelle 9 zu verbinden ist. Die Oberfläche 3a der Leiterplatte 1b weist drei Leiterflächen 4a für darauf anzuordnende IGBTs sowie drei Leiterflächen 4b für darauf anzuordnende Freilaufdioden auf. Die Leiterflächen 4a, 4b sind von einer Isolatorfläche 5 umgeben bzw. umrahmt. Sowohl Leiterflächen 4a, 4b als auch Isolatorfläche 5 können in Form von entsprechenden Dickschichtpasten mittels Siebdrucktechnik auf die Oberfläche 3a des Substrats 3 aufgebracht und bspw. in einem Brennofen gebrannt bzw. gesintert werden. Um die Gateanschlüsse der IGBTs mit entsprechenden Steuersignalen versorgen zu können, sind zusätzlich auf der Isolatorfläche 5 entsprechenden Anschlussflächen 6 angeordnet.

Fig. 2b zeigt die Leiterplatte 1b der Fig. 2a mit auf den Leiterflächen 4a angeordneten IGBTs 7 und mit auf den Leiterflächen 4b angeordneten Freilaufdioden 8. Die Gateanschlüsse der IGBTs 7 sind dabei mit den Anschlussflächen 6 verbunden.

Fig. 3 zeigt eine weitere Leiterplatte 1a ähnlich jener der Fig. 2a – jedoch ohne Gateanschlüsse bzw. Anschlussflächen 6 – mit auf den Leiterflächen 4a angeordneten IGBTs 7 und mit auf den Leiterflächen 4b angeordneten Freilaufdioden 8. Die elektronischen Bauteile 7, 8 sind dabei bspw. mittels Dampfphasenlötens an die entsprechenden Leiterflächen 4a, 4b angelötet worden.

Fig. 4 zeigt ein Ausführungsbeispiel eines Leistungselektronikmoduls 2 nach Fig. 1, wobei das Leistungselektronikmodul 2 eine erste Leiterplatte 1a, eine zweite Leiterplatte 1b sowie drei dritte Leiterplatten 1c umfasst. Die erste Leiterplatte 1a entspricht dabei der Leiterplatte 1a gemäß Fig. 3 und die zweite Leiterplatte 1b entspricht dabei der Leiterplatte 1b gemäß Fig. 2a. Mittels Anschlusselement 12 des Substrats 3 der ersten Leiterplatte 1a kann die erste Leiterplatte 1a beispielsweise an den negativen Pol einer Gleichspannungsquelle 9 angeschlossen werden, wodurch das Substrat 3 der ersten Leiterplatte 1a als negative Stromschiene ausgeführt ist. Die zweite Leiterplatte 1b kann mittels Anschlusselement 12 ihres Substrats 3 beispielsweise an den positiven Pol einer Gleichspannungsquelle 9 angeschlossen werden, wodurch das Substrat 3 der zweiten Leiterplatte 1b als positive Stromschiene ausgeführt ist.

Die drei dritten Leiterplatten 1c umfassen jeweils ein elektrisch leitfähiges Substrat 3 in Form einer Aluminiumplatte, deren Oberflächen 3a, 3b im Wesentlichen eben ausgebildet sind. An jeder ersten Oberfläche 3a des Substrats 3 einer dritten Leiterplatte 1c sind jeweils eine elektrisch leitfähige Leiterfläche 4a für einen damit zu verbindenden IGBT sowie eine elektrisch leitfähige Leiterfläche 4b für eine damit zu verbindende Freilaufdiode angeordnet. Auf jeder der zweiten Oberflächen 3b eines Substrats 3 einer dritten Leiterplatte 1c ist zusätzlich zu den elektrisch leitfähigen Leiterflächen 4a, 4b entsprechend der jeweils ersten Oberfläche 3a eine Isolatorfläche 5 angeordnet, auf der zur Kontaktierung einer Gateelektrode eines IGBTs eine elektrisch leitfähige Anschlussfläche 6 angeordnet ist. Jedes Substrat 3 der drei dritten Leiterplatten 1c weist ein Anschlusselement 12 auf, mit dem jede der drei dritten Leiterplatten 1c mit einer Phase eines Drehstrommotors 11 zu verbinden ist.

Wie in Fig. 4 dargestellt, werden zur Assemblierung des Leistungselektronikmoduls 2 die Leiterplatten 1a, 1b, 1c derart vertikal übereinander gestapelt, dass die drei dritten Leiterplatten 1c nebeneinander liegend zwischen der ersten Leiterplatte 1a und der

zweiten Leiterplatte 1b angeordnet werden. Zwischen erster Leiterplatte 1a und den drei dritten Leiterplatten 1c befinden sich drei IGBTs 7 und drei Freilaufdioden 8, die an den jeweiligen Leiterflächen 4a, 4b der Leiterplatten 1a, 1c angelötet werden können. Ebenso befinden sich zwischen den drei dritten Leiterplatten 1c und der zweiten Leiterplatte 1b wiederum drei IGBTs 7 und drei Freilaufdioden 8, die an den entsprechenden Leiterflächen 4a, 4b der ersten Oberflächen 3a der dritten Leiterplatten 1c und der ersten Oberfläche 3a der zweiten Leiterplatte 1b angelötet werden können. Die Gateanschlüsse der drei IGBTs 7 zwischen der ersten Leiterplatte 1a und den drei dritten Leiterplatten 1c können über die Anschlussflächen 6 an den zweiten Oberflächen 3b der dritten Leiterplatten 1c kontaktiert werden und die Gateanschlüsse der IGBTs 7 zwischen den drei dritten Leiterplatten 1c und der zweiten Leiterplatte 1b können über die Anschlussflächen 6 der ersten Oberfläche 3a der zweiten Leiterplatte 1b kontaktiert werden.

Fig. 5 zeigt ein fertig assembliertes Leistungselektronikmodul 2 gemäß Fig. 4 mit dem Unterschied, dass jeweils auf beiden Oberflächen 3a, 3b der drei dritten Leiterplatten 1c eine Isolatorfläche 5 in Form einer durch ein Siebdruckverfahren aufgetragenen dielektrischen Schicht angeordnet ist, wobei die jeweilige Isolatorfläche 5 einer Oberfläche 3a, 3b die jeweiligen Leiterflächen 4a, 4b umgibt. Hier ist insbesondere auch die vertikale Stapelung der Leiterplatten 1a, 1b, 1c und die damit gewonnene kompakte Bauform des Leistungselektronikmoduls 2 ersichtlich.

Fig. 6 zeigt das Leistungselektronikmodul 2 der Fig. 5 in einer Seitenansicht. Die Anschlusselemente 12 der Substrate 3 der Leiterplatten 1a, 1b, 1c bilden dabei die Anschlusspunkte an weitere Bauelemente (vgl. Fig. 1). Das Anschlusselement 12 der ersten Leiterplatte 1a kann dabei mit dem negativen Pol und das Anschlusselement 12 der zweiten Leiterplatte 1b kann mit dem positiven Pol einer Gleichspannungsquelle 9 verbunden werden. Die Anschlusselemente 12 der drei dritten Leiterplatten 1c können mit den entsprechenden Phasenanschlüssen eines Drehstrommotors 11 verbunden werden.

Fig. 7a zeigt eine Schnittdarstellung des Leistungselektronikmoduls 2 der Fig. 5 gemäß der Schnittlinie I-I und Fig. 7b zeigt den mit einem Kreis markierten Bereich B der Fig. 7a in einer vergrößerten Darstellung. Die vergrößerte Darstellung der Fig. 7b zeigt

einen IGBT 7, der zwischen der ersten Leiterplatte 1a und einer der drei dritten Leiterplatten 1c des Leistungselektronikmoduls 2 angeordnet ist. Der IGBT 7 ist dabei sowohl auf der Leiterfläche 4a an der Oberfläche 3a der ersten Leiterplatte 1a als auch auf der Leiterfläche 4a an der Oberfläche 3b der dritten Leiterplatte 1c angelötet, z.B. mittels Dampfphasenlötens. Mit dem Bezugszeichen 13 ist jeweils das dabei verwendete Lot angedeutet. Die Leiterflächen 4a und auch die hier nicht sichtbaren Leiterflächen 4b auf der Oberfläche 3a der ersten Leiterplatte 1a und auf der Oberfläche 3b der dritten Leiterplatte 1c sind von einer dielektrischen Isolatorfläche 5 umgeben.

Fig. 8a zeigt eine Schnittdarstellung des Leistungselektronikmoduls 2 der Fig. 5 gemäß der Schnittlinie II-II und Fig. 8b zeigt den mit einem Kreis markierten Bereich C der Fig. 8a in einer vergrößerten Darstellung. Im Vergleich zur Detaildarstellung gemäß Fig. 7b ist in der vergrößerten Darstellung der Fig. 8b ein IGBT 7 zu sehen, der zwischen der zweiten Leiterplatte 1b und einer der drei dritten Leiterplatten 1c des Leistungselektronikmoduls 2 angeordnet ist. Die Leiterflächen 4a, 4b auf der Oberfläche 3a der zweiten Leiterplatte 1b und auf der Oberfläche 3a der dritten Leiterplatte 1c sind von einer dielektrischen Isolatorfläche 5 umgeben. Der gezeigte Schnitt gemäß der Schnittlinie II-II der Fig. 5 befindet sich im Bereich des Gateanschlusses des IGBTs 7. Um das Gate des IGBTs 7 elektrisch ansteuern zu können, ist auf der Isolatorfläche 5 auf der Oberfläche 3a der zweiten Leiterplatte 1b eine Anschlussfläche 6 in Form einer elektrisch leitfähigen Schicht angeordnet. Mit dem Bezugszeichen 13 ist wiederum jeweils das Lot angedeutet, das zum Anlöten des IGBTs 7 an der Leiterfläche 4a der dritten Leiterplatte 1c und an der Anschlussfläche 6 der zweiten Leiterplatte 1b zum Einsatz gekommen ist.

Bei einem vorgeschlagenen Leistungselektronikmodul 2 mit vorgeschlagenen Leiterplatten 1a, 1b, 1c können elektronische Bauteile 7, 8 durch das Vorsehen von lötbaren elektrisch leitfähigen Leiterflächen 4a, 4b direkt auf die Substrate 3 der Leiterplatten 1a, 1b, 1c aufgelötet werden. Dadurch kann auf andere übliche Verbindungstechniken, wie bspw. Drahtbonden, verzichtet werden. Durch das zusätzliche Anbringen einer Isolatorfläche 5 ist es möglich, die Leiterplatten 1a, 1b, 1c sehr kompakt anzuordnen, z.B. vertikal zu stapeln, ohne dabei Spannungsfestigkeit einzubüßen. Bei einer gestapelten Bauform kann somit der Abstand zwischen zwei strom- bzw. spannungsführenden Substraten 3 von Leiterplatten 1a, 1b, 1c auf die

Dicke der elektronischen Bauteile 7, 8 (z.B. 250 μm eines herkömmlichen IGBTs 7) sowie die Dicke der Leiterflächen 4a, 4b (z.B. 100 μm) reduziert werden. Bei einem als Wechselrichter ausgebildeten Leistungselektronikmodul 2 kann durch einen reduzierten Abstand zwischen den Highside-Transistoren und den Lowside-
5 Transistoren darüber hinaus eine reduzierte Induktivität des Leistungselektronikmoduls 2 erreicht werden und somit die Effizienz des Leistungselektronikmoduls 2 erhöht werden.

Bei der Herstellung eines Leistungselektronikmoduls kann vorgesehen sein, dass die
10 Leiterflächen 4a, 4b und die Anschlussflächen 6 einer Leiterplatte 1a, 1b, 1c jeweils gemeinsam gebrannt bzw. gesintert werden.

In einer besonders bevorzugten Ausführungsform kann vorgesehen sein, dass das gesamte, vorzugsweise gestapelte Leistungselektronikmodul 2 in einem Arbeitsschritt
15 fertig gestellt wird, indem die zwischen den jeweiligen Leiterplatten 1a, 1b, 1c angeordneten Bauteile 7, 8 (vgl. Fig. 4) in einem Arbeitsschritt an die jeweiligen Leiterflächen 4a, 4b und Anschlussflächen 6 angelötet werden (z.B. durch Dampfphasenlöten). Selbstverständlich kann auch vorgesehen sein, die Assemblierung der Leiterplatten 1a, 1b, 1c in mehreren Schritten durchzuführen. Beispielsweise
20 können die elektronischen Bauteile 7, 8 jeweils an die erste Leiterplatte 1a und die zweite Leiterplatte 1b angelötet werden und in einem weiteren Schritt die elektronischen Bauteile 7, 8 an den entsprechenden Leiterflächen 4a, 4b und Anschlussflächen 6 der dritten Leiterplatten 1c angelötet werden. Dabei können die Isolatorflächen 5 der Leiterplatten 1a, 1b, 1c auch als Lötstoppmasken agieren, welche die elektronischen
25 Bauteile 7, 8 während eines Lötvorgangs in den gewünschten Positionen halten.

Eine auf den Leiterflächen 4a, 4b anzuordnende Lötpaste kann generell auch dazu verwendet werden, die Substrate 3 der Leiterplatten 1a, 1b, 1c besser aneinander auszurichten, indem bspw. unterschiedlich dicke Schichten von Lötpasten auf die
30 Leiterflächen 4a, 4b aufgetragen werden. Generell können anstatt von Lötpaste auch Lötformteile eingesetzt werden.

Zum Löten können auch Lote mit unterschiedlichen Schmelzpunkten verwendet werden. So können beispielsweise ein SnAgCu-Lot mit einer Liquidustemperatur von

etwa 220 °C und ein Hochblei-Lot mit einer Liquidustemperatur von etwa 300 °C eingesetzt werden. Dadurch können z.B. zunächst die elektronischen Bauteile mit ihren ersten Seiten mit dem Hochblei-Lot auf den Leiterflächen eines Substrats angelötet und fixiert werden und in einem weiteren Schritt die elektronischen Bauteile mit ihren
5 zweiten Seiten mit dem SnAgCu-Lot auf den Leiterflächen eines weiteren Substrats angelötet werden. Es können damit also die Bauteile zuverlässig in Position gehalten werden.

Mit der vorgeschlagenen Leiterplatte kann generell ein Substrat bereit gestellt werden,
10 welches zusätzlich zu einer Wärmeabfuhrfunktion auch die Funktion eines elektrischen Leiters übernimmt. Durch das Anbringen von elektrisch leitfähigen Leiterflächen und dielektrischen Isolatorflächen auf dem Substrat einer vorgeschlagenen Leiterplatte können einerseits elektronische Bauteile leicht an das Substrat angelötet und damit elektrisch kontaktiert werden und andererseits kompakte Bauformen von
15 Leistungselektronikmodulen, bspw. durch vertikale Stapelung, erzielt werden. Durch die Isolatorflächen können Abstände von spannungsführenden Teilen reduziert und damit die Induktivität eines Leistungselektronikmoduls reduziert werden. Durch den Einsatz von Aluminium als Material für die Substrate kann darüber hinaus eine direkte, zweiseitige Kühlung eines Leistungselektronikmoduls erzielt werden, was höhere
20 Stromdichten ermöglicht. Durch das Vorsehen von Lötverbindungen kann auf andere Verbindungstechniken wie Drahtbonden verzichtet werden, wodurch sich die Zuverlässigkeit von Bauteilverbindungen erhöhen lässt. Bei Verwendung von Dickschichttechnik zur Herstellung von Leiterflächen auf dem Substrat einer vorgeschlagenen Leiterplatte kann darüber hinaus durch die dadurch ermöglichte
25 direkte Bauteilassembly auf dem Substrat der thermische Widerstand zwischen einem auf dem Substrat angeordneten elektronischen Bauteil und dem als Kühlkörper agierenden Substrat verringert werden. Durch die hohe Porosität einer bei verhältnismäßig geringen Temperaturen gesinterten Kupferleiterpaste kann darüber hinaus die mechanische Beanspruchung in einer Lötsschicht zwischen einer Leiterfläche
30 und einem darauf angeordneten elektronischen Bauteil reduziert werden. Dies führt insbesondere zu einer höheren Temperaturzyklenfestigkeit sowie zu einer erhöhten Lebensdauer.

Patentansprüche:

1. Leiterplatte (1a, 1b, 1c), insbesondere für ein Leistungselektronikmodul (2),
5 umfassend ein elektrisch leitfähiges Substrat (3), wobei das Substrat (3) zumindest teilweise, vorzugsweise vollständig, aus Aluminium und/oder einer Aluminiumlegierung besteht, dadurch gekennzeichnet, dass auf wenigstens einer Oberfläche (3a, 3b) des elektrisch leitfähigen Substrats (3) wenigstens eine Leiterfläche (4a, 4b) in Form einer, vorzugsweise durch ein Druckverfahren,
10 besonders bevorzugt durch ein Siebdruckverfahren, aufgebracht, elektrisch leitfähigen Schicht angeordnet ist, wobei die Leiterfläche (4a, 4b) direkt mit dem elektrisch leitfähigen Substrat (3) elektrisch kontaktiert ist.
2. Leiterplatte nach Anspruch 1, dadurch gekennzeichnet, dass die wenigstens eine Oberfläche (3a, 3b) des elektrisch leitfähigen Substrats (3) im Wesentlichen eben
15 ausgebildet ist.
3. Leiterplatte nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Leiterfläche (4a, 4b) im Wesentlichen aus Kupfer besteht.
20
4. Leiterplatte nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Leiterfläche (4a, 4b) ein Glas aus dem $\text{PbO-B}_2\text{O}_3\text{-SiO}_2$ -System und/oder ein Glas umfassend Bi_2O_3 umfasst.
- 25 5. Leiterplatte nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass die Leiterfläche (4a, 4b) eine Dicke von 25 μm bis 125 μm , vorzugsweise von 90 μm bis 110 μm , aufweist.
- 30 6. Leiterplatte nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass auf der wenigstens einen Oberfläche (3a, 3b) des elektrisch leitfähigen Substrats (3) wenigstens eine Isolatorfläche (5) in Form einer, vorzugsweise durch ein Druckverfahren – besonders bevorzugt durch ein Siebdruckverfahren – aufgebracht, dielektrischen Schicht angeordnet ist.

7. Leiterplatte nach Anspruch 6, dadurch gekennzeichnet, dass die wenigstens eine Isolatorfläche (5) zumindest teilweise an der wenigstens einen Leiterfläche (4a, 4b) angrenzt, vorzugsweise die wenigstens eine Leiterfläche (4a, 4b) umgibt.
- 5
8. Leiterplatte nach Anspruch 6 oder 7, dadurch gekennzeichnet, dass auf der wenigstens einen Isolatorfläche (5) wenigstens eine Anschlussfläche (6) in Form einer elektrisch leitfähigen Schicht angeordnet ist.
- 10
9. Leiterplatte nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass auf der wenigstens einen Oberfläche (3a, 3b) des elektrisch leitfähigen Substrats (3) eine Mehrzahl von Leiterflächen (4a, 4b), vorzugsweise sechs Leiterflächen (4a, 4b), angeordnet sind, wobei vorzugsweise die Leiterflächen (4a, 4b) von einer Isolatorfläche (5) umgeben sind.
- 15
10. Leiterplatte nach Anspruch 9, dadurch gekennzeichnet, dass auf der Isolatorfläche (5) eine Mehrzahl von Anschlussflächen (6), vorzugsweise drei Anschlussflächen (6), angeordnet sind.
- 20
11. Leiterplatte nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass auf einer ersten Oberfläche (3a) des elektrisch leitfähigen Substrats (3) eine Mehrzahl von Leiterflächen (4a, 4b), vorzugsweise zwei Leiterflächen (4a, 4b), angeordnet sind und dass auf einer zweiten Oberfläche (3b) des elektrisch leitfähigen Substrats (3) eine Mehrzahl von Leiterflächen (4a, 4b), vorzugsweise zwei
- 25
- Leiterflächen (4a, 4b), sowie wenigstens eine Isolatorfläche (5) angeordnet sind, wobei auf der wenigstens einen Isolatorfläche (5) eine Anschlussfläche (6) angeordnet ist.
- 30
12. Leistungselektronikmodul (2) umfassend wenigstens eine Leiterplatte (1a, 1b, 1c) nach einem der Ansprüche 1 bis 11.

13. Leistungselektronikmodul nach Anspruch 12, dadurch gekennzeichnet, dass das Leistungselektronikmodul (2) eine erste Leiterplatte (1a) nach Anspruch 9, eine zweite Leiterplatte (1b) nach Anspruch 10 und drei dritte Leiterplatten (1c) nach Anspruch 11 umfasst.
14. Leistungselektronikmodul nach Anspruch 13, dadurch gekennzeichnet, dass die Leiterplatten (1a, 1b, 1c) im Wesentlichen gestapelt angeordnet sind, wobei die drei dritten Leiterplatten (1c), vorzugsweise nebeneinander liegend, zwischen der ersten Leiterplatte (1a) und der zweiten Leiterplatte (1b) angeordnet sind.
15. Leistungselektronikmodul nach Anspruch 13 oder 14, dadurch gekennzeichnet, dass das Leistungselektronikmodul (2) als Hochstrom-Mehrphasen-Leistungsbrücke ausgebildet ist, wobei auf der wenigstens einen Oberfläche (3a) der ersten Leiterplatte (1a) und/oder den zweiten Oberflächen (3b) der drei dritten Leiterplatten (1c) drei Transistoren, vorzugsweise IGBTs, und drei Freilaufdioden angebracht, vorzugsweise angelötet, sind und wobei auf der wenigstens einen Oberfläche (3a) der zweiten Leiterplatte (1b) und/oder den ersten Oberflächen (3a) der drei dritten Leiterplatten (1c) drei Transistoren, vorzugsweise IGBTs, und drei Freilaufdioden angebracht, vorzugsweise angelötet, sind.
16. Verfahren zur Herstellung einer Leiterplatte (1a, 1b, 1c) nach einem der Ansprüche 1 bis 11, dadurch gekennzeichnet, dass auf einer Oberfläche (3a, 3b) des Substrats (3) zumindest bereichsweise eine Leiterpaste aufgebracht wird, in einer ersten Brennphase die Leiterpaste einer im Wesentlichen kontinuierlich steigenden Brenntemperatur ausgesetzt wird, wobei die Brenntemperatur auf eine vorgebbare maximale Brenntemperatur kleiner etwa 660 °C erhöht wird, in einer zweiten Brennphase die Leiterpaste für einen vorgebbaren Zeitraum im Wesentlichen der vorgebbaren maximalen Brenntemperatur ausgesetzt wird, in einer Abkühlphase die Leiterpaste abgekühlt wird und in einer Nachbehandlungsphase eine Oberfläche der Leiterpaste mechanisch nachbehandelt, vorzugsweise gebürstet, wird.

Fig. 1

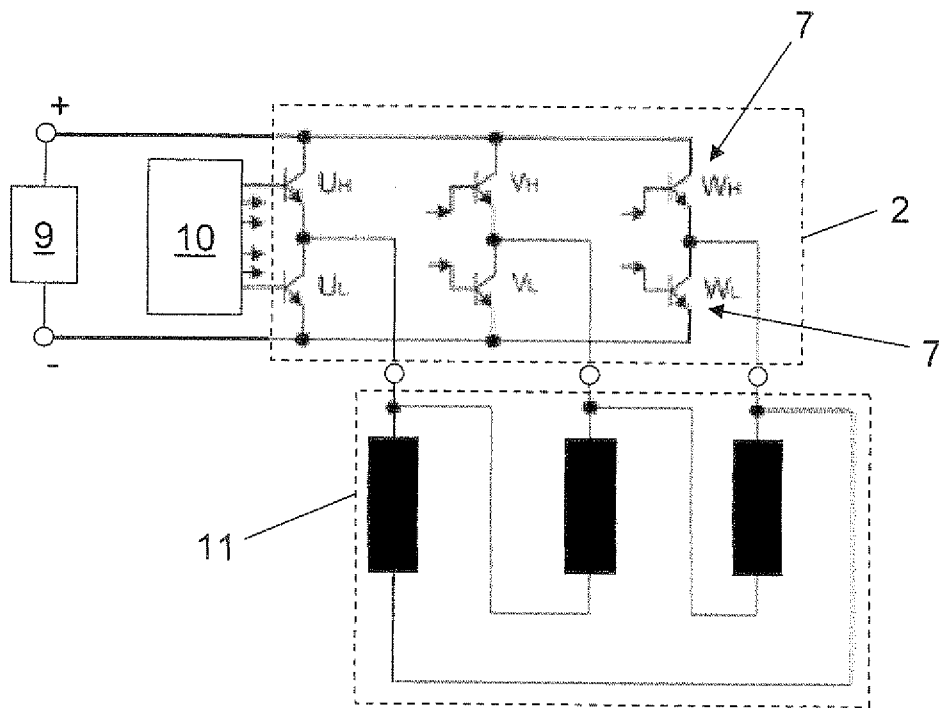


Fig. 4

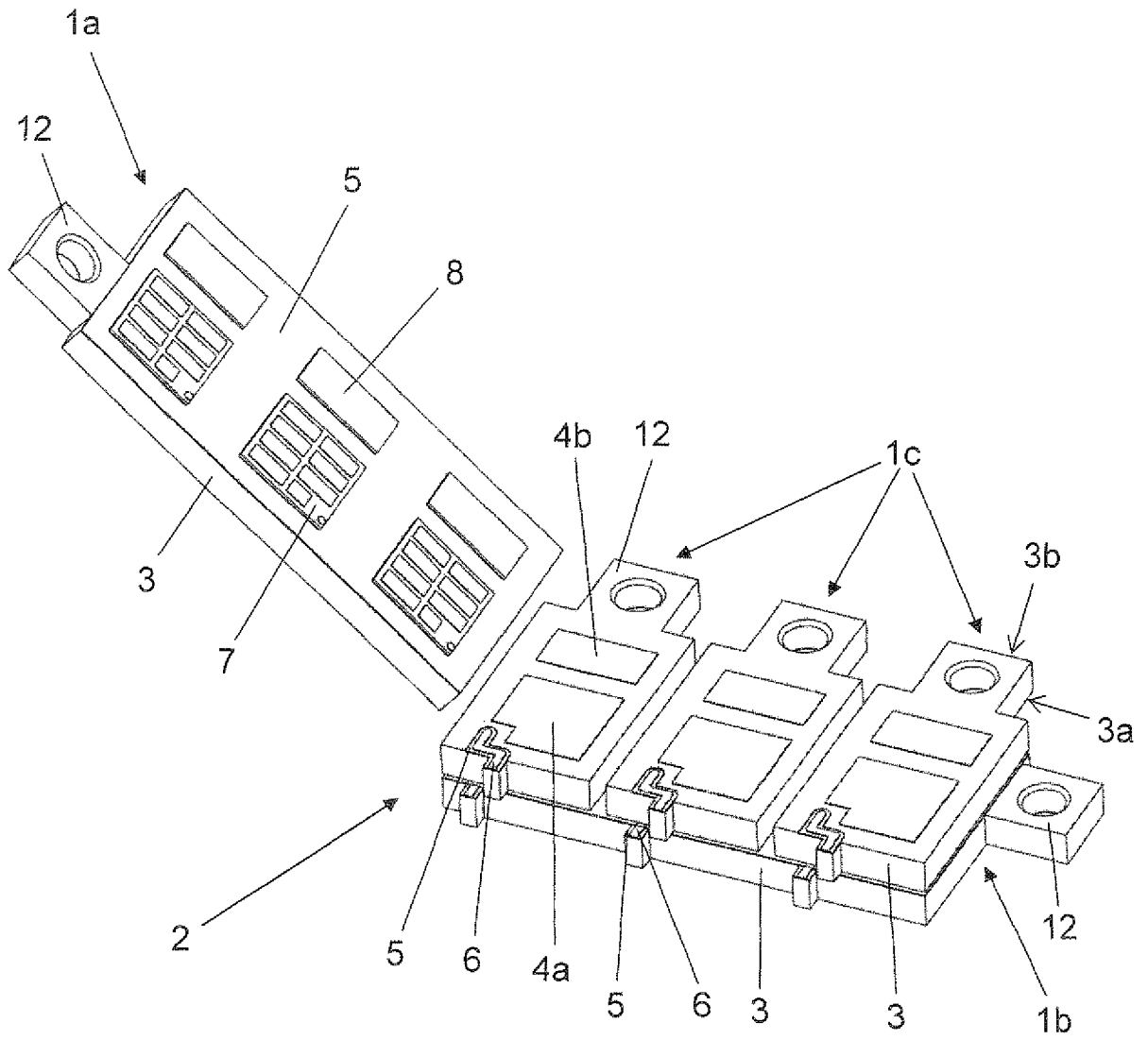


Fig. 3

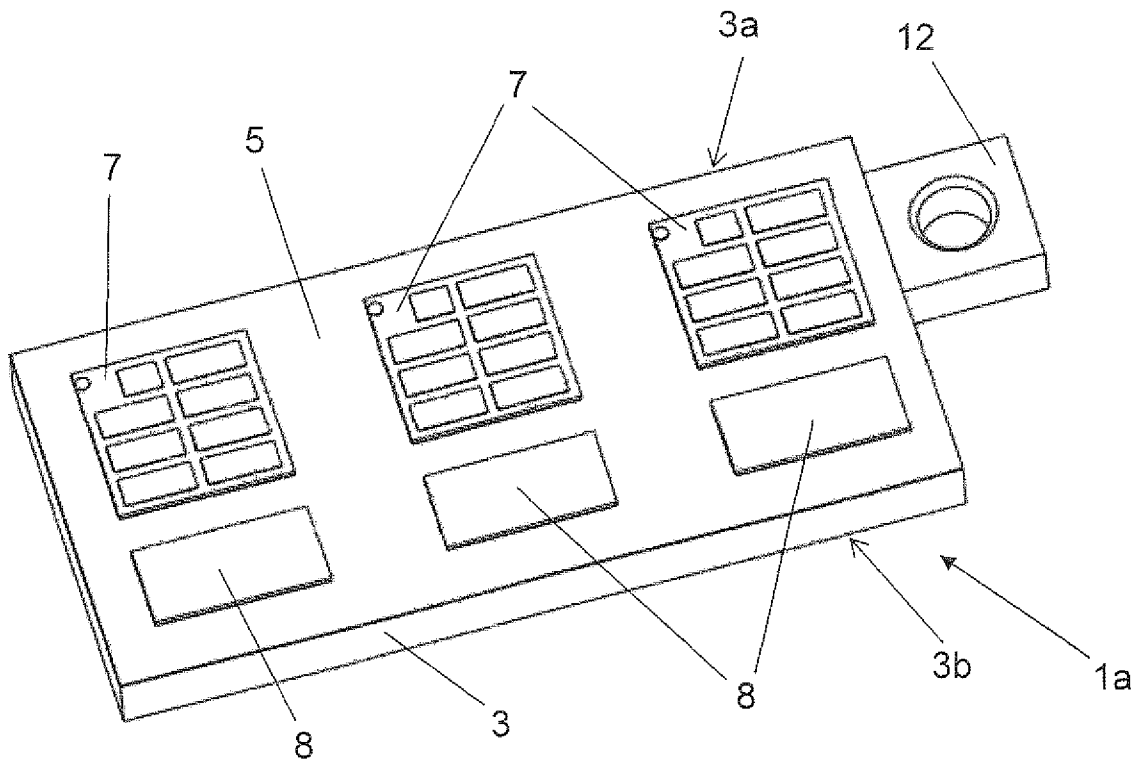


Fig. 2a

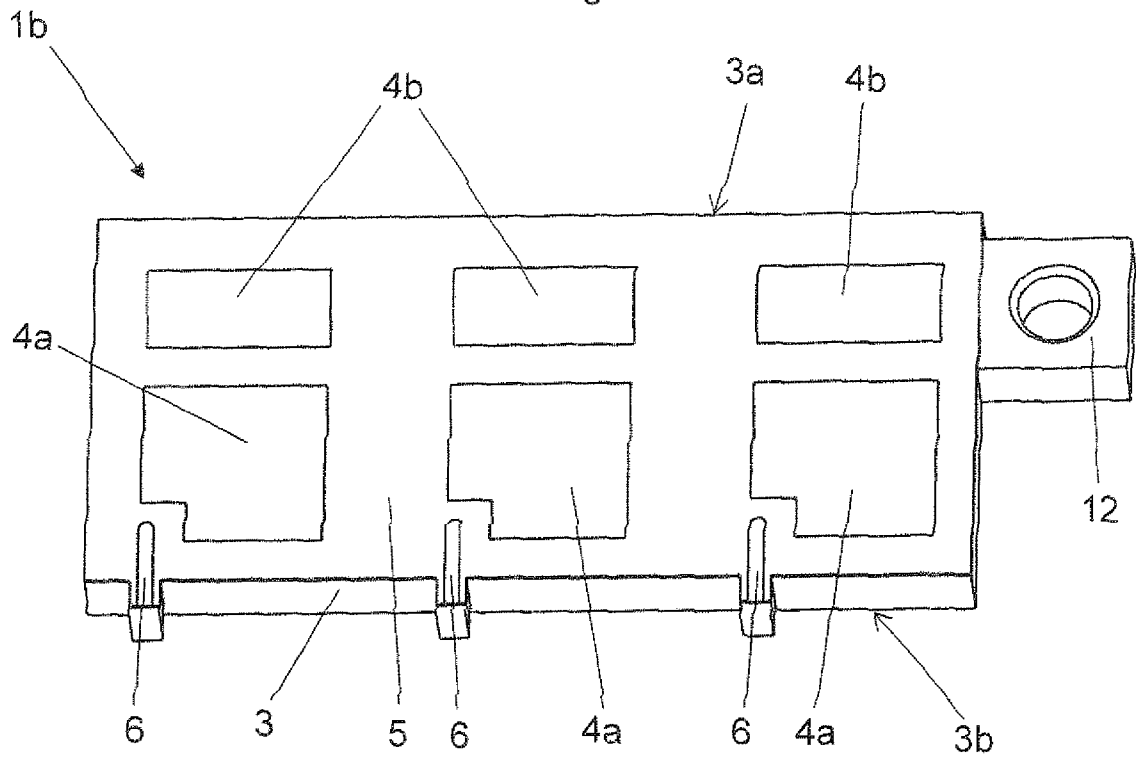
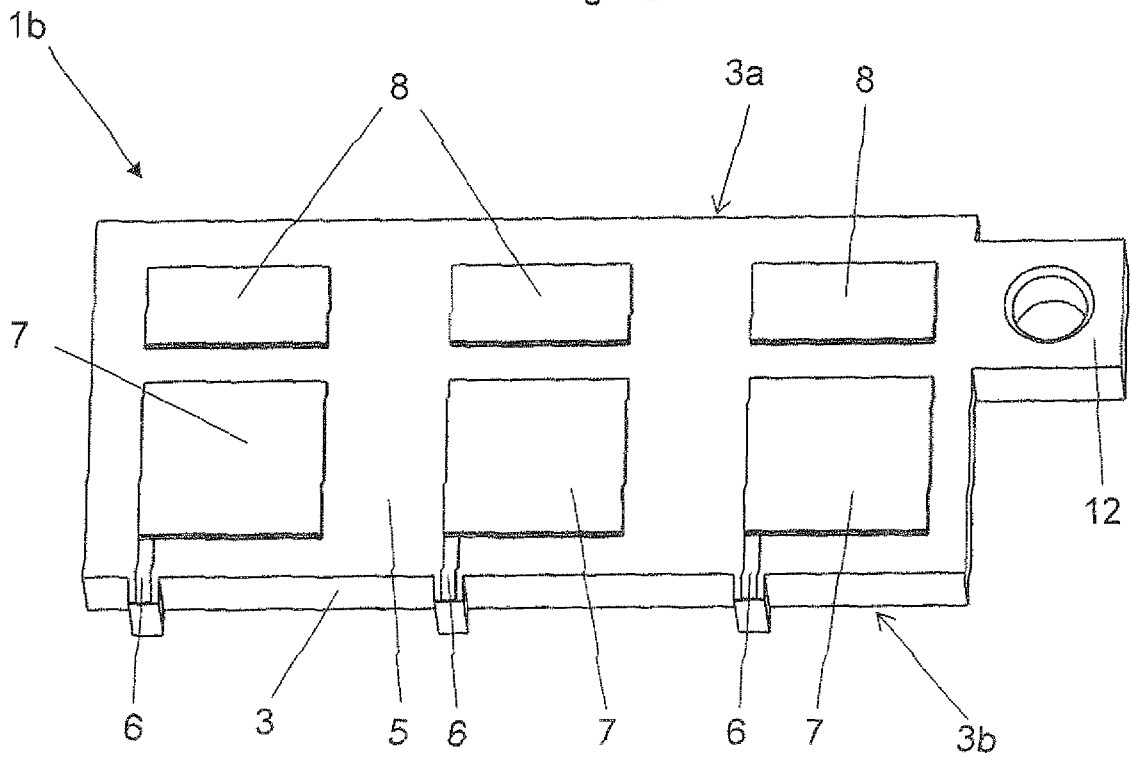


Fig. 2b



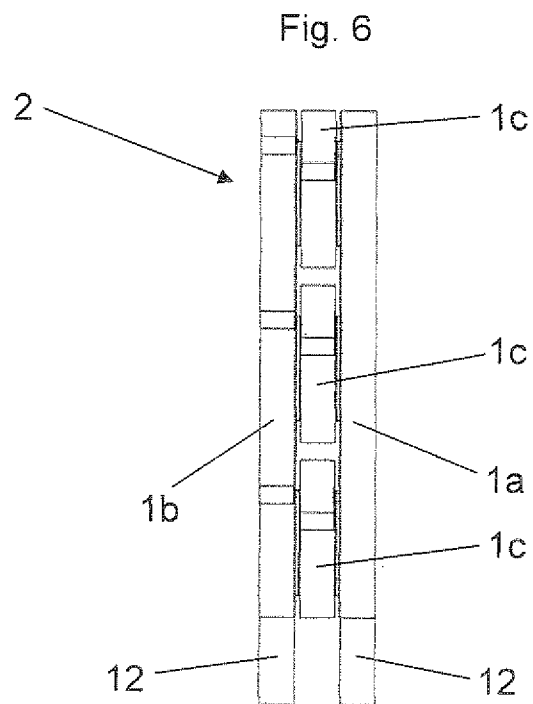
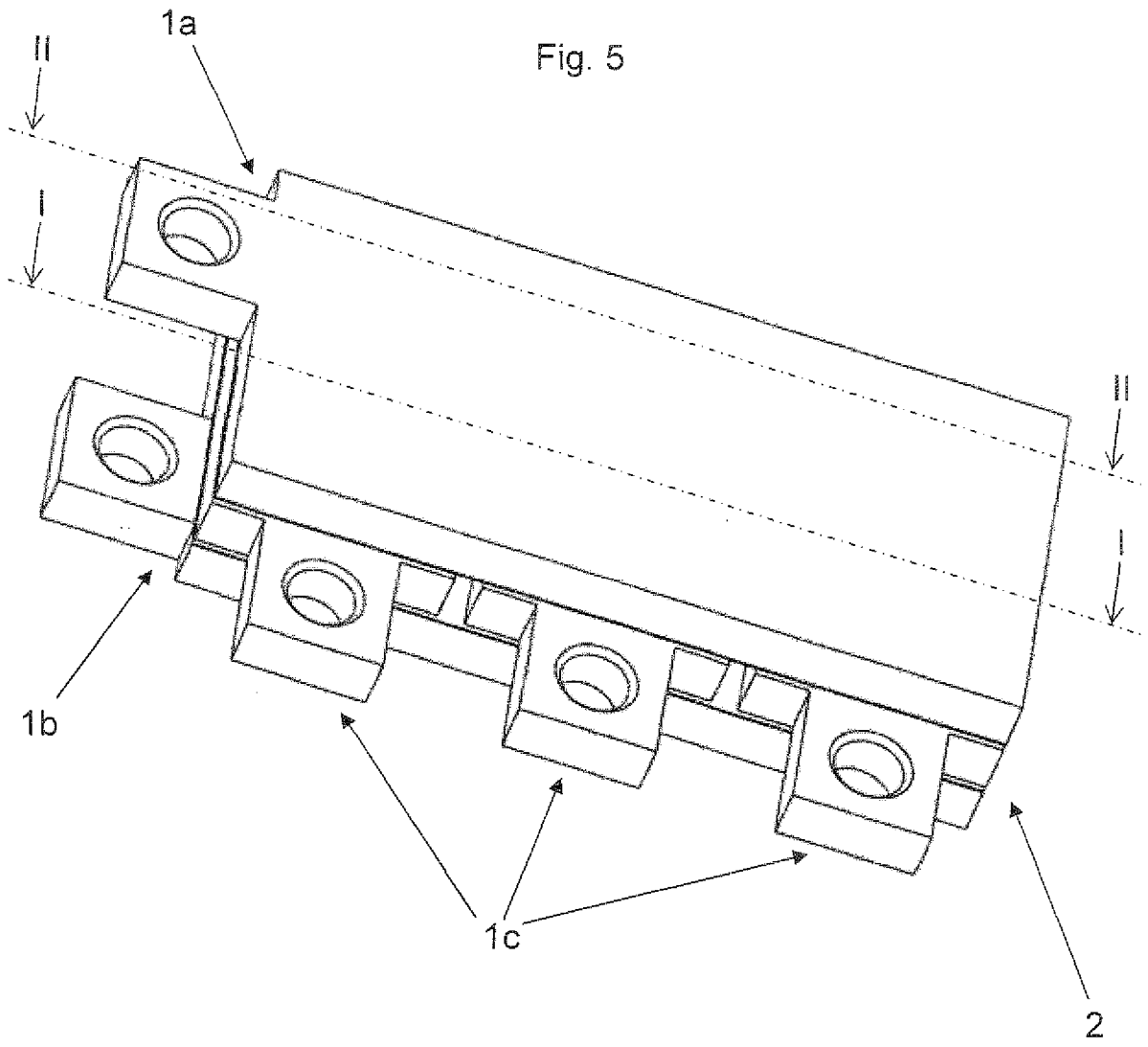


Fig. 7a

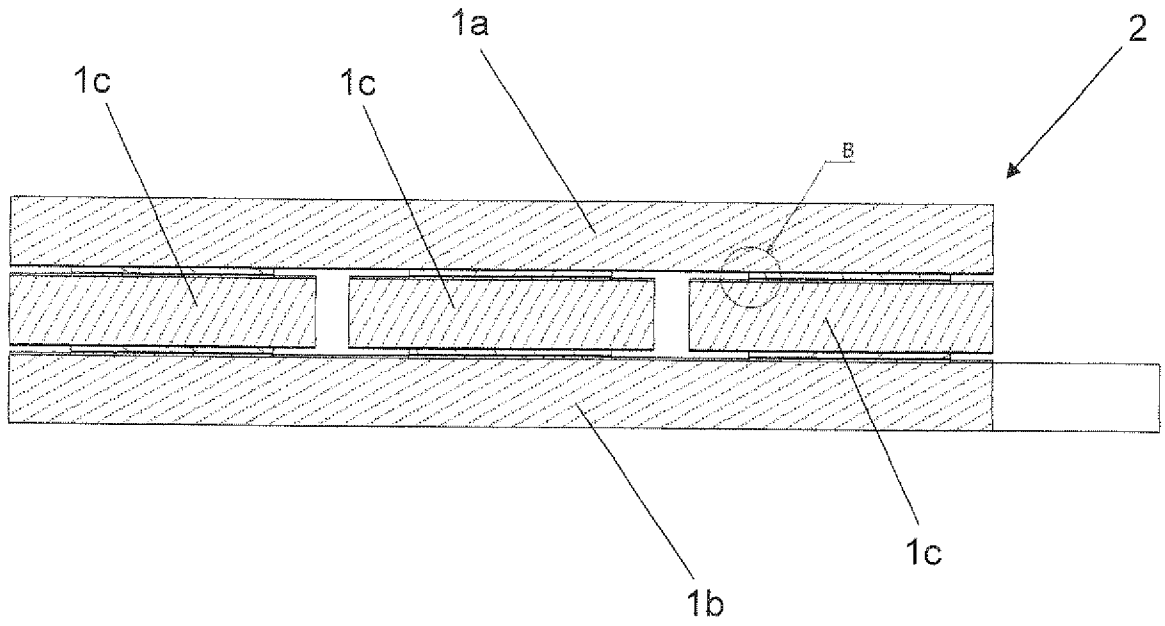


Fig. 7b

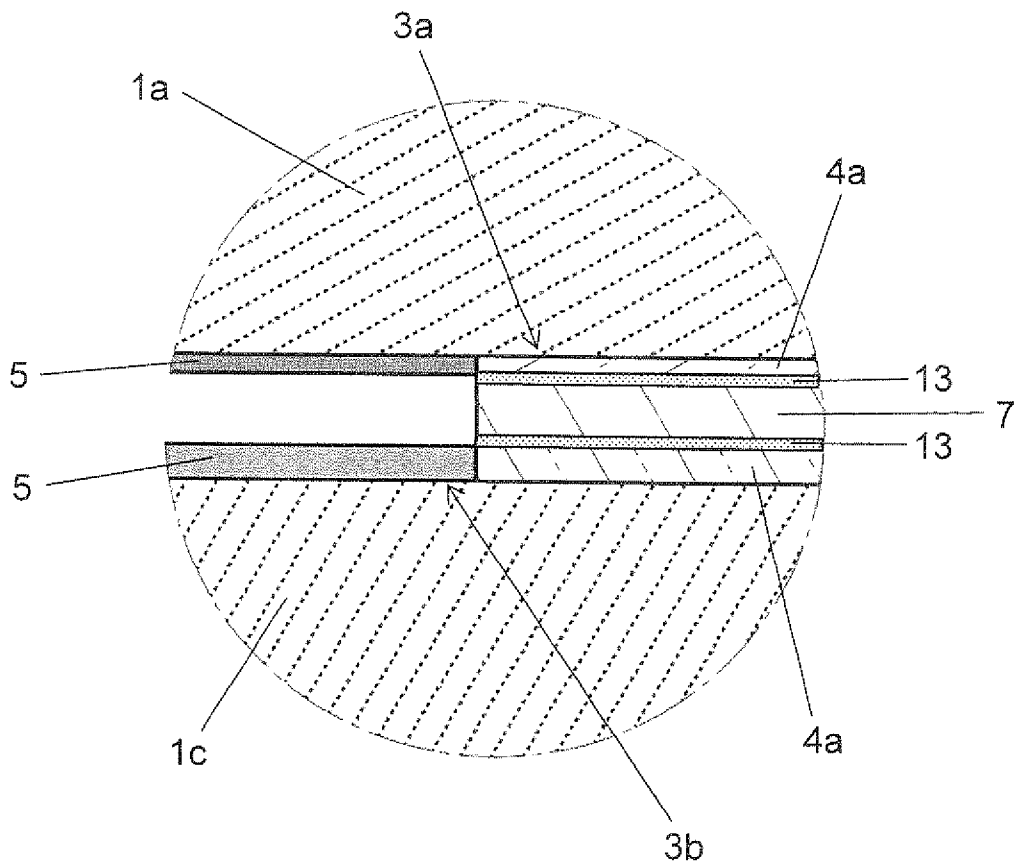


Fig. 8a

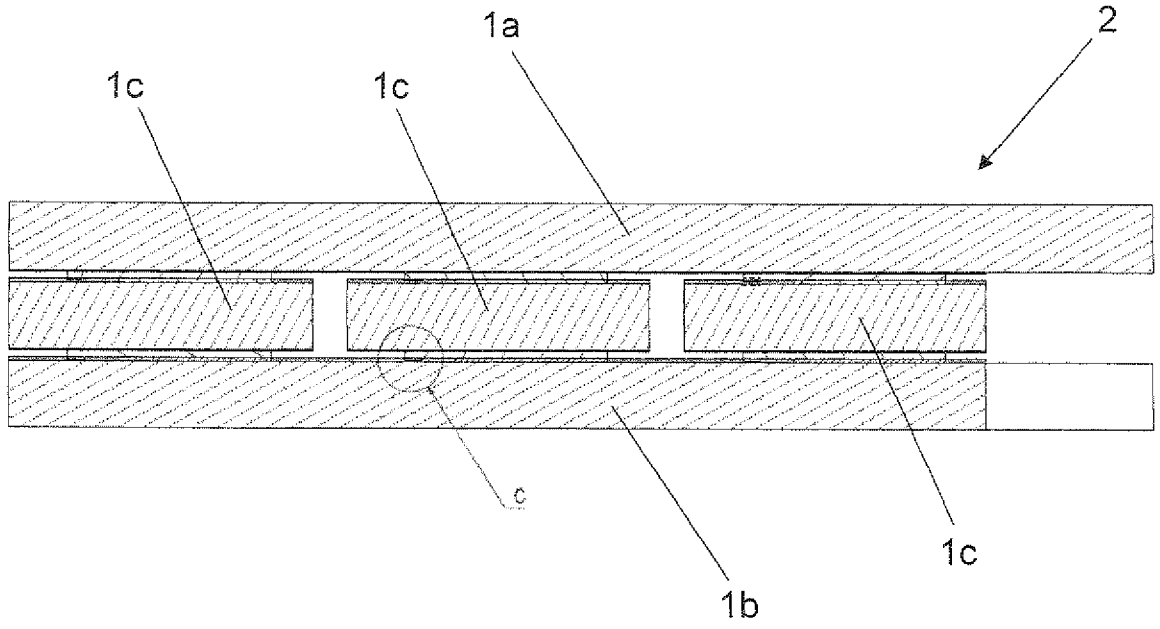
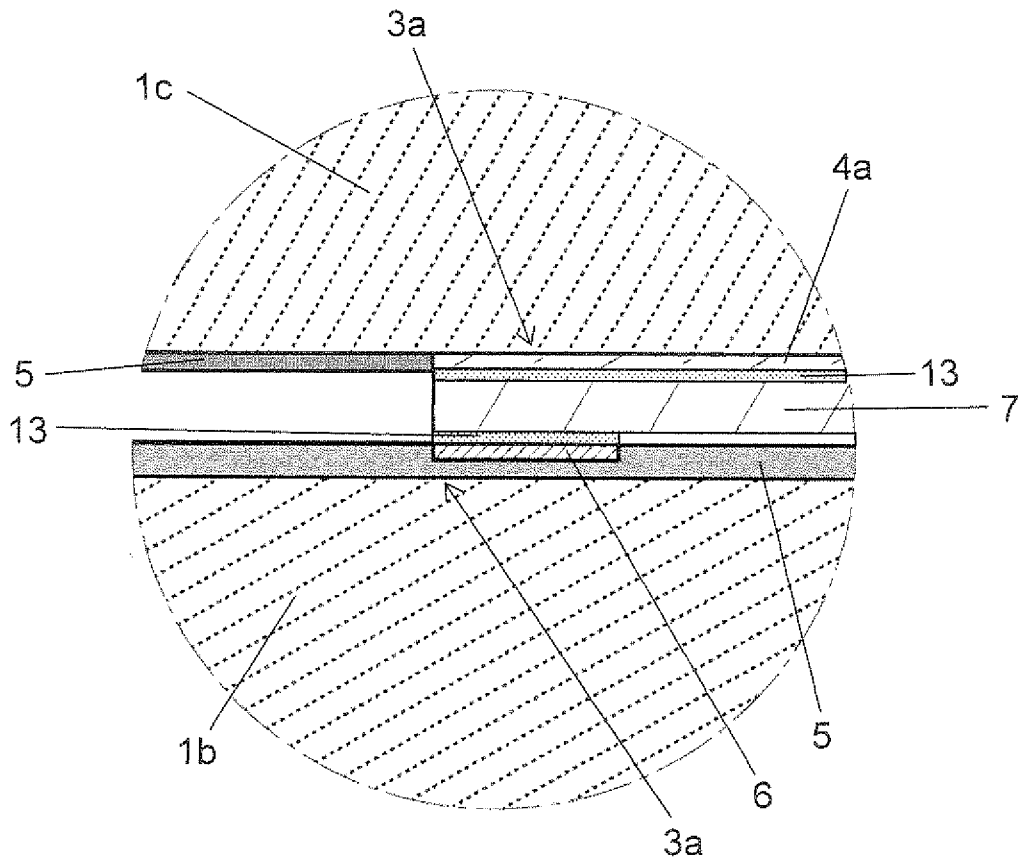


Fig. 8b



INTERNATIONAL SEARCH REPORT

International application No
PCT/AT2013/000063

A. CLASSIFICATION OF SUBJECT MATTER INV. H05K1/02 H01L23/492 H01L25/07 H02M7/00 ADD. H05K1/05		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L H05K H02M		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 993 148 A (ADACHI KOHEI [JP] ET AL) 19 February 1991 (1991-02-19) column 6, lines 1-60; figure 4 column 13, lines 12-19 -----	1-10,12
X	JP 2004 319562 A (TOYOTA MOTOR CORP) 11 November 2004 (2004-11-11) the whole document -----	1-12
A		13-15
X	JP 2006 049542 A (TOYOTA MOTOR CORP) 16 February 2006 (2006-02-16) paragraphs [0044] - [0056]; figure 1 -----	1-5,9,12
A		13-15
X	US 2006/160330 A1 (KOBAYASHI KOJIRO [JP] ET AL) 20 July 2006 (2006-07-20) paragraphs [0043] - [0048], [0032], [0068]; claim 4; figure 2 -----	1-5,16
	-/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 12 September 2013		Date of mailing of the international search report 19/09/2013
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Degroote, Bart

INTERNATIONAL SEARCH REPORT

International application No
PCT/AT2013/000063

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000 058717 A (HITACHI LTD) 25 February 2000 (2000-02-25) abstract; figures 6,7 -----	13-15
A	US 2009/004369 A1 (INABA AKIRA [JP] ET AL) 1 January 2009 (2009-01-01) -----	4,16
A	US 2005/277550 A1 (BROWN ORVILLE W [US] ET AL BROWN ORVILLE WASHINGTON [US] ET AL) 15 December 2005 (2005-12-15) -----	4,16
A	JP H01 112793 A (MURATA MANUFACTURING CO) 1 May 1989 (1989-05-01) -----	16

INTERNATIONAL SEARCH REPORT

International application No.
PCT/AT2013/000063**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

The International Searching Authority has determined that this international application contains multiple (groups of) inventions, as follows:

1. Claims 1-15

A printed circuit board and a power electronics module containing said printed circuit board

2. Claim 16

A process for producing a printed circuit board

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No PCT/AT2013/000063

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 4993148	A	19-02-1991	US 4993148 A 19-02-1991
			US 5081562 A 14-01-1992
			US 5173844 A 22-12-1992

JP 2004319562	A	11-11-2004	JP 3972855 B2 05-09-2007
			JP 2004319562 A 11-11-2004

JP 2006049542	A	16-02-2006	NONE

US 2006160330	A1	20-07-2006	CN 1819172 A 16-08-2006
			EP 1684340 A2 26-07-2006
			JP 2006202938 A 03-08-2006
			US 2006160330 A1 20-07-2006
			US 2008303161 A1 11-12-2008

JP 2000058717	A	25-02-2000	NONE

US 2009004369	A1	01-01-2009	AT 525338 T 15-10-2011
			CN 101720311 A 02-06-2010
			EP 2164822 A1 24-03-2010
			JP 2010532586 A 07-10-2010
			KR 20100029142 A 15-03-2010
			TW 200919492 A 01-05-2009
			US 2009004369 A1 01-01-2009
			US 2010155117 A1 24-06-2010
			US 2011114898 A1 19-05-2011
			WO 2009006242 A1 08-01-2009

US 2005277550	A1	15-12-2005	CA 2566279 A1 05-01-2006
			CN 101309874 A 19-11-2008
			EP 1784367 A2 16-05-2007
			JP 4916442 B2 11-04-2012
			JP 2008504667 A 14-02-2008
			KR 20070015451 A 02-02-2007
			US 2005277550 A1 15-12-2005
			US 2007108423 A1 17-05-2007
			WO 2006001882 A2 05-01-2006

JP H01112793	A	01-05-1989	NONE

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/AT2013/000063

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 INV. H05K1/02 H01L23/492 H01L25/07 H02M7/00
 ADD. H05K1/05

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 H01L H05K H02M

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 4 993 148 A (ADACHI KOHEI [JP] ET AL) 19. Februar 1991 (1991-02-19) Spalte 6, Zeilen 1-60; Abbildung 4 Spalte 13, Zeilen 12-19 -----	1-10,12
X	JP 2004 319562 A (TOYOTA MOTOR CORP) 11. November 2004 (2004-11-11) das ganze Dokument -----	1-12
A		13-15
X	JP 2006 049542 A (TOYOTA MOTOR CORP) 16. Februar 2006 (2006-02-16) Absätze [0044] - [0056]; Abbildung 1 -----	1-5,9,12
A		13-15
X	US 2006/160330 A1 (KOBAYASHI KOJIRO [JP] ET AL) 20. Juli 2006 (2006-07-20) Absätze [0043] - [0048], [0032], [0068]; Anspruch 4; Abbildung 2 -----	1-5,16
	-/--	

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absenddatum des internationalen Recherchenberichts
12. September 2013	19/09/2013

Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Bevollmächtigter Bediensteter Degroote, Bart
--	---

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	JP 2000 058717 A (HITACHI LTD) 25. Februar 2000 (2000-02-25) Zusammenfassung; Abbildungen 6,7 -----	13-15
A	US 2009/004369 A1 (INABA AKIRA [JP] ET AL) 1. Januar 2009 (2009-01-01) -----	4,16
A	US 2005/277550 A1 (BROWN ORVILLE W [US] ET AL BROWN ORVILLE WASHINGTON [US] ET AL) 15. Dezember 2005 (2005-12-15) -----	4,16
A	JP H01 112793 A (MURATA MANUFACTURING CO) 1. Mai 1989 (1989-05-01) -----	16

Feld Nr. II Bemerkungen zu den Ansprüchen, die sich als nicht recherchierbar erwiesen haben (Fortsetzung von Punkt 2 auf Blatt 1)

Gemäß Artikel 17(2)a) wurde aus folgenden Gründen für bestimmte Ansprüche kein internationaler Recherchenbericht erstellt:

1. Ansprüche Nr. _____
weil sie sich auf Gegenstände beziehen, zu deren Recherche diese Behörde nicht verpflichtet ist, nämlich _____

2. Ansprüche Nr. _____
weil sie sich auf Teile der internationalen Anmeldung beziehen, die den vorgeschriebenen Anforderungen so wenig entsprechen, dass eine sinnvolle internationale Recherche nicht durchgeführt werden kann, nämlich _____

3. Ansprüche Nr. _____
weil es sich dabei um abhängige Ansprüche handelt, die nicht entsprechend Satz 2 und 3 der Regel 6.4 a) abgefasst sind.

Feld Nr. III Bemerkungen bei mangelnder Einheitlichkeit der Erfindung (Fortsetzung von Punkt 3 auf Blatt 1)

Diese Internationale Recherchenbehörde hat festgestellt, dass diese internationale Anmeldung mehrere Erfindungen enthält:

siehe Zusatzblatt

1. Da der Anmelder alle erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht auf alle recherchierbaren Ansprüche.

2. Da für alle recherchierbaren Ansprüche die Recherche ohne einen Arbeitsaufwand durchgeführt werden konnte, der zusätzliche Recherchegebühr gerechtfertigt hätte, hat die Behörde nicht zur Zahlung solcher Gebühren aufgefordert.

3. Da der Anmelder nur einige der erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht nur auf die Ansprüche, für die Gebühren entrichtet worden sind, nämlich auf die Ansprüche Nr. _____

4. Der Anmelder hat die erforderlichen zusätzlichen Recherchegebühren nicht rechtzeitig entrichtet. Dieser internationale Recherchenbericht beschränkt sich daher auf die in den Ansprüchen zuerst erwähnte Erfindung; diese ist in folgenden Ansprüchen erfasst: _____

Bemerkungen hinsichtlich eines Widerspruchs

- Der Anmelder hat die zusätzlichen Recherchegebühren unter Widerspruch entrichtet und die gegebenenfalls erforderliche Widerspruchsgebühr gezahlt.
- Die zusätzlichen Recherchegebühren wurden vom Anmelder unter Widerspruch gezahlt, jedoch wurde die entsprechende Widerspruchsgebühr nicht innerhalb der in der Aufforderung angegebenen Frist entrichtet.
- Die Zahlung der zusätzlichen Recherchegebühren erfolgte ohne Widerspruch.

WEITERE ANGABEN

PCT/ISA/ 210

Die internationale Recherchenbehörde hat festgestellt, dass diese internationale Anmeldung mehrere (Gruppen von) Erfindungen enthält, nämlich:

1. Ansprüche: 1-15

Leiterplatte und Leistungselektronikmodul umfassend diese
Leiterplatte

2. Anspruch: 16

Verfahren zur Herstellung einer Leiterplatte

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/AT2013/000063

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 4993148	A	19-02-1991	US 4993148 A 19-02-1991
			US 5081562 A 14-01-1992
			US 5173844 A 22-12-1992

JP 2004319562	A	11-11-2004	JP 3972855 B2 05-09-2007
			JP 2004319562 A 11-11-2004

JP 2006049542	A	16-02-2006	KEINE

US 2006160330	A1	20-07-2006	CN 1819172 A 16-08-2006
			EP 1684340 A2 26-07-2006
			JP 2006202938 A 03-08-2006
			US 2006160330 A1 20-07-2006
			US 2008303161 A1 11-12-2008

JP 2000058717	A	25-02-2000	KEINE

US 2009004369	A1	01-01-2009	AT 525338 T 15-10-2011
			CN 101720311 A 02-06-2010
			EP 2164822 A1 24-03-2010
			JP 2010532586 A 07-10-2010
			KR 20100029142 A 15-03-2010
			TW 200919492 A 01-05-2009
			US 2009004369 A1 01-01-2009
			US 2010155117 A1 24-06-2010
			US 2011114898 A1 19-05-2011
			WO 2009006242 A1 08-01-2009

US 2005277550	A1	15-12-2005	CA 2566279 A1 05-01-2006
			CN 101309874 A 19-11-2008
			EP 1784367 A2 16-05-2007
			JP 4916442 B2 11-04-2012
			JP 2008504667 A 14-02-2008
			KR 20070015451 A 02-02-2007
			US 2005277550 A1 15-12-2005
			US 2007108423 A1 17-05-2007
			WO 2006001882 A2 05-01-2006

JP H01112793	A	01-05-1989	KEINE
