

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-139261
(P2015-139261A)

(43) 公開日 平成27年7月30日(2015.7.30)

(51) Int.Cl. F I テーマコード (参考)
HO2M 3/155 (2006.01) HO2M 3/155 H 5H730

審査請求 未請求 請求項の数 9 O L (全 14 頁)

(21) 出願番号 特願2014-8723 (P2014-8723)
 (22) 出願日 平成26年1月21日 (2014.1.21)

(71) 出願人 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100090273
 弁理士 園分 孝悦
 (72) 発明者 中尾 宏
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 Fターム(参考) 5H730 AS05 BB13 BB57 BB84 BB88
 DD04 EE13 EE58 FD23 FG05

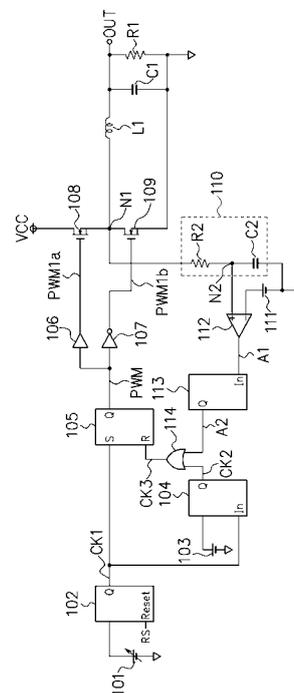
(54) 【発明の名称】 電源装置

(57) 【要約】

【課題】 負荷変動に伴って出力電圧が変動してもスイッチング周波数を一定にすることができる電源装置を提供することを課題とする。

【解決手段】 電源装置は、第1のクロック信号を遅延して第2のクロック信号を出力する第1の遅延回路(104)と、第1のパルス信号を生成するパルス信号生成回路(105)と、第1のパルス信号に応じて出力ノードを電源電位ノードに接続する第1のトランジスタ(108)と、第1のパルス信号に応じて出力ノードを基準電位ノードに接続する第2のトランジスタ(109)と、出力ノードの信号を積分して出力する積分回路(110)と、積分回路の出力信号と参照信号とを比較するコンパレータ(112)とを有し、パルス信号生成回路は、第1のクロック信号、第2のクロック信号及びコンパレータの出力信号に同期して第1のパルス信号を生成し、第1のパルス信号の周波数は出力ノードの電圧にかかわらず一定である。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 のクロック信号を遅延して第 2 のクロック信号を出力する第 1 の遅延回路と、
前記第 1 のクロック信号に同期して第 1 のパルス信号を生成するパルス信号生成回路と

、
前記第 1 のパルス信号に応じて出力ノードを電源電位ノードに接続する第 1 のトランジスタと、

前記第 1 のパルス信号に応じて前記出力ノードを基準電位ノードに接続する第 2 のトランジスタと、

前記出力ノードの信号を積分して出力する積分回路と、

前記積分回路の出力信号と参照信号とを比較するコンパレータとを有し、

前記第 1 のトランジスタ及び前記第 2 のトランジスタは、相互に逆のオン/オフ動作を行い、

前記パルス信号生成回路は、前記第 1 のクロック信号に同期して前記第 1 のパルス信号を第 1 のレベルにし、前記第 2 のクロック信号に同期して前記第 1 のパルス信号を第 2 のレベルにし、前記コンパレータの出力信号に同期して前記第 1 のパルス信号を前記第 2 のレベルにし、

前記第 1 のパルス信号の周波数は、前記出力ノードの電圧にかかわらずに一定であることを特徴とする電源装置。

【請求項 2】

さらに、前記コンパレータの出力信号のエッジを抽出してエッジ信号を出力するエッジ抽出回路と、

前記第 2 のクロック信号及び前記エッジ信号の論理和信号を前記パルス信号生成回路に出力する論理和回路とを有することを特徴とする請求項 1 記載の電源装置。

【請求項 3】

さらに、前記第 1 のパルス信号を遅延して第 2 のパルス信号を出力する第 2 の遅延回路と、

前記第 2 のパルス信号に応じて前記出力ノードを前記電源電位ノードに接続する第 3 のトランジスタと、

前記第 2 のパルス信号に応じて前記出力ノードを前記基準電位ノードに接続する第 4 のトランジスタとを有し、

前記第 3 のトランジスタ及び前記第 4 のトランジスタは、相互に逆のオン/オフ動作を行うことを特徴とする請求項 1 又は 2 記載の電源装置。

【請求項 4】

さらに、制御電圧に応じて可変周波数の前記第 1 のクロック信号を出力する電圧制御発振器を有し、

前記出力ノードの電圧は、前記第 1 のクロック信号の周波数に応じて変化することを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の電源装置。

【請求項 5】

前記電圧制御発振器は、処理装置の制御に応じて、前記第 1 のクロック信号の周波数を变化させることを特徴とする請求項 4 記載の電源装置。

【請求項 6】

前記出力ノードは、前記処理装置に電圧を供給することを特徴とする請求項 5 記載の電源装置。

【請求項 7】

前記第 1 及び第 2 のトランジスタは、電界効果トランジスタであることを特徴とする請求項 1 ~ 6 のいずれか 1 項に記載の電源装置。

【請求項 8】

前記第 1 及び第 2 のトランジスタは、高電子移動度トランジスタであることを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の電源装置。

10

20

30

40

50

【請求項 9】

前記第 1 のレベルはハイレベルであり、前記第 2 のレベルはローレベルであることを特徴とする請求項 1 ~ 8 のいずれか 1 項に記載の電源装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源装置に関する。

【背景技術】

【0002】

動的電圧周波数制御 (D V F S : Dynamic Voltage and Frequency Scaling) は、プロセッサの供給電圧及び動作周波数を負荷に応じて動的に制御することにより、消費電力を削減する技術である。

10

【0003】

電力半導体スイッチング素子と、電力半導体スイッチング素子の駆動手段と、駆動手段に駆動信号を供給するパルス幅変調発振器と、発振器に誤差信号を供給する誤差増幅器とを備えた降圧型 D C - D C コンバータの電源装置が知られている (例えば、特許文献 1 参照)。電源装置は、出力電力を通すパワー系出力フィルタと、パワー系出力フィルタとは別に設けたフィルタとを備え、別に設けたフィルタの出力と誤差増幅器内部の差動増幅器を直結して誤差増幅器に出力信号を帰還する。

【先行技術文献】

20

【特許文献】

【0004】

【特許文献 1】特開 2004 - 80985 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

プロセッサの負荷変動に対応して供給電圧を調整するには、プロセッサの基準クロック信号と同等のスイッチング周波数が必要になる。そのため、高速な D V F S が望まれている。しかし、プロセッサの負荷に応じてスイッチング周波数が変化すると、プロセッサに大電力を供給することが困難である。

30

【0006】

本発明の目的は、負荷変動に伴って出力電圧が変動しても、スイッチング周波数を一定にすることができる電源装置を提供することである。

【課題を解決するための手段】

【0007】

電源装置は、第 1 のクロック信号を遅延して第 2 のクロック信号を出力する第 1 の遅延回路と、前記第 1 のクロック信号に同期して第 1 のパルス信号を生成するパルス信号生成回路と、前記第 1 のパルス信号に応じて出力ノードを電源電位ノードに接続する第 1 のトランジスタと、前記第 1 のパルス信号に応じて前記出力ノードを基準電位ノードに接続する第 2 のトランジスタと、前記出力ノードの信号を積分して出力する積分回路と、前記積分回路の出力信号と参照信号とを比較するコンパレータとを有し、前記第 1 のトランジスタ及び前記第 2 のトランジスタは、相互に逆のオン/オフ動作を行い、前記パルス信号生成回路は、前記第 1 のクロック信号に同期して前記第 1 のパルス信号を第 1 のレベルにし、前記第 2 のクロック信号に同期して前記第 1 のパルス信号を第 2 のレベルにし、前記コンパレータの出力信号に同期して前記第 1 のパルス信号を前記第 2 のレベルにし、前記第 1 のパルス信号の周波数は、前記出力ノードの電圧にかかわらずに一定である。

40

【発明の効果】

【0008】

負荷変動に伴って出力ノードの電圧が変動しても、第 1 及び第 2 のトランジスタのスイッチング周波数を一定にすることができる。これにより、出力ノードから大電力を供給す

50

ることが可能になる。

【図面の簡単な説明】

【0009】

【図1】図1は、第1の実施形態による電源装置の構成例を示す図である。

【図2】図2は、図1の電源装置の電圧波形を示す図である。

【図3】図3は、第2の実施形態による電源装置の構成例を示す図である。

【図4】図4は、図3の電源装置の電圧波形を示す図である。

【図5】図5は、図3の電源装置の出力ノードの出力電圧及び出力電流の波形図である。

【図6】図6は、出力電力に対する出力電圧及び効率を示すグラフである。

【図7】図7は、第1のクロック信号の周波数に対する出力電圧及びリップルを示すグラフである。 10

【図8】図8は、出力電力に対する出力電圧及び効率を示すグラフである。

【図9】図9は、時間に対する出力電圧、出力電流、負荷抵抗及び出力電力の変化を示す図である。

【図10】図10は、第4の実施形態による電源装置及びプロセッサ（処理装置）の構成例を示す図である。

【図11】図11（A）及び（B）は、負荷抵抗が急変する場合の周波数制御信号及び出力電圧の波形図である。

【図12】図12は、電源装置及びプロセッサ（処理装置）の制御方法を示すフローチャートである。 20

【発明を実施するための形態】

【0010】

（第1の実施形態）

図1は第1の実施形態による電源装置の構成例を示す図であり、図2は図1の電源装置の電圧波形を示す図である。電源装置は、出力ノードOUTから中央処理ユニット（CPU：Central Processing Unit）等のプロセッサに電圧（電力）を供給するDC（直流）-DCコンバータである。

【0011】

電圧制御発振器（VCO）102は、直流電源101の電圧等に応じた周波数の第1のクロック信号CK1をRSフリップフロップ105のセット端子Sに出力する。例えば、第1のクロック信号CK1は、200MHzである。第1の遅延回路104は、直流電源103の電圧に応じた遅延時間で、第1のクロック信号CK1を遅延して第2のクロック信号CK2を出力する。RSフリップフロップ105は、パルス信号生成回路であり、第1のクロック信号CK1に同期して第1のパルス信号PWMを生成する。ゲートドライバ106は、バッファであり、第1のパルス信号PWMを増幅し、パルス信号PWM1aを出力する。ゲートドライバ107は、インバータであり、第1のパルス信号PWMを反転増幅し、パルス信号PWM1bを出力する。パルス信号PWM1a及びPWM1bは、相互に論理反転した信号である。 30

【0012】

第1のトランジスタ108は、nチャネル電界効果トランジスタであり、ドレインが電源電位ノードVCC（1.8V）に接続され、ゲートがパルス信号PWM1aの線に接続され、ソースが出力ノードN1に接続される。第1のトランジスタ108は、パルス信号PWM1aの電圧がハイレベルの時には出力ノードN1を電源電位ノードVCCに接続し、パルス信号PWM1aの電圧がローレベルの時には出力ノードN1を電源電位ノードVCCから切断する。パルス信号PWM1aの電圧が閾値より高い場合にはハイレベルと判断され、パルス信号PWM1aの電圧が閾値より低い場合にはローレベルと判断される。 40

【0013】

第2のトランジスタ109は、nチャネル電界効果トランジスタであり、ドレインが出力ノードN1に接続され、ゲートがパルス信号PWM1bの線に接続され、ソースが基準電位ノード（グランド電位ノード）に接続される。第2のトランジスタ109は、パルス 50

信号 P W M 1 b がハイレベルの時には出力ノード N 1 を基準電位ノードに接続し、パルス信号 P W M 1 b がローレベルの時には出力ノード N 1 を基準電位ノードから切断する。第 1 のトランジスタ 1 0 8 及び第 2 のトランジスタ 1 0 9 は、相互に逆のオン/オフ動作を行う。

【 0 0 1 4 】

インダクタ L 1 は、出力ノード N 1 及び O U T 間に接続される。容量 C 1 は、出力ノード O U T 及び基準電位ノード間に接続される。負荷抵抗（負荷インピーダンス） R 1 は、出力ノード O U T 及び基準電位ノード間に接続される。積分回路 1 1 0 は、抵抗 R 2 及び容量 C 2 を有する R C フィルタであり、出力ノード N 1 の信号を積分し、積分した信号をノード N 2 から出力する。

10

【 0 0 1 5 】

コンパレータ 1 1 2 は、ノード N 2 の信号（電圧）と直流電源 1 1 1 の参照信号（電圧）とを比較し、ノード N 2 の信号が参照信号（例えばここでは 1 . 1 V に設定）より大きい時にはハイレベルの信号 A 1 を出力し、ノード N 2 の信号が参照信号（1 . 1 V）より小さい時にはローレベルの信号 A 1 を出力する。直流電源 1 1 1 の電圧が参照信号であり、出力ノード O U T の電圧 V o u t を 0 . 9 V にしたい場合には、参照信号を例えば 1 . 1 V に設定する。エッジ抽出回路 1 1 3 は、信号 A 1 の立ち上がりエッジを抽出してエッジ信号 A 2 を出力する。信号 A 1 の立ち上がりエッジは、信号 A 1 がローレベルからハイレベルに変化する部分であり、エッジ抽出回路 1 1 3 は、例えば、信号 A 1 がローレベルからハイレベルに変化する部分を検出すると、ハイレベルパルスのエッジ信号 A 2 を出力する。論理和（O R）回路 1 1 4 は、第 2 のクロック信号 C K 2 及びエッジ信号 A 2 の論理和信号 C K 3 を R S フリップフロップ 1 0 5 のリセット端子 R に出力する。

20

【 0 0 1 6 】

R S フリップフロップ 1 0 5 は、第 1 のクロック信号 C K 1 のハイレベルパルスが入力されると、第 1 のパルス信号 P W M をハイレベルにし、信号 C K 3 のハイレベルパルスが入力されると、第 1 のパルス信号 P W M をローレベルにする。すなわち、R S フリップフロップ 1 0 5 は、第 1 のクロック信号 C K 1 に同期して第 1 のパルス信号 P W M をハイレベル（第 1 のレベル）にし、第 2 のクロック信号 C K 2 に同期して第 1 のパルス信号 P W M をローレベル（第 2 のレベル）にし、信号 A 2 に同期して第 1 のパルス信号 P W M をローレベル（第 2 のレベル）にする。

30

【 0 0 1 7 】

第 1 のクロック信号 C K 1 は、1 / 2 0 0 M H z の一定周期でハイレベルパルスが発生する。第 1 のクロック信号 C K 1 がハイレベルパルスになると、第 1 のパルス信号 P W M がハイレベルになり、第 1 のトランジスタ 1 0 8 がオンし、第 2 のトランジスタ 1 0 9 がオフする。これにより、出力ノード N 1 は、電源電位ノード V C C に接続され、1 . 8 V になる。容量 C 1 が充電され、出力ノード O U T の電圧 V o u t が上昇する。

【 0 0 1 8 】

出力ノード N 1 が 1 . 8 V の期間では、積分回路 1 1 0 により、ノード N 2 の電圧は上昇する。ノード N 2 の電圧が直流電源 1 1 1 の参照電圧（1 . 1 V）より高くなると、コンパレータ 1 1 2 の出力信号 A 1 はローレベルからハイレベルに変化する。すると、エッジ抽出回路 1 1 3 は、出力信号 A 1 の立ち上がりエッジを抽出し、ハイレベルパルスのエッジ信号 A 2 を出力する。すると、R S フリップフロップ 1 0 5 は、第 1 のパルス信号 P W M をローレベルにする。すると、第 1 のトランジスタ 1 0 8 がオフし、第 2 のトランジスタ 1 0 9 がオンする。これにより、出力ノード N 1 は、基準電位ノードに接続され、0 V になる。容量 C 1 が放電され、出力ノード O U T の電圧 V o u t が下降する。

40

【 0 0 1 9 】

出力ノード O U T の電圧 V o u t は、出力ノード N 1 の電圧が平滑化された電圧となり、約 0 . 9 V の電圧を維持する。負荷抵抗 R 1 が変動した場合、コンパレータ 1 1 3 により、出力ノード N 1 の電圧を約 0 . 9 V に維持することができる。これにより、第 1 のパルス信号 P W M の周波数は、出力ノード N 1 の電圧にかかわらずに 2 0 0 M H z の一定に

50

なる。同様に、第1のトランジスタ108及び第2のトランジスタ109のスイッチング周波数も200MHzの一定になる。

【0020】

次に、電源投入時のように、出力ノードOUTの電圧 V_{out} が0Vから0.9Vに上昇する期間の動作を説明する。この期間では、ノードN2の電圧は、直流電源111の参照電圧より低いので、信号A2はハイレベルパルスにならない。この場合、信号CK3は、第2のクロック信号CK2と同じ信号になる。第2のクロック信号CK2は、1/200MHzの一定周期でハイレベルパルスになる。この場合、RSフリップフロップ105は、1/200MHzの一定周期で第1のパルス信号PWMをローレベルにする。すなわち、第1のパルス信号PWMは、第1のクロック信号CK1のハイレベルパルスが入力されるとハイレベルになり、第2のクロック信号CK2のハイレベルパルスが入力されるとローレベルになる。第1のパルス信号PWMは、ハイレベル期間がローレベル期間に比べて極めて長いので、出力ノードOUTの電圧 V_{out} は0Vから0.9Vに向けて上昇する。この場合も、第1のパルス信号PWMの周波数は、出力ノードN1の電圧にかかわらずに200MHzの一定になる。同様に、第1のトランジスタ108及び第2のトランジスタ109のスイッチング周波数も200MHzの一定になる。

10

【0021】

また、負荷変動により、ノードN2の電圧が直流電源111の参照電圧を超えない場合でも、第2のクロック信号CK2のハイレベルパルスにより、第1のパルス信号PWMが強制的にローレベルになる。これにより、第1のパルス信号PWMの周波数は、常に200MHzの一定になる。

20

【0022】

なお、トランジスタ108及び109は、MOS（金属酸化物半導体）電界効果トランジスタに限らず、GaN（窒化ガリウム）の高電子移動度トランジスタ（HEMT）でもよい。トランジスタ108及び109が高電子移動度トランジスタである場合には、ゲート容量が小さくなるため、スイッチング損失が減少し、効率が向上する。また、高電子移動度トランジスタ108及び109のスイッチングスピードが上がるため、電源装置は、高周波数スイッチングが可能になり、負荷変動に対する出力電圧 V_{out} の応答性が向上する。

【0023】

30

（第2の実施形態）

図3は第2の実施形態による電源装置の構成例を示す図であり、図4は図3の電源装置の電圧波形を示す図である。本実施形態（図3）は、第1の実施形態（図1）に対して、9個の副フェーズ回路SP1～SP9を追加したものである。なお、図3では、パルス信号PWMの前段の回路を省略しているが、信号PWMの前段の回路は図1と同じである。以下、本実施形態が第1の実施形態と異なる点を説明する。副フェーズ回路SP1～SP9は、制御フェーズ回路CPと同様の構成を有し、制御フェーズ回路CPに並列に接続される。バッファ301は、第1のパルス信号PWMを増幅してゲートドライバ106及び107に出力する。

【0024】

40

次に、副フェーズ回路SP1の構成を説明する。バッファ301aは、第1のパルス信号PWMを増幅して出力する。第2の遅延回路104aは、直流電源103aの電圧に応じた遅延時間で、バッファ301aの出力信号を遅延して第2のパルス信号をゲートドライバ106a及び107aに出力する。ゲートドライバ106aは、バッファであり、第2の遅延回路104aが出力する第2のパルス信号を増幅し、パルス信号PWM2aを出力する。ゲートドライバ107aは、インバータであり、第2の遅延回路104aが出力する第2のパルス信号を反転増幅し、パルス信号PWM2bを出力する。パルス信号PWM2a及びPWM2bは、相互に論理反転した信号である。

【0025】

第3のトランジスタ108aは、nチャネル電界効果トランジスタであり、ドレインが

50

電源電位ノードVCC(1.8V)に接続され、ゲートがパルス信号PWM2aの線に接続され、ソースが出力ノードN1aに接続される。第1のトランジスタ108aは、パルス信号PWM2aがハイレベルの時には出力ノードN1aを電源電位ノードVCCに接続し、パルス信号PWM2aがローレベルの時には出力ノードN1aを電源電位ノードVCCから切断する。

【0026】

第4のトランジスタ109aは、nチャネル電界効果トランジスタであり、ドレインが出力ノードN1aに接続され、ゲートがパルス信号PWM2bの線に接続され、ソースが基準電位ノード(グランド電位ノード)に接続される。第4のトランジスタ109aは、パルス信号PWM2bがハイレベルの時には出力ノードN1aを基準電位ノードに接続し、パルス信号PWM2bがローレベルの時には出力ノードN1aを基準電位ノードから切断する。第3のトランジスタ108a及び第4のトランジスタ109aは、相互に逆のオン/オフ動作を行う。インダクタL1aは、出力ノードN1a及びOUT間に接続される。

10

【0027】

副フェーズ回路SP1の遅延回路104aの遅延時間は例えば $1 / (200 \text{ MHz} \times 10)$ である。したがって、パルス信号PWM2a及びPWM2bは、それぞれ、パルス信号PWM1a及びPWM1bに対して例えば $1 / (200 \text{ MHz} \times 10)$ の遅延時間だけ遅延した信号である。

【0028】

副フェーズ回路SP1の構成を例に説明したが、副フェーズ回路SP2~SP9も、副フェーズ回路SP1と同様の構成を有し、副フェーズ回路SP1に並列に接続される。

20

【0029】

副フェーズ回路SP2において、トランジスタ108aのゲート信号はパルス信号PWM3aとして表し、トランジスタ109aのゲート信号はパルス信号PWM3bとして表す。副フェーズ回路SP2の遅延回路104aの遅延時間は例えば $2 / (200 \text{ MHz} \times 10)$ である。したがって、パルス信号PWM3a及びPWM3bは、それぞれ、パルス信号PWM1a及びPWM1bに対して例えば $2 / (200 \text{ MHz} \times 10)$ の遅延時間だけ遅延した信号である。

【0030】

副フェーズ回路SP3において、トランジスタ108aのゲート信号はパルス信号PWM4aとして表し、トランジスタ109aのゲート信号はパルス信号PWM4bとして表す。副フェーズ回路SP3の遅延回路104aの遅延時間は例えば $3 / (200 \text{ MHz} \times 10)$ である。したがって、パルス信号PWM4a及びPWM4bは、それぞれ、パルス信号PWM1a及びPWM1bに対して例えば $3 / (200 \text{ MHz} \times 10)$ の遅延時間だけ遅延した信号である。

30

【0031】

副フェーズ回路SP4において、トランジスタ108aのゲート信号はパルス信号PWM5aとして表し、トランジスタ109aのゲート信号はパルス信号PWM5bとして表す。副フェーズ回路SP4の遅延回路104aの遅延時間は例えば $4 / (200 \text{ MHz} \times 10)$ である。したがって、パルス信号PWM5a及びPWM5bは、それぞれ、パルス信号PWM1a及びPWM1bに対して例えば $4 / (200 \text{ MHz} \times 10)$ の遅延時間だけ遅延した信号である。

40

【0032】

副フェーズ回路SP5において、トランジスタ108aのゲート信号はパルス信号PWM6aとして表し、トランジスタ109aのゲート信号はパルス信号PWM6bとして表す。副フェーズ回路SP5の遅延回路104aの遅延時間は例えば $5 / (200 \text{ MHz} \times 10)$ である。したがって、パルス信号PWM6a及びPWM6bは、それぞれ、パルス信号PWM1a及びPWM1bに対して例えば $5 / (200 \text{ MHz} \times 10)$ の遅延時間だけ遅延した信号である。

50

【 0 0 3 3 】

副フェーズ回路 S P 6 において、トランジスタ 1 0 8 a のゲート信号はパルス信号 P W M 7 a として表し、トランジスタ 1 0 9 a のゲート信号はパルス信号 P W M 7 b として表す。副フェーズ回路 S P 6 の遅延回路 1 0 4 a の遅延時間は例えば $6 / (2 0 0 \text{ M H z } \times 1 0)$ である。したがって、パルス信号 P W M 7 a 及び P W M 7 b は、それぞれ、パルス信号 P W M 1 a 及び P W M 1 b に対して例えば $6 / (2 0 0 \text{ M H z } \times 1 0)$ の遅延時間だけ遅延した信号である。

【 0 0 3 4 】

副フェーズ回路 S P 7 において、トランジスタ 1 0 8 a のゲート信号はパルス信号 P W M 8 a として表し、トランジスタ 1 0 9 a のゲート信号はパルス信号 P W M 8 b として表す。副フェーズ回路 S P 7 の遅延回路 1 0 4 a の遅延時間は例えば $7 / (2 0 0 \text{ M H z } \times 1 0)$ である。したがって、パルス信号 P W M 8 a 及び P W M 8 b は、それぞれ、パルス信号 P W M 1 a 及び P W M 1 b に対して例えば $7 / (2 0 0 \text{ M H z } \times 1 0)$ の遅延時間だけ遅延した信号である。

10

【 0 0 3 5 】

副フェーズ回路 S P 8 において、トランジスタ 1 0 8 a のゲート信号はパルス信号 P W M 9 a として表し、トランジスタ 1 0 9 a のゲート信号はパルス信号 P W M 9 b として表す。副フェーズ回路 S P 8 の遅延回路 1 0 4 a の遅延時間は例えば $8 / (2 0 0 \text{ M H z } \times 1 0)$ である。したがって、パルス信号 P W M 9 a 及び P W M 9 b は、それぞれ、パルス信号 P W M 1 a 及び P W M 1 b に対して例えば $8 / (2 0 0 \text{ M H z } \times 1 0)$ の遅延時間だけ遅延した信号である。

20

【 0 0 3 6 】

副フェーズ回路 S P 9 において、トランジスタ 1 0 8 a のゲート信号はパルス信号 P W M 1 0 a として表し、トランジスタ 1 0 9 a のゲート信号はパルス信号 P W M 1 0 b として表す。副フェーズ回路 S P 9 の遅延回路 1 0 4 a の遅延時間は例えば $9 / (2 0 0 \text{ M H z } \times 1 0)$ である。したがって、パルス信号 P W M 1 0 a 及び P W M 1 0 b は、それぞれ、パルス信号 P W M 1 a 及び P W M 1 b に対して例えば $9 / (2 0 0 \text{ M H z } \times 1 0)$ の遅延時間だけ遅延した信号である。

【 0 0 3 7 】

1 0 個のフェーズ回路 C P , S P 1 ~ S P 9 を並列に接続することにより、電源装置は 1 0 相駆動を行う。これにより、電源装置は、出力ノード O U T から大電力を供給することができる。また、1 0 相駆動により、出力ノード O U T の電圧 V_{out} 及び電流 I_{out} は、変動が小さくなり、安定した電力供給が可能になる。

30

【 0 0 3 8 】

上記の 1 0 相のマルチフェーズ駆動は、パルス信号 P W M 1 a ~ P W M 1 0 a , P W M 1 b ~ P W M 1 0 b の周波数が常に 2 0 0 M H z の一定であるために可能になる。仮に、負荷変動に伴って第 1 のパルス信号 P W M の周波数が変動してしまう場合には、安定したマルチフェーズ駆動を行うことができない。本実施形態によれば、負荷変動時もパルス信号 P W M 1 a ~ P W M 1 0 a , P W M 1 b ~ P W M 1 0 b の周波数が常に一定であるために、安定したマルチフェーズ駆動が可能になり、大電力を供給することができる利点がある。

40

【 0 0 3 9 】

図 5 は、図 3 の電源装置の出力ノード O U T の出力電圧 V_{out} 及び出力電流 I_{out} の波形図であり、 $2 \text{ A} / 1 0 \text{ n s}$ のスルーレイトで負荷急変した場合の出力電圧 V_{out} 及び出力電流 I_{out} を示す。負荷が急変した場合でも、出力電圧 V_{out} は、 $\pm 2 0 0 \text{ m V}$ 以内の変動で $5 0 \text{ m s}$ の負荷急変に追従することができる。1 0 相駆動することにより、負荷が急変しても、出力電圧 V_{out} の変動を抑制することができる。

【 0 0 4 0 】

図 6 は、出力電力に対する出力電圧 V_{out} 及び効率 E F を示すグラフである。出力電圧 V_{out} は、 $0 . 9 \text{ V} \pm 5 \%$ の範囲に収まり、変動が小さい。効率 E F は、最高効率が

50

89%であり、高効率を得ることができる。

【0041】

(第3の実施形態)

第3の実施形態による電源装置は、図1の電源装置において、電圧制御発振器102が第1のクロック信号CK1の周波数を変化させる。電圧制御発振器102は、直流電源101の制御電圧に応じて可変周波数の第1のクロック信号CK1を出力する。以下、本実施形態が第1の実施形態と異なる点を説明する。

【0042】

図7は、第1のクロック信号CK1の周波数に対する出力電圧 V_{out} 及びリップル RP を示すグラフである。出力ノードOUTの電圧 V_{out} は、第1のクロック信号CK1の周波数に応じて変化する。第1のクロック信号CK1の周波数を高くするほど、出力電圧 V_{out} は高くなる。この際、出力電流 I_{out} は一定である。リップル RP は、出力電圧 V_{out} の直流成分に対する脈動成分の割合であり、脈動が小さいほど好ましい。リップル RP は、第1のクロック信号CK1の周波数が所定周波数以上であれば小さくなる。出力電圧 V_{out} が0.5V以上の場合には、リップル RP が5%以下になり、安定動作が可能である。

10

【0043】

図8は、出力電力に対する出力電圧 V_{out1} 、 V_{out2} 及び効率 $EF1$ 、 $EF2$ を示すグラフである。出力電圧 V_{out1} は、第1のクロック信号CK1の周波数が200MHzの場合の出力電圧 V_{out} を示す。効率 $EF1$ は、第1のクロック信号CK1の周波数が200MHzの場合の効率を示す。出力電圧 V_{out2} は、第1のクロック信号CK1の周波数が80MHzの場合の出力電圧 V_{out} を示す。効率 $EF2$ は、第1のクロック信号CK1の周波数が80MHzの場合の効率を示す。

20

【0044】

電圧制御発振器102は、負荷に応じて、第1のクロック信号CK1の周波数を200MHz又は80MHzに制御する。負荷が重い場合には、第1のクロック信号CK1の周波数を200MHzにすることにより、出力電圧 V_{out1} が約0.9Vとなり、大電力出力時の効率 $EF1$ を高くすることができる。これに対し、負荷が軽い場合には、第1のクロック信号CK1の周波数を80MHzにすることにより、小電力出力時の効率 $EF2$ を高くすることができる。プロセッサ(処理装置)は、負荷変動に応じて制御信号を電圧制御発振器102に出力する。電圧制御発振器102は、その制御信号に応じて、第1のクロック信号CK1の周波数を変化させ、出力ノードOUTからプロセッサに電力を供給する。これにより、プロセッサの消費電力を削減することができる。

30

【0045】

図9は、時間に対する出力電圧 V_{out} 、出力電流 I_{out} 、負荷抵抗 $R1$ 及び出力電力 PW の変化を示す図である。負荷抵抗 $R1$ が急変する場合に、第1のクロック信号CK1の周波数を変化させることにより、出力電圧 V_{out} 、出力電流 I_{out} 及び出力電力 PW の応答特性を良好にすることができる。

【0046】

(第4の実施形態)

図10は第4の実施形態による電源装置PS1~PS3及びプロセッサ(処理装置)PR1~PR3の構成例を示す図であり、図12は電源装置PS1~PS3及びプロセッサ(処理装置)PR1~PR3の制御方法を示すフローチャートである。電源装置PS1~PS3は、DC-DCコンバータであり、第1~第3の実施形態の電源装置である。プロセッサPR1~PR3は、例えばCPUコアである。第1のCPUコアPR1は、オペレーションシステム(OS)により動作する。第2のCPUコアPR2及び第3のCPUコアPR3は、アプリケーションにより動作する。第1のCPUコアPR1は、制御信号CTLにより、CPUコアPR2及びPR3の負荷変動を制御する。

40

【0047】

ステップS1201では、第1のCPUコアPR1は、第1のCPUコアPR1の負荷

50

に応じて、制御信号CTL1を第1のDC-DCコンバータPS1に出力する。ステップS1202では、第1のDC-DCコンバータPS1は、制御信号CTL1に応じて、第1のクロック信号CK1の周波数を制御し、出力ノードOUTから電力(電圧)PW1を第1のCPUコアPR1に供給する。

【0048】

また、ステップS1203では、第1のCPUコアPR1は、第2のCPUコアPR2の負荷に応じて、制御信号CTL2を第2のDC-DCコンバータPS2に出力する。ステップS1204では、第2のDC-DCコンバータPS2は、制御信号CTL2に応じて、第1のクロック信号CK1の周波数を制御し、出力ノードOUTから電力(電圧)PW2を第2のCPUコアPR2に供給する。

10

【0049】

また、ステップS1205では、第1のCPUコアPR1は、第3のCPUコアPR3の負荷に応じて、制御信号CTL3を第3のDC-DCコンバータPS3に出力する。ステップS1206では、第3のDC-DCコンバータPS3は、制御信号CTL3に応じて、第1のクロック信号CK1の周波数を制御し、出力ノードOUTから電力(電圧)PW3を第3のCPUコアPR3に供給する。

【0050】

以上のように、DC-DCコンバータPS1~PS3は、それぞれ、CPUコアPR1~PR3毎に設けられる。OSが動作しているCPUコアPR1は、他のCPUコアPR2及びPR3の負荷を管理し、他のCPUコアPR2及びPR3に周波数制御等の制御信号CTLを出力する。また、CPUコアPR1は、周波数変更の制御信号CTL1~CTL3をそれぞれDC-DCコンバータPS1~PS3に出力する。DC-DCコンバータPS1~PS3は、それぞれ、制御信号CTL1~CTL3に応じて、第1のクロック信号CK1の周波数を変更し、電力PW1~PW3をCPUコアPR1~PR3に供給する。

20

【0051】

図11(A)は、負荷抵抗R1が高抵抗から低抵抗に急変する場合の周波数制御信号Fr及び出力電圧Voutの波形図である。周波数制御信号Frは、図10の制御信号CTL1~CTL3に対応する。負荷抵抗R1が高抵抗である場合には、周波数制御信号Frがローレベルであり、電圧制御発振器102は、低周波数の第1のクロック信号CK1を出力する。すると、出力電圧Voutは、低電圧になる。

30

【0052】

次に、負荷抵抗R1が高抵抗から低抵抗に急変すると、それから0~数十ns遅らせて周波数制御信号Frをローレベルからハイレベルに変化させる場合を複数種類示す。すると、出力電圧Voutは、低電圧から高電圧に変化する。周波数制御信号Frをローレベルからハイレベルに変化させるタイミングにより、出力電圧Voutのオーバーシュートが異なる。出力電圧Voutのオーバーシュートが最小になるように、周波数制御信号Frがローレベルからハイレベルに変化するタイミングを決定することが好ましい。

【0053】

図11(B)は、負荷抵抗R1が低抵抗から高抵抗に急変する場合の周波数制御信号Fr及び出力電圧Voutの波形図である。負荷抵抗R1が低抵抗である場合には、周波数制御信号Frがハイレベルであり、電圧制御発振器102は、高周波数の第1のクロック信号CK1を出力する。すると、出力電圧Voutは、高電圧になる。

40

【0054】

次に、負荷抵抗R1が低抵抗から高抵抗に急変すると、それから0~数十ns遅らせて周波数制御信号Frをハイレベルからローレベルに変化させる場合を複数種類示す。すると、出力電圧Voutは、高電圧から低電圧に変化する。周波数制御信号Frをハイレベルからローレベルに変化させるタイミングにより、出力電圧Voutのアンダーシュートが異なる。出力電圧Voutのアンダーシュートが最小になるように、周波数制御信号Frがハイレベルからローレベルに変化するタイミングを決定することが好ましい。

50

【 0 0 5 5 】

例えば、負荷抵抗 R 1 の急変開始に対して、0 ~ 数 n s 遅らせて周波数制御信号 F r を変化させることにより、出力電圧 V o u t のオーバーシュート又はアンダーシュートを最小にすることができる。出力電圧 V o u t 又は負荷電力の変化を検出してから第 1 のクロック信号 C K 1 の周波数を切り替えるのでは、出力電圧 V o u t の変動が大きくなってしまふ。O S が動作している C P U コア P R 1 は、C P U コア P R 1 ~ P R 3 の負荷を認識しているので、制御信号 C T L 1 ~ C T L 3 により、D C - D C コンバータ P S 1 ~ P S 3 の第 1 のクロック信号 C K 1 の周波数を制御することにより、出力電圧 V o u t のオーバーシュート又はアンダーシュートを最小にすることができる。

【 0 0 5 6 】

以上のように、第 1 ~ 第 4 の実施形態によれば、負荷変動に伴って出力ノードの電圧が変動しても、第 1 及び第 2 のトランジスタ 1 0 8 及び 1 0 9 のスイッチング周波数を一定にすることができる。これにより、出力ノードから大電力を供給することが可能になる。

【 0 0 5 7 】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

【 符号の説明 】

【 0 0 5 8 】

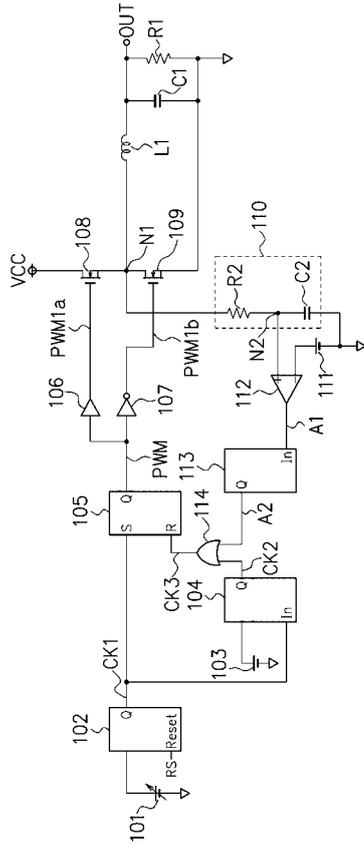
- 1 0 1 , 1 0 3 , 1 1 1 直流電源
- 1 0 2 電圧制御発振器
- 1 0 4 第 1 の遅延回路
- 1 0 5 R S フリップフロップ
- 1 0 6 , 1 0 7 ゲートドライバ
- 1 0 8 第 1 のトランジスタ
- 1 0 9 第 2 のトランジスタ
- 1 1 0 積分回路
- 1 1 2 コンパレータ
- 1 1 3 エッジ抽出回路
- 1 1 4 論理和回路

10

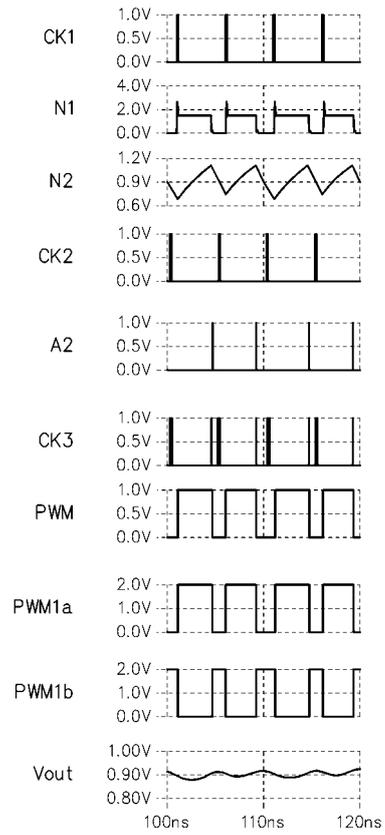
20

30

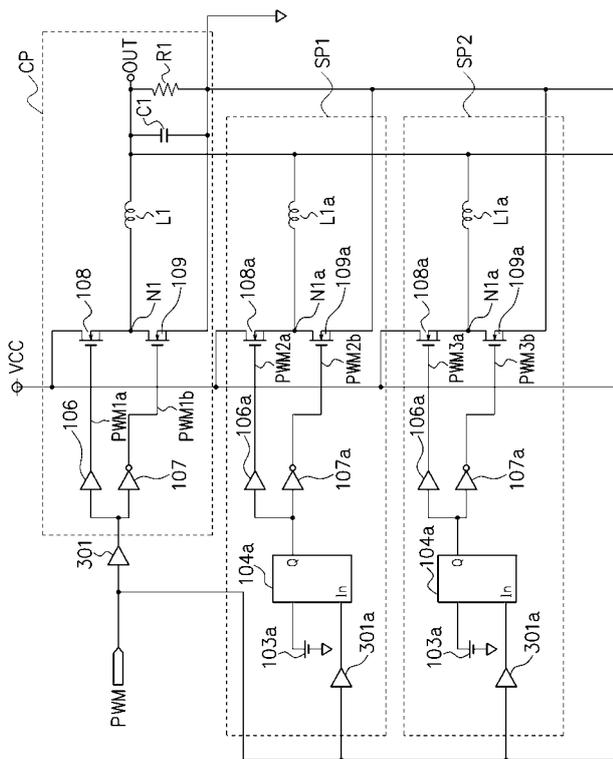
【 図 1 】



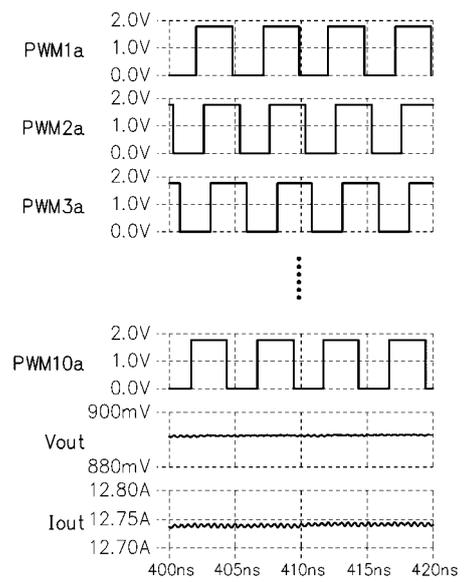
【 図 2 】



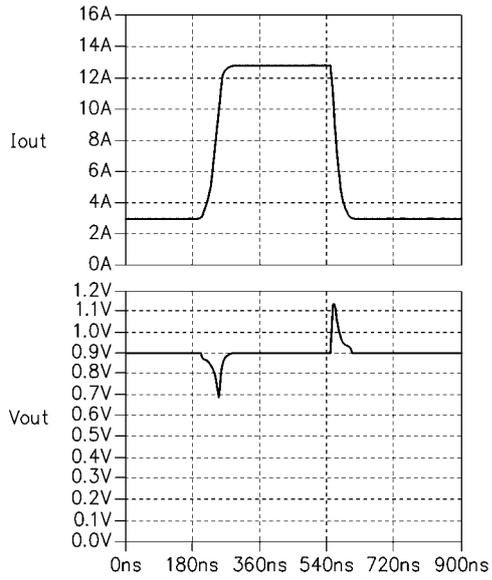
【 図 3 】



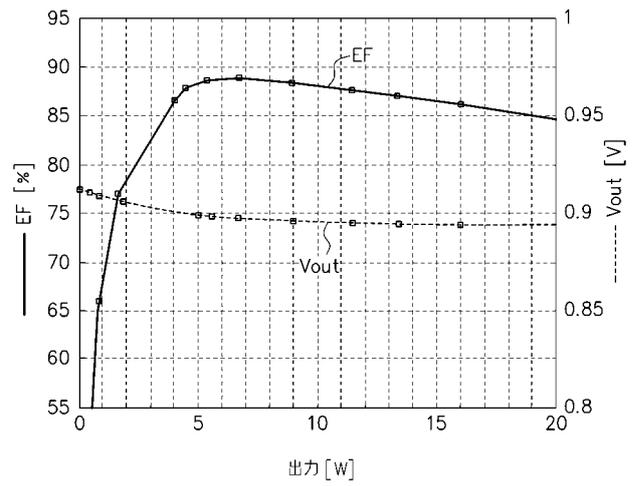
【 図 4 】



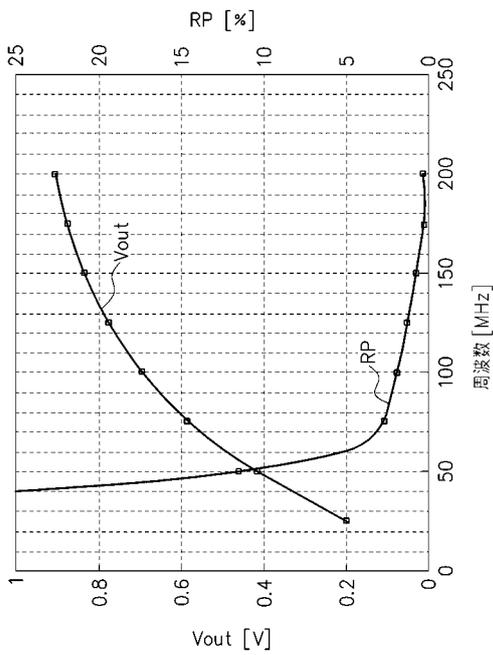
【 図 5 】



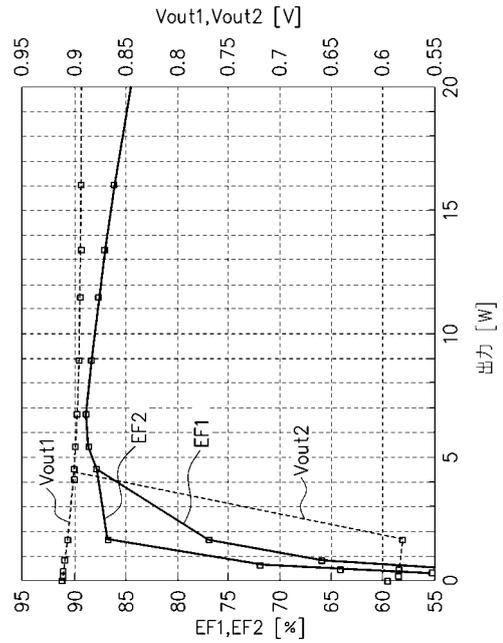
【 図 6 】



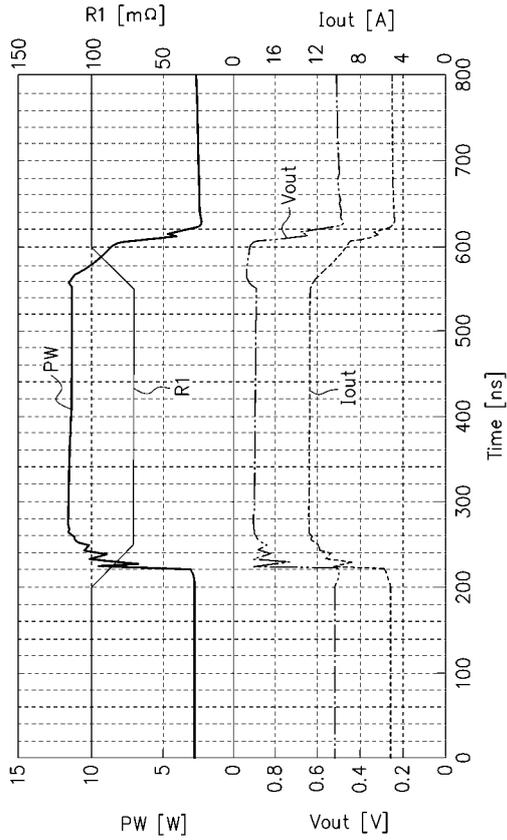
【 図 7 】



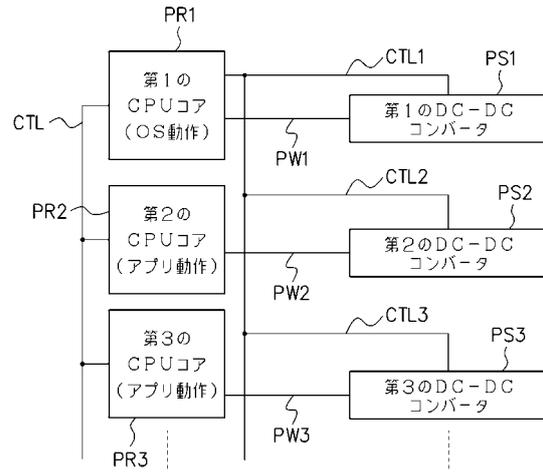
【 図 8 】



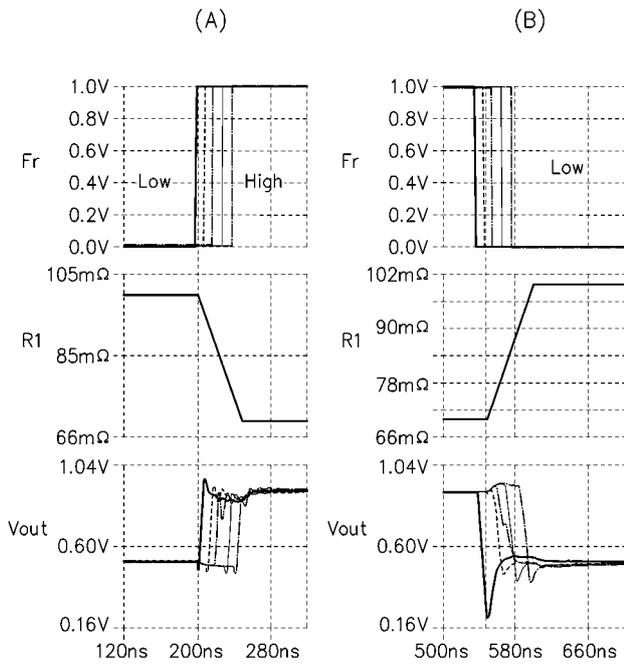
【 図 9 】



【 図 1 0 】



【 図 1 1 】



【 図 1 2 】

