



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년03월31일
 (11) 등록번호 10-1721850
 (24) 등록일자 2017년03월27일

- (51) 국제특허분류(Int. Cl.)
 H03K 17/72 (2006.01) H01L 29/74 (2006.01)
- (21) 출원번호 10-2012-7014855
- (22) 출원일자(국제) 2012년10월13일
 심사청구일자 2015년10월13일
- (85) 번역문제출일자 2012년06월08일
- (65) 공개번호 10-2012-0093339
- (43) 공개일자 2012년08월22일
- (86) 국제출원번호 PCT/JP2010/068412
- (87) 국제공개번호 WO 2011/058852
 국제공개일자 2011년05월19일
- (30) 우선권주장
 JP-P-2009-259900 2009년11월13일 일본(JP)
- (56) 선행기술조사문헌
 JP소화60189029 A
 JP평성03206709 A
 JP2010152347 A

- (73) 특허권자
 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
 교야마 준
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 와타나베 가즈노리
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
 장훈

전체 청구항 수 : 총 19 항

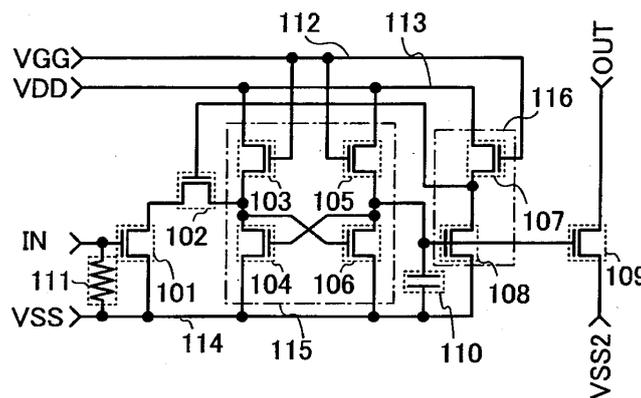
심사관 : 이승민

(54) 발명의 명칭 **반도체 장치**

(57) 요약

프로세스의 복잡함 없이 사이리스터의 기능을 실현할 수 있는 반도체 장치를 제공하는 것이 하나의 목적이다. 리셋 동작 및 초기화 동작에 의해 미리 결정된 전위를 저장하는 메모리 회로를 포함한 반도체 장치는 트리거 신호의 공급에 따라 상기 메모리 회로에 데이터를 재기록하는 회로가 제공된다. 상기 반도체 장치는 상기 반도체 장치를 통해 흐르는 전류가 상기 메모리 회로에 데이터를 재기록함으로써 부하에 공급되고, 그에 따라 사이리스터로서 기능할 수 있는 구조를 갖는다.

대표도 - 도1



명세서

청구범위

청구항 1

반도체 장치에 있어서,

제 1 배선 및 제 2 배선과;

제 1 내지 제 8 트랜지스터들로서, 상기 8개의 트랜지스터들의 각각은 게이트, 제 1 단자, 및 제 2 단자를 포함하는, 상기 제 1 내지 제 8 트랜지스터들을 포함하고,

상기 제 1 배선은 상기 제 1 트랜지스터의 상기 게이트에 접속되고,

상기 제 1 트랜지스터의 상기 제 1 단자는 상기 제 2 트랜지스터의 상기 제 1 단자에 접속되고,

상기 제 2 트랜지스터의 상기 제 2 단자는 상기 제 3 트랜지스터의 상기 제 1 단자, 상기 제 4 트랜지스터의 상기 제 1 단자, 및 상기 제 6 트랜지스터의 상기 게이트에 접속되고,

상기 제 4 트랜지스터의 상기 게이트는 상기 제 6 트랜지스터의 상기 제 1 단자, 상기 제 5 트랜지스터의 상기 제 1 단자, 상기 제 8 트랜지스터의 상기 게이트, 및 상기 제 2 배선에 접속되고,

상기 제 2 트랜지스터의 상기 게이트, 상기 제 7 트랜지스터의 상기 제 1 단자, 상기 제 8 트랜지스터의 상기 제 1 단자는 서로 접속되고,

상기 반도체 장치는 상기 제 1 트랜지스터의 상기 제 2 단자, 상기 제 4 트랜지스터의 상기 제 2 단자, 상기 제 6 트랜지스터의 상기 제 2 단자, 및 상기 제 8 트랜지스터의 상기 제 2 단자에 인가되는 전위들 각각이 상기 제 3 트랜지스터의 상기 제 2 단자 및 상기 게이트, 상기 제 5 트랜지스터의 상기 제 2 단자 및 상기 게이트, 및 상기 제 7 트랜지스터의 상기 제 2 단자 및 상기 게이트에 인가되는 전위들 중 어느 것보다 낮은, 상기 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 트랜지스터의 상기 게이트에 접속된 저항 소자를 더 포함하는, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 제 5 트랜지스터의 상기 제 1 단자에 접속된 용량 소자를 더 포함하는, 반도체 장치.

청구항 4

반도체 장치에 있어서,

제 1 내지 제 5 배선들과;

제 1 내지 제 8 트랜지스터들로서, 상기 8개의 트랜지스터들의 각각은 게이트, 제 1 단자, 및 제 2 단자를 포함하는, 상기 제 1 내지 제 8 트랜지스터들을 포함하고;

상기 제 1 배선은 상기 제 1 트랜지스터의 상기 게이트에 접속되고,

상기 제 1 트랜지스터의 상기 제 1 단자는 상기 제 2 트랜지스터의 상기 제 1 단자에 접속되고,

상기 제 2 트랜지스터의 상기 제 2 단자는 상기 제 3 트랜지스터의 상기 제 1 단자, 상기 제 4 트랜지스터의 상기 제 1 단자 및 상기 제 6 트랜지스터의 상기 게이트에 접속되고,

상기 제 4 트랜지스터의 상기 게이트는 상기 제 6 트랜지스터의 상기 제 1 단자, 상기 제 5 트랜지스터의 상기 제 1 단자, 상기 제 8 트랜지스터의 상기 게이트, 및 상기 제 2 배선에 접속되고,

상기 제 2 트랜지스터의 상기 게이트, 상기 제 7 트랜지스터의 상기 제 1 단자, 및 상기 제 8 트랜지스터의 상기 제 1 단자는 서로 접속되고,

상기 제 3 배선은 상기 제 1 트랜지스터의 상기 제 2 단자, 상기 제 4 트랜지스터의 상기 제 2 단자, 상기 제 6 트랜지스터의 상기 제 2 단자, 및 상기 제 8 트랜지스터의 상기 제 2 단자에 접속되고,

상기 제 4 배선은 상기 제 3 트랜지스터의 상기 제 2 단자, 상기 제 5 트랜지스터의 상기 제 2 단자, 및 상기 제 7 트랜지스터의 상기 제 2 단자에 접속되고,

상기 제 5 배선은 상기 제 3 트랜지스터의 상기 게이트, 상기 제 5 트랜지스터의 상기 게이트, 및 상기 제 7 트랜지스터의 상기 게이트에 접속되는, 반도체 장치.

청구항 5

제 4 항에 있어서,

상기 제 1 트랜지스터의 상기 게이트와 상기 제 3 배선 사이에 접속된 저항 소자를 더 포함하는, 반도체 장치.

청구항 6

제 4 항에 있어서,

상기 제 5 트랜지스터의 상기 제 1 단자와 상기 제 3 배선 사이에 접속된 용량 소자를 더 포함하는, 반도체 장치.

청구항 7

제 4 항에 있어서,

상기 제 3 배선은 저 전원 전위가 공급되고,

상기 제 4 배선은 제 1 고 전원 전위가 공급되고,

상기 제 5 배선은 제 2 고 전원 전위가 공급되는, 반도체 장치.

청구항 8

제 1 항 또는 제 4 항에 있어서,

상기 제 1 내지 제 8 트랜지스터 중 어느 하나는 산화물 반도체층 안에 형성된 채널 영역을 포함하는, 반도체 장치.

청구항 9

제 1 항 또는 제 4 항에 있어서,

상기 반도체 장치는 사이리스터(thyristor)의 기능을 실현할 수 있는, 반도체 장치.

청구항 10

제 1 항 또는 제 4 항에 있어서,

상기 반도체 장치는 전력 조정 장치인, 반도체 장치.

청구항 11

반도체 장치에 있어서,

제 1 내지 제 9 절연 게이트형 트랜지스터들과;

용량 소자와;

제 1 고 전원 전위가 공급되는 제 1 배선과;

제 2 고 전원 전위가 공급되는 제 2 배선과;

제 1 저 전원 전위가 공급되는 제 3 배선과;

제 2 저 전원 전위가 공급되는 제 4 배선을 포함하며,

상기 제 1 절연 게이트형 트랜지스터의 게이트는 입력 단자에 전기적으로 접속되고, 상기 제 1 절연 게이트형 트랜지스터의 제 1 단자는 상기 제 3 배선에 전기적으로 접속되고, 상기 제 1 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 2 절연 게이트형 트랜지스터의 제 1 단자에 전기적으로 접속되고,

상기 제 2 절연 게이트형 트랜지스터의 게이트는 상기 제 7 절연 게이트형 트랜지스터의 제 1 단자 및 상기 제 8 절연 게이트형 트랜지스터의 제 1 단자에 전기적으로 접속되고, 상기 제 2 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 절연 게이트형 트랜지스터의 제 1 단자, 상기 제 4 절연 게이트형 트랜지스터의 제 1 단자, 및 상기 제 6 절연 게이트형 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 3 절연 게이트형 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속되고, 상기 제 3 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 4 절연 게이트형 트랜지스터의 게이트는 상기 제 5 절연 게이트형 트랜지스터의 제 1 단자, 상기 제 6 절연 게이트형 트랜지스터의 제 1 단자, 상기 용량 소자의 제 1 전극, 상기 제 8 절연 게이트형 트랜지스터의 게이트, 및 상기 제 9 절연 게이트형 트랜지스터의 게이트에 전기적으로 접속되고, 상기 제 4 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 배선에 전기적으로 접속되고,

상기 제 5 절연 게이트형 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속되고, 상기 제 5 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 6 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 배선에 전기적으로 접속되고,

상기 제 7 절연 게이트형 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속되고, 상기 제 7 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 8 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 배선에 전기적으로 접속되고,

상기 제 9 절연 게이트형 트랜지스터의 제 1 단자는 출력 단자에 전기적으로 접속되고, 상기 제 9 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 4 배선에 전기적으로 접속되고,

상기 용량 소자의 제 2 전극은 상기 제 3 배선에 전기적으로 접속되는, 반도체 장치.

청구항 12

반도체 장치에 있어서,

제 1 내지 제 9 절연 게이트형 트랜지스터들과;

용량 소자와;

제 1 고 전원 전위가 공급되는 제 1 배선과;

제 2 고 전원 전위가 공급되는 제 2 배선과;

제 1 저 전원 전위가 공급되는 제 3 배선과;

제 2 저 전원 전위가 공급되는 제 4 배선을 포함하고,

상기 제 1 절연 게이트형 트랜지스터의 게이트는 입력 단자에 전기적으로 접속되고, 상기 제 1 절연 게이트형 트랜지스터의 제 1 단자는 상기 제 3 배선에 전기적으로 접속되고, 상기 제 1 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 2 절연 게이트형 트랜지스터의 제 1 단자에 전기적으로 접속되고,

상기 제 2 절연 게이트형 트랜지스터의 게이트는 상기 제 7 절연 게이트형 트랜지스터의 제 1 단자 및 상기 제 8 절연 게이트형 트랜지스터의 제 1 단자에 전기적으로 접속되고, 상기 제 2 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 절연 게이트형 트랜지스터의 제 1 단자, 상기 제 4 절연 게이트형 트랜지스터의 제 1 단자, 및 상기 제 6 절연 게이트형 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 3 절연 게이트형 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속되고, 상기 제 3 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 4 절연 게이트형 트랜지스터의 게이트는 상기 제 5 절연 게이트형 트랜지스터의 제 1 단자, 상기 제 6 절연 게이트형 트랜지스터의 제 1 단자, 상기 용량 소자의 제 1 전극, 상기 제 8 절연 게이트형 트랜지스터의 게이트, 및 상기 제 9 절연 게이트형 트랜지스터의 게이트에 전기적으로 접속되고, 상기 제 4 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 배선에 전기적으로 접속되고,

상기 제 5 절연 게이트형 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속되고, 상기 제 5 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 6 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 배선에 전기적으로 접속되고,

상기 제 7 절연 게이트형 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속되고, 상기 제 7 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 8 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 배선에 전기적으로 접속되고,

상기 제 9 절연 게이트형 트랜지스터의 제 1 단자는 출력 단자에 전기적으로 접속되고, 상기 제 9 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 4 배선에 전기적으로 접속되고,

상기 용량 소자의 제 2 전극은 상기 제 3 배선에 전기적으로 접속되고,

상기 제 1 내지 제 9 절연 게이트형 트랜지스터들 각각은 산화물 반도체를 사용하여 형성된 반도체층을 갖는, 반도체 장치.

청구항 13

반도체 장치에 있어서,

제 1 내지 제 9 절연 게이트형 트랜지스터들과;

용량 소자와;

버퍼 회로와;

제 1 고 전원 전위가 공급되는 제 1 배선과;

제 2 고 전원 전위가 공급되는 제 2 배선과;

제 1 저 전원 전위가 공급되는 제 3 배선과;

제 2 저 전원 전위가 공급되는 제 4 배선을 포함하고,

상기 제 1 절연 게이트형 트랜지스터의 게이트는 입력 단자에 전기적으로 접속되고, 상기 제 1 절연 게이트형 트랜지스터의 제 1 단자는 상기 제 3 배선에 전기적으로 접속되고, 상기 제 1 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 2 절연 게이트형 트랜지스터의 제 1 단자에 전기적으로 접속되고,

상기 제 2 절연 게이트형 트랜지스터의 게이트는 상기 제 7 절연 게이트형 트랜지스터의 제 1 단자 및 상기 제 8 절연 게이트형 트랜지스터의 제 1 단자에 전기적으로 접속되고, 상기 제 2 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 절연 게이트형 트랜지스터의 제 1 단자, 상기 제 4 절연 게이트형 트랜지스터의 제 1 단자, 및 상기 제 6 절연 게이트형 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 3 절연 게이트형 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속되고, 상기 제 3 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 4 절연 게이트형 트랜지스터의 게이트는 상기 제 5 절연 게이트형 트랜지스터의 제 1 단자, 상기 제 6 절연 게이트형 트랜지스터의 제 1 단자, 상기 용량 소자의 제 1 전극, 상기 제 8 절연 게이트형 트랜지스터의 게이트, 및 상기 버퍼 회로를 통해 상기 제 9 절연 게이트형 트랜지스터의 게이트에 전기적으로 접속되고, 상기 제 4 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 배선에 전기적으로 접속되고,

상기 제 5 절연 게이트형 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속되고, 상기 제 5 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 6 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 배선에 전기적으로 접속되고,

상기 제 7 절연 게이트형 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속되고, 상기 제 7 절연 게이트

트형 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고,
 상기 제 8 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 배선에 전기적으로 접속되고,
 상기 제 9 절연 게이트형 트랜지스터의 제 1 단자는 출력 단자에 전기적으로 접속되고, 상기 제 9 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 4 배선에 전기적으로 접속되고,
 상기 용량 소자의 제 2 전극은 상기 제 3 배선에 전기적으로 접속되고,
 상기 제 1 내지 제 9 절연 게이트형 트랜지스터들 각각은 산화물 반도체를 사용하여 형성된 반도체층을 가지며,
 상기 제 4 절연 게이트형 트랜지스터의 상기 게이트, 상기 제 5 절연 게이트형 트랜지스터의 상기 제 1 단자, 상기 제 6 절연 게이트형 트랜지스터의 상기 제 1 단자, 상기 용량 소자의 상기 제 1 전극, 및 상기 제 8 절연 게이트형 트랜지스터의 상기 게이트가 전기적으로 접속되는 노드의 전위가 상기 버퍼 회로를 통해 상기 제 9 절연 게이트형 트랜지스터의 상기 게이트에 공급되는, 반도체 장치.

청구항 14

제 13 항에 있어서,
 상기 버퍼 회로는 제 10 내지 제 13 절연 게이트형 트랜지스터들을 포함하고,
 상기 제 10 절연 게이트형 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속되고, 상기 제 10 절연 게이트형 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속되고, 상기 제 10 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 11 절연 게이트형 트랜지스터의 제 1 단자 및 상기 제 13 절연 게이트형 트랜지스터의 게이트에 전기적으로 접속되고,
 상기 제 11 절연 게이트형 트랜지스터의 게이트는 상기 제 4 절연 게이트형 트랜지스터의 상기 게이트, 상기 제 5 절연 게이트형 트랜지스터의 상기 제 1 단자, 상기 제 6 절연 게이트형 트랜지스터의 상기 제 1 단자, 상기 용량 소자의 상기 제 1 전극, 및 상기 제 8 절연 게이트형 트랜지스터의 상기 게이트에 전기적으로 접속되고, 상기 제 11 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 배선에 전기적으로 접속되고,
 상기 제 12 절연 게이트형 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속되고, 상기 제 12 절연 게이트형 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속되고, 상기 제 12 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 13 절연 게이트형 트랜지스터의 제 1 단자 및 상기 제 9 절연 게이트형 트랜지스터의 상기 게이트에 전기적으로 접속되고,
 상기 제 13 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 배선에 전기적으로 접속되는, 반도체 장치.

청구항 15

제 13 항에 있어서,
 상기 버퍼 회로는 제 10 내지 제 13 절연 게이트형 트랜지스터들을 포함하고,
 상기 제 10 절연 게이트형 트랜지스터의 게이트는 상기 제 2 절연 게이트형 트랜지스터의 상기 게이트, 상기 제 7 절연 게이트형 트랜지스터의 상기 제 1 단자, 및 상기 제 8 절연 게이트형 트랜지스터의 상기 제 1 단자에 전기적으로 접속되고, 상기 제 10 절연 게이트형 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속되고, 상기 제 10 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 11 절연 게이트형 트랜지스터의 제 1 단자 및 상기 제 13 절연 게이트형 트랜지스터의 게이트에 전기적으로 접속되고,
 상기 제 11 절연 게이트형 트랜지스터의 게이트는 상기 제 4 절연 게이트형 트랜지스터의 상기 게이트, 상기 제 5 절연 게이트형 트랜지스터의 상기 제 1 단자, 상기 제 6 절연 게이트형 트랜지스터의 상기 제 1 단자, 상기 용량 소자의 상기 제 1 전극, 상기 제 8 절연 게이트형 트랜지스터의 상기 게이트, 및 상기 제 12 절연 게이트형 트랜지스터의 게이트에 전기적으로 접속되고, 상기 제 11 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 배선에 전기적으로 접속되고,
 상기 제 12 절연 게이트형 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속되고, 상기 제 12 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 13 절연 게이트형 트랜지스터의 제 1 단자 및 상기 제 9 절연 게이트형 트랜지스터의 상기 게이트에 전기적으로 접속되고,

상기 제 13 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 배선에 전기적으로 접속되는, 반도체 장치.

청구항 16

제 11 항 내지 제 13 항 중 어느 한 항에 있어서,

저항 소자를 더 포함하고,

상기 저항 소자의 제 1 단자는 상기 제 1 절연 게이트형 트랜지스터의 상기 게이트에 전기적으로 접속되고, 상기 저항 소자의 제 2 단자는 상기 제 3 배선에 전기적으로 접속되는, 반도체 장치.

청구항 17

제 12 항 또는 제 13 항에 있어서,

2차 이온 질량 분석법에 의해 검출된 상기 산화물 반도체에서의 수소 농도는 $1 \times 10^{16} / \text{cm}^3$ 이하인, 반도체 장치.

청구항 18

제 12 항 또는 제 13 항에 있어서,

상기 산화물 반도체의 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만인, 반도체 장치.

청구항 19

제 11 항 내지 제 13 항 중 어느 한 항에 있어서,

상기 제 1 고 전원 전위 및 상기 제 2 고 전원 전위는 동일한 전위인, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치 및 상기 반도체 장치를 구동하기 위한 방법에 관한 것이다.

배경 기술

[0002] 본 명세서 등에서, 용어 "반도체 장치"는 반도체 특성들을 이용함으로써 동작할 수 있는 모든 장치들을 의미한다. 예를 들면, 표시 장치 및 집적 회로는 상기 반도체 장치의 카테고리에 포함된다.

[0003] 파워 디바이스로서 알려져 있는 사이리스터(thyristor)는 단결정 실리콘 기판에 형성되며, 전류와 같은 트리거 신호를 갖고 도통 상태로 유지된다(예로서, 특허 문서 1을 참조).

[0004] 사이리스터는 p-형 반도체층들 및 n-형 반도체층들이 교대로 배치되는 pnpn 층을 포함한다. 사이리스터의 등가 회로가 npn 바이폴라 트랜지스터(이후, npn형 트랜지스터로서 불리우는) 및 pnp 바이폴라 트랜지스터(이후, pnp형 트랜지스터로서 불리우는)로 구성된다. 도 12가 특정 회로 구성을 도시한다.

[0005] 도 12는 npn형 트랜지스터(1101) 및 pnp형 트랜지스터(1102)를 포함하는 사이리스터(1100)를 도시한다. 상기 사이리스터(1100)에서, 상기 npn형 트랜지스터(1101)의 이미터 단자는 고 전원 전위(VDD)가 공급되는 배선(1103)에 접속되고; 상기 npn형 트랜지스터(1101)의 콜렉터 단자는 상기 pnp형 트랜지스터(1102)의 베이스 단자 및 트리거 신호가 공급되는 입력 단자(IN)에 접속되고; 상기 npn형 트랜지스터(1101)의 베이스 단자는 상기 pnp형 트랜지스터(1102)의 콜렉터 단자에 접속되며, 상기 pnp형 트랜지스터(1102)의 이미터 단자는 저 전원 전위(VSS)가 공급되는 배선(1104)에 접속된다.

[0006] 도 12에서 상기 사이리스터의 동작은 간단하게 기술될 것이다. 트리거 신호가 L 신호(또한 저-레벨 신호 또는 저 전원 신호로서 불리우는)일 때, 전기적 연속성은 상기 pnp형 트랜지스터(1102)의 상기 콜렉터 단자 및 상기 이미터 단자 사이에서 확립되지 않으며(즉, 상기 pnp형 트랜지스터(1102)는 오프 상태가 된다), 상기 pnp형 트랜지스터(1102)의 상기 콜렉터 단자를 통해 흐르는 전류(이후, 콜렉터 전류로서 불리우는)는 거의 검출되지 않는다. 따라서, 상기 pnp형 트랜지스터(1101)의 상기 베이스 단자를 통해 흐르는 전류(이후 베이스 전류로서 불

리우는)는 거의 검출되지 않으며, 따라서 상기 npn형 트랜지스터(1101)가 또한 오프 상태가 되고 상기 배선(1103) 및 상기 배선(1104) 사이에 전류가 거의 흐르지 않는다. 트리거 신호가 H 신호(또한 고-레벨 신호 또는 고 전위 신호로서 불리우는)일 때, 전기적 연속성은 상기 pnp형 트랜지스터(1102)의 상기 콜렉터 단자 및 상기 이미터 단자 사이에 확립되며(즉, 상기 pnp형 트랜지스터(1102)는 온 상태가 된다), 콜렉터 전류가 상기 pnp형 트랜지스터(1102)의 상기 콜렉터 단자에서 검출된다. 따라서, 상기 npn형 트랜지스터(1101)의 베이스 전류가 흐르며, 상기 npn형 트랜지스터(1101)는 도통 상태가 된다. 상기 npn형 트랜지스터(1101)가 도통 상태가 될 때, 상기 npn형 트랜지스터(1101)의 콜렉터 전류가 검출되며, 상기 npn형 트랜지스터(1102)는 도통 상태로 유지된다. 상기 사이리스터(1100)는 상기 npn형 트랜지스터(1101)의 상기 콜렉터 전류에 상기 pnp형 트랜지스터(1102)의 상기 콜렉터 전류를 가산함으로써 획득된 큰 전류가 상기 배선(1103) 및 상기 배선(1104) 사이에서 흐르는 특징을 갖는다.

[0007] [참조]

[0008] 특허 문서 1: 일본 공개 특허 출원 번호 제H11-354774호

발명의 내용

해결하려는 과제

[0009] 도 12에 도시된 상기 사이리스터는 단결정 반도체 기관에서의 pn 접합들의 결합으로 형성된다. 그러한 이유로, 상기 사이리스터가 절연 게이트형 트랜지스터(또한 절연 게이트 전계 효과 트랜지스터(IGFET) 또는 금속 절연체 반도체 전계 효과 트랜지스터(MISFET)로 불리우는)를 형성하기 위한 프로세스와 결합하여 형성되고, 상기 프로세스는 복잡해진다. 게다가, 사이리스터가 반도체층으로서 실리콘 막을 포함하는 절연 게이트형 트랜지스터인 박막 트랜지스터를 사용하여 형성될 때, 내전압과 같은 문제가 발생하여, 원하는 기능을 획득할 수 없다.

[0010] 상기를 고려하여, 본 발명의 일 실시예의 목적은 상기 프로세스의 복잡화 없이 사이리스터의 기능을 실현할 수 있는 반도체 장치를 제공하는 것이다.

과제의 해결 수단

[0011] 본 발명의 일 실시예는 제 1 내지 제 9 절연 게이트형 트랜지스터들; 용량 소자(capacitor); 제 1 고 전위 전위가 공급되는 제 1 배선; 제 2 고 전위 전위가 공급되는 제 2 배선; 및 저 전위 전위가 공급되는 제 3 배선을 포함하는 반도체 장치이다. 상기 제 1 절연 게이트형 트랜지스터의 게이트는 입력 단자에 전기적으로 접속된다. 상기 제 1 절연 게이트형 트랜지스터의 제 1 단자는 상기 제 3 배선에 전기적으로 접속된다. 상기 제 1 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 2 절연 게이트형 트랜지스터의 제 1 단자에 전기적으로 접속된다. 상기 제 2 절연 게이트형 트랜지스터의 게이트는 상기 제 7 절연 게이트형 트랜지스터의 제 1 단자 및 상기 제 8 절연 게이트형 트랜지스터의 제 1 단자에 전기적으로 접속된다. 상기 제 2 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 절연 게이트형 트랜지스터의 제 1 단자, 상기 제 4 절연 게이트형 트랜지스터의 제 1 단자, 및 상기 제 6 절연 게이트형 트랜지스터의 게이트에 전기적으로 접속된다. 상기 제 3 절연 게이트형 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속된다. 상기 제 3 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속된다. 상기 제 4 절연 게이트형 트랜지스터의 게이트는 상기 제 5 절연 게이트형 트랜지스터의 제 1 단자, 상기 제 6 절연 게이트형 트랜지스터의 제 1 단자, 상기 용량 소자의 제 1 전극, 상기 제 8 절연 게이트형 트랜지스터의 게이트, 및 상기 제 9 절연 게이트형 트랜지스터의 게이트에 전기적으로 접속된다. 상기 제 4 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 배선에 전기적으로 접속된다. 상기 제 5 절연 게이트형 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속된다. 상기 제 5 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속된다. 상기 제 6 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 배선에 전기적으로 접속된다. 상기 제 7 절연 게이트형 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속된다. 상기 제 7 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속된다. 상기 제 8 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 배선에 전기적으로 접속된다. 상기 제 9 절연 게이트형 트랜지스터의 제 1 단자는 출력 단자에 전기적으로 접속된다. 상기 제 9 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 배선에 전기적으로 접속된다. 상기 용량 소자의 제 2 전극은 상기 제 3 배선에 전기적으로 접속된다.

[0012] 본 발명의 일 실시예에 따른 상기 반도체 장치에서, 상기 제 1 내지 제 9 절연 게이트형 트랜지스터들은 각각 산화물 반도체를 사용하여 형성된 반도체층을 포함할 수 있다.

- [0013] 본 발명의 일 실시예에 따르면, 상기 반도체 장치는 저항 소자를 포함할 수 있다. 상기 저항 소자의 제 1 단자는 상기 제 1 절연 게이트형 트랜지스터의 상기 게이트에 전기적으로 접속될 수 있다. 상기 저항 소자의 제 2 단자는 상기 제 3 배선에 전기적으로 접속될 수 있다.
- [0014] 본 발명의 일 실시예에 따른 상기 반도체 장치에서, 2차 이온 질량 분석법(secondary ion mass spectrometry)에 의해 검출된 상기 산화물 반도체에서의 수소의 농도는 $1 \times 10^{16} / \text{cm}^3$ 이하일 수 있다.
- [0015] 본 발명의 일 실시예에 따른 상기 반도체 장치에서, 상기 산화물 반도체의 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 보다 작을 수 있다.
- [0016] 본 발명의 일 실시예에 따르면, 상기 반도체 장치는 버퍼 회로를 포함할 수 있다. 상기 제 4 절연 게이트형 트랜지스터의 상기 게이트, 상기 제 5 절연 게이트형 트랜지스터의 상기 제 1 단자, 상기 제 6 절연 게이트형 트랜지스터의 상기 제 1 단자, 상기 용량 소자의 상기 제 1 전극, 및 상기 제 8 절연 게이트형 트랜지스터의 상기 게이트가 전기적으로 접속되는 노드의 전위는 상기 버퍼 회로를 통해 상기 제 9 절연 게이트형 트랜지스터의 상기 게이트에 공급될 수 있다.
- [0017] 본 발명의 일 실시예에 따른 상기 반도체 장치에서, 상기 버퍼 회로는 제 10 내지 제 13 절연 게이트형 트랜지스터들을 포함할 수 있다. 상기 제 10 절연 게이트형 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속될 수 있다. 상기 제 10 절연 게이트형 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속될 수 있다. 상기 제 10 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 11 절연 게이트형 트랜지스터의 제 1 단자 및 상기 제 13 절연 게이트형 트랜지스터의 게이트에 전기적으로 접속될 수 있다. 상기 제 11 절연 게이트형 트랜지스터의 게이트는 상기 제 4 절연 게이트형 트랜지스터의 상기 게이트, 상기 제 5 절연 게이트형 트랜지스터의 상기 제 1 단자, 상기 제 6 절연 게이트형 트랜지스터의 상기 제 1 단자, 상기 용량 소자의 상기 제 1 단자, 및 상기 제 8 절연 게이트형 트랜지스터의 상기 게이트에 전기적으로 접속될 수 있다. 상기 제 11 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 배선에 전기적으로 접속될 수 있다. 상기 제 12 절연 게이트형 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속될 수 있다. 상기 제 12 절연 게이트형 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속될 수 있다. 상기 제 12 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 13 절연 게이트형 트랜지스터의 제 1 단자 및 상기 제 9 절연 게이트형 트랜지스터의 상기 게이트에 전기적으로 접속될 수 있다. 상기 제 13 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 배선에 전기적으로 접속될 수 있다.
- [0018] 본 발명의 일 실시예에 따른 상기 반도체 장치에 있어서, 상기 버퍼 회로는 제 10 내지 제 13 절연 게이트형 트랜지스터들을 포함할 수 있다. 상기 제 10 절연 게이트형 트랜지스터의 게이트는 상기 제 2 절연 게이트형 트랜지스터의 상기 게이트, 상기 제 7 절연 게이트형 트랜지스터의 상기 제 1 단자, 및 상기 제 8 절연 게이트형 트랜지스터의 상기 제 1 단자에 전기적으로 접속될 수 있다. 상기 제 10 절연 게이트형 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속될 수 있다. 상기 제 10 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 11 절연 게이트형 트랜지스터의 제 1 단자 및 상기 제 13 절연 게이트형 트랜지스터의 게이트에 전기적으로 접속될 수 있다. 상기 제 11 절연 게이트형 트랜지스터의 게이트는 상기 제 4 절연 게이트형 트랜지스터의 상기 게이트, 상기 제 5 절연 게이트형 트랜지스터의 상기 제 1 단자, 상기 제 6 절연 게이트형 트랜지스터의 상기 제 1 단자, 상기 용량 소자의 상기 제 1 전극, 상기 제 8 절연 게이트형 트랜지스터의 상기 게이트, 및 상기 제 12 절연 게이트형 트랜지스터의 게이트에 전기적으로 접속될 수 있다. 상기 제 11 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 배선에 전기적으로 접속될 수 있다. 상기 제 12 절연 게이트형 트랜지스터의 제 1 단자는 상기 제 2 배선에 전기적으로 접속될 수 있다. 상기 제 12 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 13 절연 게이트형 트랜지스터의 제 1 단자 및 상기 제 9 절연 게이트형 트랜지스터의 상기 게이트에 전기적으로 접속될 수 있다. 상기 제 13 절연 게이트형 트랜지스터의 제 2 단자는 상기 제 3 배선에 전기적으로 접속될 수 있다.
- [0019] 본 발명의 일 실시예에 따른 상기 반도체 장치에 있어서, 상기 제 1 고 전원 전위 및 상기 제 2 고 전원 전위는 동일할 수 있다.

발명의 효과

- [0020] 본 발명의 일 실시예에 따르면, 높은 내전압을 갖고 프로세스의 복잡화 없이 사이리스터의 기능을 실현할 수 있는 반도체 장치를 제공하는 것이 가능하다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 일 실시예에 따른 반도체 장치를 설명하는 도면.
- 도 2a 및 도 2b는 각각 본 발명의 일 실시예에 따른 반도체 장치를 설명하는 도면.
- 도 3a 내지 도 3c는 본 발명의 일 실시예에 따른 반도체 장치를 설명하는 도면.
- 도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 반도체 장치를 설명하는 도면.
- 도 5a 및 도 5b는 각각 본 발명의 일 실시예에 따른 반도체 장치를 설명하는 도면.
- 도 6a 및 도 6b는 본 발명의 일 실시예에 따른 반도체 장치를 설명하는 도면.
- 도 7은 본 발명의 일 실시예에 따른 반도체 장치를 설명하는 도면.
- 도 8a 및 도 8b는 본 발명의 일 실시예에 따른 반도체 장치를 설명하는 도면.
- 도 9a 및 도 9b는 본 발명의 일 실시예에 따른 반도체 장치를 설명하는 도면.
- 도 10은 본 발명의 일 실시예에 따른 반도체 장치를 설명하는 도면.
- 도 11a 내지 도 11c는 각각 반도체 장치의 응용예를 설명하는 도면.
- 도 12는 사이리스터를 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0022] 본 발명의 실시예들은 첨부한 도면들을 참조하여 이하에 설명될 것이다. 본 발명은 많은 상이한 모드들로 실시될 수 있으며, 이 기술분야의 숙련자들에 의해 본 발명의 모드들 및 상세들은 본 발명의 사상 및 범위로부터 벗어나지 않고 다양한 방식들로 변경될 수 있다는 것이 이해될 수 있음을 주의하자. 그러므로, 본 발명은 이하의 실시예들에 대한 설명에 제한되는 것으로서 해석되지 않는다. 본 발명의 다음 설명에서, 동일한 부분들을 나타내는 참조 부호들은 상이한 도면들에서 공통적으로 사용됨을 주의하자.
- [0023] 실시예들에서 도면들 등에 예시된 각 구성의 크기, 층의 두께, 또는 영역은 몇몇 경우들에서 단순함을 위해 과장된다는 것을 주의하자. 그러므로, 본 발명의 실시예들은 이러한 스케일들에 한정되지 않는다.
- [0024] 본 명세서에 이용된 제 1, 제 2, 제 3 내지 제 N(N은 자연수이다)과 같은 용어들은 구성요소들 간의 혼동을 회피하기 위해 사용되며 숫자에 대한 제한을 설정하지 않는다는 것을 주의하자.
- [0025] (실시예 1)
- [0026] 이 실시예에서, 반도체 장치의 회로 구성은 먼저 도 1, 도 2a와 도 2b, 도 3a 내지 도 3c, 및 도 4a 내지 도 4c를 참조하여 기술될 것이며, 그 후 반도체 장치의 동작이 기술될 것이다.
- [0027] 도 1에서, 이 실시예에서 도시되고 사이리스터의 것과 동등한 기능을 갖는 반도체 장치는 제 1 절연 게이트형 트랜지스터(101), 제 2 절연 게이트형 트랜지스터(102), 제 3 절연 게이트형 트랜지스터(103), 제 4 절연 게이트형 트랜지스터(104), 제 5 절연 게이트형 트랜지스터(105), 제 6 절연 게이트형 트랜지스터(106), 제 7 절연 게이트형 트랜지스터(107), 제 8 절연 게이트형 트랜지스터(108), 제 9 절연 게이트형 트랜지스터(109), 용량 소자(110), 및 저항 소자(111)를 포함한다. 상기 반도체 장치에 포함된 상기 소자들의 각각은 입력 단자(IN)에 공급된 트리거 신호, 제 1 배선(112)에 공급된 제 1 고 전원 전위(VGG), 제 2 배선(113)에 공급된 제 2 고 전원 전위(VDD), 및 제 3 배선(114)에 공급된 저 전원 전위(VSS)(또한 제 1 저 전원 전위로서 불리우는)를 갖고, 상기 제 9 절연 게이트형 트랜지스터(109)의 제 1 단자 및 제 2 단자 사이에 흐르는 전류를 제어한다. 상기 반도체 장치에 포함된 상기 제 1 내지 제 9 절연 게이트형 트랜지스터들은 n-채널 절연 게이트형 트랜지스터들인 것을 주의하자.
- [0028] 상기 제 1 절연 게이트형 트랜지스터(101)의 게이트는 상기 입력 단자(IN)에 접속된다. 상기 제 1 절연 게이트형 트랜지스터(101)의 제 1 단자는 상기 제 3 배선(114)에 접속된다. 상기 제 1 절연 게이트형 트랜지스터(101)의 제 2 단자는 상기 제 2 절연 게이트형 트랜지스터(102)의 제 1 단자에 접속된다. 상기 제 2 절연 게이트형 트랜지스터(102)의 게이트는 상기 제 7 절연 게이트형 트랜지스터(107)의 제 1 단자 및 상기 제 8 절연 게이트형 트랜지스터(108)의 제 1 단자에 접속된다. 상기 제 2 절연 게이트형 트랜지스터(102)의 제 2 단자는 상기 제

3 절연 게이트형 트랜지스터(103)의 제 1 단자, 상기 제 4 절연 게이트형 트랜지스터(104)의 제 1 단자, 및 상기 제 6 절연 게이트형 트랜지스터(106)의 게이트에 접속된다. 상기 제 3 절연 게이트형 트랜지스터(103)의 게이트는 상기 제 1 배선(112)에 접속된다. 상기 제 3 절연 게이트형 트랜지스터(103)의 제 2 단자는 상기 제 2 배선(113)에 접속된다. 상기 제 4 절연 게이트형 트랜지스터(104)의 게이트는 상기 제 5 절연 게이트형 트랜지스터(105)의 제 1 단자, 상기 제 6 절연 게이트형 트랜지스터(106)의 제 1 단자, 상기 용량 소자(110)의 제 1 전극, 상기 제 8 절연 게이트형 트랜지스터(108)의 게이트, 및 상기 제 9 절연 게이트형 트랜지스터(109)의 게이트에 접속된다. 상기 제 4 절연 게이트형 트랜지스터(104)의 제 2 단자는 상기 제 3 배선(114)에 접속된다. 상기 제 5 절연 게이트형 트랜지스터(105)의 게이트는 상기 제 1 배선(112)에 접속된다. 상기 제 5 절연 게이트형 트랜지스터(105)의 제 2 단자는 상기 제 2 배선(113)에 접속된다. 상기 제 6 절연 게이트형 트랜지스터(106)의 제 2 단자는 상기 제 3 배선(114)에 접속된다. 상기 제 7 절연 게이트형 트랜지스터(107)의 게이트는 상기 제 1 배선(112)에 접속된다. 상기 제 7 절연 게이트형 트랜지스터(107)의 제 2 단자는 상기 제 2 배선(113)에 접속된다. 상기 제 8 절연 게이트형 트랜지스터(108)의 제 2 단자는 상기 제 3 배선(114)에 접속된다. 상기 제 9 절연 게이트형 트랜지스터(109)의 상기 제 1 단자는 출력 단자(OUT)에 접속된다. 상기 제 9 절연 게이트형 트랜지스터(109)의 제 2 단자는 제 2 저 전원 전위(VSS2)가 공급되는 단자에 접속된다. 상기 용량 소자(110)의 제 2 전극은 상기 제 3 배선(114)에 접속된다.

[0029] 인버터 회로들은 상기 제 3 절연 게이트형 트랜지스터(103)와 상기 제 4 절연 게이트형 트랜지스터(104)에 의해, 및 상기 제 5 절연 게이트형 트랜지스터(105)와 상기 제 6 절연 게이트형 트랜지스터(106)에 의해 구성된다. 정적 메모리 회로(115)는 상기 인버터 회로들의 조합에 의해 구성된다. 게다가, 인버터 회로(116)는 상기 제 7 절연 게이트형 트랜지스터(107) 및 상기 제 8 절연 게이트형 트랜지스터(108)에 의해 구성된다. 그러므로, 상기 인버터 회로들에 포함된 상기 제 3 절연 게이트형 트랜지스터(103), 상기 제 5 절연 게이트형 트랜지스터(105), 및 상기 제 7 절연 게이트형 트랜지스터(107) 각각은 전류가 상기 제 2 배선(113)(또한 정전류를 공급하기 위한 정전류원으로서 불리우는)으로부터 흐르는 저항 소자로서 기능한다. 상기 제 9 절연 게이트형 트랜지스터(109)의 상기 제 2 단자에 공급된 상기 제 2 저 전원 전위(VSS2)는 상기 제 2 고 전원 전위(VDD)에 기초한 전위가 상기 제 9 절연 게이트형 트랜지스터(109)의 상기 게이트에 공급될 때 상기 제 9 절연 게이트형 트랜지스터(109)를 도통시키는 전위를 가진다. 상기 제 2 저 전원 전위(VSS2)는 상기 저 전원 전위(VSS)일 수 있다. 달리 말하면, 도 1에 예시된 상기 반도체 장치는 도 2a에 도시된 바와 같이, 상기 제 1 고 전원 전위(VGG)가 공급되는 상기 제 1 배선(112)이 생략되고 및/또는 상기 제 2 저 전원 전위(VSS2)가 공급되는 상기 단자가 상기 제 1 저 전원 전위(VSS)가 공급되는 상기 제 3 배선(114)에 접속되는 구조를 가질 수 있다.

[0030] 도 2b에 도시된 바와 같이, 부하(117)는 상기 제 9 절연 게이트형 트랜지스터(109)의 상기 제 1 단자에 접속된 상기 출력 단자(OUT)에 접속될 수 있다. 전기 연속성이 상기 제 9 절연 게이트형 트랜지스터(109)의 상기 제 1 단자와 상기 제 2 단자 사이에서 확립될 때 전류가 상기 부하를 통해 흐른다.

[0031] 또한, 상기 저항 소자(111)는 상기 입력 단자(IN)와 상기 제 3 배선(114) 사이에 제공된다. 상기 저항 소자(111)의 제 1 단자는 상기 입력 단자(IN)에 접속되고, 상기 저항 소자(111)의 제 2 단자는 상기 제 3 배선(114)에 접속된다. 상기 저항 소자(111)의 배치는 상기 제 1 절연 게이트형 트랜지스터(101)가 상기 트리거 신호가 아닌 신호(예로서, 노이즈)가 상기 입력 단자(IN)에 입력될 때 오동작하는 것으로부터 방지할 수 있다. 상기 저항 소자(111)는 반도체층이 미앤더 형상(서펜틴 방식(serpentine manner))이도록 함으로써 형성될 수 있다.

[0032] 용량 소자(110)는 제 3 절연 게이트형 트랜지스터(103)의 제 1 단자측의 노드의 용량치(capacitance)가 상기 제 5 절연 게이트형 트랜지스터(105)의 상기 제 1 단자 측의 노드의 용량치와 상이하도록 제공된다. 용량 소자(110)는 절연층이 도전체들 사이에 끼워지는 구조를 가진다. 더욱이, 바람직하게는, 제 3 절연 게이트형 트랜지스터(103) 및 제 5 절연 게이트형 트랜지스터(105)는 동일한 크기를 가진다.

[0033] 산화물 반도체는 상기 반도체 장치에 포함된 상기 절연 게이트형 트랜지스터들의 각각에서의 반도체층을 위해 사용된다는 것을 주의하자. 상기 절연 게이트형 트랜지스터의 상기 반도체층을 위한 상기 산화물 반도체의 사용에 의해, 상기 전계-효과 이동도는 비정질 실리콘과 같은 실리콘계 반도체 재료가 사용되는 경우의 것보다 높아질 수 있다. 단결정 반도체 기판에서의 pn 접합들의 조합으로 형성된 사이리스터와 달리, 산화물 반도체가 상기 반도체층을 위해 사용되는 상기 절연 게이트형 트랜지스터는 기판 위에 재료들을 적층함으로써 형성된다. 이러한 이유로, 기판 등의 크기에 대한 제한들이 느슨해지며 프로세스의 복잡성은 상기 반도체 장치를 형성할 때 저감된다. 상기 산화물 반도체의 예들은 산화 아연(ZnO) 및 산화 주석(SnO₂)임을 주의하자. 게다가, In, Ga 등이 ZnO에 부가될 수 있다.

- [0034] 다음으로, 이 실시예의 구조에서 각각의 절연 게이트형 트랜지스터에서의 반도체층으로서 사용된 산화물 반도체층이 기술될 것이다.
- [0035] 이 실시예에서 사용된 상기 산화물 반도체에 포함된 수소 또는 OH 그룹은 상기 산화물 반도체에서의 수소의 농도가 $1 \times 10^{16} / \text{cm}^3$ 이하이도록 상기 산화물 반도체로부터 제거된다. 채널 영역이 $5 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{11} / \text{cm}^3$ 이하의 캐리어 농도를 가진 산화물 반도체층을 사용하여 형성되는 상기 절연 게이트형 트랜지스터가 형성된다. 상기 산화물 반도체층에서의 상기 수소 농도는 2차 이온 질량 분석법(SIMS)에 의해 측정된다는 것을 주의하자.
- [0036] 에너지 갭은 2 eV 이상, 바람직하게는 2.5 eV 이상, 더욱 바람직하게는 3 eV 이상이다. 상기 캐리어 농도는 수소와 같이 도너들이 될 불순물들을 가능한 한 많이 저감시킴으로써 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{11} / \text{cm}^3$ 이하로 설정된다. 즉, 상기 산화물 반도체층의 상기 캐리어 농도는 가능한 제로에 가깝도록 만들어진다.
- [0037] 그 안에 포함된 수소에서의 급격한 감소에 의해 고순도화된 산화물 반도체층이 채널 형성 영역을 위해 사용되는 절연 게이트형 트랜지스터는 1×10^{16} A 이하의 오프-상태 전류를 가질 수 있다. 달리 말하면, 상기 회로는 상기 절연 게이트형 트랜지스터가 비도통 상태일 때 절연체로서 고려될 수 있는 상기 산화물 반도체층을 갖고 설계될 수 있다. 게다가, 상기 절연 게이트형 트랜지스터가 도통 상태가 될 때, 상기 산화물 반도체층의 전류 공급 능력은 비정질 실리콘으로 형성된 반도체층의 것보다 더 높은 것으로 예상된다.
- [0038] 이 명세서에서의 상기 오프-상태 전류는 소스와 드레인 사이, 즉, 절연 게이트형 트랜지스터가 비도통 상태일 때(즉, 상기 절연 게이트형 트랜지스터가 오프 상태인) 상기 절연 게이트형 트랜지스터의 제 1 단자 및 제 2 단자 사이에 흐르는 전류를 나타낸다는 것을 주의하자. n-채널 절연 게이트형 트랜지스터의 경우에, 상기 오프-상태 전류는 게이트와 소스 사이에 인가된 전압이 임계 전압(V_{th}) 이하일 때 상기 소스 및 드레인 사이에 흐르는 전류를 나타낸다.
- [0039] 상기 산화물 반도체 막으로서, 예를 들면, 다음의 산화물 반도체 막들이 사용될 수 있다는 것을 주의하자: In-Sn-Ga-Zn-O 막과 같은 4원계 금속 산화물 막; In-Ga-Zn-O 막, In-Sn-Zn-O 막, In-Al-Zn-O 막, Sn-Ga-Zn-O 막, Al-Ga-Zn-O 막, 또는 Sn-Al-Zn-O 막과 같은 3원계 금속 산화물 막; In-Zn-O 막, Sn-Zn-O 막, Al-Zn-O 막, Zn-Mg-O 막, Sn-Mg-O 막, 또는 In-Mg-O 막과 같은 2원계 금속 산화물 막; In-O 막, Sn-O 막, 또는 Zn-O 막. 또한, 상기 산화물 반도체 막은 SiO_2 를 포함할 수 있다.
- [0040] 상기 산화물 반도체 막으로서, $\text{InMO}_3(\text{ZnO})_m(m>0)$ 으로 표현된 박막이 사용될 수 있다. 여기에서, M은 Ga, Al, Mn, 및 Co로부터 선택된 하나 이상의 금속 원소들을 나타낸다. 예를 들면, M은 Ga, Ga와 Al, Ga와 Mn, Ga와 Co 등일 수 있다. 조성식이 $\text{InMO}_3(\text{ZnO})_m(m>0)$, 여기에서 적어도 Ga가 M으로서 포함됨)으로서 표현되는 산화물 반도체는 In-Ga-Zn-O 산화물 반도체로서 나타내어지며, 상기 In-Ga-Zn-O 산화물 반도체의 박막은 In-Ga-Zn-O 막으로서 나타내어진다.
- [0041] 제 1 고 전원 전위(VGG) 및 제 2 고 전원 전위(VDD)는 기준 전위보다 높은 전위를 갖는 신호들이며, 저 전원 전위(VSS) 및 제 2 저 전원 전위(VSS2)는 상기 기준 전위보다 이하의 전위를 갖는 신호들임을 주의하자. 상기 제 1 고 전원 전위(VGG), 상기 제 2 고 전원 전위(VDD), 상기 저 전원 전위(VSS), 및 상기 제 2 저 전원 전위(VSS2)는 이상적 절연 게이트형 트랜지스터(그것의 임계 전압이 0V이다)가 고 전원 전위가 게이트에 인가될 때 온 상태가 되고 상기 이상적 절연 게이트형 트랜지스터가 저 전원 전위가 상기 게이트에 인가될 때 오프 상태가 되도록 하는 것이 바람직하다.
- [0042] 전압은 많은 경우들에서 주어진 전위 및 기준 전위(예로서, 접지 전위) 사이의 전위 차를 나타낸다는 것을 주의하자. 그러므로, 전압, 전위, 및 전위차는 또한 전위 또는 전압으로서 불리울 수 있다.
- [0043] 절연 게이트형 트랜지스터는 특정 구조에 제한되지 않고 다양한 구조들을 가질 수 있다는 것을 주의하자. 예를 들면, 두 개 이상의 게이트 전극들을 가진 멀티-게이트 구조들이 사용될 수 있다.
- [0044] 게다가, 게이트 전극들이 채널 영역 위 및 아래에 제공되는 구조를 이용하는 것이 가능하다. 게이트 전극들이 채널 영역의 위 및 아래에 형성될 때, 복수의 절연 게이트형 트랜지스터들이 병렬로 접속되는 구조를 이용하는 것이 가능하다는 것을 주의하자.

- [0045] "A 및 B가 접속된다"가 명확히 기술될 때, A 및 B가 전기적으로 접속되는 경우, A와 B가 기능적으로 접속되는 경우, 및 A와 B가 직접 접속되는 경우가 포함된다. 여기서, A와 B의 각각은 오브젝트(예로서, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층)이다. 그러므로, 또 다른 소자는 미리 결정된 접속 관계, 예를 들면 도면들 및 문장들에 도시된 접속 관계에 대한 제한 없이 도면들 및 문장들에 도시된 접속 관계를 갖는 소자들 간에 제공될 수 있다.
- [0046] 다음으로, 도 1에 도시되고 사이리스터의 것과 동등한 기능을 가진 상기 반도체 장치의 동작이 도 3a 내지 도 3c 및 도 4a 내지 도 4c를 참조하여 기술될 것이다. 도 3a 내지 도 3c 및 도 4a 내지 도 4c의 설명에 있어서, 노드 A(도면에서는 A)는 상기 제 2 절연 게이트형 트랜지스터(102)의 상기 제 2 단자, 상기 제 3 절연 게이트형 트랜지스터(103)의 상기 제 1 단자, 상기 제 4 절연 게이트형 트랜지스터(104)의 상기 제 1 단자, 및 상기 제 6 절연 게이트형 트랜지스터(106)의 상기 게이트가 접속되는 노드를 나타낸다는 것을 주의하자. 또한, 도 3a 내지 도 3c 및 도 4a 내지 도 4c의 설명에 있어서, 노드 B(도면에서 B)는 상기 제 4 절연 게이트형 트랜지스터(104)의 상기 게이트, 상기 제 5 절연 게이트형 트랜지스터(105)의 상기 제 1 단자, 상기 제 6 절연 게이트형 트랜지스터(106)의 상기 제 1 단자, 상기 용량 소자(110)의 상기 제 1 전극, 상기 제 8 절연 게이트형 트랜지스터(108)의 상기 게이트, 및 상기 제 9 절연 게이트형 트랜지스터(109)의 상기 게이트가 접속되는 노드를 나타낸다.
- [0047] 상기 전원 전위들이, 상기 노드 A 및 상기 노드 B가 미리 결정된 전위로 설정되도록 상기 제 1 내지 제 3 배선들(112 내지 114)에 공급되는 동작이 먼저 설명될 것이다. 이러한 동작은 또한 리셋 동작(또는 제 1 동작)으로 불리운다는 것을 주의하자.
- [0048] 먼저, 상기 제 1 고 전원 전위(VSS), 상기 제 2 고 전원 전위(VDD), 및 상기 저 전원 전위(VSS)가 각각 상기 제 1 배선(112), 상기 제 2 배선(113), 및 상기 제 3 배선(114)에 공급되어, 상기 제 3 절연 게이트형 트랜지스터(103), 상기 제 5 절연 게이트형 트랜지스터(105), 및 상기 제 7 절연 게이트형 트랜지스터(107)(도 3a에서 점선으로 된 화살표들을 참조)를 통해 상기 제 2 배선(113)으로부터 전류가 흐르도록 한다. 그 후, 상기 노드 A의 상기 전위는 상기 제 3 절연 게이트형 트랜지스터(103)를 통해 흐르는 상기 전류에 의해 발생된다. 게다가, 상기 노드 B의 상기 전위는 상기 제 5 절연 게이트형 트랜지스터(105)를 통해 흐르는 상기 전류에 의해 발생된다. 더욱이, 상기 제 2 절연 게이트형 트랜지스터(102)의 상기 게이트의 전위는 상기 제 7 절연 게이트형 트랜지스터(107)를 통해 흐르는 전류에 의해 발생된다. 이러한 동작은 도 3c에서 제 1 기간(T1)에 대응한다는 것을 주의하자. 도 3c는 시간에 걸친 전위에서의 변화를 예시하며; 실선은 상기 노드 A의 전위를 나타내고, 점선은 상기 노드 B의 전위를 나타낸다.
- [0049] 도 3c에서, "H"는 상기 제 2 배선(113)에 공급된 상기 제 2 고 전원 전위(VDD)에 기초한 전위를 나타내고, "L"은 상기 제 3 배선(113)에 공급된 상기 저 전원 전위(VSS)에 기초한 전위를 나타낸다는 것을 주의하자.
- [0050] 도 3c에 도시된 바와 같이, 상기 제 1 기간(T1)에서의 전류의 흐름은 상기 제 3 절연 게이트형 트랜지스터(103)를 통해 흐르는 전류로 인한 상기 노드 A의 전위에서의 상승 기울기, 및 상기 제 5 절연 게이트형 트랜지스터(105)를 통해 흐르는 전류로 인한 상기 노드 B의 전위에서의 상승 기울기 간에 차이를 만든다. 상기 제 3 절연 게이트형 트랜지스터(103) 및 상기 제 5 절연 게이트형 트랜지스터(105)는 위에 설명된 바와 동일한 크기를 가질 때, 공급된 전류의 양은 동일하고, 상기 용량 소자(110)가 상기 노드 B에 접속되기 때문에 상기 노드 B의 전위에서의 상승 기울기는 상기 노드 A의 전위에서의 상승 기울기보다 완만하다.
- [0051] 또한, 상기 제 1 기간(T1)에서, 상기 제 2 절연 게이트형 트랜지스터(102)의 상기 게이트의 전위는 상기 제 7 절연 게이트형 트랜지스터(107)를 통해 흐르는 전류에 의해 발생되며, 상기 제 2 절연 게이트형 트랜지스터(102)는 도통 상태가 된다. 상기 제 1 절연 게이트형 트랜지스터(101)를 도통 상태가 되게 하기 위한 트리거 신호는 상기 입력 단자(IN)에 입력되지 않으며, 따라서 상기 제 1 절연 게이트형 트랜지스터(101)는 비도통 상태가 되도록 한다는 것을 주의한다. 게다가, 상기 제 1 기간(T1)에서, 상기 노드 A 및 상기 노드 B의 전위들이 발생되고, 상기 제 4, 제 6, 제 8, 및 제 9 절연 게이트형 트랜지스터들이 비도통 상태가 된다. 설명적인 목적들을 위해, X표(X)가 도 3a, 도 3b, 도 4a, 및 도 4b에서 비-도통 상태에 있는 상기 절연 게이트형 트랜지스터 상에 놓이게 한다.
- [0052] 다음으로, 상기 노드 A 및 상기 노드 B의 전위들은 상기 절연 게이트형 트랜지스터의 도통 상태 및 비-도통 상태가 변경되도록 발생하는 동작이 설명될 것이다. 이러한 동작은 또한 초기화 동작(또는 제 2 동작)으로 불리운다는 것을 주의하자.

- [0053] 상기 제 1 기간(T1)의 설명에서처럼, 차이는 상기 노드 A의 전위에서의 상승 기울기 및 상기 노드 B의 전위에서의 차이는 기울기 간에 발생하며, 그에 의해 상기 노드 A는 먼저 상기 전위 "H"로 설정된다. 따라서, 상기 제 6 절연 게이트형 트랜지스터(106)는 도통 상태가 되며, 상기 노드 B의 전위는 상기 전위 "L"로 낮아진다(도 3b에서의 점선으로 된 화살표들을 참조하자). 상기 노드 B가 상기 전위 "L"로 설정되기 때문에, 상기 제 4 절연 게이트형 트랜지스터(104), 상기 제 8 절연 게이트형 트랜지스터(108), 및 상기 제 9 절연 게이트형 트랜지스터(109)는 비-도통 상태로 유지된다. 이러한 동작은 도 3c에서의 제 2 기간(T2)에 대응한다는 것을 주의하자.
- [0054] 상기 제 2 기간(T2)에서의 상기 전류의 흐름은 상기 노드 A 및 상기 노드 B의 전위들을 제어하는 상기 제 4 절연 게이트형 트랜지스터(104) 및 상기 제 6 절연 게이트형 트랜지스터(106)의 도통 상태 또는 비-도통 상태를 결정한다. 상세하게는, 상기 전위("H")는 상기 노드 A에서 유지되며 상기 전위("L")는 상기 노드 B에 유지된다. 즉, 상기 전위들은 상기 제 1 고 전원 전위(VGG), 상기 제 2 고 전원 전위(VDD), 및 상기 저 전원 전위(VSS)가 각각 상기 제 1 배선(112), 상기 제 2 배선(113), 및 상기 제 3 배선(114)으로부터 공급되는 한, 상기 제 2 기간(T2)에서 유지된다. 따라서, 상기 제 9 절연 게이트형 트랜지스터(109)는 비-도통 상태로 유지된다. 산화물 반도체가 절연 게이트형 트랜지스터의 반도체층을 위해 사용되는 경우에, 상기 산화물 반도체층은 상기 절연 게이트형 트랜지스터가 비도통 상태일 때 절연체로서 고려될 수 있으며 상기 출력 단자(OUT)로부터 흐르는 전류는 작게 유지될 수 있다.
- [0055] 상기 제 1 기간(T1)에서처럼, 상기 제 2 기간(T2)에서, 상기 제 2 절연 게이트형 트랜지스터(102)의 상기 게이트의 전위는 상기 제 7 절연 게이트형 트랜지스터(107)를 통해 흐르는 전류에 의해 발생되며, 상기 제 2 절연 게이트형 트랜지스터(102)는 도통 상태가 된다. 상기 제 1 절연 게이트형 트랜지스터(101)를 도통 상태가 되게 하기 위한 트리거 신호는 상기 입력 단자(IN)에 입력되지 않으며, 따라서 상기 제 1 절연 게이트형 트랜지스터(101)는 비도통 상태가 된다는 것을 주의하자.
- [0056] 다음으로, 상기 절연 게이트형 트랜지스터의 도통 상태 및 비-도통 상태가 상기 입력 단자(IN)로부터의 트리거 신호의 입력시 상기 노드 A 및 상기 노드 B의 전위들에서의 변화를 갖고 변화되는 동작이 설명될 것이다. 이러한 동작은 또한 트리거 입력 동작(또는 제 3 동작)으로 불리운다는 것을 주의하자.
- [0057] 상기 트리거 신호는 상기 제 1 절연 게이트형 트랜지스터(101)를 도통 상태가 되게 하기 위한 펄스 신호임을 주의하자. 상세하게는, H 신호는 전류가 사이리스터로서 기능하는 상기 반도체 장치의 상기 출력 단자(OUT)로, 즉 상기 제 9 절연 게이트형 트랜지스터(109)로 흐르도록 상기 트리거 신호로서 입력된다. 일단 전류가 상기 반도체 장치의 출력 단자(OUT)로 흐른 후, 상기 출력 단자(OUT)는 심지어 상기 트리거 신호가 사이리스터에서처럼 L 신호로 스위칭될 때조차 계속해서 전류가 흐른다.
- [0058] 상기 제 2 기간(T2)의 설명에서처럼, 상기 전위("H")는 상기 노드 A에 유지되고 상기 전위("L")는 상기 초기화 동작에 의해 상기 노드 B에 유지된다. 상기 트리거 신호가 이 상태에서 상기 입력 단자(IN)로부터 입력될 때, 상기 제 1 절연 게이트형 트랜지스터(101) 및 상기 제 2 절연 게이트형 트랜지스터(102)는 도통 상태가 되며 전류는 상기 노드 A로부터 상기 제 3 배선(114)을 향해 흐른다(도 4a에서 점선으로 된 화살표들을 보자). 즉, 상기 노드 A의 전위는 낮아지며, 상기 제 6 절연 게이트형 트랜지스터(106)는 상기 노드 A의 전위가 상기 전위("L")로 낮아질 때 비도통 상태가 된다. 이러한 동작은 도 4c에서 제 3 기간(T3)에 대응한다는 것을 주의하자.
- [0059] 그 후, 상기 절연 게이트형 트랜지스터들의 도통 상태 및 비-도통 상태는 상기 입력 단자(IN)로부터 입력된 상기 트리거 신호가 L 신호인 경우에 변경되는 동작이 설명될 것이다. 이 동작은 또한 유지 동작(또는 제 4 동작)으로 불리운다는 것을 주의하자.
- [0060] 상기 제 3 기간(T3)의 설명에서처럼, 상기 노드 A의 전위는 상기 전위("L")로 낮아지며 상기 제 6 절연 게이트형 트랜지스터(106)는 상기 트리거 입력 동작에 의해 비도통 상태가 된다. 상기 제 6 절연 게이트형 트랜지스터(106)가 비도통 상태일 때, 상기 노드 B의 전위는 상기 전위("L")로부터 상기 전위("H")로 증가된다. 그 후, 상기 노드 B가 상기 전위("H")로 설정될 때, 상기 제 4 절연 게이트형 트랜지스터(104)는 도통 상태가 되고 상기 노드 A 및 상기 노드 B의 전위들을 제어하는 상기 제 4 절연 게이트형 트랜지스터(104) 및 상기 제 6 절연 게이트형 트랜지스터(106)의 도통 상태 또는 비-도통 상태가 결정된다(도 4b에서 점선으로 된 화살표들을 참조). 따라서, 상기 제 4 절연 게이트형 트랜지스터(104), 상기 제 8 절연 게이트형 트랜지스터(108), 및 상기 제 9 절연 게이트형 트랜지스터(109)는 도통 상태가 된다. 이러한 동작은 도 4c에서의 제 4 기간(T4)에 대응한다는 것을 주의하자.
- [0061] 상기 제 4 기간(T4)에서, 상기 트리거 신호는 L 신호이고 상기 제 1 절연 게이트형 트랜지스터(101)는 비도통

상태가 된다는 것을 주의하자. 게다가, 상기 제 4 기간(T4)에서, 상기 제 8 절연 게이트형 트랜지스터(108)는 비도통 상태가 되어, 상기 제 2 절연 게이트형 트랜지스터(102)의 상기 게이트의 전위가 낮아지고 상기 제 2 절연 게이트형 트랜지스터(102)는 비도통 상태가 되도록 한다.

[0062] 상술된 동작을 갖고, 상기 제 9 절연 게이트형 트랜지스터(109)는 도통 상태를 유지한다. 비록, 상기 출력 단자(OUT)로부터 흐르는 전류의 양에 의존할지라도, 상기 제 9 절연 게이트형 트랜지스터(109)에서의 상기 반도체층은 상기 제 9 절연 게이트형 트랜지스터(109)를 통해 흐르는 전류의 양을 증가시키기 위해 상기 제 1 내지 제 8 절연 게이트형 트랜지스터들에서의 상기 반도체층들보다 더 큰 폭을 갖도록 설계하는 것이 바람직하다. 상기 절연 게이트형 트랜지스터가 도통 상태일 때 상기 전류 공급 능력은 비정질 실리콘으로 형성된 반도체층의 것보다 더 높을 것으로 예측되기 때문에 산화물 반도체층을 사용하는 것이 바람직하다.

[0063] 상기 제 9 절연 게이트형 트랜지스터(109)가 도통 상태가 되고, 그 후 다시 비도통 상태가 되도록, 상기 제 1 내지 제 3 배선들(112 내지 114)로의 상기 전원 전위들의 공급이 정지된다. 이러한 동작은 정지 동작으로서 불리운다. 상기 반도체 장치를 다시 동작시키기 위해, 일련의 상술된 동작이 상기 리셋 동작으로서 다시 수행될 수 있다.

[0064] 각각의 도면을 참조하여 이 실시예에서 기술되는 것은 적절하게 다른 실시예들에서 기술되는 것과 자유롭게 조합되거나 교체될 수 있다는 것을 주의하자.

[0065] (실시예 2)

[0066] 이 실시예에서, 반도체 장치의 회로 구성은 도 5a 및 도 5b를 참조하여 설명될 것이다. 이 실시예는 다음의 방식으로 획득된 구조를 도시한다: 실시예 1의 구조에서, 버퍼 회로는 상기 제 9 절연 게이트형 트랜지스터(109)의 상기 게이트 및 상기 제 4 절연 게이트형 트랜지스터(104)의 상기 게이트, 상기 제 5 절연 게이트형 트랜지스터(105)의 상기 제 1 단자, 상기 제 6 절연 게이트형 트랜지스터(106)의 상기 제 1 단자, 상기 용량 소자(110)의 상기 제 1 전극, 및 상기 제 8 절연 게이트형 트랜지스터(108)의 게이트가 전기적으로 접속되는 노드 사이에 제공된다. 상기 반도체 장치의 동작과 같이, 실시예 1에서의 것과 유사한 부분들의 설명은 반복되지 않는다는 것을 주의하자.

[0067] 도 5a에 도시되고 사이리스터의 것과 동등한 기능을 갖는 반도체 장치는 그것이 버퍼 회로(200)를 포함한다는 점에서 실시예 1의 도 1에서의 상기 반도체 장치의 것과 상이하다. 도 5a에 도시된 상기 버퍼 회로(200)는 제 10 절연 게이트형 트랜지스터(210), 제 11 절연 게이트형 트랜지스터(211), 제 12 절연 게이트형 트랜지스터(212), 및 제 13 절연 게이트형 트랜지스터(213)를 포함한다. 상기 제 10 절연 게이트형 트랜지스터(210)의 게이트는 상기 제 1 배선(112)에 접속된다. 상기 제 10 절연 게이트형 트랜지스터(210)의 제 1 단자는 상기 제 2 배선(113)에 접속된다. 상기 제 10 절연 게이트형 트랜지스터(210)의 제 2 단자는 상기 제 11 절연 게이트형 트랜지스터(211)의 제 1 단자 및 상기 제 13 절연 게이트형 트랜지스터(213)의 게이트에 접속된다. 상기 제 11 절연 게이트형 트랜지스터(211)의 게이트는 상기 제 4 절연 게이트형 트랜지스터(104)의 상기 게이트, 상기 제 5 절연 게이트형 트랜지스터(105)의 상기 제 1 단자, 상기 제 6 절연 게이트형 트랜지스터(106)의 상기 제 1 단자, 상기 용량 소자(110)의 상기 제 1 전극, 및 상기 제 8 절연 게이트형 트랜지스터(108)의 상기 게이트에 접속된다. 상기 제 11 절연 게이트형 트랜지스터(211)의 제 2 단자는 상기 제 3 배선(114)에 접속된다. 상기 제 12 절연 게이트형 트랜지스터(212)의 게이트는 상기 제 1 배선(112)에 접속된다. 상기 제 12 절연 게이트형 트랜지스터(212)의 제 1 단자는 상기 제 2 배선(113)에 접속된다. 상기 제 12 절연 게이트형 트랜지스터(212)의 제 2 단자는 상기 제 13 절연 게이트형 트랜지스터(213)의 제 1 단자 및 상기 제 9 절연 게이트형 트랜지스터(109)의 상기 게이트에 접속된다. 상기 제 13 절연 게이트형 트랜지스터(213)의 제 2 단자는 상기 제 3 배선(114)에 접속된다.

[0068] 상기 버퍼 회로는 인버터 회로들(116)과 같은 짝수의 인버터 회로들(도 5a에서 2개의 인버터 회로들)이 도 5a에 도시된 바와 같이 결합되는 구조를 가지며, 그에 의해 상기 전류 공급 능력이 상기 절연 게이트형 트랜지스터들의 크기에서의 순차적 증가에 의해 향상되는 것으로 예상되며, 상기 출력 단자(OUT)로 흐르는 전류의 양은 상기 제 9 절연 게이트형 트랜지스터(109)의 크기에서의 증가에 의해 증가될 수 있다.

[0069] 도 5b는 도 5a에서의 것과 상이한 구조를 갖는 버퍼 회로(201)를 포함한 반도체 장치의 구조를 도시한다. 도 5b에 도시된 상기 버퍼 회로(201)는 제 10 절연 게이트형 트랜지스터(220), 제 11 절연 게이트형 트랜지스터(221), 제 12 절연 게이트형 트랜지스터(222), 및 제 13 절연 게이트형 트랜지스터(223)를 포함한다. 상기 제 10 절연 게이트형 트랜지스터(220)의 게이트는 상기 제 2 절연 게이트형 트랜지스터(102)의 상기 게이트, 상기

제 7 절연 게이트형 트랜지스터(107)의 상기 제 1 단자, 및 상기 제 8 절연 게이트형 트랜지스터(108)의 상기 제 1 단자에 접속된다. 상기 제 10 절연 게이트형 트랜지스터(220)의 제 1 단자는 상기 제 2 배선(113)에 접속된다. 상기 제 10 절연 게이트형 트랜지스터(220)의 제 2 단자는 상기 제 11 절연 게이트형 트랜지스터(221)의 제 1 단자 및 상기 제 13 절연 게이트형 트랜지스터(223)의 게이트에 접속된다. 상기 제 11 절연 게이트형 트랜지스터(221)의 게이트는 상기 제 4 절연 게이트형 트랜지스터(104)의 상기 게이트, 상기 제 5 절연 게이트형 트랜지스터(105)의 상기 제 1 단자, 상기 제 6 절연 게이트형 트랜지스터(106)의 상기 제 1 단자, 상기 용량 소자(110)의 상기 제 1 전극, 및 상기 제 8 절연 게이트형 트랜지스터(108)의 상기 게이트, 및 상기 제 12 절연 게이트형 트랜지스터(222)의 게이트에 접속된다. 상기 제 11 절연 게이트형 트랜지스터(221)의 제 2 단자는 상기 제 3 배선(114)에 접속된다. 상기 제 12 절연 게이트형 트랜지스터(222)의 제 1 단자는 상기 제 2 배선(113)에 접속된다. 상기 제 12 절연 게이트형 트랜지스터(222)의 제 2 단자는 상기 제 13 절연 게이트형 트랜지스터(223)의 제 1 단자 및 상기 제 9 절연 게이트형 트랜지스터(109)의 상기 게이트에 접속된다. 상기 제 13 절연 게이트형 트랜지스터(223)의 제 2 단자는 상기 제 3 배선(114)에 접속된다.

- [0070] 도 5b에서의 상기 버퍼 회로(201)에서, 상기 인버터 회로(116)와 같은 인버터 회로와 달리, 상기 제 10 절연 게이트형 트랜지스터(220) 및 상기 제 11 절연 게이트형 트랜지스터(221) 모두가 도통 상태인 기간 및 상기 제 12 절연 게이트형 트랜지스터(222) 및 상기 제 13 절연 게이트형 트랜지스터(223) 모두가 도통 상태인 기간을 삭감시키는 것이 가능하며, 상기 유지 동작시, 상기 제 2 배선(113)으로부터 상기 제 3 배선(114)으로 흐르는 전류를 저감시키는 것이 가능하다.
- [0071] 각각의 도면을 참조하여 이 실시예에서 기술되는 것은 적절하게 다른 실시예들에 기술되는 것과 자유롭게 결합되거나 또는 대체될 수 있다는 것을 주의하자.
- [0072] (실시예 3)
- [0073] 이 실시예에서, 실시예 1 및 실시예 2에서의 상기 절연 게이트형 트랜지스터로서 사용된 절연 게이트형 트랜지스터의 구조는 도 6a 및 도 6b를 참조하여 설명될 것이다.
- [0074] 도 6a는 절연 게이트형 트랜지스터(645)의 상면도이다. 도 6b는 도 6a에서의 점선(A-B)을 따르는 단면도에 대응한다.
- [0075] 도 6b에 도시된 바와 같이, 제 1 전극(605), 산화물 반도체 막(607), 및 제 2 전극(609)은 기판(601) 위에 형성된 절연막(603) 위에 적층된다. 게이트 절연막(611)은 상기 제 1 전극(605), 상기 산화물 반도체 막(607), 및 상기 제 2 전극(609)을 커버하도록 제공된다. 제 3 전극(613)은 상기 게이트 절연막(611) 위에 제공된다. 층간 절연막으로서 기능하는 절연막(617)은 상기 게이트 절연막(611) 및 상기 제 3 전극(613) 위에 제공된다. 개구부들은 상기 절연막(617)에 형성된다. 상기 각각의 개구부들을 통해, 각각 상기 제 1 전극(605), 상기 제 2 전극(609), 및 상기 제 3 전극(613)에 접속되는 배선(631)(도 6a를 보자), 배선(629), 및 배선(625)이 형성된다.
- [0076] 제 1 전극(605)은 절연 게이트형 트랜지스터(645)의 소스 전극 및 드레인 전극 중 하나로서 기능한다. 제 2 전극(609)은 상기 절연 게이트형 트랜지스터(645)의 소스 전극 및 드레인 전극 중 다른 하나로서 기능한다. 제 3 전극(613)은 상기 절연 게이트형 트랜지스터(645)의 게이트 전극으로서 기능한다.
- [0077] 이 실시예에서, 상기 게이트 전극으로서 기능하는 상기 제 3 전극(613)은 링-형상이다. 상기 게이트 전극으로서 기능하는 상기 제 3 전극(613)이 링 형상을 가질 때, 상기 절연 게이트형 트랜지스터의 채널 폭은 증가될 수 있다. 따라서, 상기 절연 게이트형 트랜지스터를 통해 흐르는 전류의 양이 증가될 수 있다.
- [0078] 상기 기판(601)은 적어도 나중에 수행될 가열 처리를 견디기에 충분히 높은 내열성을 가질 필요가 있다. 상기 기판(601)으로서, 바륨 боро실리케이트 유리, 알루미늄боро실리케이트 유리 등의 유리 기판이 사용될 수 있다.
- [0079] 나중에 수행될 가열 처리의 온도가 높을 때, 바람직하게는 스트레인 점이 730°C 이상인 유리 기판이 사용된다. 상기 유리 기판에 대해, 예를 들면, 알루미늄боро실리케이트 유리, 알루미늄боро실리케이트 유리, 또는 바륨 боро실리케이트 유리와 같은 유리 재료가 사용된다. 일반적으로, 보다 실용적인 내열 유리는 그것이 산화붕소(B₂O₃)보다 많은 양의 산화바륨(BaO)을 포함할 때 획득될 수 있다. 그러므로, 바람직하게는 BaO의 양이 B₂O₃의 것보다 높은 유리 기판이 사용된다.
- [0080] 세라믹 기판, 석영 기판, 또는 사파이어 기판과 같은 절연체로 형성된 기판이 유리 기판 대신에 사용될 수 있다는 것을 주의하자. 대안적으로, 결정화된 유리 등이 사용될 수 있다.

- [0081] 상기 절연막(603)이 산화 실리콘 막 또는 산화 질화 실리콘 막과 같은 산화물 절연막 또는 질화 실리콘 막, 질화 산화 실리콘 막, 질화 알루미늄 막, 또는 질화 산화 알루미늄 막과 같은 질화물 절연막을 사용하여 형성된다. 상기 절연막(603)은 적층 구조를 가질 수 있으며, 예를 들면, 상기 질화물 절연막들 중 하나 이상 및 상기 산화물 절연막들 중 하나 이상이 상기 기판(601) 측으로부터 이러한 순서로 적층되는 적층 구조를 가질 수 있다.
- [0082] 상기 제 1 전극(605) 및 상기 제 2 전극(609)은 Al, Cu, Cr, Ta, Ti, Mo, 또는 W와 같은 금속 재료; 상기 금속 재료들 중 임의의 것을 포함한 합금 재료 등을 사용하여 형성된다. 게다가, 상기 제 1 전극(605) 및 상기 제 2 전극(609)은 Cr, Ta, Ti, Mo, W 등의 고용점 금속층(refractory metal layer)이 Al, Cu 등의 금속층의 상부 표면 및 하부 표면 중 하나 또는 둘 모두 상에 적층되는 구조를 가질 수 있다. 더욱이, 내열성은 어떤 원소가 힐록들(hillocks) 및 위스커들 whiskers)이 알루미늄 막(예로서, Si, Ti, Ta, W, Mo, Cr, Nd, Sc, 또는 Y)에 생성되는 것을 방지하는지에 대해 알루미늄 재료를 사용하여 증가될 수 있다. 또한, 상기 제 1 전극(605)은 2개 이상의 층들을 포함한 단층 구조 또는 적층 구조를 가질 수 있다. 예를 들면, 상기 제 1 전극(605)은 실리콘을 포함한 알루미늄 막의 단층 구조; 티타늄 막이 알루미늄 막 위에 적층되는 2층 구조; 티타늄 막이 텅스텐 막 위에 적층되는 2층 구조; 또는 티타늄 막, 알루미늄 막, 및 티타늄 막이 이러한 순서로 적층되는 3층 구조를 가질 수 있다. 대안적으로, 상기 제 1 전극(605)은 알루미늄 및 티타늄, 탄탈륨, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 및 스칸듐으로부터 선택된 하나 또는 복수의 원소들을 포함하는 막, 합금 막, 또는 질화물 막을 사용하여 형성될 수 있다.
- [0083] 상기 제 1 전극(605) 및 상기 제 2 전극(609)은 도전성 금속 산화물을 사용하여 형성될 수 있다. 상기 도전성 금속 산화물로서, 산화인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐 및 산화 주석의 합금(ITO로서 불리우는, $In_2O_3-SnO_2$), 산화 인듐 및 산화 아연의 합금(In_2O_3-ZnO), 또는 실리콘 또는 산화 실리콘이 부가된 금속 산화물 재료가 사용될 수 있다.
- [0084] 산화물 반도체 막(607)으로서, 다음의 산화물 반도체 막들이 사용될 수 있으며, 예를 들면: In-Sn-Zn-O 막과 같은 4원계 금속 산화물 막; In-Ga-Zn-O 막, In-Sn-Zn-O 막, In-Al-Zn-O 막, Sn-Ga-Zn-O 막, Al-Ga-Zn-O 막, 또는 Sn-Al-Zn-O 막과 같은 3원계 금속 산화물 막; In-Zn-O 막, Sn-Zn-O 막, Al-Zn-O 막, Zn-Mg-O 막, Sn-Mg-O 막, 또는 In-Mg-O 막과 같은 2원계 금속 산화물 막; In-O 막, Sn-O 막, 또는 Zn-O 막. 또한, 상기 산화물 반도체 막은 SiO_2 를 포함할 수 있다.
- [0085] 상기 산화물 반도체 막(607)으로서, $InMO_3(ZnO)_m(m>0)$ 으로 표현된 박막이 사용될 수 있다. 여기에서, M은 Ga, Al, Mn, 및 Co로부터 선택된 하나 이상의 금속 원소들을 나타낸다. 예를 들면, M은 Ga, Ga와 Al, Ga와 Mn, Ga와 Co 등일 수 있다. 조성식이 $InMO_3(ZnO)_m(m>0)$, 여기에서 적어도 Ga가 M으로서 포함됨)으로서 표현되는 산화물 반도체는 In-Ga-Zn-O 산화물 반도체로서 나타내어지며, 상기 In-Ga-Zn-O 산화물 반도체의 박막은 In-Ga-Zn-O 막으로서 나타내어진다.
- [0086] 이 실시예에서 사용된 상기 산화물 반도체 막(607)에 포함된 수소의 농도는 $5 \times 10^{19}/cm^3$ 이하, 바람직하게는 $5 \times 10^{18}/cm^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17}/cm^3$ 이하이며, 이것은 상기 산화물 반도체 막에 포함된 수소가 저감된다는 것을 의미한다. 달리 말하면, 상기 산화물 반도체 막(607)은 상기 산화물 반도체 막의 주성분 이외의 불순물을 가능한 한 적게 포함하도록 고순도화된다. 게다가, 상기 산화물 반도체 막(607)의 캐리어 농도는 $5 \times 10^{14}/cm^3$ 이하, 바람직하게는 $1 \times 10^{14}/cm^3$ 이하, 더욱 바람직하게는 $5 \times 10^{12}/cm^3$ 이하, 및 훨씬 더 바람직하게는 $1 \times 10^{12}/cm^3$ 이하이다. 즉, 상기 산화물 반도체 막의 캐리어 농도는 가능한 한 재료에 가깝다. 에너지 갭은 2 eV 이상, 바람직하게는 2.5 eV 이상, 더욱 바람직하게는 3 eV 이상이다. 상기 산화물 반도체 막에서의 수소 농도는 2차 이온 질량 분석법(SIMS)에 의해 검출될 수 있다는 것을 주의하자. 상기 캐리어 농도는 홀 효과 측정(Hall effect measurement)에 의해 측정될 수 있다.
- [0087] 상기 산화물 반도체 막(607)은 바람직하게는 30nm 내지 3000nm의 두께를 가진다. 절연 게이트형 트랜지스터의 채널 길이는 상기 산화물 반도체 막(607)의 두께가 감소될 때 단축될 수 있으며, 큰 온-상태 전류 및 높은 전계-효과 이동성을 가진 절연 게이트형 트랜지스터가 제조될 수 있다. 다른 한편으로, 상기 산화물 반도체 막(607)이 큰 두께, 통상적으로 100nm 내지 3000nm의 두께를 가질 때, 고-전력 애플리케이션을 위한 반도체 장치가 제조될 수 있다.

- [0088] 상기 게이트 절연막(611)은 산화 실리콘 막, 질화 실리콘 막, 산화질화 실리콘 막, 질화산화 실리콘 막, 및/또는 산화 알루미늄 막을 사용하여 단층 구조 또는 적층 구조를 갖고 형성될 수 있다. 상기 산화물 반도체 막(607)과 접촉하는 상기 게이트 절연막(611)의 일부는 바람직하게는 산소를 포함하며, 그것은 특히 산화 실리콘 막을 사용하여 상기 게이트 절연막(611)을 형성하는 것이 바람직하다. 산화 실리콘 막을 사용하여, 산소가 상기 산화물 반도체 막(607)에 공급될 수 있으며, 따라서 상기 산화물 반도체 막(607)의 특성들은 양호해질 수 있다.
- [0089] 상기 게이트 절연막(611)이 하프늄 실리케이트(HfSiO_x), N의 첨가에 의해 획득된 HfSiO_xN_y, 하프늄 알루미늄 옥사이드(HfAlO_x), 산화 하프늄, 또는 산화 이트륨과 같은 하이-k(high-k) 재료를 사용하여 형성될 때, 상기 게이트 리크 전류는 저감될 수 있다. 게다가, 상기 게이트 절연막(611)은 하이-k 재료의 막 및 산화 실리콘 막, 질화 실리콘 막, 산화질화 실리콘 막, 질화산화 실리콘 막, 및 산화 알루미늄 막 중 적어도 하나를 포함한 적층 구조를 가질 수 있다. 상기 게이트 절연막(611)은 바람직하게는 50nm 내지 500nm의 두께를 가진다. 상기 게이트 절연막(611)의 두께가 작을 때, 높은 전계-효과 이동도를 가진 절연 게이트형 트랜지스터가 제조될 수 있으며; 따라서, 구동 회로가 상기 절연 게이트형 트랜지스터가 형성되는 상기 기판 위에 형성될 수 있다. 다른 한편으로, 상기 게이트 절연막(611)의 두께가 클 때, 상기 게이트 리크 전류가 저감될 수 있다.
- [0090] 상기 게이트 전극으로서 기능하는 상기 제 3 전극(613)이 알루미늄, 크롬, 구리, 탄탈륨, 티타늄, 몰리브덴, 및 텅스텐으로부터 선택된 하나의 원소; 구성요소로서 이들 원소들 중 임의의 것을 포함한 합금; 이들 원소들의 임의의 것의 조합을 포함한 합금 막 등을 사용하여 형성될 수 있다. 망간, 마그네슘, 지르코늄, 및 베릴륨으로부터 선택된 하나 이상의 재료들이 사용될 수 있다. 상기 제 3 전극(613)은 단층 구조 또는 둘 이상의 층들을 포함한 적층 구조를 가질 수 있다. 예를 들면, 상기 제 3 전극(613)은 실리콘을 포함한 알루미늄 막의 단층 구조; 티타늄 막이 알루미늄 막 위에 적층되는 2층 구조; 또는 티타늄 막, 알루미늄 막, 및 티타늄 막이 이러한 순서로 적층되는 3층 구조를 가질 수 있다. 대안적으로, 상기 제 3 전극(613)은 알루미늄 및 티타늄, 탄탈륨, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 및 스칸듐으로부터 선택된 하나 또는 복수의 원소들을 포함하는 막, 합금 막, 또는 질화물 막을 사용하여 형성될 수 있다.
- [0091] 다음으로, 상기 산화물 반도체 막(607)을 포함한 상기 절연 게이트형 트랜지스터의 동작이 도 7, 도 8a와 도 8b, 도 9a 내지 도 9c 및 도 10을 참조하여 설명될 것이다.
- [0092] 도 7은 이 실시예에 도시된 산화물 반도체 막을 포함한 절연 게이트형 트랜지스터의 단면도이다. 산화물 반도체 막(OS) 및 소스 전극(S)은 드레인 전극(D) 위에 적층된다. 게이트 절연막(GI)은 드레인 전극, 산화물 반도체 막, 및 소스 전극 위에 제공되며, 분리된 게이트 전극들(GE1)이 그 위에 제공된다.
- [0093] 도 8a 및 도 8b는 도 7에서의 단면(A-A')의 에너지 밴드도들(모식도들)이다. 도 8a는 상기 소스의 전압 및 상기 드레인의 전압이 동일한 경우($V_D = 0V$)를 도시한다. 도 8b는 상기 소스의 전압에 대하여 양의 전위($V_D > 0$)가 상기 드레인에 인가되는 경우를 도시한다.
- [0094] 도 9a 및 도 9b는 도 7에서의 단면(B-B')의 에너지 밴드도들(모식도들)이다. 도 9a는 양의 전위(+VG)가 상기 게이트(GE1)에 인가되는 상태, 즉 캐리어들(전자들)이 상기 소스 및 상기 드레인 사이에 흐르는 온 상태(통전 상태)를 도시한다. 도 9b는 음의 전위(-VG)가 상기 게이트(GE1)에 인가되는 상태, 즉 오프 상태(비-통전 상태, 소수 캐리어들이 흐르지 않는 상태)를 도시한다.
- [0095] 도 10은 진공 준위, 금속의 일함수(Φ_M), 및 산화물 반도체 막의 전자 친화도(χ) 사이의 관계를 도시한다.
- [0096] 금속은 축퇴하고 페르미 준위는 상기 도전 대역 내에 위치된다. 다른 한편으로, 종래의 금속 산화물 막은 일반적으로 n-형 반도체 막이다. 상기 경우에서의 상기 페르미 준위(E_F)는 상기 밴드 갭의 중앙에서 진성 페르미 준위(E_i)로부터 떨어져 있으며 상기 도전 대역 가까이에 위치된다. 상기 산화물 반도체 막에서의 수소의 일부는 상기 산화물 반도체가 n-형 도전성을 갖게 하는 요인들 중 하나인 도너로서 작용한다는 것을 주의한다.
- [0097] 반대로, 이 실시예에 따른 상기 산화물 반도체 막은 다음 방식으로 획득된 진성(i-형) 산화물 반도체 막이다: n-형 불순물인 수소는 상기 산화물 반도체 막이 그것의 주성분 이외의 불순물 원소를 가능한 적게 포함하도록 고순도화를 위한 상기 산화물 반도체 막으로부터 제거된다. 달리 말하면, 이 실시예에 따른 상기 산화물 반도체 막은 불순물 원소를 첨가함으로써가 아닌 수소, 물, 수산기, 또는 수소화물과 같은 불순물들을 가능한 한 많이 제거함으로써 획득된 고순도화된 i-형(진성) 반도체 막 또는 실질적으로 진성인 반도체 막이다. 따라서, 상기 페르미 준위(E_F)는 상기 진성 페르미 준위(E_i)와 동일할 수 있다.

- [0098] 상기 산화물 반도체 막의 전자 친화도(χ)는 상기 밴드 갭(E_g)이 3.15 eV인 경우에 4.3 eV라고 말한다. 상기 소스 전극 및 상기 드레인 전극에 포함된 티타늄(Ti)의 일 함수는 상기 산화물 반도체의 전자 친화도(χ)와 실질적으로 동일하다. 이 경우에, 전자들을 위한 쇼트키 장벽(Schottky barrier)이 상기 금속 및 상기 산화물 반도체 막 사이의 계면(interface)에 형성되지 않는다.
- [0099] 즉, 상기 금속의 상기 일함수(Φ_M)가 상기 산화물 반도체 막의 전자 친화도(χ)와 동일하고 상기 금속 및 상기 산화물 반도체 막이 서로 접촉하는 경우에, 도 8a에 도시된 에너지 밴드도(모식도)가 획득되다.
- [0100] 도 8b에서, 검은 점(\cdot)은 전자를 나타낸다. 양의 전위가 상기 드레인에 인가될 때, 상기 전자는 배리어(h)을 건너고 상기 산화물 반도체 막으로 주입되며, 상기 드레인을 향해 흐른다. 이 경우에, 상기 배리어(h)의 높이는 상기 게이트 전압 및 드레인 전압에 의존하여 변한다. 양의 드레인 전압이 인가될 때, 상기 배리어의 높이는 전압이 인가되지 않는 도 8a에서의 상기 배리어의 높이보다 작다. 즉, 상기 밴드 갭(E_g)의 1/2보다 작다.
- [0101] 이때, 도 9a에 도시된 바와 같이, 상기 전자는 상기 게이트 절연막 및 고순도화된 산화물 반도체 막 사이의 상기 계면에서 강력하게 안정적인 상기 산화물 반도체 막 측 상에 최저부를 따라 이동한다.
- [0102] 도 9b에서, 음의 전위가 상기 게이트 전극(GE1)에 인가될 때, 소수 캐리어인 홀이 실질적으로 존재하지 않으며, 따라서 전류 값은 실질적으로 제로에 가깝다.
- [0103] 예를 들면, $1 \times 10^4 \mu\text{m}$ 의 채널 폭(W) 및 $3 \mu\text{m}$ 의 채널 길이(L)를 가진 절연 게이트형 트랜지스터에서조차, 실온에서의 상기 오프-상태 전류는 극히 낮은 1×10^{-13} A 이하일 수 있으며, 임계치 아래의 스윙(subthreshold swing)(S 값)은 0.1 V/dec(100-nm-두께의 게이트 절연층을 가진)일 수 있다.
- [0104] 상기 산화물 반도체 막은 그것의 주성분 이외의 불순물(통상적으로, 수소, 물, 수산기, 또는 수소화물)을 가능한 한 적게 포함하도록 상술된 바와 같이 고순도화되며, 따라서 상기 절연 게이트형 트랜지스터는 양호한 방식으로 동작할 수 있다. 특히, 상기 오프-상태 전류가 저감될 수 있다.
- [0105] 채널이 실질적으로 기판에 평행하여 형성되는 횡형 절연 게이트형 트랜지스터에서, 소스 및 드레인은 채널 외에 제공될 필요가 있다. 이러한 이유로, 상기 횡형 절연 게이트형 트랜지스터에 의해 점유된 상기 기판의 영역은 증가되며, 이것은 미세가공(microfabrication)을 방지한다. 반대로, 수직 절연 게이트형 트랜지스터에서, 소스, 채널, 및 드레인이 적층되며, 따라서 기판의 상기 표면을 점유하는 영역은 저감될 수 있다. 따라서, 상기 절연 게이트형 트랜지스터는 미세화될 수 있다.
- [0106] 또한, 종형 절연 게이트형 트랜지스터의 채널 길이는 산화물 반도체 막의 두께에 의해 제어될 수 있으며; 따라서 상기 절연 게이트형 트랜지스터는 상기 산화물 반도체 막(607)의 두께에서의 감소에 의해 보다 작은 채널 길이를 가질 수 있다. 상기 소스, 상기 채널, 및 상기 드레인의 직렬 저항은 채널 길이에서의 감소에 의해 저감될 수 있으며, 그에 의해 상기 절연 게이트형 트랜지스터의 온-상태 전류 및 전계-효과 이동도는 증가될 수 있다. 게다가, 이 실시예에서 상기 절연 게이트형 트랜지스터의 상기 게이트 전극은 링-형상이고 상기 채널 폭은 증가될 수 있으며, 따라서 상기 온-상태 전류는 증가될 수 있다. 더욱이, 수소 농도가 저감된 고순도화된 산화물 반도체 막을 포함한 상기 절연 게이트형 트랜지스터는 극히 낮은 오프-상태 전류를 가지며, 따라서 상기 절연 게이트형 트랜지스터가 오프일 때 거의 전류가 흐르지 않는 절연 상태로 설정된다. 따라서, 상기 종형 절연 게이트형 트랜지스터의 채널 길이가 감소되도록 상기 산화물 반도체 막의 두께가 감소될 때조차, 상기 절연 게이트형 트랜지스터는 비-도통 상태에서 거의 오프-상태 전류를 갖지 않는다.
- [0107] 수소 농도가 상술된 바와 같이 저감되는 고순도화된 산화물 반도체 막의 사용으로, 고속으로 동작하고, 상기 트랜지스터가 온일 때 많은 양의 전류가 흐를 수 있으며, 상기 트랜지스터가 오프일 때 전류가 거의 흐르지 않는 절연 게이트형 트랜지스터를 제조하는 것이 가능하다.
- [0108] 각각의 도면을 참조하여 이 실시예에서 기술되는 것은 적절하게 다른 실시예들에 기술되는 것과 자유롭게 조합되거나 또는 대체될 수 있음을 주의하자.
- [0109] (실시예 4)
- [0110] 이 실시예에서, 상기 실시예들 중 임의의 것에 설명되고 사이리스터로서 기능하는 상기 반도체 장치의 용도들이 설명될 것이다. 상기 실시예에서 설명된 상기 반도체 장치는 예를 들면 컴퓨터 등의 화상들을 표시할 수 있는 디스플레이와 같은 전자 기기에서의 배터리 전력 조정 장치; 및 고정 전원으로부터의 전력으로 구동되는 전자

조리기 또는 차량(예로서, 자전거)을 위해 제공된 전력 조정 장치를 위해 사용될 수 있다.

- [0111] 전력 조정 장치는 미리 결정된 트리거 신호에 의해 전류를 부하로 공급하는 장치를 나타낸다는 것을 주의하자.
- [0112] 상기 반도체 장치를 포함한 전력 조정 장치의 응용 예들은 도 11a 내지 도 11c를 참조하여 설명될 것이다.
- [0113] 도 11a는 상기 반도체 장치를 포함한 전력 조정 장치의 응용 예로서 전자 조리기(1000)를 도시한다. 상기 전자 조리기(1000)는 코일부(1001)를 통해 흐르는 전류에 의해 생성된 전자기 유도를 이용함으로써 조리기 등을 가열한다. 게다가, 상기 전자 조리기(1000)는 상기 코일부(1001)를 통해 흐르는 것인 전류를 공급하기 위한 배터리(1002) 및 전력 조정 장치(1003), 및 배터리(1002)를 충전하기 위한 태양 전지(1004)를 포함한다. 도 11a는 상기 배터리(1002)를 충전하기 위한 수단으로서 상기 태양 전지(1004)를 도시하며; 대안적으로, 상기 배터리(1002)는 또 다른 수단에 의해 충전될 수 있음을 주의하자. 사이리스터로서 기능하는 상기 반도체 장치를 포함한 상기 전력 조정 장치(1003)는 산화물 반도체층을 포함한 절연 게이트형 트랜지스터를 포함하기 때문에, 상기 오프-상태 전류는 저감될 수 있으며, 상기 전자 조리기(1000)의 비가열시에 저소비 전력화를 달성하는 것이 가능하다.
- [0114] 도 11b는 반도체 장치를 포함한 전력 조정 장치의 응용 예로서 전동 자전거(1010)를 도시한다. 상기 전동 자전거(1010)는 전류가 모터부(1011)를 통해 흐를 때 전력을 획득한다. 게다가, 상기 전동 자전거(1010)는 상기 모터부(1011)를 통해 흐르는 것인 전류를 공급하기 위한 배터리(1012) 및 전력 조정 장치(1013)를 포함한다. 상기 배터리(1012)를 충전하기 위한 수단이 도 11b에 도시되지 않으며; 상기 배터리(1012)는 부가적으로 제공되는 발전기 등에 의해 충전될 수 있음을 주의하자. 사이리스터로서 기능하는 상기 반도체 장치를 포함한 상기 전력 조정 장치(1013)는 산화물 반도체층을 포함한 절연 게이트형 트랜지스터를 포함하기 때문에, 상기 오프-상태 전류는 저감될 수 있으며, 상기 전동 자전거(1010)가 동작하지 않을 때 저소비 전력화를 달성하는 것이 가능하다. 페달이 도 11b에 도시되지만; 상기 페달이 반드시 제공되는 것은 아님을 주의하자.
- [0115] 도 11c는 상기 반도체 장치를 포함한 전력 조정 장치의 응용 예로서 전기 자동차(1020)를 도시한다. 상기 전기 자동차(1020)는 모터부(1021)를 통해 전류가 흐를 때 전력을 획득한다. 게다가, 상기 전기 자동차(1020)는 상기 모터부(1021)를 통해 흐르는 것인 전류를 공급하기 위한 배터리(1022) 및 전력 조정 장치(1023)를 포함한다. 상기 배터리(1022)를 충전하기 위한 수단은 도 11c에 도시되지 않으며; 상기 배터리(1022)는 부가적으로 제공되는 발전기 등에 의해 충전될 수 있음을 주의하자. 사이리스터로서 기능하는 상기 반도체 장치를 포함한 상기 전력 조정 장치(1023)는 산화물 반도체층을 포함한 절연 게이트형 트랜지스터를 포함하기 때문에, 상기 오프-상태 전류는 저감될 수 있으며, 상기 전기 자동차(1020)가 동작하지 않을 때 저소비 전력화를 달성하는 것이 가능하다.
- [0116] 각각의 도면을 참조하여 이 실시예에서 설명되는 것은 적절하게 다른 실시예들에서 설명되는 것과 자유롭게 조합되거나 또는 대체될 수 있다는 것을 주의하자.
- [0117] 본 출원은 그 전체 콘텐츠들이 참조로서 여기에 포함되는 2009년 11월 13일에 일본 특허청에 출원된 일본 특허출원 번호 제2009-259900호에 기초한다.

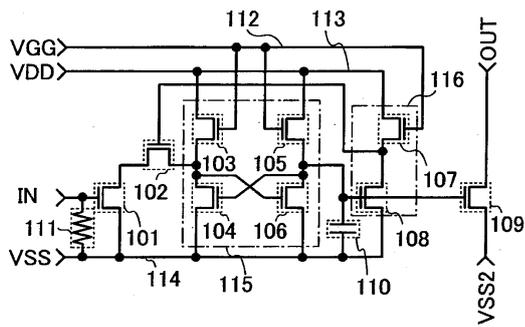
부호의 설명

- [0118] 101, 102, 103, 104, 105, 106, 107, 108, 109 : 절연 게이트형 트랜지스터
- 110 : 용량 소자
- 111 : 저항 소자
- 112, 113, 114 : 배선
- 115 : 메모리 회로
- 116 : 인버터 회로
- 117 : 부하
- 200, 201 : 버퍼 회로
- 210, 211, 213 : 절연 게이트형 트랜지스터
- 220, 221, 222, 223 : 절연 게이트형 트랜지스터
- 601 : 기관
- 603 : 절연막
- 605 : 전극
- 607 : 산화물 반도체 막
- 609 : 전극
- 611 : 게이트 절연막

- | | |
|--------------------|---------------------|
| 613 : 전극 | 617 : 절연막 |
| 625, 629, 631 : 배선 | 645 : 절연 게이트형 트랜지스터 |
| 1000 : 전자 조리기 | 1001 : 코일부 |
| 1002 : 배터리 | 1003 : 전력 조정 장치 |
| 1004 : 태양 전지 | 1010 : 전동 자전거 |
| 1011 : 모터부 | 1012 : 배터리 |
| 1013 : 전력 조정 장치 | 1020 : 전기 자동차 |
| 1021 : 모터부 | 1022 : 배터리 |
| 1023 : 전력 조정 장치 | 1100 : 사이리스터 |
| 1101 : npn형 트랜지스터 | 1102 : pnp형 트랜지스터 |
| 1103 : 배선 | 1104 : 배선 |

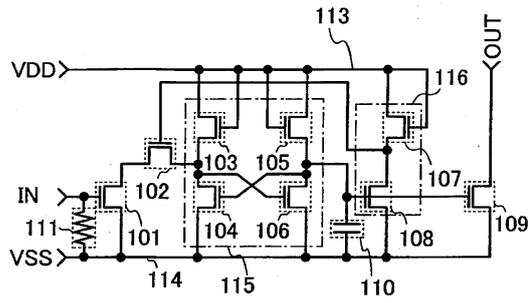
도면

도면1

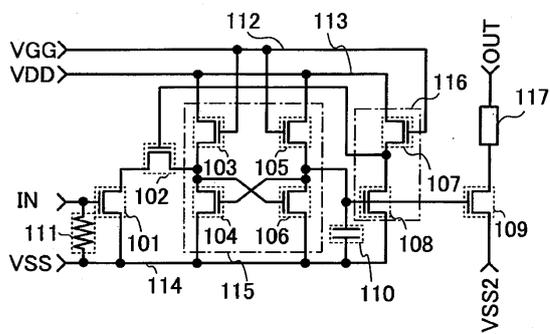


도면2

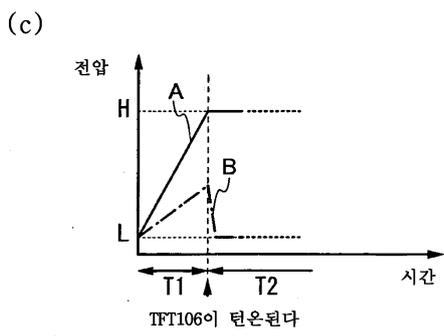
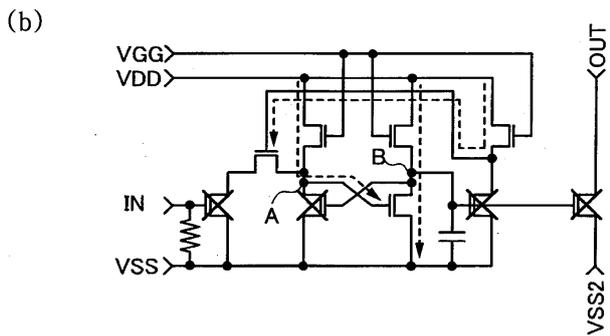
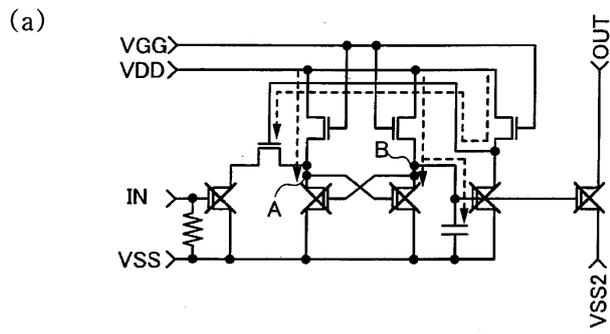
(a)



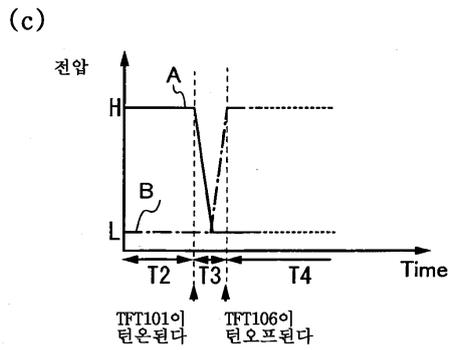
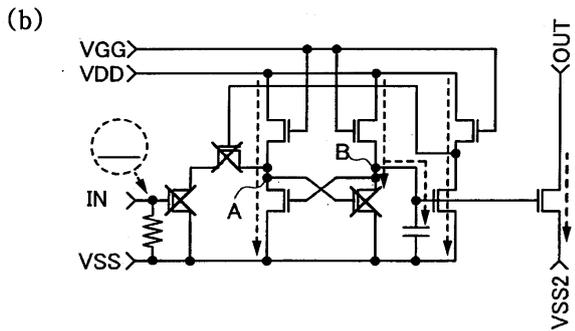
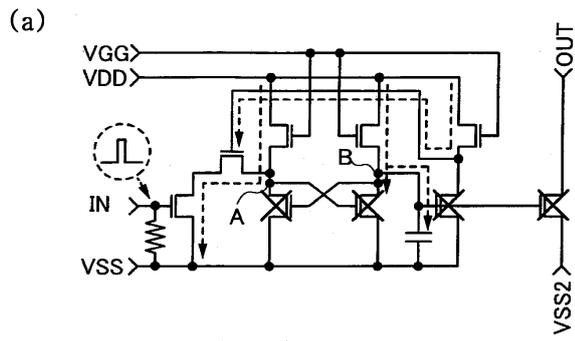
(b)



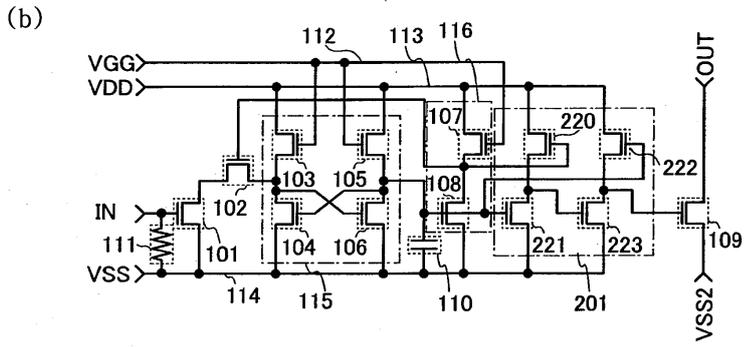
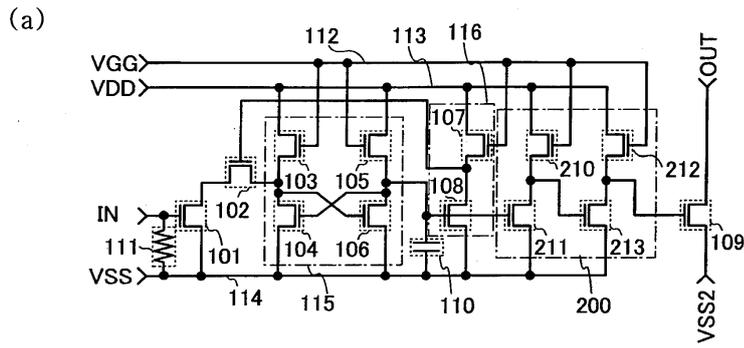
도면3



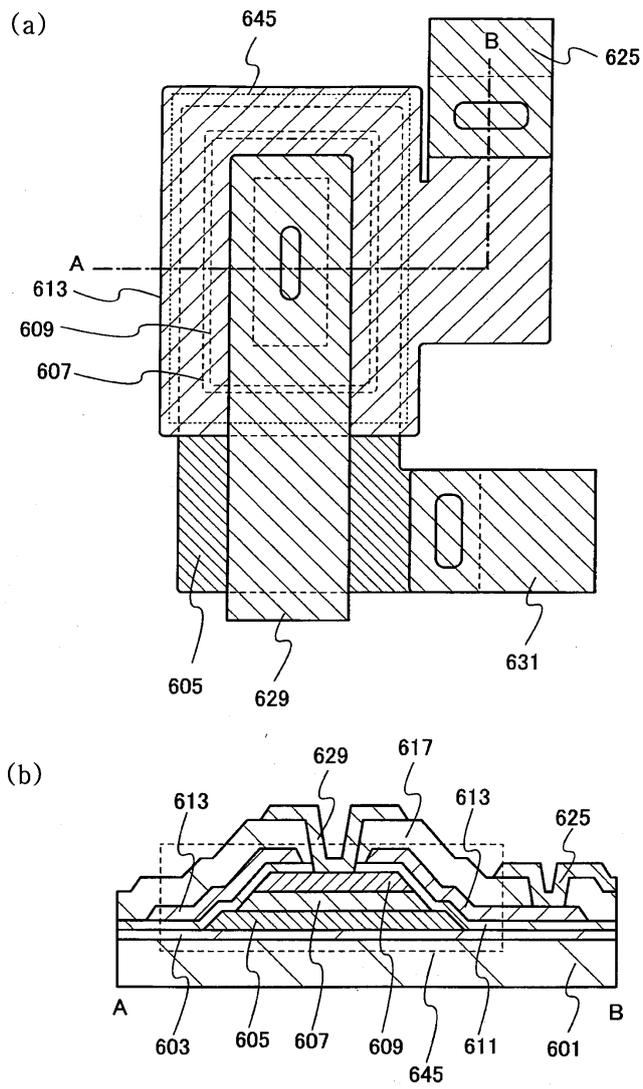
도면4



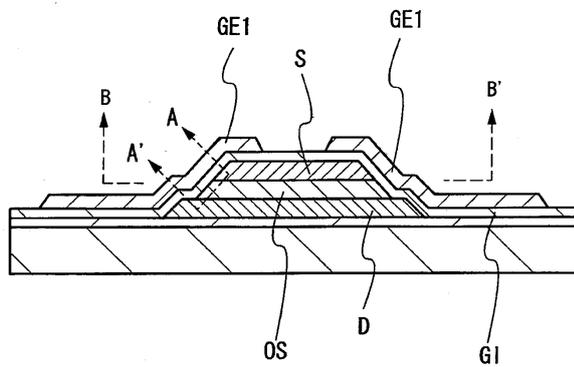
도면5



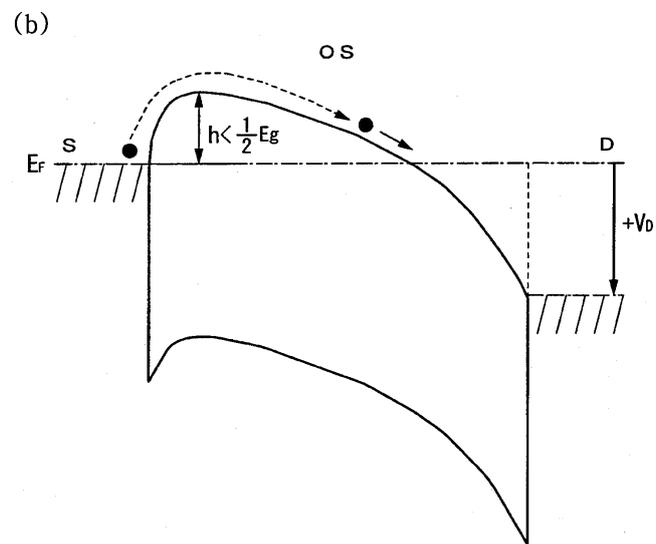
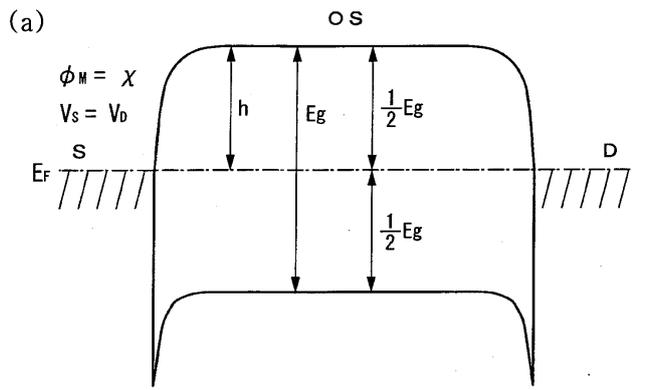
도면6



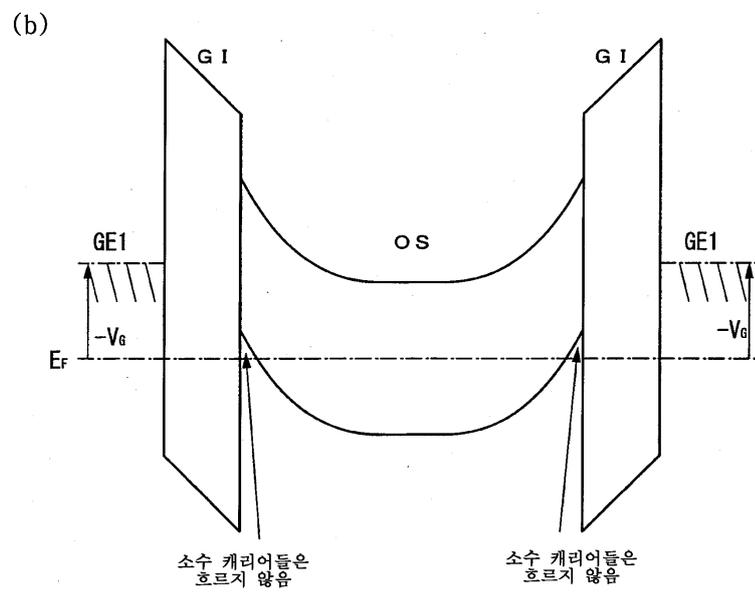
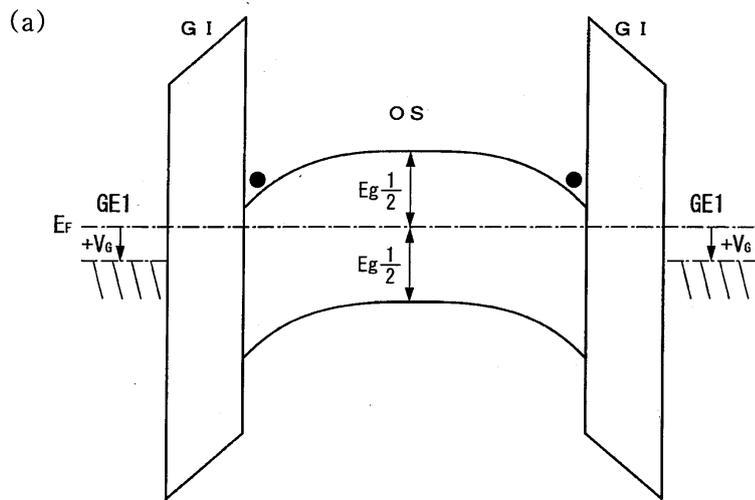
도면7



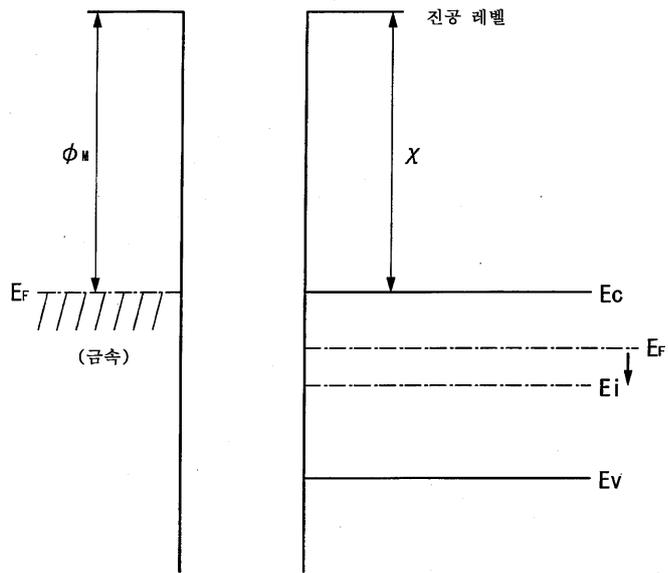
도면8



도면9

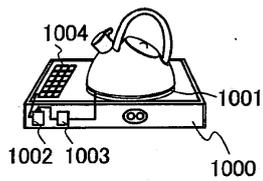


도면10

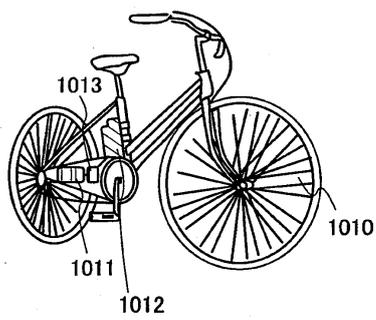


도면11

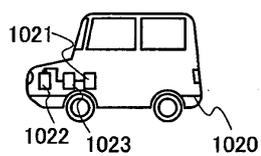
(a)



(b)



(c)



도면12

