

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6237440号
(P6237440)

(45) 発行日 平成29年11月29日(2017.11.29)

(24) 登録日 平成29年11月10日(2017.11.10)

(51) Int. Cl. F I
B 8 1 C 3/00 (2006.01) B 8 1 C 3/00
B 8 1 B 3/00 (2006.01) B 8 1 B 3/00

請求項の数 4 (全 14 頁)

(21) 出願番号	特願2014-89318 (P2014-89318)	(73) 特許権者	000004260
(22) 出願日	平成26年4月23日 (2014. 4. 23)		株式会社デンソー
(65) 公開番号	特開2015-205387 (P2015-205387A)		愛知県刈谷市昭和町 1 丁目 1 番地
(43) 公開日	平成27年11月19日 (2015. 11. 19)	(74) 代理人	110001128
審査請求日	平成28年7月21日 (2016. 7. 21)		特許業務法人ゆうあい特許事務所
		(72) 発明者	田中 雅也
			愛知県刈谷市昭和町 1 丁目 1 番地 株式会 社デンソー内
		(72) 発明者	阿部 竜一郎
			愛知県刈谷市昭和町 1 丁目 1 番地 株式会 社デンソー内
		(72) 発明者	曾根 弘樹
			愛知県刈谷市昭和町 1 丁目 1 番地 株式会 社デンソー内

最終頁に続く

(54) 【発明の名称】 物理量センサおよびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

一面(11a)を有し、物理量に応じたセンサ信号を出力するセンシング部(17)および前記センシング部と電気的に接続される配線部(25、32、42)が形成された第1基板(11)と、

前記第1基板の一面側に配置され、前記第1基板との間に気密室(70)を構成して当該気密室に前記センシング部を封止する第2基板(61)と、を備え、

前記第2基板に前記第1、第2基板の積層方向に貫通して前記配線部を露出させる貫通孔(81)が形成されていると共に、前記貫通孔に絶縁膜(82)を介して前記配線部と電気的に接続される貫通電極(83)が形成された物理量センサの製造方法において、

前記第1基板に前記センシング部および前記配線部を形成する工程と、

前記第1基板の一面に前記第2基板を接合して前記気密室を構成する工程と、

前記第2基板に前記配線部を露出させる貫通孔を形成する工程と、

前記貫通孔に前記絶縁膜を成膜する工程と、

前記絶縁膜上に金属膜を成膜することにより、前記配線部と電気的に接続される前記貫通電極を形成する工程と、を行い、

前記第1基板として、支持基板(12)、絶縁膜(13)、半導体層(14)が順に積層され、前記半導体層のうちの前記絶縁膜側の部分に第2凹部(18)が形成された半導体基板を用意し、

前記センシング部および前記配線部を形成する工程の前に、前記第1基板の一面を構成

10

20

する前記半導体層のうちの前記第 2 凹部と対向する部分に第 1 凹部 (1 6) を形成する工程を行い、

前記センシング部を形成する工程では、前記第 1 凹部の底面を含む部分に、可動電極 (2 4) と、前記可動電極と対向して配置される固定電極 (3 1、4 1) とを有する前記センシング部を形成し、

前記貫通孔を形成する工程の前に、前記第 2 基板を薄膜化する薄膜化工程を行うことを特徴とする物理量センサの製造方法。

【請求項 2】

前記第 1、第 2 基板として、ウェハ状のものを用意し、

前記第 1 凹部を形成する工程および前記センシング部を形成する工程では、前記第 1 基板のうちのダイシングライン (1 0 0) に第 1 検査孔 (8 5 a) を形成し、

前記貫通孔を形成する工程では、前記第 2 基板のうちのダイシングライン (1 0 0) に前記第 1 検査孔と連通する第 2 検査孔 (8 5 b) を形成することにより、前記第 1、第 2 基板の接合面の端部を前記第 1、第 2 検査孔に露出させ、

前記貫通孔を形成する工程の後、前記第 1、第 2 検査孔を介して前記第 1、第 2 基板の接合面を検査する検査工程を行い、

前記検査工程の後、前記第 1、第 2 基板を前記ダイシングラインに沿ってチップ単位に分割することを特徴とする請求項 1 に記載の物理量センサの製造方法。

【請求項 3】

一面 (1 1 a) を有し、物理量に応じたセンサ信号を出力するセンシング部 (1 7) および前記センシング部と電気的に接続される配線部 (2 5、3 2、4 2) が形成された第 1 基板 (1 1) と、

前記第 1 基板の一面側に配置され、前記第 1 基板との間に気密室 (7 0) を構成して当該気密室に前記センシング部を封止する第 2 基板 (6 1) と、を備え、

前記第 2 基板に前記第 1、第 2 基板の積層方向に貫通して前記配線部を露出させる貫通孔 (8 1) が形成されていると共に、前記貫通孔に絶縁膜 (8 2) を介して前記配線部と電気的に接続される貫通電極 (8 3) が形成された物理量センサにおいて、

前記第 1 基板は、支持基板 (1 2)、絶縁膜 (1 3)、半導体層 (1 4) が順に積層された半導体基板を用いて構成され、前記半導体層のうちの前記絶縁膜側と反対側の前記一面側から第 1 凹部 (1 6) が形成され、前記半導体層のうちの前記絶縁膜側から前記第 1 凹部と対向する部分に第 2 凹部 (1 8) が形成され、

前記第 2 基板は、前記第 1 基板側の一面 (6 1 a) 側が平坦な面とされており、

前記センシング部は、前記第 1 凹部の底面を含む部分であって、前記半導体層のうちの前記第 1 凹部と前記第 2 凹部との間の部分に形成された可動電極 (2 4) と、前記可動電極 (2 4) と対向して配置される固定電極 (3 1、4 1) とを有し、前記第 2 基板から所定距離離間していることを特徴とする物理量センサ。

【請求項 4】

前記第 1 凹部と前記第 2 凹部とは、深さが等しくされ、

前記支持基板と前記第 2 基板とは、同じ材料で構成されていると共に、厚さが等しくされていることを特徴とする請求項 3 に記載の物理量センサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、センシング部が形成された第 1 基板に第 2 基板が接合され、第 2 基板に貫通孔が形成されると共に当該貫通孔にセンシング部と電気的に接続される貫通電極が形成された物理量センサおよびその製造方法に関するものである。

【背景技術】

【0002】

従来より、この種の物理量センサとして、次のものが提案されている (例えば、特許文献 1 参照)。

10

20

30

40

50

【 0 0 0 3 】

具体的には、この物理量センサでは、第1基板に物理量に応じたセンサ信号を出力するセンシング部および当該センシング部と電氣的に接続される配線部が形成されている。また、第2基板は、第1基板の一面のうちのセンシング部と対向する部分に、センシング部が第2基板と接触することを防止するための窪み部が形成されている。そして、この第2基板は、第1基板と窪み部との間を含む空間にてセンシング部を封止する気密室が構成されるように、第1基板に接合されている。

【 0 0 0 4 】

また、第2基板には、第1、第2基板の積層方向に第2基板を貫通して配線部を露出させる貫通孔が形成されている。そして、貫通孔には、絶縁膜を介して配線部（センシング部）と電氣的に接続される貫通電極が形成されている。

10

【 0 0 0 5 】

このような物理量センサは、次のように製造される。すなわち、まず、第1基板にセンシング部および配線部を形成すると共に、第2基板に窪み部を形成する。そして、第1基板と窪み部との間を含む空間にてセンシング部を封止する気密室が構成されるように、第1基板と第2基板とを接合する。次に、第2基板に、第1、第2基板を積層方向に貫通して配線部を露出させる貫通孔をドライエッチング等で形成する。そして、貫通孔の壁面に、CVD（Chemical Vapor Deposition）法等によって絶縁膜を成膜すると共にスパッタ法や蒸着法等で金属膜を成膜して貫通電極を形成することにより、製造される。

【 先行技術文献 】

20

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 0 5 - 2 5 1 8 9 8 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

しかしながら、上記物理量センサでは、第2基板に窪み部を形成しており、第2基板が厚くなり易い。そして、貫通孔にCVD法や蒸着法等によって絶縁膜および金属膜を成膜する場合、貫通孔が長くなるほど貫通孔の底部側で絶縁膜および金属膜が成膜（堆積）し難くなり、絶縁膜および金属膜の被覆率（カバレッジ）が小さくなる。つまり、第2基板が厚いほど貫通孔の底部側で絶縁膜および金属膜が成膜（堆積）し難くなり、絶縁膜および金属膜の被覆率が小さくなる。

30

【 0 0 0 8 】

本発明は上記点に鑑みて、貫通孔の底部側の絶縁膜および金属膜の被覆率が低下することを抑制できる物理量センサおよびその製造方法を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 9 】

上記目的を達成するため、請求項1に記載の発明では、一面（11a）を有し、物理量に応じたセンサ信号を出力するセンシング部（17）およびセンシング部と電氣的に接続される配線部（25、32、42）が形成された第1基板（11）と、第1基板の一面側に配置され、第1基板との間に気密室（70）を構成して当該気密室にセンシング部を封止する第2基板（61）と、を備え、第2基板に第1、第2基板の積層方向に貫通して配線部を露出させる貫通孔（81）が形成されていると共に、貫通孔に絶縁膜（82）を介して配線部と電氣的に接続される貫通電極（83）が形成された物理量センサの製造方法において、以下の点を特徴としている。

40

【 0 0 1 0 】

すなわち、第1基板にセンシング部および配線部を形成する工程と、第1基板の一面に第2基板を接合して気密室を構成する工程と、第2基板に配線部を露出させる貫通孔を形成する工程と、貫通孔に絶縁膜を成膜する工程と、絶縁膜上に金属膜を成膜することにより、配線部と電氣的に接続される貫通電極を形成する工程と、を行い、第1基板として、

50

支持基板(12)、絶縁膜(13)、半導体層(14)が順に積層され、半導体層のうちの絶縁膜側の部分に第2凹部(18)が形成された半導体基板を用意し、センシング部および配線部を形成する工程の前に、第1基板の一面を構成する半導体層のうちの第2凹部と対向する部分に第1凹部(16)を形成する工程を行い、センシング部を形成する工程では、第1凹部の底面を含む部分に、可動電極(24)と、可動電極と対向して配置される固定電極(31、41)とを有するセンシング部を形成し、貫通孔を形成する工程の前に、第2基板を薄膜化する薄膜化工程を行うことを特徴としている。

【0011】

これによれば、第1基板に第1凹部を形成し、第1凹部の底面を含む部分にセンシング部を形成している。これにより、第2基板のうちのセンシング部と対向する部分に窪み部を形成しなくても、センシング部が第2基板に接触することが防止される。そして、第2基板に窪み部を形成しないため、第2基板を薄膜化でき、第2基板を薄膜化した後に貫通孔を形成して絶縁膜および金属膜を成膜している。このため、貫通孔の底部側において、絶縁膜および金属膜の被覆率が低下することを抑制できる。

10

【0012】

また、請求項3に記載の発明では、一面(11a)を有し、物理量に応じたセンサ信号を出力するセンシング部(17)およびセンシング部と電氣的に接続される配線部(25、32、42)が形成された第1基板(11)と、第1基板の一面側に配置され、第1基板との間に気密室(70)を構成して当該気密室にセンシング部を封止する第2基板(61)と、を備え、第2基板に第1、第2基板の積層方向に貫通して配線部を露出させる貫通孔(81)が形成されていると共に、貫通孔に絶縁膜(82)を介して配線部と電氣的に接続される貫通電極(83)が形成された物理量センサにおいて、以下の点を特徴としている。

20

【0013】

すなわち、第1基板は、支持基板(12)、絶縁膜(13)、半導体層(14)が順に積層された半導体基板を用いて構成され、半導体層のうちの絶縁膜側と反対側の一面側から第1凹部(16)が形成され、半導体層のうちの絶縁膜側から第1凹部と対向する部分に第2凹部(18)が形成され、第2基板は、第1基板側の一面(61a)側が平坦な面とされており、センシング部は、第1凹部の底面を含む部分であって、半導体層のうちの第1凹部と第2凹部との間の部分に形成された可動電極(24)と、可動電極(24)と対向して配置される固定電極(31、41)とを有し、第2基板から所定距離離間していることを特徴としている。

30

【0014】

これによれば、第2基板に窪み部が形成されていないため、第2基板を薄膜化できる。このため、貫通孔の底部側において、絶縁膜および金属膜の被覆率が低下することを抑制できる。

【0015】

なお、この欄および特許請求の範囲に記載した各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【図面の簡単な説明】

40

【0016】

【図1】本発明の第1実施形態における加速度センサの断面図である。

【図2】図1中のセンサ基板の平面図である。

【図3】図1に示す加速度センサの製造工程を示す断面図である。

【図4】図3に続く製造工程を示す断面図である。

【図5】図4に続く製造工程を示す断面図である。

【図6】図5に続く製造工程を示す断面図である。

【図7】本発明の第2実施形態における加速度センサの断面図である。

【図8】本発明の第3実施形態における加速度センサの断面図である。

【図9】本発明の第4実施形態における加速度センサの製造工程を示す断面図である。

50

【図10】図9に続く製造工程を示す断面図である。

【発明を実施するための形態】

【0017】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

【0018】

(第1実施形態)

本発明の第1実施形態について図面を参照しつつ説明する。なお、本実施形態では、本発明の物理量センサを車両の加速度等を検出する加速度センサに適用した例について説明する。

【0019】

図1に示されるように、加速度センサは、センサ部10とキャップ部60とが接合されて構成されている。まず、センサ部10の構成について説明する。なお、図1は、図2中のI-I断面に相当している。

【0020】

センサ部10は、一面11aを有するセンサ基板11を用いて構成されている。本実施形態では、センサ基板11は、支持基板12、絶縁膜13、半導体層14が順に積層されたSOI(Silicon on Insulator)基板(半導体基板)で構成されている。

【0021】

なお、本実施形態では、センサ基板11が本発明の第1基板に相当している。また、支持基板12および半導体層14はシリコン基板で構成され、絶縁膜13は酸化膜等で構成されている。そして、センサ基板11の一面11aは、半導体層14のうちの絶縁膜13側と反対側の一面にて構成されている。

【0022】

支持基板12には、半導体層14側に窪み部12aが形成されている。そして、絶縁膜13は、窪み部12aの壁面にも形成されている。なお、窪み部12aは、後述する可動電極24および固定電極31、41(センシング部17)が支持基板12および絶縁膜13に接触することを防止するためのものであり、可動電極24および固定電極31、41と対向する部分に形成されている。

【0023】

センサ基板11には、半導体層14に周知のマイクロマシン加工が施されて溝部15が形成されている。そして、溝部15によって可動部20および固定部30、40を有する櫛歯形状の梁構造体が区画形成されている。

【0024】

具体的には、図1および図2に示されるように、半導体層14(センサ基板11)には、一面11a側に第1凹部16が形成されている。そして、第1凹部16の底面を含む部分に溝部15が形成されることにより、可動部20および固定部30、40が形成されている。

【0025】

詳述すると、可動部20は、窪み部12a上を横断するように配置された矩形状の錘部21を有し、当該錘部21における長手方向の両端が梁部22を介してアンカー部23a、23bに一体に連結した構成とされている。なお、錘部21および梁部22は、半導体層14のうちの第1凹部16の底面と絶縁膜13との間の部分にて構成され、アンカー部23a、23bは、半導体層14のうちの第1凹部16の外側の部分を含むように構成されている。そして、アンカー部23a、23bは、窪み部12aの開口縁部で絶縁膜13を介して支持基板12に支持されている。これにより、錘部21および梁部22は、窪み部12aに臨んだ状態となっている。また、アンカー部23bは、後述する貫通電極83と接続される配線部25と連結されている。

【0026】

梁部22は、平行な2本の梁がその両端で連結された矩形棒状とされており、2本の梁

10

20

30

40

50

の長手方向と直交する方向に変位するバネ機能を有している。具体的には、梁部 2 2 は、錘部 2 1 の長手方向の成分を含む加速度を受けたとき、錘部 2 1 を長手方向（図 2 中紙面左右方向）へ変位させると共に、加速度の消失に応じて元の状態に復元させるようになっている。したがって、このような梁部 2 2 を介して支持基板 1 2 に連結された錘部 2 1 は、加速度の印加に応じて、窪み部 1 2 a 上にて梁部 2 2 の変位方向（錘部 2 1 の長手方向）へ変位可能となっている。

【 0 0 2 7 】

また、可動部 2 0 は、錘部 2 1 の長手方向と直交した方向に、錘部 2 1 の両側面から互いに反対方向へ一体的に突出形成された複数個の可動電極 2 4 を備えている。図 2 では、可動電極 2 4 は、錘部 2 1 の下側および上側に各々 4 個ずつ突出して形成されており、窪み部 1 2 a に臨んだ状態となっている。また、各可動電極 2 4 は、錘部 2 1 および梁部 2 2 と一体的に形成されており、梁部 2 2 が変位することによって錘部 2 1 と共に錘部 2 1 の長手方向に変位可能となっている。

10

【 0 0 2 8 】

なお、可動電極 2 4 は、半導体層 1 4 のうちの第 1 凹部 1 6 の底面と絶縁膜 1 3 との間の部分にて構成されている。

【 0 0 2 9 】

固定部 3 0、4 0 は、窪み部 1 2 a の開口縁部のうち、アンカー部 2 3 a、2 3 b が支持されている部分以外にて、絶縁膜 1 3 を介して支持基板 1 2 に支持されている。すなわち、固定部 3 0、4 0 は、可動部 2 0 を挟むように配置されている。図 2 では、固定部 3 0 が可動部 2 0 に対して紙面下側に配置され、固定部 4 0 が可動部 2 0 に対して紙面上側に配置されている。そして、固定部 3 0、4 0 は互いに電氣的に独立している。

20

【 0 0 3 0 】

また、固定部 3 0、4 0 は、可動電極 2 4 の側面と所定の検出間隔を有するように平行した状態で対向配置された複数個の固定電極 3 1、4 1、および絶縁膜 1 3 を介して支持基板 1 2 に支持された配線部 3 2、4 2 を有している。

【 0 0 3 1 】

固定電極 3 1、4 1 は、図 2 では 4 個ずつ形成されており、可動電極 2 4 における櫛歯の隙間に噛み合うように櫛歯状に配列されている。そして、各配線部 3 2、4 2 に片持ち状に支持されることにより、窪み部 1 2 a に臨んだ状態となっている。

30

【 0 0 3 2 】

なお、固定電極 3 1、4 1 は、半導体層 1 4 のうちの第 1 凹部 1 6 の底面と絶縁膜 1 3 との間の部分にて構成されている。また、配線部 3 2、4 2 は、半導体層 1 4 のうちの第 1 凹部 1 6 の外側を含むように形成されている。

【 0 0 3 3 】

このようにして、本実施形態では、可動電極 2 4 と固定電極 3 1、4 1 との間に容量が構成される。そして、錘部 2 1 の長手方向に沿った方向の加速度が印加されると可動電極 2 4 と固定電極 3 1、4 1 との間の容量が変化するため、この容量変化に基づいて加速度の検出が行われる。つまり、本実施形態では、加速度に応じたセンサ信号（容量変化）を出力するセンシング部 1 7 は、錘部 2 1、梁部 2 2、可動電極 2 4 および固定電極 3 1、4 1 を有する構成とされている。そして、センシング部 1 7 は、第 1 凹部 1 6 の底面を含む部分（半導体層 1 4 のうちの第 1 凹部 1 6 の底面と絶縁膜 1 3 との間の部分）に形成されている。

40

【 0 0 3 4 】

また、半導体層 1 4 のうちの可動電極 2 4 および固定電極 3 1、4 1 の外側に位置する外周部は、周辺部 5 0 として構成されている。そして、この周辺部 5 0 は、絶縁膜 1 3 を介して支持基板 1 2 に固定されて支持されている。

【 0 0 3 5 】

以上が本実施形態におけるセンサ部 1 0 の構成である。次に、キャップ部 6 0 の構成について説明する。キャップ部 6 0 は、図 1 に示されるように、センサ部 1 0 との間に気密

50

室 70 を構成してセンシング部 17 を封止することにより、上記センシング部 17 への水や異物の混入等を防止するものである。

【0036】

本実施形態のキャップ部 60 は、一面 61 a および他面 61 b を有する基板 61 と、基板 61 の一面 61 a 側に形成された絶縁膜 62 と、基板 61 の他面 61 b 側に形成された絶縁膜 63 とを有している。そして、絶縁膜 62 がセンサ部 10 (半導体層 14) と接合されることにより、センサ部 10 との間に気密室 70 を構成している。

【0037】

なお、可動電極 24 および固定電極 31、41 を有するセンシング部 17 は、半導体層 14 のうちの第 1 凹部 16 の底面と絶縁膜 13 との間の部分にて構成され、キャップ部 60 (基板 61) と所定距離離間している。つまり、第 1 凹部 16 によってセンシング部 17 がキャップ部 60 (基板 61) に接触することが防止されるため、キャップ部 60 (基板 61) には窪み部が形成されていない。すなわち、キャップ部 60 (基板 61) は、半導体層 14 側が平坦な一面とされている。また、本実施形態では、基板 61 が本発明の第 2 基板に相当している。そして、基板 61 はシリコン基板で構成され、絶縁膜 62 は酸化膜等で構成され、絶縁膜 63 は T E O S (Tetra ethyl ortho silicate) 等で構成されている。

【0038】

また、キャップ部 60 には、当該キャップ部 60 をセンサ部 10 とキャップ部 60 との積層方向に貫通する 4 つの貫通孔 81 が形成されている。具体的には、この貫通孔 81 は、配線部 25、32、42 および周辺部 50 の所定箇所を露出させるように形成されている。なお、図 2 中の点線で囲まれる領域は、貫通孔 81 から露出する部分を示している。

【0039】

そして、貫通孔 81 の壁面には、T E O S 等で構成される絶縁膜 82 が成膜され、絶縁膜 82 上には A1 等で構成される貫通電極 83 が適宜配線部 25、32、42 および周辺部 50 と電氣的に接続されるように形成されている。また、絶縁膜 63 上には、貫通電極 83 と電氣的に接続されるパッド部 84 が形成されている。

【0040】

さらに、キャップ部 60 は、絶縁膜 63 上に形成された保護膜 90 を有している。そして、この保護膜 90 には、パッド部 84 の一部を露出させるコンタクトホール 90 a が形成されている。

【0041】

なお、キャップ部 60 には、図 1 とは別断面において、基板 61 を所定電位に維持することでセンサ部 10 との間に構成される寄生容量が変動することを抑制する電極が形成されていてもよい。

【0042】

以上が本実施形態における加速度センサの構成である。次に、上記加速度センサの製造方法について説明する。

【0043】

まず、図 3 (a) に示されるように、支持基板 12 を用意する。そして、図示しないレジスト等をマスクとして支持基板 12 にドライエッチング等を行い、窪み部 12 a を形成する。

【0044】

次に、図 3 (b) に示されるように、支持基板 12 に絶縁膜 13 を形成する。この絶縁膜 13 は、例えば、熱酸化や C V D 法等で形成することにより、窪み部 12 a の壁面にも形成される。

【0045】

そして、図 3 (c) に示されるように、絶縁膜 13 と半導体層 14 とを接合してセンサ基板 11 を形成する。絶縁膜 13 と半導体層 14 との接合は、特に限定されるものではないが、例えば、次のように行うことができる。すなわち、まず、絶縁膜 13 の表面 (接合

10

20

30

40

50

面)および半導体層14の表面(接合面)にN₂プラズマ、O₂プラズマ、またはArイオンビームを照射し、絶縁膜13および半導体層14の各表面(接合面)を活性化させる。次に、適宜形成されたアライメントマークを用いて赤外顕微鏡等によりアライメントを行い、室温~550の低温で絶縁膜13および半導体層14をいわゆる直接接合により接合する。

【0046】

なお、ここでは直接接合を例に挙げて説明したが、絶縁膜13と半導体層14とは、陽極接合や中間層接合等の接合技術によって接合されてもよい。また、接合後に、高温アニール等の接合品質を向上させる処理を行ってもよい。

【0047】

次に、図4(a)に示されるように、図示しないレジスト等をマスクとしてセンサ基板11(半導体層14)にドライエッチング等を行い、一面11aに、第1凹部16を形成すると共に第1凹部16の底面に形成されない溝部15の一部を形成する。なお、第1凹部16の底面に形成されない溝部15とは、アンカー部23a、23bおよび配線部25、32、42と、周辺部50とを区画する溝部15のことである。また、この工程における溝部15の一部は、第1凹部16と同じ深さまで形成される。

【0048】

続いて、図4(b)に示されるように、図示しないレジスト等をマスクとして第1凹部16の底面にドライエッチング等を行い、錘部21、梁部22、可動電極24、固定電極31、41を有するセンシング部17を形成する。また、図4(a)の工程で形成した溝部15の底面にドライエッチング等を行い、溝部15を絶縁膜13に到達させることによってアンカー部23a、23bおよび配線部25、32、42と周辺部50とを区画する。

【0049】

次に、図4(c)に示されるように、上記工程とは別工程において、基板61を用意し、基板61の一面61aに絶縁膜62を形成する。なお、この絶縁膜62は、熱酸化やCVD法等で形成される。

【0050】

続いて、図5(a)に示されるように、半導体層14(センサ基板11)と絶縁膜62(基板61)とを接合する。半導体層14(センサ基板11)と絶縁膜62(基板61)との接合は、上記図3(c)と同様に、直接接合等によって行うことができる。

【0051】

そして、図5(b)に示されるように、基板61の他面61b側から研削、研磨を行い、例えば、基板61を20μm程度まで薄くする。このとき、基板61にはセンシング部17と対向する部分に窪み部が形成されていないため、基板61に窪み部が形成されている場合と比較して、基板61を薄くできる。また、基板61に窪み部が形成されている場合には、研削、研磨を行うと、窪み部の底面と窪み部の側面との間の連結部に応力集中が発生してしまい、基板61が割れてしまうことがある。これに対し、本実施形態では、基板61に窪み部が形成されていないため、研削、研磨を行っても応力集中が発生することを抑制でき、基板61が割れることを抑制できる。

【0052】

なお、この研削、研磨工程は、半導体層14(センサ基板11)と基板61(絶縁膜62)とを接合する前に行ってもよい。つまり、予め薄くした基板61を半導体層14と接合するようにしてもよい。

【0053】

次に、図5(c)に示されるように、図示しないレジスト等をマスクとして基板61の他面61bにドライエッチング等を行い、配線部25、32、42および周辺部50の所定箇所を露出させる貫通孔81を形成する。

【0054】

続いて、図6(a)に示されるように、各貫通孔81の壁面にTEOS等の絶縁膜82

10

20

30

40

50

を成膜する。このとき、基板 6 1 の他面 6 1 b に形成された絶縁膜にて絶縁膜 6 3 が構成される。続いて、各貫通孔 8 1 の底部に形成された絶縁膜 8 2 を除去した後、スパッタ法や蒸着法等によって各貫通孔 8 1 に Al や Al - Si 等の金属膜を成膜することにより、配線部 2 5、3 2、4 2 (可動電極 2 4 および固定電極 3 1、4 1)、および周辺部 5 0 とそれぞれ電氣的に接続される貫通電極 8 3 を形成する。また、絶縁膜 6 3 上の金属膜をパターンングしてパッド部 8 4 を形成する。

【 0 0 5 5 】

その後は、図 6 (b) に示されるように、絶縁膜 6 3 上に保護膜 9 0 を形成し、当該保護膜 9 0 をパターンングしてパッド部 8 4 を露出させるコンタクトホール 9 0 a を形成することにより、上記加速度センサが製造される。

10

【 0 0 5 6 】

なお、上記では、1つの加速度センサの製造方法について説明したが、ウェハ状のセンサ基板 1 1 と基板 6 1 とを用意し、ウェハ状のまま上記各工程を行った後にこのものをダイシングカットしてチップ単位に分割するようにしてもよい。

【 0 0 5 7 】

以上説明したように、本実施形態では、センサ基板 1 1 に第 1 凹部 1 6 を形成し、第 1 凹部 1 6 の底面にセンシング部 1 7 を形成している。これにより、基板 6 1 のうちのセンシング部 1 7 と対向する部分に窪み部を形成しなくても、センシング部 1 7 が基板 6 1 (キャップ部 6 0) に接触することが防止される。そして、基板 6 1 を薄膜化した後、貫通孔 8 1 を形成して絶縁膜 8 2 および貫通電極 8 3 を形成している。このとき、基板 6 1 には、窪み部が形成されていないため、基板 6 1 に窪み部が形成されている場合より薄膜化できる。したがって、基板 6 1 に貫通孔 8 1 を形成した後に絶縁膜 8 2 および貫通電極 8 3 を構成する金属膜を成膜する際、貫通孔 8 1 の底部側において、絶縁膜 8 2 および貫通電極 8 3 を構成する金属膜の被覆率が低下することを抑制できる。

20

【 0 0 5 8 】**(第 2 実施形態)**

本発明の第 2 実施形態について説明する。本実施形態は、第 1 実施形態に対して半導体層 1 4 に第 2 凹部を形成したものであり、その他に関しては第 1 実施形態と同様であるため、ここでは説明を省略する。

【 0 0 5 9 】

本実施形態では、図 7 に示されるように、半導体層 1 4 に第 2 凹部 1 8 が形成されている。具体的には、第 2 凹部 1 8 は、半導体層 1 4 のうちの絶縁膜 1 3 側から第 1 凹部 1 6 と対向する部分に形成されている。そして、センシング部 1 7 は、半導体層 1 4 のうちの第 1 凹部 1 6 の底面と第 2 凹部 1 8 の底面との間の部分にて構成されている。

30

【 0 0 6 0 】

なお、このような加速度センサは、上記図 3 (c) の工程を行う前に、半導体層 1 4 のうちの絶縁膜 1 3 側の部分に第 2 凹部 1 8 を形成することによって製造される。

【 0 0 6 1 】

これによれば、センシング部 1 7 と絶縁膜 1 3 との間の距離を長くすることができる。このため、半導体層 1 4 と絶縁膜 1 3 との間に応力が発生した際、当該応力がセンシング部 1 7 に伝達される経路が長くなり、当該経路によって応力を緩和できる。したがって、検出精度が低下することを抑制できる。

40

【 0 0 6 2 】

なお、本実施形態では、第 2 凹部 1 8 によって可動電極 2 4 および固定電極 3 1、4 1 (センシング部 1 7) が支持基板 1 2 および絶縁膜 1 3 に接触することが防止されるため、支持基板 1 2 には窪み部 1 2 a が形成されていない。

【 0 0 6 3 】**(第 3 実施形態)**

本発明の第 3 実施形態について説明する。本実施形態は、第 2 実施形態に対して第 1、第 2 凹部 1 6、1 8 の深さを等しくすると共に支持基板 1 2 と基板 6 1 の厚さとを等しく

50

したものであり、その他に関しては第1実施形態と同様であるため、ここでは説明を省略する。

【0064】

本実施形態では、図8に示されるように、第1、第2凹部16、18の深さが等しくされている。つまり、センシング部17と絶縁膜13との間の距離と、センシング部17と絶縁膜62との間の距離とが等しくされている。

【0065】

また、支持基板12の厚さが基板61の厚さと等しくされている。本実施形態では、支持基板12および基板61は、それぞれ厚さが20 μ mとされている。

【0066】

そして、上記のように、支持基板12および基板61はシリコン基板で構成されている。つまり、支持基板12および基板61は、同じ材料で構成されている。

【0067】

これによれば、支持基板12から絶縁膜13を介して半導体層14に印加される応力と、基板61から絶縁膜62を介して半導体層14に印加される応力とを等しくできる。例えば、支持基板12から絶縁膜13を介して半導体層14に引張応力が印加される場合には、基板61から絶縁膜62を介して半導体層14にほぼ同じ大きさの引張応力が印加される。このため、これらの応力を互いに相殺することができ、検出精度が低下することを抑制できる。

【0068】

(第4実施形態)

本発明の第4実施形態について説明する。本実施形態は、第1実施形態に対してウェハ状態で気密性を検査するものであり、その他に関しては第1実施形態と同様であるため、ここでは説明を省略する。

【0069】

本実施形態では、図9(a)に示されるように、ウェハ状のセンサ基板11を形成する。そして、図4(a)の第1凹部16を形成する工程において、半導体層14のうちのダイシングライン100となる部分に第1検査孔85aの一部を形成する。

【0070】

次に、図9(b)に示されるように、図4(b)のセンシング部17を形成する工程において、図9(a)の工程で形成した第1検査孔85aの底面にドライエッチング等を行い、第1検査孔85aを絶縁膜13に到達させることによって絶縁膜13と半導体層14との接合面の端部を第1検査孔85aに露出させる。

【0071】

続いて、図10(a)に示されるように、ウェハ状の基板61を用意して絶縁膜62を形成した後、図5(a)と同様の工程を行って基板61をセンサ基板11に接合する。

【0072】

そして、図10(b)に示されるように、図5(c)の貫通孔81を形成する工程において、基板61のうちのダイシングライン100となる部分に、第1検査孔85aと連通する第2検査孔85bを形成し、半導体層14と絶縁膜62との接合面の端部を露出させる。

【0073】

次に、図6(a)と同様の工程を行って絶縁膜63および貫通電極83を形成した後、ウェハ状態のまま、半導体層14と絶縁膜62との接合面の接合性、および半導体層14と絶縁膜13との接合面の接合性を検査する。つまり、気密室70の気密性を検査する。この検査は、例えば、外部雰囲気陽圧または負圧にした状態でセンシング部17の特性検査を行えばよい。半導体層14と絶縁膜62との接合面、および半導体層14と絶縁膜13との接合面に隙間が存在する場合には、外部雰囲気に応じて特性検査の値が変化するためである。

【0074】

10

20

30

40

50

その後は、特に図示しないが、上記図6(b)の工程を行った後、センサ基板11および基板61をダイシングライン100に沿って分割することにより、上記加速度センサが製造される。

【0075】

これによれば、半導体層14と絶縁膜62との接合面の接合性、および半導体層14と絶縁膜13との接合面の接合性をウェハ状態のまま検査している。つまり、複数の加速度センサにおける気密室70の気密性の検査を同時に行っている。このため、加速度センサ毎に、半導体層14と絶縁膜62との接合面の接合性、および半導体層14と絶縁膜13との接合面の接合性を検査する場合と比較して、検査工程を容易にできる。

【0076】

(他の実施形態)

本発明は上記した実施形態に限定されるものではなく、特許請求の範囲に記載した範囲内において適宜変更が可能である。

【0077】

例えば、上記各実施形態では、本発明を加速度センサに適用した例について説明したが、例えば、本発明を角速度を検出する角速度センサや圧力を検出する圧力センサに適用することもできる。

【0078】

また、上記各実施形態において、基板61としてガラス等の絶縁体を用いてもよい。この場合は、基板61と半導体層14とを接合すればよいので、絶縁膜62を備えなくてもよい。

【0079】

そして、上記各実施形態において、センサ基板11として、SOI基板ではなく、シリコン基板等を用いてもよい。

【0080】

さらに、上記第1実施形態において、絶縁膜13は、窪み部12aの壁面に形成されていなくてもよい。また、支持基板12に窪み部12aが形成されていなくてもよい。この場合は、センシング部17を絶縁膜13からリリース(浮遊)させるための開口部を絶縁膜13に形成すればよい。

【符号の説明】

【0081】

11	センサ基板(第1基板)
16	第1凹部
17	センシング部
25、32、42	配線部
61	基板(第2基板)
70	気密室
81	貫通孔
82	絶縁膜
83	貫通電極

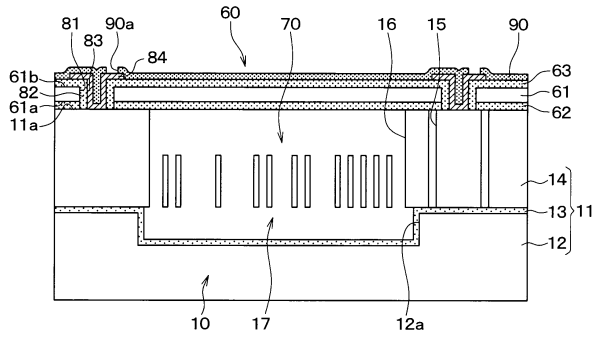
10

20

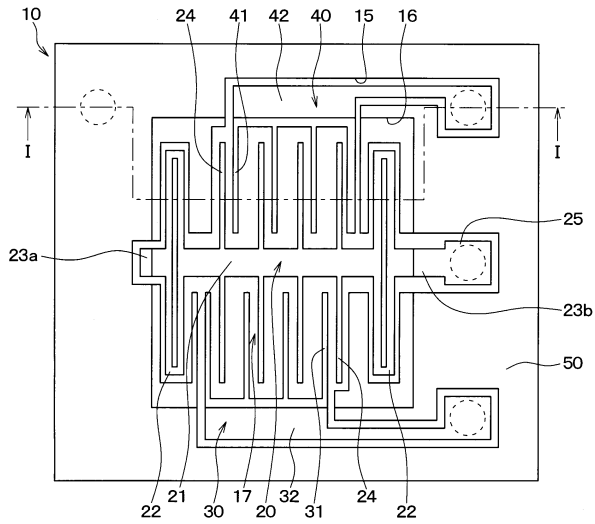
30

40

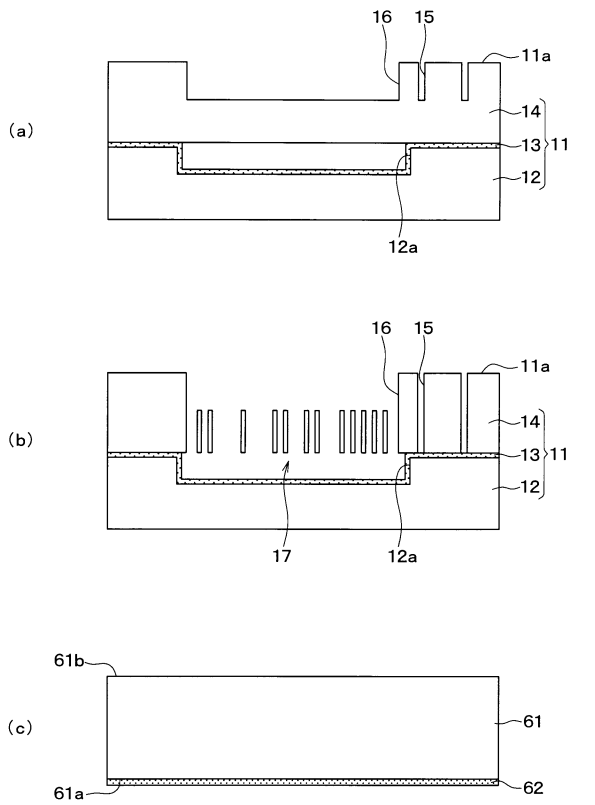
【図1】



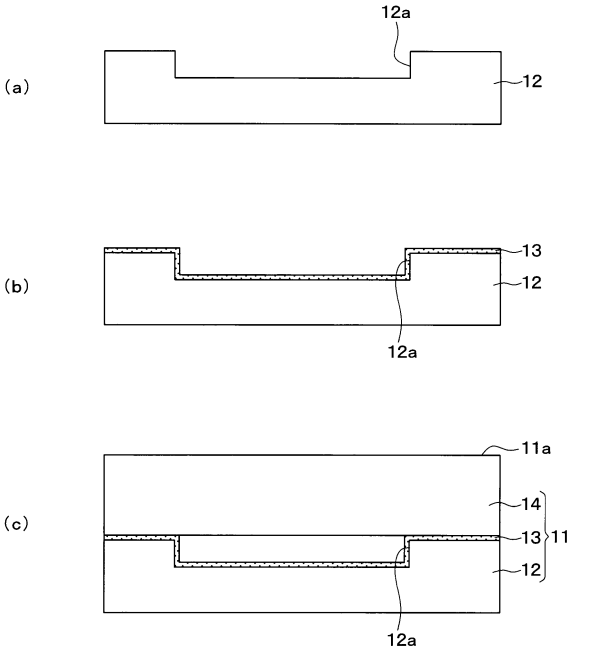
【図2】



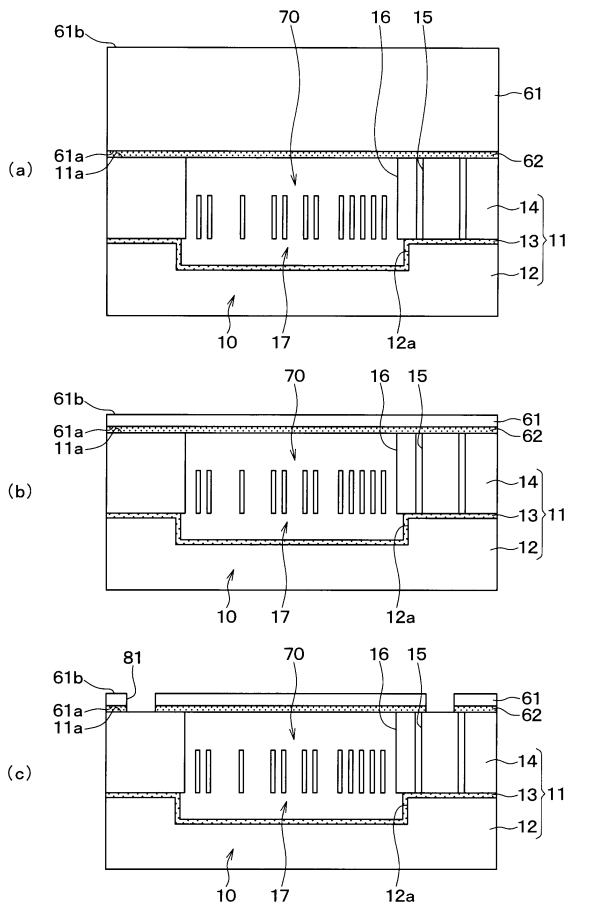
【図4】



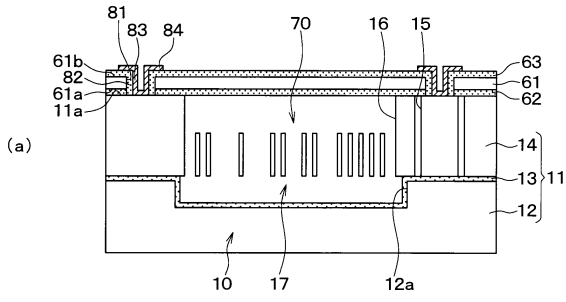
【図3】



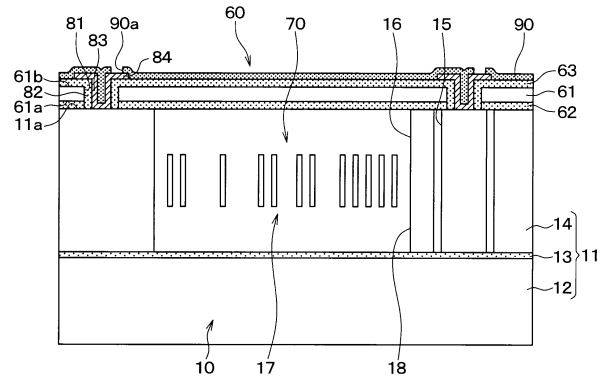
【図5】



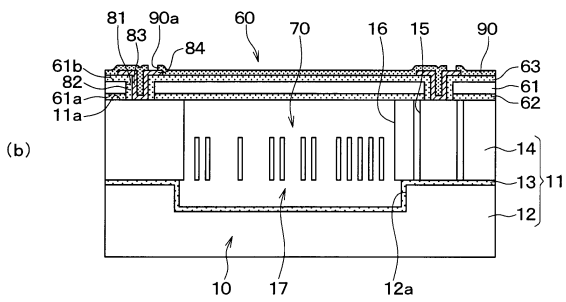
【図 6】



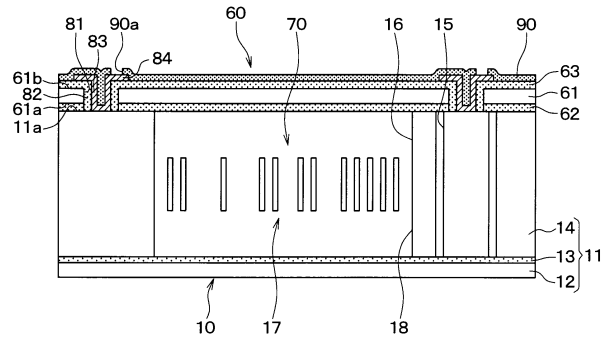
【図 7】



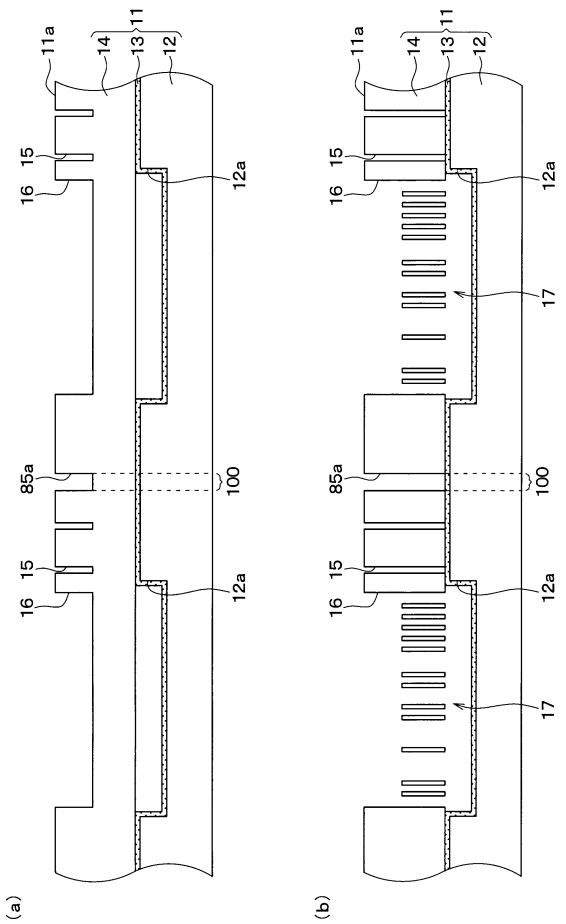
(b)



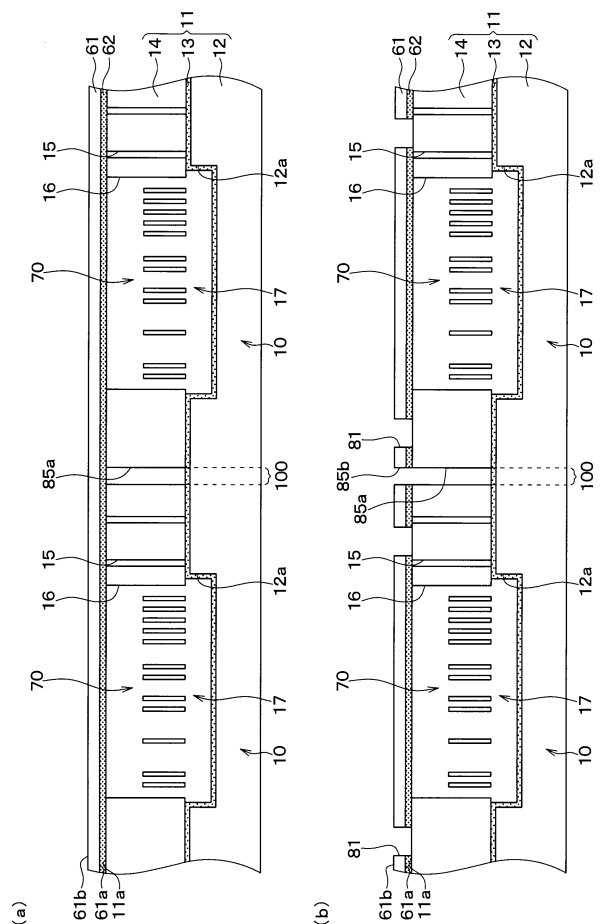
【図 8】



【図 9】



【図 10】



フロントページの続き

審査官 塩治 雅也

- (56)参考文献 特表2009-516598(JP,A)
特開2006-175554(JP,A)
特開2013-228357(JP,A)
特開2002-273699(JP,A)
特開平06-289049(JP,A)
国際公開第2010/104064(WO,A1)

(58)調査した分野(Int.Cl., DB名)

B81B	1/00 - 7/04
B81C	1/00 - 99/00
H01L	29/84
G01P	15/08