



(12) 发明专利申请

(10) 申请公布号 CN 112582331 A

(43) 申请公布日 2021.03.30

(21) 申请号 202010865081.7

(22) 申请日 2020.08.25

(30) 优先权数据

62/907,960 2019.09.30 US

16/812,533 2020.03.09 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 吴政达 刘冠良

(74) 专利代理机构 北京德恒律治知识产权代理

有限公司 11409

代理人 章社杲 李伟

(51) Int. Cl.

H01L 21/762 (2006.01)

H01L 27/12 (2006.01)

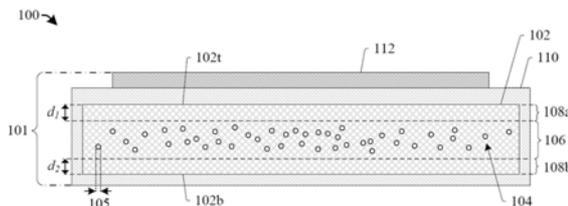
权利要求书2页 说明书14页 附图11页

(54) 发明名称

半导体结构及其形成方法、形成SOI衬底的方法

(57) 摘要

在一些实施例中,本发明涉及一种形成半导体结构的方法。该方法包括在处理衬底内形成多个体微缺陷。增大多个体微缺陷的尺寸,以在处理衬底内形成多个体宏缺陷(BMD)。从沿着处理衬底的相对表面布置的第一凹痕区域和第二凹痕区域内去除多个BMD中的一些。绝缘层形成在处理衬底上。在绝缘层上形成包括半导体材料的器件层。第一凹痕区域和第二凹痕区域垂直地围绕处理衬底的中心区域,该中心区域具有比第一凹痕区域和第二凹痕区域均更高的多个BMD的浓度。本发明的实施例还涉及半导体结构和形成SOI衬底的方法。



1. 一种形成半导体结构的方法,包括:  
在处理衬底内形成多个体微缺陷;  
增大所述多个体微缺陷的尺寸,以在所述处理衬底内形成多个体宏缺陷(BMD);  
从沿着所述处理衬底的相对表面布置的第一凹痕区域和第二凹痕区域内去除所述多个体宏缺陷中的一些;  
在所述处理衬底上形成绝缘层;  
在所述绝缘层上形成包括半导体材料的器件层;并且  
其中,所述第一凹痕区域和所述第二凹痕区域垂直地围绕所述处理衬底的中心区域,所述中心区域具有比所述第一凹痕区域和所述第二凹痕区域均更高的所述多个体宏缺陷的浓度。
2. 根据权利要求1所述的方法,其中,所述多个体宏缺陷的第一尺寸比所述多个体微缺陷的第二尺寸大1000%至20000%之间。
3. 根据权利要求1所述的方法,其中,所述多个体宏缺陷分别具有在3nm与100nm之间的尺寸。
4. 根据权利要求1所述的方法,还包括:  
对所述处理衬底执行第一热工艺以形成所述多个体微缺陷;以及  
对所述处理衬底执行第二热工艺,以增大所述处理衬底内的所述多个体微缺陷的尺寸,以形成所述多个体宏缺陷。
5. 根据权利要求4所述的方法,其中,在最大第一温度下执行所述第一热工艺,并且在大于所述最大第一温度的最大第二温度下执行所述第二热工艺。
6. 根据权利要求1所述的方法,还包括:  
将所述处理衬底暴露于具有氩气或氢气的环境中,以从所述处理衬底去除所述多个体宏缺陷中的一些,并且形成所述第一凹痕区域和所述第二凹痕区域。
7. 根据权利要求1所述的方法,其中,所述中心区域的体宏缺陷浓度在 $8 \times 10^8$ 体宏缺陷/ $\text{cm}^3$ 和 $9 \times 10^9$ 体宏缺陷/ $\text{cm}^3$ 之间。
8. 根据权利要求1所述的方法,还包括:  
对所述处理衬底执行第一热工艺以将所述处理衬底内的体微缺陷的数量从第一非零数量增大到第二非零数量;以及  
对所述处理衬底执行第二热工艺,以增大所述处理衬底内的所述多个体微缺陷的尺寸,以形成所述多个体宏缺陷。
9. 一种形成绝缘体上半导体(SOI)衬底的方法,包括:  
执行第一热工艺以在处理衬底内形成多个体微缺陷;  
执行第二热工艺以通过增大所述多个体微缺陷的尺寸而在所述处理衬底内形成多个体宏缺陷(BMD);  
执行第三热工艺,以从沿着所述处理衬底的相对表面布置的第一凹痕区域和第二凹痕区域内去除所述多个体宏缺陷中的一些;  
在所述处理衬底上形成绝缘层;以及  
在所述绝缘层上形成具有半导体材料的器件层。
10. 一种半导体结构,包括:

处理衬底,包括多个体宏缺陷(BMD);

绝缘层,设置在所述处理衬底的顶面上;

器件层,包括半导体材料并且设置在所述绝缘层上;并且

其中,所述处理衬底具有垂直地围绕所述处理衬底的中心区域的第一凹痕区域和第二凹痕区域,所述中心区域具有比所述第一凹痕区域和所述第二凹痕区域均更高的所述多个体宏缺陷的浓度。

## 半导体结构及其形成方法、形成SOI衬底的方法

### 技术领域

[0001] 本发明的实施例涉及半导体结构及其形成方法、形成SOI衬底的方法。

### 背景技术

[0002] 集成电路传统上形成在体半导体衬底上。近年来,绝缘体上半导体(SOI)衬底已作为体半导体衬底的替代品出现。SOI衬底包括处理衬底、位于处理衬底上方的绝缘层以及位于绝缘层上方的器件层。其中,SOI衬底导致减小的寄生电容、减小的漏电流、减小的闩锁以及改进的半导体器件性能(例如,较低的功耗和较高的切换速度)。

### 发明内容

[0003] 本发明的实施例提供了一种形成半导体结构的方法,包括:在处理衬底内形成多个个体微缺陷;增大所述多个个体微缺陷的尺寸,以在所述处理衬底内形成多个个体宏缺陷(BMD);从沿着所述处理衬底的相对表面布置的第一凹痕区域和第二凹痕区域内去除所述多个个体宏缺陷中的一些;在所述处理衬底上形成绝缘层;在所述绝缘层上形成包括半导体材料的器件层;并且其中,所述第一凹痕区域和所述第二凹痕区域垂直地围绕所述处理衬底的中心区域,所述中心区域具有比所述第一凹痕区域和所述第二凹痕区域均更高的所述多个个体宏缺陷的浓度。

[0004] 本发明的另一实施例提供了一种形成绝缘体上半导体(SOI)衬底的方法,包括:执行第一热工艺以在处理衬底内形成多个个体微缺陷;执行第二热工艺以通过增大所述多个个体微缺陷的尺寸而在所述处理衬底内形成多个个体宏缺陷(BMD);执行第三热工艺,以从沿着所述处理衬底的相对表面布置的第一凹痕区域和第二凹痕区域内去除所述多个个体宏缺陷中的一些;在所述处理衬底上形成绝缘层;以及在所述绝缘层上形成具有半导体材料的器件层。

[0005] 本发明的又一实施例提供了一种半导体结构,包括:处理衬底,包括多个个体宏缺陷(BMD);绝缘层,设置在所述处理衬底的顶面上;器件层,包括半导体材料并且设置在所述绝缘层上;并且其中,所述处理衬底具有垂直地围绕所述处理衬底的中心区域的第一凹痕区域和第二凹痕区域,所述中心区域具有比所述第一凹痕区域和所述第二凹痕区域均更高的所述多个个体宏缺陷的浓度。

### 附图说明

[0006] 当结合附图进行阅读时,从以下详细描述可最佳理解本发明的各个方面。应该强调,根据工业中的标准实践,各个部件未按比例绘制并且仅用于说明的目的。实际上,为了清楚的讨论,各个部件的尺寸可以任意地增大或减小。

[0007] 图1示出了包括绝缘体上半导体(SOI)衬底的半导体结构的一些实施例的截面图,该SOI衬底具有中心区域,该中心区域包括由凹痕区域垂直围绕的体宏缺陷(BMD)。

[0008] 图2示出了作为SOI衬底的处理衬底内的位置的函数的BMD浓度的一些实施例的

图。

[0009] 图3A至图3B示出了包括SOI衬底的半导体结构的一些附加实施例,该SOI衬底具有中心区域,该中心区域包括由凹痕区域垂直围绕的BMD。

[0010] 图4示出了包括SOI衬底的半导体结构的一些附加实施例的截面图,该SOI衬底具有中心区域,该中心区域包括由凹痕区域垂直围绕的BMD。

[0011] 图5示出了包括SOI衬底的集成芯片管芯的一些附加实施例的截面图,该SOI衬底具有中心区域,该中心区域包括由凹痕区域垂直围绕的BMD。

[0012] 图6A至图19示出了形成SOI衬底的方法的一些实施例的截面图,该SOI衬底包括具有中心区域的处理衬底,该中心区域包括设置在凹痕区域之间的多个BMD。

[0013] 图20示出了形成SOI衬底的方法的一些实施例的流程图,该SOI衬底包括具有中心区域的处理衬底,该中心区域包括设置在凹痕区域之间的多个BMD。

### 具体实施方式

[0014] 以下公开提供了许多用于实现所提供主题的不同特征的不同实施例或实例。下面描述了组件和布置的具体实施例或实例以简化本发明。当然,这些仅是实例而不旨在限制。例如,在以下描述中,在第二部件上方或者上形成第一部件可以包括第一部件和第二部件直接接触形成的实施例,并且也可以包括在第一部件和第二部件之间可以形成附加部件,从而使得第一部件和第二部件可以不直接接触的实施例。此外,本发明可以在各个示例中重复参考数字和/或字母。该重复是为了简单和清楚的目的,并且其本身不指示讨论的各个实施例和/或配置之间的关系。

[0015] 此外,为了便于描述,本文中可以使用诸如“在…下方”、“在…下面”、“下部”、“在…上面”、“上部”等的间距关系术语,以描述如图中所示的一个元件或部件与另一元件或部件的关系。除了图中所示的方位外,间距关系术语旨在包括器件在使用或操作工艺中的不同方位。装置可以以其它方式定位(旋转90度或在其它方位),并且在本文中使用的间距关系描述符可以同样地作相应地解释。

[0016] 绝缘体上半导体(SOI)衬底用于许多集成电路应用中。例如,近年来,SOI衬底已经在逻辑器件、双极CMOS-DMOS器件、高压器件(例如,以100V或更高电压运行的器件)、嵌入式闪存器件等中得到广泛使用。SOI衬底通常包括通过绝缘层与上面的器件层(即,有源层)分隔开的半导体材料(例如,处理衬底)的厚层。晶体管器件通常被制造在器件层内。与在体衬底内形成的器件相比,在器件层内制造的晶体管能够更快地切换信号,在较低的电压下运行,并且不易受到来自背景宇宙射线粒子的信号噪声的影响。

[0017] 可以通过丘克拉斯基(Czochralski)工艺形成用于形成SOI衬底的处理衬底。在丘克拉斯基(Czochralski)工艺期间,硅在高温下的石英坩埚内熔化。然后将晶种晶体浸入熔融的硅中,并缓慢向外拉出,以提取出大的单晶圆柱形锭。随后将锭切片以形成处理衬底。在形成处理衬底期间,氧可以从石英坩埚掺入硅中。氧可以以沉淀物的形式进入硅晶体,以形成体微缺陷(例如,滑移线、晶体起源的颗粒(COP)等)。

[0018] 在体衬底中,体微缺陷可以产生相邻晶体管器件之间的泄漏路径,因为晶体管器件形成在具有体微缺陷的衬底内。相反,尽管SOI衬底的处理衬底可以包含体微缺陷(例如,具有小于 $1 \times 10^8$ 体微缺陷/cm<sup>3</sup>的浓度),但是由于晶体管器件形成在通过绝缘层与处理衬底

分隔开的器件层内,所以减轻了体微缺陷对晶体管器件的负面电效应。然而,已经认识到,在高温热退火期间(例如,在约1000°C以上的热工艺期间),处理衬底内的不期望的晶圆变形(翘曲)会给器件层施加应力并导致滑移线(例如,由于高温暴露而引入的热弹性应力导致的缺陷)形成在器件层内。此外,不期望的晶圆变形还可以导致在后续处理期间执行的光刻工艺中的覆盖误差。

[0019] 在一些实施例中,本发明涉及一种形成绝缘体上半导体(SOI)衬底的方法,该绝缘体上半导体(SOI)衬底具有处理衬底,该处理衬底具有使不期望的晶圆变形(翘曲)最小化的高结构完整性。在一些实施例中,SOI衬底包括通过绝缘层接合至器件层的处理衬底。处理衬底包括半导体材料并且具有沿相对的最外表面布置并且围绕中心区域的凹痕区域。中心区域具有相对较高的体宏缺陷(BMD)浓度(例如,大于约 $1 \times 10^8$  BMD/cm<sup>3</sup>),而凹痕区域的BMD浓度低于中心区域。中心区域内的BMD的相对较高的浓度和较大的尺寸(例如,大于约2nm)会减轻处理晶圆的翘曲,因为BMD将具有比半导体材料更大刚度的材料(例如氧化物)引入到处理衬底中。此外,在凹痕区域内较低的BMD浓度防止来自处理晶圆的缺陷对上面的层产生负面影响。处理衬底的相对较低的晶圆变形使覆盖误差和器件内的滑移线的形成最小化。

[0020] 图1示出了包括绝缘体上半导体(SOI)衬底的半导体结构100的一些实施例的截面图,该绝缘体上半导体(SOI)衬底具有中心区域,该中心区域包括由凹痕区域垂直地围绕的体宏缺陷(BMD)

[0021] 半导体结构100包括SOI衬底101,该SOI衬底101具有设置在处理衬底102和器件层112(即,有源层)之间的绝缘层110。在一些实施例中,绝缘层110可以连续地围绕处理衬底102的最外表面延伸。在一些实施例中,处理衬底102可以包括第一半导体材料,诸如硅、锗等。在一些实施例中,绝缘层110可以包括氧化物(例如,二氧化硅、氧化锗等)、氮化物(例如,氮氧化硅)等。在一些实施例中,器件层112可以包括第二半导体材料,诸如硅、锗等。在一些实施例中,第一半导体材料可以是与第二半导体材料相同的材料。

[0022] 处理衬底102包括垂直设置在第一凹痕区域108a和第二凹痕区域108b之间的中心区域106。第一凹痕区域108a沿着处理衬底102的顶面102t设置,并且第二凹痕区域108b沿着处理衬底102的底面102b设置。在一些实施例中,第一凹痕区域108a可以延伸到处理衬底102中至第一深度d<sub>1</sub>,并且第二凹痕区域108b可以延伸到处理衬底102中至第二深度d<sub>2</sub>。例如,第一凹痕区域108a可以从顶面102t延伸到第一深度d<sub>1</sub>,而第二凹痕区域108b可以从底面102b延伸到第二深度d<sub>2</sub>。

[0023] 第一深度d<sub>1</sub>可以足够大以防止沿着处理衬底102的顶部的缺陷,该缺陷会削弱处理衬底102和绝缘层110之间的接合。此外,第一深度d<sub>1</sub>可以足够小以至于为处理衬底102提供防止处理衬底102翘曲的刚度(例如,第一深度d<sub>1</sub>可以为中心区域106提供足以防止处理衬底102的翘曲的厚度)。例如,在一些实施例中,第一深度d<sub>1</sub>和第二深度d<sub>2</sub>可以在约0.05微米(μm)和约50μm之间的范围内。在其他实施例中,第一深度d<sub>1</sub>和第二深度d<sub>2</sub>可以在约0.05μm和约100μm之间的范围内。在其他实施例中,第一深度d<sub>1</sub>和第二深度d<sub>2</sub>可以在约0.05μm与约10μm之间、在约0.5μm与约10μm之间、在约5μm与约20μm之间或者在约1μm和约20μm之间的范围内。将理解的是,第一深度d<sub>1</sub>和第二深度d<sub>2</sub>的其他深度值也可以在本发明的范围内。

[0024] 多个体宏缺陷(BMD)104设置在处理衬底102内。中心区域106包括第一浓度的多个

BMD 104,而第一凹痕区域108a和第二凹痕区域108b包括一个或多个第二浓度的多个BMD 104。第一浓度大于一个或多个第二浓度。在一些实施例中,第一浓度可以大于约 $1 \times 10^8$  BMD/cm<sup>3</sup>。在其他实施例中,第一浓度可以大于约 $5 \times 10^8$  BMD/cm<sup>3</sup>。在一些实施例中,一个或多个第二浓度可以近似等于零,使得处理衬底102的顶面102t和底面102b基本上没有BMD。使顶面102t和底面102b基本不含BMD防止多个BMD104对与绝缘层110的接合强度产生负面影响。

[0025] 在各个实施例中,多个BMD 104可以包括滑移线、晶体起源的颗粒(COP)等。滑移线是通过引入由高温暴露引起的热弹性应力而在衬底内形成的缺陷,而COP是衬底中的腔。在一些实施例中,多个BMD 104可以具有大于约2nm的尺寸105(例如,长度或宽度)。在其他实施例中,多个BMD 104可以具有大于约5nm的尺寸105。在其他实施例中,多个BMD 104可以具有在约3nm与约100nm之间、在约50nm与约100nm之间或者在约75nm与约100nm之间的尺寸105。应当理解,其他尺寸也可以在本发明的范围内。

[0026] 多个BMD 104的相对较大的尺寸和高浓度赋予处理衬底102良好的结构完整性,该结构完整性减轻了处理衬底102的翘曲。这是因为多个BMD104将材料引入到处理衬底102中,该材料具有比第一半导体材料更大的结构完整性(例如,刚度),从而增大了处理衬底102的结构刚度。例如,多个BMD 104可以包括具有比纯硅更大的刚度的氧化物,从而减小处理衬底102的翘曲。

[0027] 处理衬底102的相对较低的翘曲可以减轻器件层112内的滑移线的形成。此外,处理衬底102的相对较低的翘曲也可以和/或可选地减轻对器件层112执行的光刻工艺的覆盖误差。在一些实施例中,光刻覆盖误差可以减少多达约85%。例如,在中心区域106内不具有高浓度的DMB的处理衬底可以具有约136nm的最大覆盖误差,而在中心区域106内具有约 $4.5 \times 10^9$  BMD/cm<sup>3</sup>的浓度的处理衬底102将具有约22nm的最大覆盖误差。

[0028] 图2示出了曲线图200,示出了作为SOI衬底的处理衬底内的位置的函数的BMD浓度的一些实施例。

[0029] 如曲线图200所示,在第一凹痕区域108a内,体宏缺陷(BMD)的浓度具有第一值 $v_1$ ,在第二凹痕区域108b内,BMD的浓度具有第二值 $v_2$ ,并且在中心在区域106内,BMD的浓度具有大于第一值 $v_1$ 和第二值 $v_2$ 的第三值 $v_3$ 。在一些实施例中,第一值 $v_1$ 和第二值 $v_2$ 近似等于零。在一些实施例中,第三值 $v_3$ 可以在约 $1 \times 10^8$  BMD/cm<sup>3</sup>和约 $1 \times 10^{10}$  BMD/cm<sup>3</sup>之间的范围内。在其他实施例中,第三值 $v_3$ 可以在约 $8 \times 10^8$  BMD/cm<sup>3</sup>和约 $9 \times 10^9$  BMD/cm<sup>3</sup>之间的范围内。在其他实施例中,第三值 $v_3$ 可以具有更大或更小的值。具有在约 $1 \times 10^8$  BMD/cm<sup>3</sup>和约 $1 \times 10^{10}$  BMD/cm<sup>3</sup>之间的范围内的第三值 $v_3$ 允许处理衬底(例如,处理衬底102)的中心区域内的DMB减小处理衬底的翘曲。

[0030] 图3A至图3B示出了包括绝缘体上半导体(SOI)衬底的半导体结构的一些附加实施例,该SOI衬底具有中心区域,该中心区域包括由凹痕区域垂直围绕的体宏缺陷(BMD)。

[0031] 图3A示出了半导体结构的一些附加实施例的截面图300。如截面图300所示,半导体结构包括SOI衬底101,该SOI衬底101包括处理衬底102、绝缘层110和器件层112。处理衬底102可以是或包括诸如硅、锗等的半导体材料。在一些实施例中,处理衬底102掺杂有p型或n型掺杂剂。在一些实施例中,处理衬底102的厚度 $T_{hs}$ 在约700微米( $\mu\text{m}$ )和约800 $\mu\text{m}$ 之间、在约750 $\mu\text{m}$ 和约800 $\mu\text{m}$ 之间的范围内或其他合适的值。在一些实施例中,处理衬底102的电阻可

以在约8ohm-cm和约12ohm-cm之间、在约10ohm-cm和约12ohm-cm之间的范围内或者其他合适的值。在一些实施例中,处理衬底102可以具有在约百万分之九的原子(ppma)和约30ppma之间的氧浓度。在其他实施例中,处理衬底102可以具有在约9ppma与约15ppma之间的范围内的氧浓度。在其他实施例中,处理衬底102可以具有大于30ppma或小于9ppma的氧浓度。低氧浓度和高电阻分别减少衬底和/或射频(RF)损耗。

[0032] 绝缘层110位于处理衬底102上面,并且可以包括氧化物(例如,氧化硅、富硅氧化物(SRO)等)、氮化物(例如,氮化硅)等。在一些实施例中,绝缘层110完全覆盖处理衬底102的顶面102t。在其中处理衬底102具有高电阻的至少一些实施例中,完全覆盖处理衬底102的顶面102t防止在用于在器件层112上形成器件(未示出)的等离子体处理(例如,等离子体蚀刻)期间起弧。在一些实施例中,绝缘层110完全包围处理衬底102。

[0033] 绝缘层110在处理衬底102和器件层112之间具有第一绝缘体厚度 $T_{fi}$ 。第一绝缘体厚度 $T_{fi}$ 足够大,以在处理衬底102和器件层112之间提供高度的电绝缘。在一些实施例中,第一绝缘体厚度 $T_{fi}$ 在约0.2 $\mu\text{m}$ 与约2.5 $\mu\text{m}$ 之间、在约1 $\mu\text{m}$ 与约2 $\mu\text{m}$ 之间的范围内或其他合适的值。在一些实施例中,绝缘层110沿着处理衬底102的底面102b和/或沿着处理衬底102的侧壁具有第二绝缘体厚度 $T_{si}$ 。在一些实施例中,第二绝缘体厚度 $T_{si}$ 小于第一绝缘体厚度 $T_{fi}$ 。在一些实施例中,第二绝缘体厚度 $T_{si}$ 为约20-6000埃、约20-3010埃、约3010-6000埃或其他合适的值。

[0034] 在一些实施例中,绝缘层110在分别位于SOI衬底101的相对侧上的SOI衬底101的SOI边缘部分102e处具有阶梯状轮廓。在一些实施例中,绝缘层110具有位于SOI边缘部分102e处并且在绝缘层110的顶面下方凹进垂直凹进量 $VR_i$ 的上表面。垂直凹进量 $VR_i$ 可以例如为约20-6000埃、约20-3010埃、约3010-6000埃或其他合适的值。在一些实施例中,绝缘层110具有内侧壁,该内侧壁在绝缘层110的最外侧壁横向凹进绝缘体横向凹进量 $LR_i$ 。绝缘体横向凹进量 $LR_i$ 可以例如为约0.8-1.2毫米、约0.8-1.0毫米、约1.0-1.2毫米或其他合适的值。

[0035] 器件层112位于绝缘层110上面,并且可以包括诸如硅、锗等的半导体材料。器件层112具有厚度 $T_d$ 。在各个实施例中,厚度 $T_d$ 可以在约0.2微米至约10.0微米之间、在约1微米至约5微米之间的范围内或其他合适的值。在一些实施例中,器件层112具有最外侧壁,该最外侧壁分别从处理衬底102的最外侧壁横向凹进器件横向凹进量 $LR_d$ 。器件横向凹进量 $LR_d$ 可以例如为约1.4-2.5毫米、约1.4-1.9毫米、约1.9-2.5毫米或其他合适的值。因为器件层112的最外侧壁分别从处理衬底102的最外侧壁横向凹进,所以中心区域106横向延伸超过器件层112的相对的最外侧壁非零距离。

[0036] 图3B示出了截面图300的一些实施例的顶视图302。如顶视图302所示,SOI衬底101可以具有基本圆形的形状。在一些实施例中,SOI衬底101包括跨器件层112以网格布置的多个IC管芯304。在一些实施例中,绝缘层110的内侧壁110<sub>isw</sub>从绝缘层110的外侧壁110<sub>osw</sub>横向凹进绝缘体横向凹进量 $LR_i$ 。在一些实施例中,器件层112的侧壁112<sub>sw</sub>从处理衬底102的侧壁102<sub>sw</sub>(以虚线示出)横向凹进器件横向凹进量 $LR_d$ 。

[0037] 图4示出了包括SOI衬底的半导体结构400的一些实施例的截面图,该SOI衬底具有中心区域,该中心区域包括由凹痕区域垂直围绕的BMD。

[0038] 半导体结构400包括设置在SOI衬底101的器件层112内的多个晶体管器件402。在

各个实施例中,晶体管器件402可以是例如金属氧化物半导体场效应晶体管(MOSFET)、双极结型晶体管(BJT)等。在一些实施例中,晶体管器件402包括设置在源极区域404a和漏极区域404b之间的栅极结构。栅极结构可以包括通过栅极介电层406与器件层112分隔开的栅电极408。源极区域404a和漏极区域404b具有第一掺杂类型,并且直接邻接具有与第一种掺杂类型相反的第二掺杂类型的器件层112的部分。在各个实施例中,栅极介电层406可以是或包括氧化硅、氮化硅、氧氮化硅等。在各个实施例中,栅电极408可以是或包括掺杂的多晶硅、金属等。在一些实施例中,多个晶体管器件402可以通过设置在器件层112的上表面内的隔离结构403彼此电隔离。在一些实施例中,隔离结构403可以包括设置在器件层112的上表面中的沟槽内的一种或多种介电材料。

[0039] 介电结构410设置在SOI衬底101上方。介电结构410包括彼此堆叠的多个层间介电(ILD)层。在各个实施例中,介电结构410可以包括硼磷硅酸盐玻璃(BPSG)、磷硅酸盐玻璃(PSG)、未掺杂的硅酸盐玻璃(USG)、氧化硅等中的一种或多种。介电结构410围绕多个导电互连层。在各个实施例中,多个导电互连层可以包括导电接触件412、互连线414和互连通孔416。导电接触件412、互连线414和互连通孔416可以是或包括例如铜、铝铜、铝、钨等。

[0040] 图5示出了包括SOI衬底的半导体管芯500的一些实施例的截面图,该SOI衬底具有中心区域,该中心区域包括由凹痕区域垂直围绕的BMD。半导体管芯500是分割的管芯,例如,其可以是图4的半导体结构400的切割区域。

[0041] 半导体管芯500包括通过上部绝缘层110U耦合到器件层112的处理衬底102。在一些实施例中,与上部绝缘层110U不连续的下部绝缘层110L可以沿着面向远离上部绝缘层110U的器件层112的下表面布置。在一些实施例中,处理衬底102、器件层112、上部绝缘层110U和下部绝缘层110L具有沿着线对准的侧壁,该线沿着沿着半导体管芯500的侧面延伸。在这样的实施例中,处理衬底102延伸到上部绝缘层110U和下部绝缘层110L的最外侧壁。

[0042] 处理衬底102包括由第一凹痕区域108a和第二凹痕区域108b垂直围绕的中心区域106。中心区域包括多个体宏缺陷(BMD)。多个BMD 104在半导体管芯500的第一最外侧侧壁与半导体管芯500的第二最外侧侧壁之间延伸。

[0043] 图6A至图19示出了形成SOI衬底的方法的一些实施例的截面图600-1900,该SOI衬底包括具有中心区域的处理衬底,该中心区域包括设置在凹痕区域之间的多个BMD。虽然关于方法描述了图6A至图19,但是应当理解,图6A至图19中公开的结构不限于这种方法,而是可以独立地作为独立于该方法的结构。

[0044] 图6A至图6D示出了截面图600-614,示出了形成具有中心区域的处理衬底的方法的一些实施例,该中心区域包括设置在凹痕区域之间的多个BMD。

[0045] 如图6A的截面图600所示,提供了处理衬底102。在一些实施例中,处理衬底102可以包括诸如硅、锗等的半导体材料。在一些实施例中,处理衬底102具有在约8ohms/cm至约12ohm/cm之间的范围内的电阻。在一些实施例中,处理衬底102具有约9ppma(百万分之几的原子)和约30ppma之间的氧浓度。

[0046] 如图6B的截面图602所示,在处理衬底102内形成多个体微缺陷604。在一些实施例中,多个体微缺陷604可以具有尺寸606。在一些实施例中,尺寸606在约0.2纳米(nm)和约5nm之间的范围内。在一些实施例中,可以通过对处理衬底102执行的第一热工艺608来形成多个体微缺陷604。在一些实施例中,第一热工艺608可以将处理衬底102暴露于介于约约

500摄氏度(°C)和约800°C之间的范围内的温度下,持续时间约为2小时至约8小时。在其他实施例中,第一热工艺608可以将处理衬底102暴露于低于500°C或高于800°C的温度范围达低于2小时或高于8小时的时间。在一些实施例中,多个体微缺陷604形成为在处理衬底102的顶面102t和底面102b之间是基本上均匀的。

[0047] 如图6C的截面图610所示,增大多个体微缺陷的尺寸(图6B的604),以在处理衬底102内形成多个体宏缺陷(BMD)104。多个BMD 104的尺寸105大于多个微缺陷的尺寸(图6B的606)。在一些实施例中,尺寸105可以比多个微缺陷的尺寸(图6B的606)大约1000%至约20000%之间。在一些实施例中,尺寸105在约3纳米(nm)和约100nm之间的范围内。在一些实施例中,可以通过对处理衬底102执行的第二热工艺612来形成多个BMD。在一些实施例中,可以在比第一热工艺更高的温度下执行第二热工艺612。在一些实施例中,第二热工艺612可以将处理衬底102暴露在约1050°C至约1150°C的范围内的温度下约2小时至约4小时的时间。在其他实施例中,第二热工艺612可以将处理衬底102暴露于低于1050°C或高于1150°C的温度范围达低于2小时或高于4小时的时间。

[0048] 如图6D的截面图614所示,从沿着处理衬底102的顶面和底面设置的凹痕区域108a-108b去除多个BMD 104中的一些。从凹痕区域108a-108b内去除多个BMD 104导致形成处理衬底102的中心区域106,该中心区域106具有比凹痕区域108a-108b更高浓度的BMD 104。在一些实施例中,中心区域106中的BMD 104的浓度在约 $1 \times 10^8$ BMD/cm<sup>3</sup>和约 $1 \times 10^{10}$ BMD/cm<sup>3</sup>之间。在其他实施例中,中心区域106中的BMD 104的浓度在约 $8 \times 10^8$ BMD/cm<sup>3</sup>和约 $9 \times 10^9$ BMD/cm<sup>3</sup>之间。在一些实施例中,凹痕区域108a-108b可以在处理衬底102内延伸到在约50nm与约50 $\mu$ m之间的深度d<sub>1</sub>和d<sub>2</sub>。

[0049] 在一些实施例中,通过第三热工艺616从凹痕区域108a-108b内去除多个BMD 104中的一些。在一些实施例中,第三热工艺616可以通过将处理衬底102暴露于包括氩气和/或氢气的高温环境来执行。在一些实施例中,可以将处理衬底102暴露于约1100°C和约1200°C之间的范围内的温度下的氩气和/或氢气中约1小时到约16小时之间的时间。在其他实施例中,处理衬底102可以暴露于大于1100°C或小于1200°C的温度下的氩气和/或氢气中小于1小时或大于16小时的时间。

[0050] 图7A至图7C示出了形成具有中心区域的处理衬底的一些可选实施例的截面图700-712,该中心区域包括设置在凹痕区域之间的多个BMD。

[0051] 如图7A的截面图700所示,提供了包括多个体微缺陷702的处理衬底102。在一些实施例中,处理衬底102可以包括氮掺杂的硅(例如,p型氮掺杂的硅衬底)。在一些实施例中,处理衬底102具有在约9ppma与约15ppma之间的氧浓度。在其他实施例中,处理衬底102具有小于9ppma(例如,约0ppma)、大于约15ppma或其他合适值的氧浓度。在一些实施例中,多个体微缺陷702的尺寸704可以在约0.2nm与约3nm之间的范围内。

[0052] 如图7B的截面图706所示,处理衬底102内的多个体微缺陷702的数量和/或密度从第一非零数增大到第二非零数。在一些实施例中,通过对处理衬底102执行第一热工艺710来增大处理衬底102内的多个体微缺陷702的数量和/或密度。在一些实施例中,第一热工艺710可以使处理衬底102暴露于约500°C至约800°C之间的范围内的温度约2小时至约8小时之间的时间。在其他实施例中,第一热工艺710可以将处理衬底102暴露于低于500°C或高于800°C的温度范围达低于2小时或高于8小时的时间。在一些实施例中,第一热工艺可以增大

多个体微缺陷702的尺寸。例如,在一些实施例中,多个体微缺陷的尺寸708可以在约0.2nm至约5nm之间的范围内。

[0053] 如图7C的截面图712所示,对处理衬底102执行第二热工艺714,以从沿着处理衬底102的顶面和底面设置的凹痕区域108a-108b内去除多个BMD 104中的一些。从凹痕区域108a-108b内去除多个BMD 104中的一些导致形成具有比凹痕区域108a-108b更高浓度的BMD 104的处理衬底102的中心区域106。在一些实施例中,凹痕区域108a-108b可以在处理衬底102内延伸到约50nm与约50 $\mu$ m之间的深度 $d_1$ 和 $d_2$ 。

[0054] 第二热工艺714还增大了第二多个体微缺陷(图7B的702)的尺寸,以形成具有尺寸105的多个体宏缺陷(BMD) 104。在一些实施例中,尺寸105在约2纳米(nm)和约100nm之间的范围内。在一些实施例中,第二热工艺714将处理衬底102暴露于约1100 $^{\circ}$ C和约1200 $^{\circ}$ C之间的范围内的温度的氩气和/或氢气中约1小时至约16小时的时间。在其他实施例中,第二热工艺714可以将处理衬底102暴露于低于1100 $^{\circ}$ C或高于1200 $^{\circ}$ C的温度范围达低于1小时或高于16小时的时间。

[0055] 如图8的截面图800所示,沿着处理衬底102的一个或多个表面形成第一绝缘层110a。在一些实施例中,形成第一绝缘层110a以完全覆盖处理衬底102的顶面102t。在一些附加实施例中,第一绝缘层110a形成为完全包围处理衬底102。在这样的实施例中,第一绝缘层110a形成为围绕处理衬底102的外边缘连续延伸。在一些实施例中,第一绝缘层110a是或包括氧化硅、氮氧化硅等。在一些实施例中,第一绝缘层110a形成为约0.2-2.0 $\mu$ m、约0.2-1.1 $\mu$ m、约1.1-2.0 $\mu$ m或其他合适的值的厚度 $T_{fi}$ 。

[0056] 在一些实施例中,可以通过热氧化工艺来形成第一绝缘层110a。例如,可以通过使用氧气(例如, $O_2$ )或一些其他气体作为氧化剂的干式氧化工艺来形成第一绝缘层110a。作为另一示例,可以通过使用水蒸气作为氧化剂的湿氧化工艺来形成第一绝缘层110a。在一些实施例中,第一绝缘层110a在约800-1100 $^{\circ}$ C、约800-950 $^{\circ}$ C、约950-1100 $^{\circ}$ C或其他合适的值的温度下形成。在其他实施例中,第一绝缘层110a可以通过化学气相沉积(CVD)、物理气相沉积(PVD)等形成。

[0057] 在一些实施例中,在形成第一绝缘层110a之前,可以对处理衬底102执行第一湿清洁工艺。在一些实施例中,可以通过将处理衬底102暴露于包含1%氢氟酸的湿清洁溶液约30秒至约120秒,然后暴露于包含臭氧和去离子水的第二湿清洁溶液约15秒至约120秒,然后暴露于包含去离子水、氨水和过氧化氢水溶液的第三湿清洁溶液约15秒至约120秒来执行第一湿清洁工艺。

[0058] 如图9的截面图900所示,提供了牺牲衬底902。在一些实施例中,牺牲衬底902包括诸如硅、锗等的半导体材料。在一些实施例中,牺牲衬底902掺杂有p型或n型掺杂剂。在一些实施例中,牺牲衬底902可以具有小于约0.02 $\Omega$ /cm的电阻。在一些实施例中,电阻可以在约0.01 $\Omega$ /cm和约0.02 $\Omega$ /cm之间。在其他实施例中,电阻可以小于约0.01 $\Omega$ /cm。在一些实施例中,牺牲衬底902的电阻低于处理衬底的电阻。在一些实施例中,牺牲衬底902的厚度 $T_{ss}$ 在约700 $\mu$ m和约800 $\mu$ m之间、在约750 $\mu$ m和约800 $\mu$ m之间或者其他合适的厚度。

[0059] 器件层904形成在牺牲衬底902上。器件层904具有厚度 $T_d$ 。在一些实施例中,厚度 $T_d$ 可以在约2 $\mu$ m与约9 $\mu$ m之间。在一些实施例中,厚度 $T_d$ 可以小于或等于约5 $\mu$ m。在一些实施例中,器件层904是或包括半导体材料,诸如硅、锗等。在一些实施例中,器件层904是或包括与

牺牲衬底902相同的半导体材料,具有与牺牲衬底902相同的掺杂类型,和/或具有比牺牲衬底902低的掺杂浓度。例如,牺牲衬底902可以是或包括P+单晶硅,而器件层904可以是或包括P-单晶硅。在一些实施例中,器件层904具有低电阻。低电阻可以例如大于牺牲衬底902的电阻。此外,低电阻可以例如小于约8、10或12  $\Omega/\text{cm}$ ,和/或例如可以为约8-12  $\Omega/\text{cm}$ 、约8-10  $\Omega/\text{cm}$ 、约10-12  $\Omega/\text{cm}$ 或其他合适的值。在一些实施例中,用于形成器件层904的工艺包括分子束外延(MBE)、气相外延(VPE)、液相外延(LPE)、一些其他外延工艺或前述的任意组合。

[0060] 在一些实施例中,在将器件层904形成在牺牲衬底902上之后,根据第二湿清洁工艺来清洁器件层904和牺牲衬底902。在一些实施例中,可以通过将器件层904和牺牲衬底902暴露于包含1%氢氟酸的第一湿清洁溶液中约30秒至约120秒之间,然后暴露于包含臭氧和去离子水的第二湿清洁溶液中约15秒至约120秒,然后暴露于包含去离子水、氨水和过氧化氢水溶液的第三种湿清洁溶液中约15秒至约120秒来执行第二湿清洁工艺。

[0061] 如图10的截面图1000所示,图案化器件层904和牺牲衬底902以去除边缘区域1002内的器件层904和牺牲衬底902的部分。通过去除边缘区域1002内的器件层904和牺牲衬底902的部分,防止了在随后的研磨和/或化学湿蚀刻期间在器件层904和牺牲衬底902内形成缺陷(例如,裂纹、碎屑等)。图案化在牺牲衬底902的边缘处形成凸缘1004。凸缘1004由牺牲衬底902限定。在一些实施例中(未示出),凸缘1004以闭环的方式围绕牺牲衬底902的外周延伸。在一些实施例中,凸缘1004具有约0.8-1.4毫米、约0.8-1.0毫米、约1.0-1.2毫米或其他合适的值的宽度W。在一些实施例中,凸缘1004在器件层904的上表面或顶面下方凹进约30-120 $\mu\text{m}$ 、约30-75 $\mu\text{m}$ 、约70-120 $\mu\text{m}$ 或其他合适的值的距离D。

[0062] 在一些实施例中,通过根据形成在器件层904上方的掩模1006蚀刻器件层904和牺牲衬底902来执行图案化。在一些实施例中,掩模1006是或包括氮化硅、氧化硅、光刻胶等。在一些实施例中,掩模1006包括通过沉积工艺(例如,PVD、PECVD、MOCVD等)形成的氧化硅。在一些这样的实施例中,可以通过PECVD工艺在约200 $^{\circ}\text{C}$ 和约400 $^{\circ}\text{C}$ 之间的温度下形成氧化硅。在其他实施例中,可以通过PECVD工艺在约350 $^{\circ}\text{C}$ 至约400 $^{\circ}\text{C}$ 之间、约250 $^{\circ}\text{C}$ 至约350 $^{\circ}\text{C}$ 之间或其他合适的值的温度下形成氧化硅。在一些实施例中,氧化硅可以形成为在约500埃与约3000埃之间的厚度。在一些附加实施例中,氧化硅可以形成为在约500埃与约10000埃之间、在约1000埃与约2000埃之间或其他合适的值的厚度。

[0063] 在完成图案化工艺之后,去除掩模1006,并且清洁器件层904和牺牲衬底902以去除在执行图案化时产生的蚀刻残留物和/或其他不期望的副产物。在一些实施例中,可以通过将掩模1006暴露于1%氢氟酸中约180秒至约600秒之间的时间来去除掩模1006。在一些实施例中,可以通过第三湿清洁工艺来清洁牺牲衬底902,通过将器件层904和牺牲衬底902暴露于包含1%氢氟酸的第一湿清洁溶液中约30秒至约120秒之间,然后暴露于包含去离子水、氨水和过氧化氢水溶液的第二湿清洁溶液约15秒至约120秒之间,然后暴露于包含去离子水、盐酸和过氧化氢水溶液的第三湿清洁溶液约15秒和约120秒之间来执行第三湿清洁工艺。

[0064] 如图11的截面图1100所示,第二绝缘层110b形成在器件层904的顶面904t上。在一些实施例中,第二绝缘层110b完全覆盖器件层904的顶面904t。在一些实施例中,第二绝缘层110b是或包括氧化硅和/或一些其他电介质。在一些实施例中,第二绝缘层110b是与第一绝缘层110a相同的介电材料。在一些实施例中,第二绝缘层110b的厚度 $T_{\text{SiO}_2}$ 在约0埃和约

6000埃之间的范围内。在一些实施例中,第二绝缘层110b可以通过沉积工艺(例如,CVD、PVD等)形成。在其他实施例中,第二绝缘层110b可以通过微波等离子体氧化工艺形成。例如,第二绝缘层110b可以通过微波等离子体工艺形成。在一些实施例中,等离子体工艺可以在约300°C与约400°C之间的温度下执行。在一些实施例中,等离子体工艺可以使用氢气、氦气、氧气等的源气体。

[0065] 在一些实施例中(未示出),第二绝缘层110b可以形成为完全包围牺牲衬底902和器件层904。在这样的实施例中,第二绝缘层110b可以通过热氧化工艺形成。例如,第二绝缘层110b可以通过使用氧气(例如, $O_2$ )、氢气、氦气等的干氧化工艺形成。作为另一示例,第二绝缘层110b可以通过使用水蒸气作为氧化剂的湿氧化工艺来形成。在一些实施例中,第二绝缘层110b在约750-1100°C、约750-925°C、约925-1100°C或其他合适的值的温度下形成。

[0066] 如图12的截面图1200所示,将牺牲衬底902接合至处理衬底102,使得器件层904位于处理衬底102和牺牲衬底902之间。接合工艺使第一绝缘层110a与第二绝缘层110b接触。然后在保持在低压(例如,约0.0001mBar至150mBar之间的压力)的处理室中使第一绝缘层110a与第二绝缘层110b接触。在一些实施例中,可以通过将第一绝缘层110a和第二绝缘层110b暴露于氮基等离子体来执行接合工艺。在一些实施例中,氮基等离子体可以在约50瓦(W)至约200W之间的功率下由氮气形成。在一些实施例中,第一绝缘层110a和第二绝缘层110b可以暴露于氮基等离子体约10秒至约120秒。在一些实施例中,在暴露于氮等离子体之后执行第四湿清洁工艺。第四湿清洁工艺可以使用包含去离子水、氨水和过氧化氢水溶液的湿清洁溶液约15秒至约120秒。

[0067] 在一些实施例中,可以在第四湿清洁工艺之后执行高温氮退火。高温氮退火提高了第一绝缘层110a和第二绝缘层110b之间的接合强度。可以通过将氮气引入到容纳牺牲衬底902和处理衬底102的处理室中来执行高温氮退火。在一些实施例中,可以在约250°C和约450°C之间、在约200°C和约500°C之间或其他合适的值的温度下执行高温氮退火。在一些实施例中,高温氮退火可以在大气压处执行约30分钟与约240分钟之间、约50分钟与约200分钟之间或其他合适的值。

[0068] 如图13的截面图1300所示,执行第一减薄工艺。第一减薄工艺去除第二绝缘层110b的上部,并且进一步去除牺牲衬底902的上部。在一些实施例中,对第二绝缘层110b和牺牲衬底902执行第一减薄工艺,直到器件层904和牺牲衬底902共同具有预定厚度 $T_{pd}$ 。预定厚度 $T_{pd}$ 可以例如为约14-50 $\mu\text{m}$ 、约20-32.5 $\mu\text{m}$ 、约32.5-45 $\mu\text{m}$ 或其他合适的值。

[0069] 在一些实施例中,通过机械研磨工艺部分地或全部地执行第一减薄工艺。在一些实施例中,通过化学机械抛光(CMP)部分地或全部地执行第一减薄工艺。在一些实施例中,通过机械研磨工艺接着进行CMP来执行第一减薄工艺。如上所述,去除边缘区域(图11的1102)防止在研磨期间在边缘区域处形成边缘缺陷。

[0070] 如图14的截面图1400所示,执行蚀刻以去除牺牲衬底(图14的902)。在一些实施例中,蚀刻还去除位于器件层904的侧壁上的第二绝缘层110b的部分。此外,在一些实施例中,蚀刻横向蚀刻器件层904的侧壁904s。由于横向蚀刻,器件层904的侧壁904s可以例如是弯曲的和/或凹入的。在蚀刻完成之后,器件层904的厚度 $T_d$ 可以例如为约0.6-9.5 $\mu\text{m}$ 、约1.8-7.8 $\mu\text{m}$ 、约5.05-9.5 $\mu\text{m}$ 或其他合适的值。

[0071] 在一些实施例中,通过氢氟酸/硝酸/乙酸(HNA)蚀刻、一些其他湿蚀刻、干蚀刻或一些其他蚀刻来执行蚀刻。HNA蚀刻可以例如利用包含氢氟酸、硝酸和乙酸的化学溶液蚀刻牺牲衬底902。在一些实施例中,由于牺牲衬底902和器件层904的掺杂浓度不同,因此对于牺牲衬底902而言,蚀刻可以具有比器件层904更大的蚀刻速率。不同的蚀刻速率可以允许器件层904的厚度 $T_d$ 在整个器件层上是高度均匀的(例如,具有小于约500或1500埃的总厚度变化)。在一些实施例中,TTV随着器件层904的厚度 $T_d$ 减小。例如,TTV可以小于约500埃,其中器件层904的厚度 $T_d$ 小于约3000埃,并且TTV可以是大于约500埃但是小于约1500埃,其中器件层904的厚度 $T_d$ 大于约3000埃。

[0072] 如图15的截面图1500所示,图案化器件层904以去除器件层904的边缘部分904e。在一些实施例中,去除器件层904的边缘部分904e横向去除器件层904的约 $1.4\mu\text{m}$ 和 $2.3\mu\text{m}$ 之间。去除边缘部分904e,减轻了来自器件层904的边缘缺陷。在一些实施例中,图案化进一步使器件层904的侧壁904s横向凹进。在一些实施例中,在去除边缘部分904e之后,器件层904的侧壁904s分别从处理衬底102的侧壁横向凹进器件层横向凹进量 $LR_d$ 。

[0073] 在一些实施例中,通过根据形成在器件层904上方的掩模1502蚀刻器件层904来执行图案化。掩模1502可以是例如或包括氮化硅、氧化硅、其他硬掩模材料、光刻胶、一些其他掩模材料或上述的任意组合。在一些实施例中,掩模1502可以包括氧化物层和上面的光刻胶层。在这样的实施例中,可以通过沉积技术(例如,PVD、CVD、PE-CVD等)将氧化物层沉积到约100埃至约300埃之间的厚度。随后可以通过旋涂工艺将光刻胶沉积至约 $1\mu\text{m}$ 至约 $8\mu\text{m}$ 之间的厚度。可以通过干蚀刻或一些其他蚀刻来蚀刻器件层94,和/或可以例如在第一绝缘层110a和第二绝缘层110b上停止。在图案化工艺完成之后,可以去除掩模1502。在一些实施例中,可以通过等离子体灰化、氢氟酸等去除掩模1502内的光刻胶材料。在一些实施例中,可以将掩模1502暴露于 $\text{O}_2$ 等离子体(例如,当掩模1502是光刻胶或包括光刻胶时)。在一些实施例中,可以将掩模1502暴露于氢氟酸120秒至240秒之间(例如,当掩模1502为氧化物或包括氧化物时)。

[0074] 如图16的截面图1600所示,对器件层904执行第二减薄工艺以减小器件层904的厚度 $T_d$ 。在各个实施例中,在第二减薄工艺之后,器件层904的厚度 $T_d$ 可以为约0.3-8.0微米、约0.3-4.15微米或约4.15-8.0微米,和/或大于约0.3微米、1.0微米、2.0微米、5.0微米、8.0微米或其他合适的值。器件层904、第一绝缘层110a、第二绝缘层110b和处理衬底102共同限定了SOI衬底101。在一些实施例中,第二减薄工艺通过机械研磨、CMP等来执行。

[0075] 在一些实施例中,在第二减薄工艺之后执行第五湿清洁工艺,以去除图案化期间产生的蚀刻残留物和/或其他不期望的副产物。在一些实施例中,第五湿清洁工艺去除在图案化期间形成在器件层904上的氧化物。在一些实施例中,通过将器件层904暴露于包含1%氢氟酸的第一湿清洁溶液约30秒至约120秒之间,然后暴露于包含去离子水、氨水和过氧化氢溶液的第二湿清洁溶液约15秒至约120秒之间,然后暴露于包含去离子水、盐酸和过氧化氢水溶液的第三湿清洁溶液约15秒至约120秒之间来执行第五湿清洁工艺。

[0076] 如图17的截面图1700所示,执行外延工艺1704以形成具有增大的厚度的器件层112。外延工艺1704在器件层904上形成外延层1702并形成器件层112。外延层1702可以形成在约 $0.2\mu\text{m}$ 和约 $6\mu\text{m}$ 之间的范围内的厚度。所得的器件层112可以具有在约 $5\mu\text{m}$ 与约 $10\mu\text{m}$ 之间的厚度。在一些实施例中,外延工艺可以在约 $1100^\circ\text{C}$ 和约 $1200^\circ\text{C}$ 之间的范围内的温度下

执行。由于处理衬底的高结构完整性(由于处理衬底102的中心区域106内的BMD 104的相对较高的密度),防止了由于外延工艺的高温导致的滑移线的形成。

[0077] 如图18的截面图1800所示,在器件层112内形成多个晶体管器件402。在一些实施例中,用于形成晶体管器件402的工艺包括在器件层112上方沉积介电层,并且进一步沉积覆盖介电层的导电层。图案化导电层和介电层(例如,通过光刻/蚀刻工艺)以形成栅电极408和栅极介电层406。可以在栅电极408位于适当的位置的情况下将掺杂剂注入到器件层112中以限定源极/漏极区域404a和404b的轻掺杂部分。

[0078] 在一些实施例中,多个晶体管器件402可以通过隔离结构403彼此分隔开。在一些实施例中,隔离结构403可以包括浅沟槽隔离结构(STI)。在这样的实施例中,可以通过蚀刻器件层112以在器件层112内限定沟槽来形成隔离结构403。随后用一种或多种介电材料填充沟槽。在一些实施例中,在蚀刻器件层112之后,可以执行高温退火以修复在蚀刻工艺期间发生的损坏。在一些实施例中,高温退火可以在大于1000°C的温度下进行。在一些实施例中,高温退火可以进行大于1小时的时间。由于处理衬底102的高结构完整性(由于处理衬底102的中心区域106内的BMD 104的相对较高的密度),防止了由于退火的高温导致的滑移线的形成。

[0079] 如图19的截面图1900所示,在器件层112上方形成介电结构410。在介电结构410内形成多个互连层412-416。在一些实施例中,介电结构410可以包括形成在器件层112上方的多个堆叠的层间介电(ILD)层410a-410e。在一些实施例(未示出)中,多个堆叠的ILD层由蚀刻停止层(未示出)分隔开。在一些实施例中,多个互连层412-416可以包括导电接触件412、互连线414和互连通孔416。可以通过在器件层112上方形成一个或多个ILD层(例如,氧化物、低k电介质或超低k电介质)中的一个,选择性地蚀刻ILD层以在ILD层内限定导通孔和/或沟槽,在导通孔和/或沟槽内形成导电材料(例如,铜、铝等),以及执行平坦化工艺(例如,化学机械平坦化工艺)来形成多个互连层412-416。

[0080] 图20示出了形成SOI衬底的方法2000的一些实施例的流程图,该SOI衬底包括具有中心区域的处理衬底,该中心区域包括设置在凹痕区域之间的多个BMD。

[0081] 虽然方法2000在本文中示出和描述为一系列动作或事件,但是将理解的是,这样的动作或事件的示出顺序不应以限制性的意义来解释。例如,一些动作可以以不同的顺序发生和/或与除了本文示出和/或描述的那些动作或事件之外的其他动作或事件同时发生。此外,可能不需要所有示出的动作来实现本文描述的一个或多个方面或实施例。此外,本文描述的一个或多个动作可以在一个或多个单独的动作和/或阶段中执行。

[0082] 在2002处,在处理衬底的中心区域内形成多个体宏缺陷。处理衬底的中心区域由凹痕区域垂直地围绕,该凹痕区域具有比中心区域低的体微缺陷的浓度(例如,约等于零)。在一些实施例中,可以根据动作2004-2008形成多个体宏缺陷。

[0083] 在2004处,在处理衬底内形成多个体微缺陷。图6A至图6B示出了对应于动作2004的一些实施例的截面图600-602。图7A至图7B示出了对应于动作2004的一些可选实施例的截面图700和706。

[0084] 在2006处,增大多个体微缺陷的尺寸,以在处理衬底内形成多个体宏缺陷。在一些实施例中,可以通过利用热工艺(例如,具有大于约1000°C、大于约1100°C的温度或其他合适的温度)对体微缺陷进行操作来增大多个体微缺陷的尺寸。图6C示出了对应于动作2006

的一些实施例的截面图610。图7C示出了对应于动作2006的一些可选实施例的截面图712。

[0085] 在2008处,从沿着处理衬底的外表面设置的凹痕区域中去除一些体宏缺陷。图6D示出了对应于动作2008的一些实施例的截面图614。图7C示出了对应于动作2008的一些可选实施例的截面图712。

[0086] 在2010处,在处理衬底上形成第一绝缘层。图8示出了对应于动作2010的一些实施例的截面图800。

[0087] 在2012处,在牺牲衬底上形成器件层。图9示出了对应于动作2012的一些实施例的截面图900。

[0088] 在2014处,可以在牺牲衬底和器件层上形成第二绝缘层。图11示出了对应于动作2014的一些实施例的截面图1100。

[0089] 在2016处,将处理衬底接合至器件层和牺牲衬底。图12示出了对应于动作2016的一些实施例的截面图1200。

[0090] 在2018处,去除牺牲衬底以暴露器件层。图13示出了对应于动作2018的一些实施例的截面图1300。

[0091] 在2020处,在器件层上形成外延层。在器件层上形成外延层形成具有增大的厚度的器件层。图17示出了对应于动作2020的一些实施例的截面图1700。

[0092] 在2022处,在器件层内形成晶体管器件。在一些实施例中,可以根据动作2024-2028来形成晶体管器件。

[0093] 在2024处,在器件层内形成隔离结构。在一些实施例中,隔离结构形成在蚀刻到器件层中的沟槽内。图18示出了对应于动作2024的一些实施例的截面图1800。

[0094] 在2026处,对器件层执行退火工艺。退火工艺修复由于蚀刻器件层而造成的损坏。图18示出了对应于动作2026的一些实施例的截面图1800。

[0095] 在2028处,在器件层上方形成栅极结构。图18示出了对应于动作2028的一些实施例的截面图1800。

[0096] 在2030处,在器件层内形成源极区域和漏极区域。图18示出了对应于动作2030的一些实施例的截面图1800。

[0097] 在2032处,在器件层上方的介电结构内形成互连层。图19示出了对应于动作2032的一些实施例的截面图1900。

[0098] 因此,在一些实施例中,本发明涉及一种形成绝缘体上半导体(SOI)衬底的方法,该SOI衬底具有具有高结构完整性的处理衬底,该高结构完整性使不期望的晶圆变形(翘曲)最小化。SOI衬底包括具有中心区域的处理衬底,该中心区域具有相对较高浓度的体宏缺陷(BMD)。BMD的相对较高的浓度(例如,大于约 $1 \times 10^8$  BMD/cm<sup>3</sup>)和大尺寸(例如,大于约2nm)导致处理晶圆具有由于氧化物和/或BMD内的空气而产生的较小的翘曲(例如,更大的刚度)。

[0099] 在一些实施例中,本发明涉及一种形成半导体结构的方法。该方法包括在处理衬底内形成多个体微缺陷;增大多个体微缺陷的尺寸,以在处理衬底内形成多个体宏缺陷(BMD);从沿着处理衬底的相对表面布置的第一凹痕区域和第二凹痕区域内去除多个BMD中的一些;在处理衬底上形成绝缘层;以及在绝缘层上形成具有半导体材料的器件层;第一凹痕区域和第二凹痕区域垂直地围绕处理衬底的中心区域,该中心区域具有比第一凹痕区域

和第二凹痕区域都更高的多个BMD的浓度。在一些实施例中，多个BMD的第一尺寸比多个个体微缺陷的第二尺寸大在约1000%至约20000%之间。在一些实施例中，多个BMD分别具有在约3nm与约100nm之间的尺寸。在一些实施例中，该方法还包括对处理衬底执行第一热工艺以形成多个个体微缺陷；以及对处理衬底执行第二热工艺，以增大处理衬底内的多个个体微缺陷的尺寸，以形成多个BMD。在一些实施例中，在最大第一温度下执行第一热工艺，并且在大于最大第一温度的最大第二温度下执行第二热工艺。在一些实施例中，该方法还包括将处理衬底暴露于具有氩气或氢气的环境中，以从处理衬底去除多个BMD中的一些，并且形成第一凹痕区域和第二凹痕区域。在一些实施例中，中心区域的BMD浓度在约 $8 \times 10^8$ BMD/cm<sup>3</sup>和约 $9 \times 10^9$ BMD/cm<sup>3</sup>之间。在一些实施例中，该方法还包括对处理衬底执行第一热工艺以将处理衬底内的体微缺陷的数量从第一非零数量增大到第二非零数量；以及对处理衬底执行第二热工艺，以增大处理衬底内的多个个体微缺陷的尺寸，以形成多个BMD。在一些实施例中，该方法还包括在牺牲衬底上形成器件层；执行接合工艺以将器件层和牺牲衬底接合至处理衬底；以及在执行接合工艺之后，从器件层去除牺牲衬底。在一些实施例中，绝缘层形成成为围绕处理衬底的外边缘连续延伸。

[0100] 在其他实施例中，本发明涉及一种形成绝缘体上半导体(SOI)衬底的方法。该方法包括执行第一热工艺以在处理衬底内形成多个个体微缺陷；执行第二热工艺以通过增大多个个体微缺陷的尺寸在处理衬底内形成多个个体宏缺陷(BMD)；执行第三热工艺，以从沿处理衬底的相对表面布置的第一凹痕区域和第二凹痕区域内去除多个BMD中的一些；在处理衬底上形成绝缘层；以及在绝缘层上形成具有半导体材料的器件层。在一些实施例中，第一凹痕区域和第二凹痕区域垂直地围绕具有比第一凹痕区域和第二凹痕区域更高浓度的BMD的中心区域。在一些实施例中，第一热工艺在约500°C至约800°C之间的第一范围内的第一温度下执行，第二热工艺在约1050°C和约1150°C之间的第二范围内的第二温度下执行，并且第三热工艺在约1100°C和约1200°C之间的第三范围内的第三温度下执行。在一些实施例中，第一凹痕区域和第二凹痕区域分别延伸在处理衬底中至约50纳米(nm)和约100微米之间的范围内的深度。在一些实施例中，第二热工艺和第三热工艺是相同的热工艺。

[0101] 在其他实施例中，本发明涉及一种半导体结构。该半导体结构包括具有多个个体宏缺陷(BMD)的处理衬底；绝缘层，设置在处理衬底的顶面上；以及器件层，具有半导体材料并且设置在绝缘层上；处理衬底具有垂直地围绕处理衬底的中心区域的第一凹痕区域和第二凹痕区域，中心区域具有比第一凹痕区域和第二凹痕区域均更高的多个BMD的浓度。在一些实施例中，多个BMD分别具有大于约5nm的尺寸。在一些实施例中，中心区域在处理衬底的第一最外侧壁与处理衬底的第二最外侧壁之间横向延伸。在一些实施例中，中心区域的BMD的浓度在约 $8 \times 10^8$ BMD/cm<sup>3</sup>和约 $9 \times 10^9$ BMD/cm<sup>3</sup>之间。在一些实施例中，中心区域横向地延伸超过器件层的相对的最外侧壁非零距离。

[0102] 本发明概述了若干实施例的特征，使得本领域人员可以更好地理解本发明的方面。本领域人员应该理解，它们可以容易地使用本发明作为基底来设计或修改用于实施与本文所介绍实施例相同的和/或实现相同优势的其它工艺和结构。本领域技术人员也应该意识到，这种等同配置并且不面向远离本发明的精神和范围，并且在不面向远离本发明的精神和范围的情况下，本文中它们可以做出多种变化、替换以及改变。

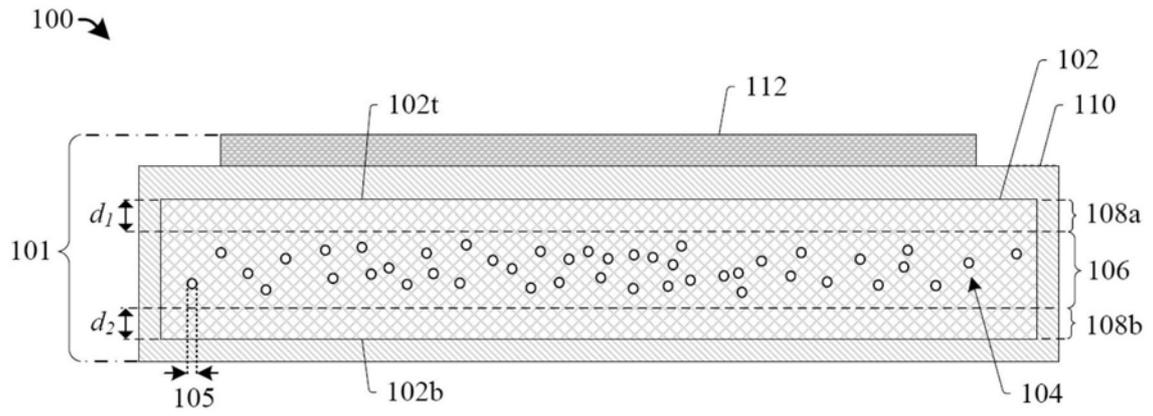


图1

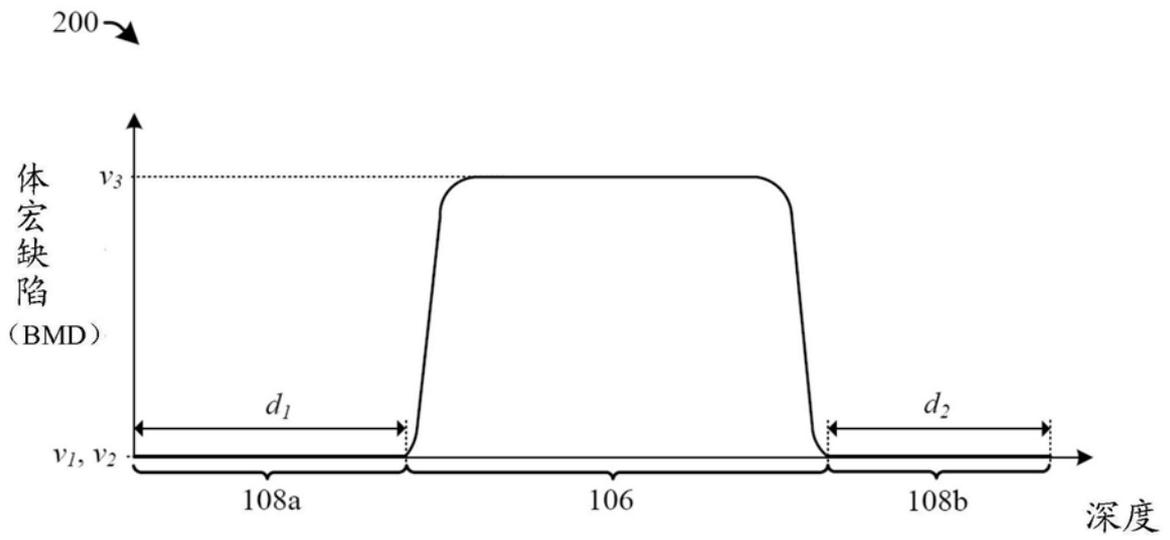


图2

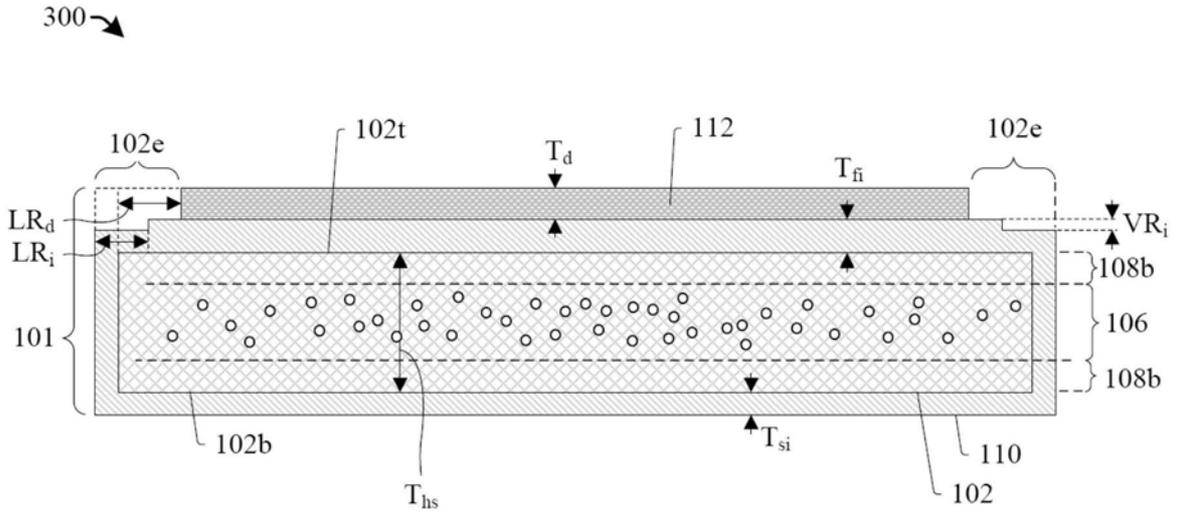


图3A

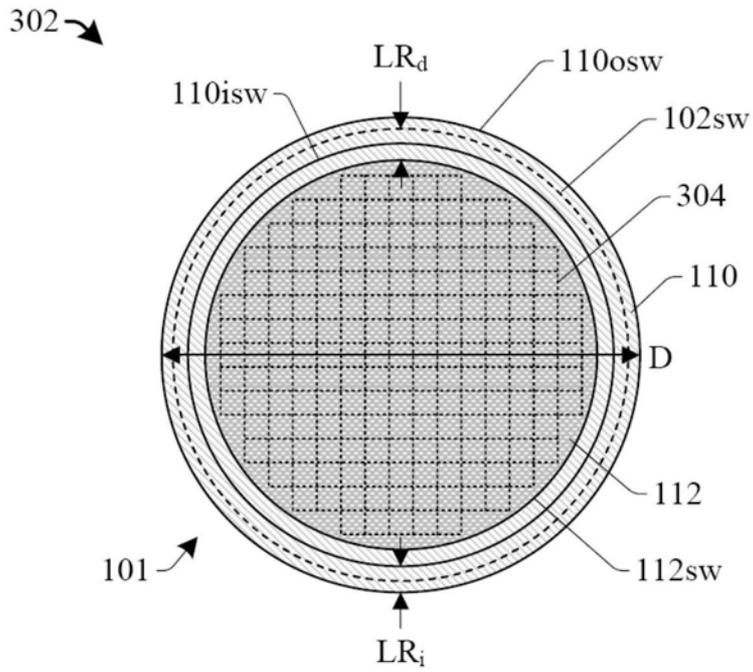


图3B

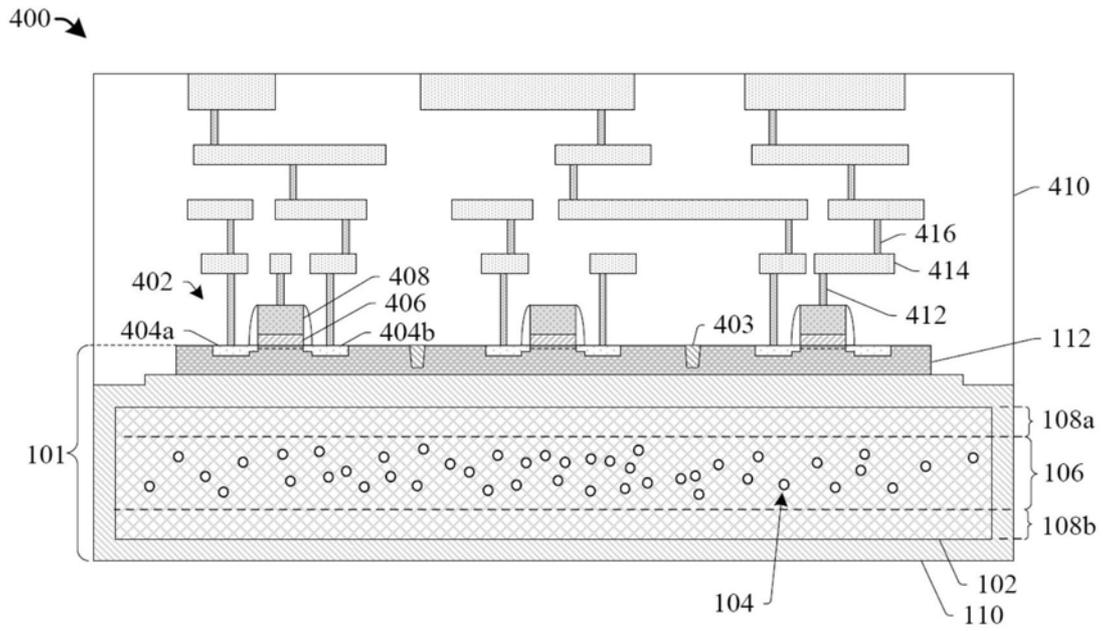


图4

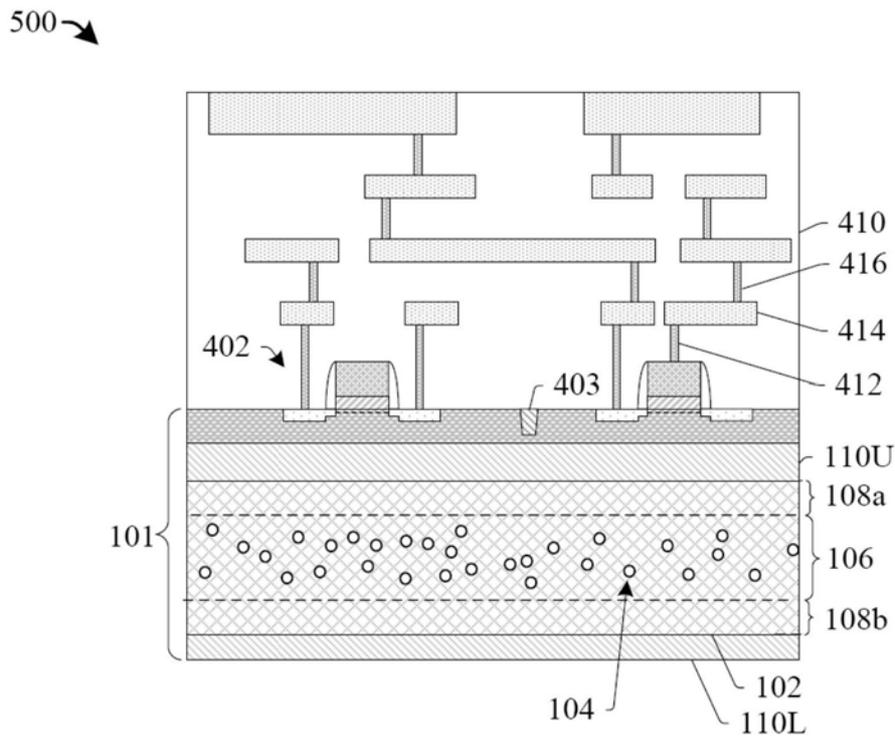


图5



图6A

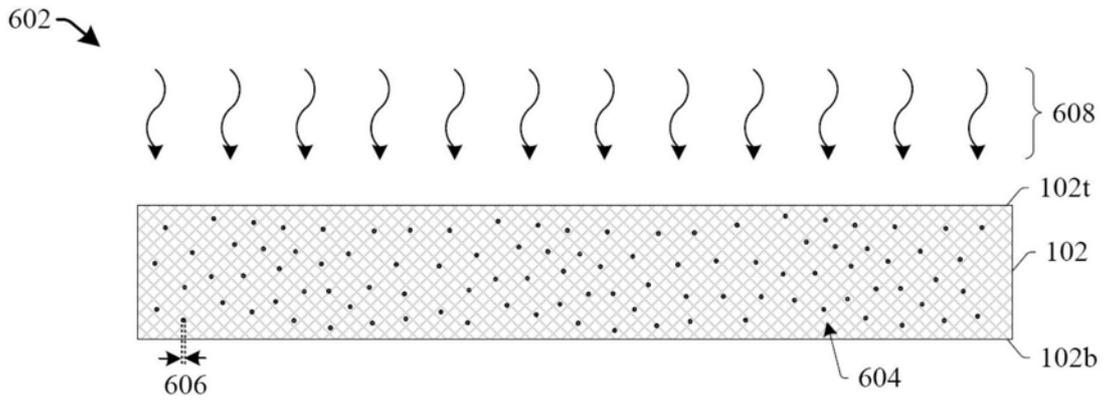


图6B

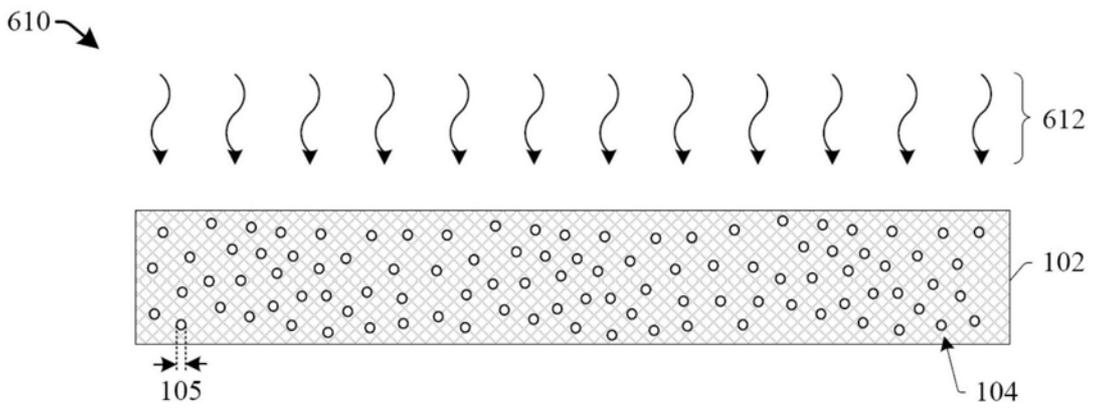


图6C

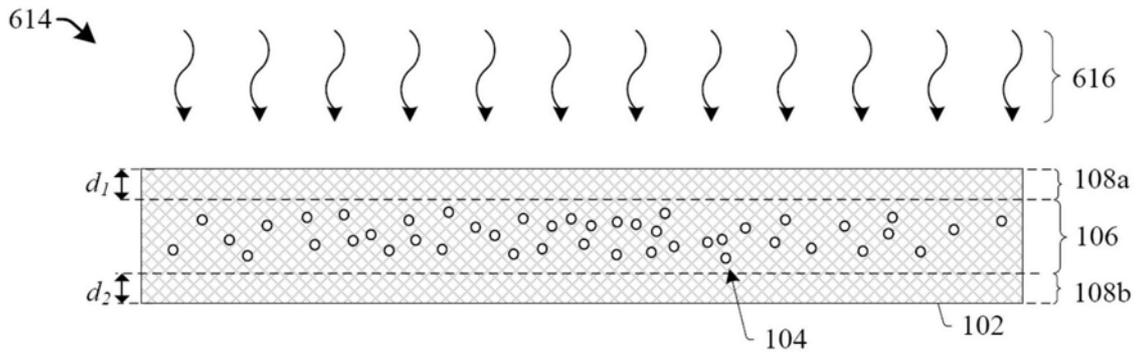


图6D

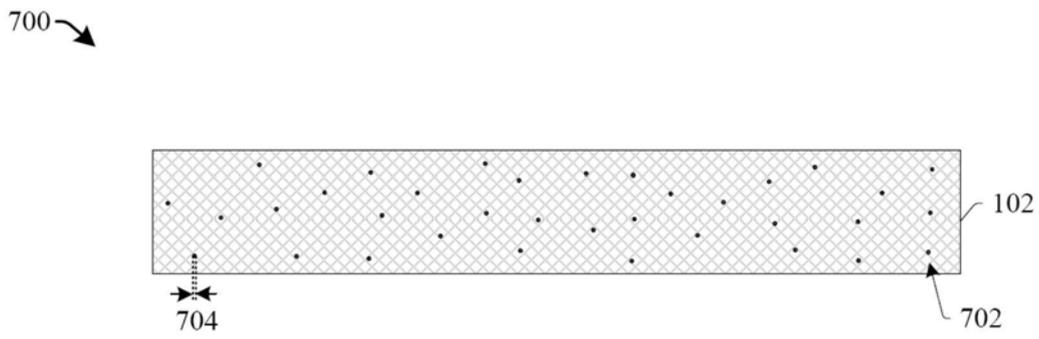


图7A

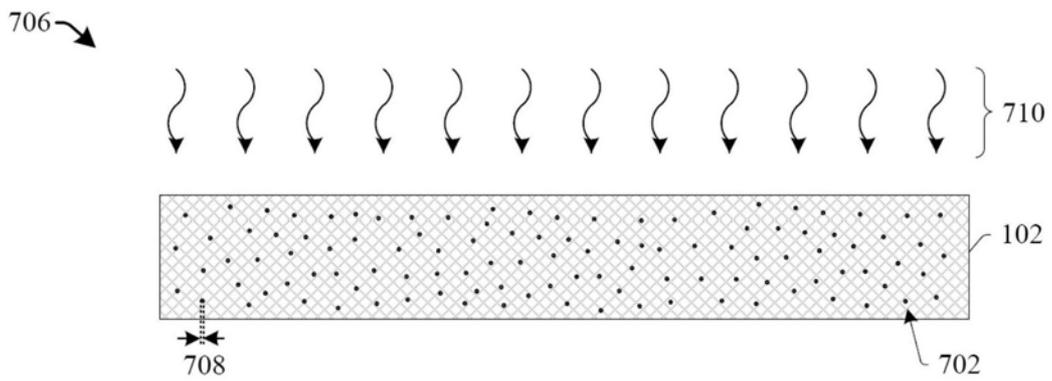


图7B

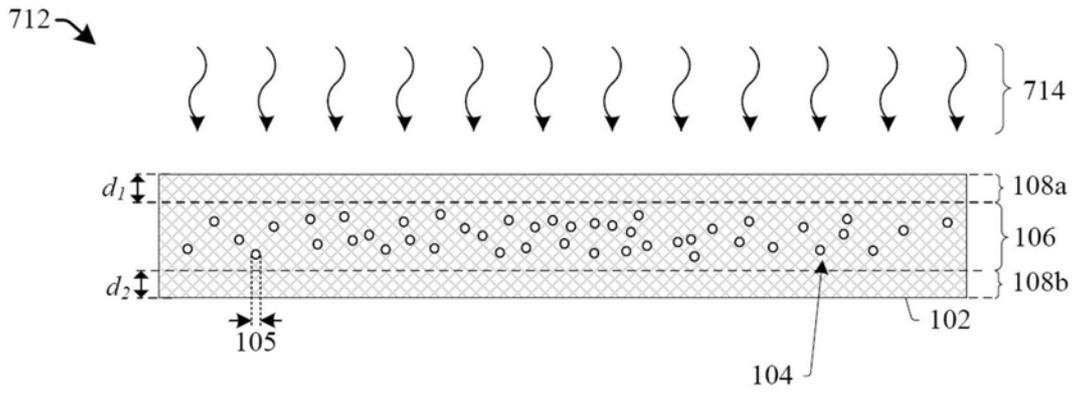


图7C

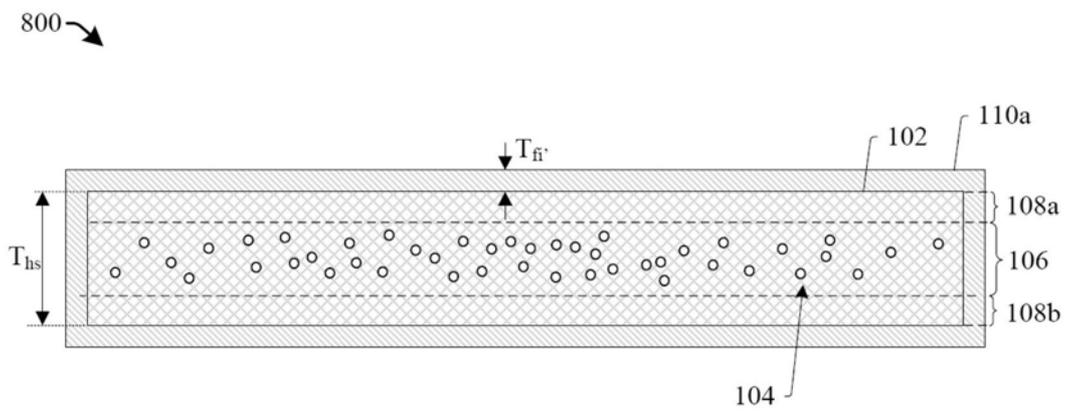


图8



图9

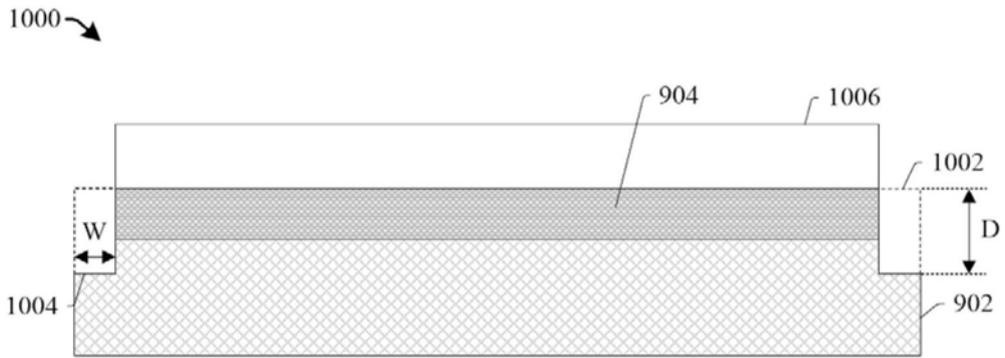


图10

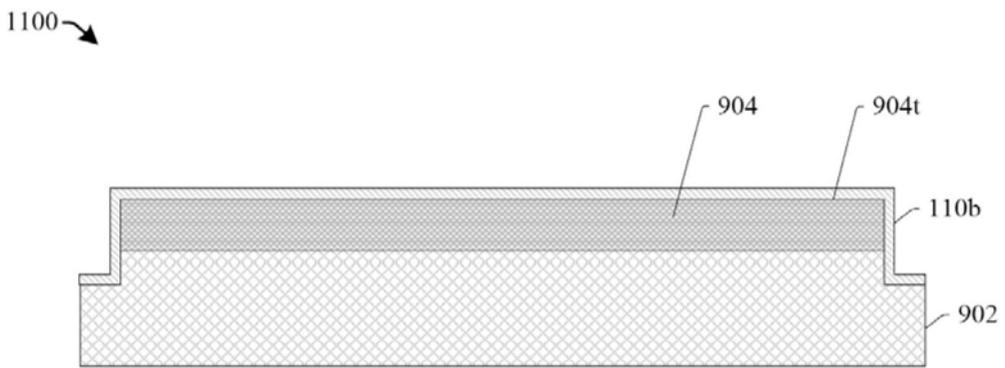


图11

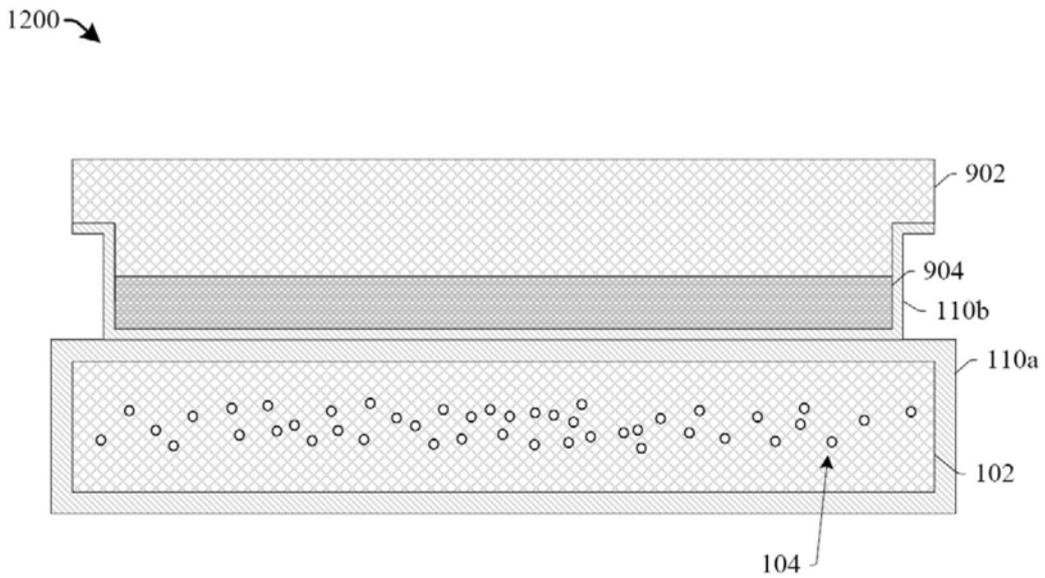


图12

1300 ↘



图13

1400 ↘

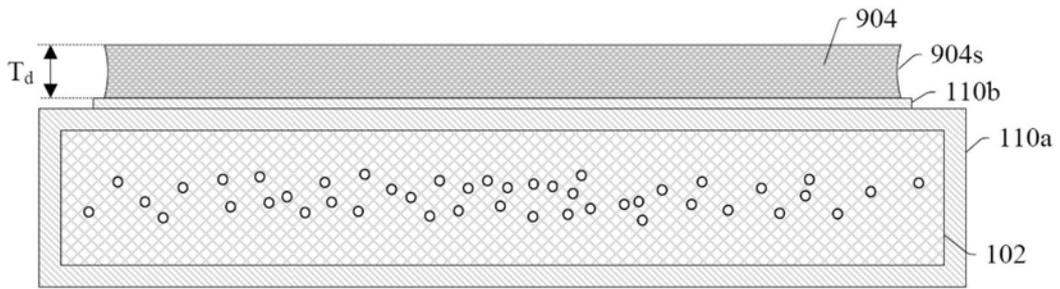


图14

1500 ↘

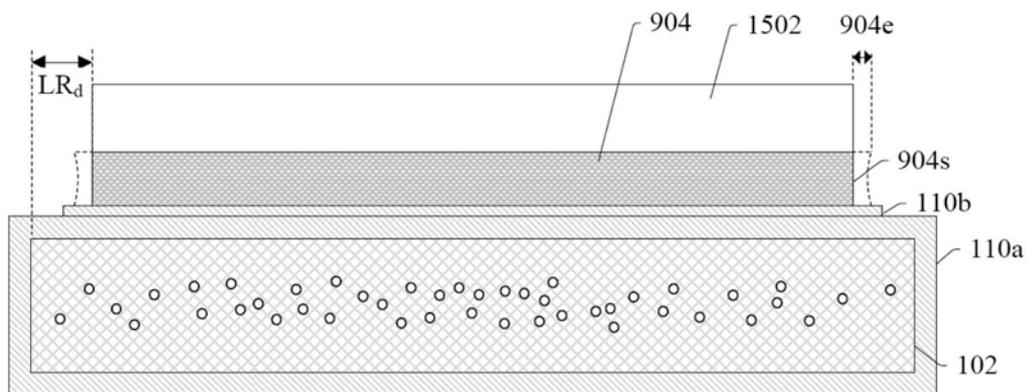


图15

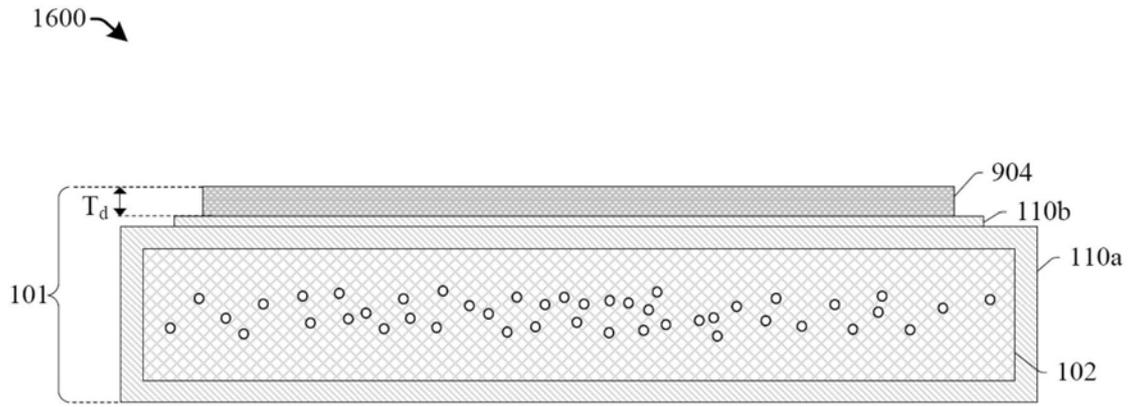


图16

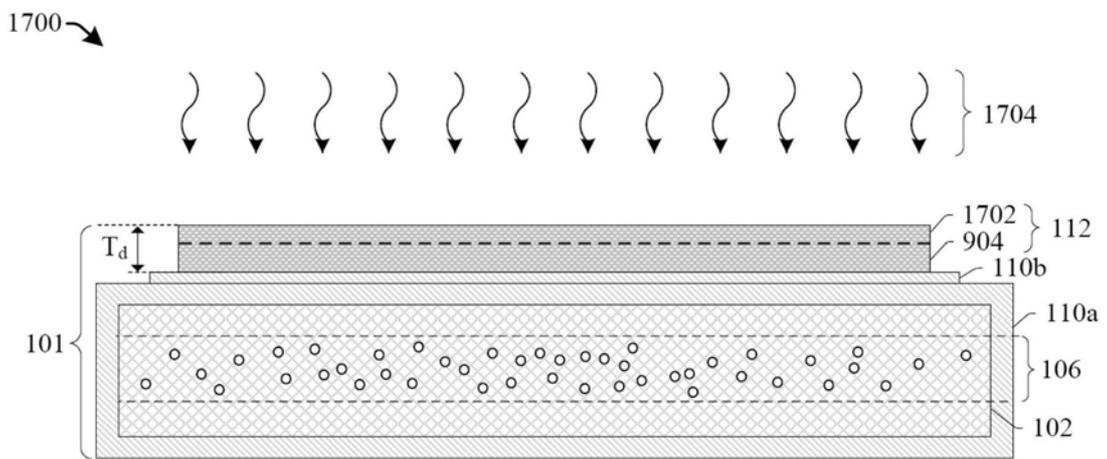


图17

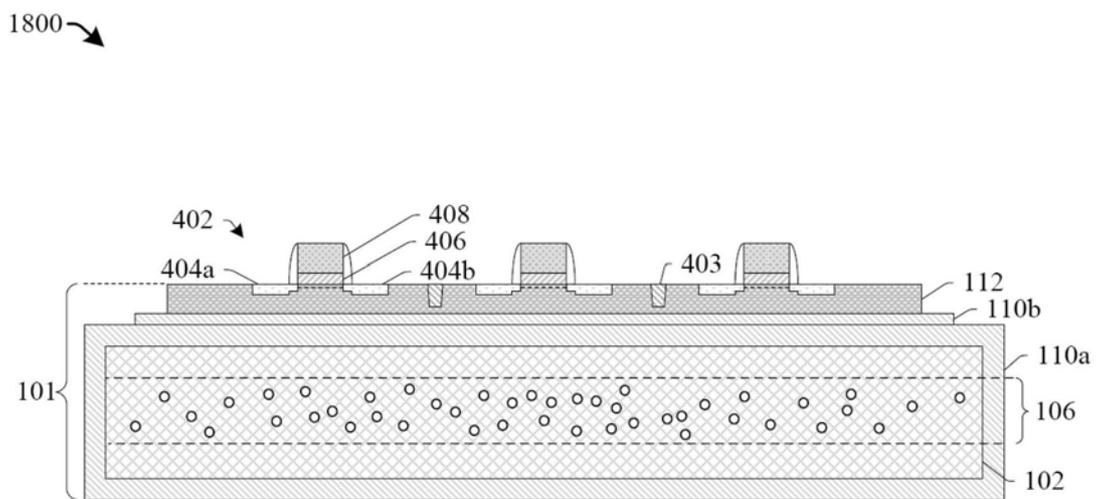


图18

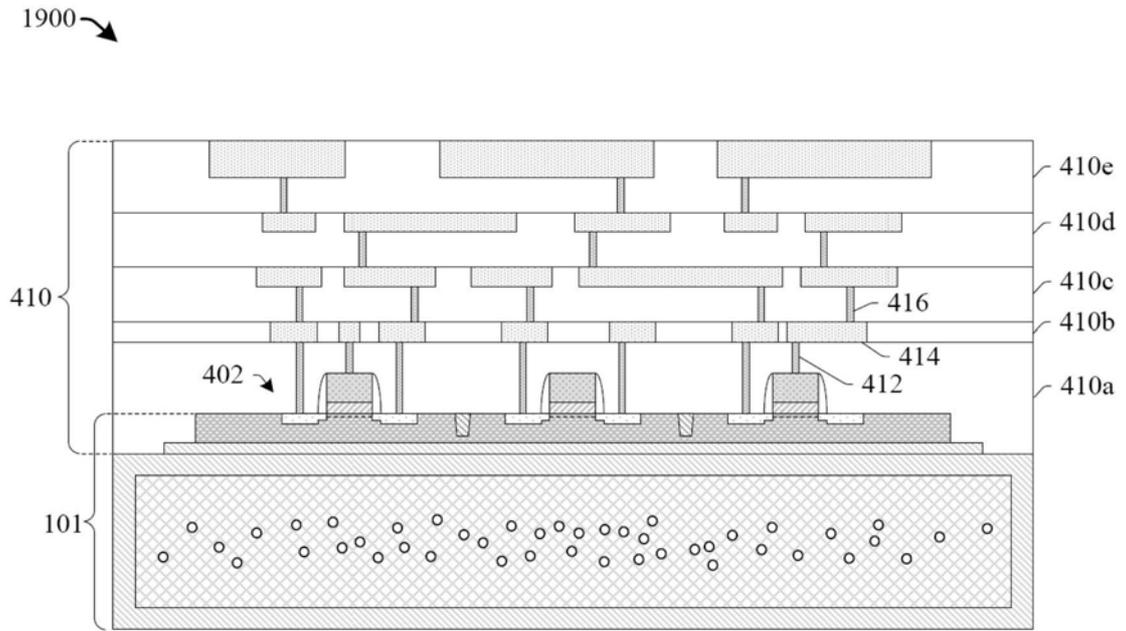


图19

2000 →

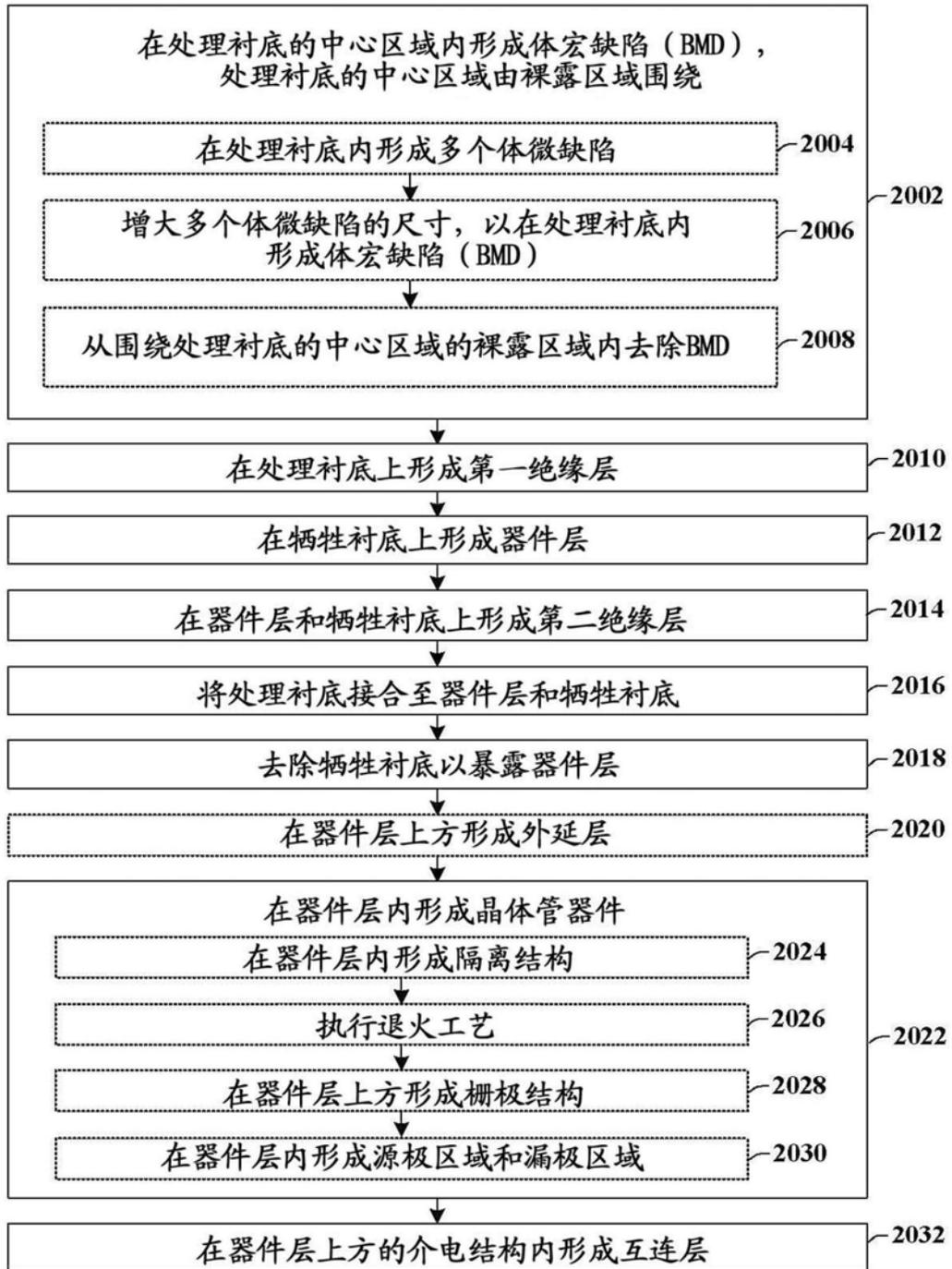


图20