



(12) 发明专利

(10) 授权公告号 CN 112290945 B

(45) 授权公告日 2023.03.28

(21) 申请号 202011060598.5

(22) 申请日 2020.09.30

(65) 同一申请的已公布的文献号
申请公布号 CN 112290945 A

(43) 申请公布日 2021.01.29

(73) 专利权人 西安电子科技大学
地址 710000 陕西省西安市雁塔区太白南路2号

(72) 发明人 朱樟明 梁宇华 郑子瑞 丁瑞雪
刘术彬 李登全

(74) 专利代理机构 西安嘉思特知识产权代理事务所(普通合伙) 61230
专利代理师 刘长春

(51) Int. Cl.
H03M 1/10 (2006.01)

(56) 对比文件
CN 109150181 A, 2019.01.04
US 10483995 B1, 2019.11.19
CN 110868218 A, 2020.03.06
US 6707403 B1, 2004.03.16
CN 111669178 A, 2020.09.15

US 2015002321 A1, 2015.01.01

WO 2016056889 A1, 2016.04.14

CN 110690901 A, 2020.01.14

CN 107437944 A, 2017.12.05

WO 2016127824 A1, 2016.08.18

曹超等. “高精度SARADC非理想因素分析及校准方法”. 《西安电子科技大学学报》. 2015, 第42卷(第6期), 第61-65, 87页.

王克柔等. “一款12位5 kS/s逐次逼近型模数转换器的设计”. 《固体电子学研究与发展》. 2018, 第38卷(第1期), 第75-79页.

Stefan Haenzsche等. “A 14 bit self-calibrating charge redistribution SAR ADC”. 《2012 IEEE International Symposium on Circuits and Systems (ISCAS)》. 2012, 第1038-1041页.

Andrea Di Salvo. “Design of a 12-bit SAR ADC with digital self-calibration for radiation detectors front-ends”. 《2019 15th Conference on Ph.D Research in Microelectronics and Electronics (PRIME)》. 2019, 第125-128页.

审查员 李晓阳

权利要求书4页 说明书10页 附图4页

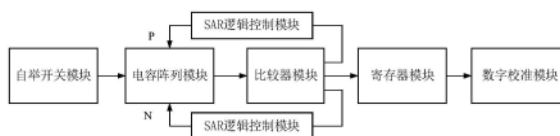
(54) 发明名称

单通道高速高精度SAR ADC的数字后台自校准电路结构及方法

(57) 摘要

本发明公开了一种单通道高速高精度SAR ADC的数字后台自校准电路结构及方法, 包括: 自举开关模块、电容阵列模块、比较器模块、寄存器模块、SAR逻辑控制模块和数字校准模块, 其中, 自举开关模块, 用来控制输入信号的传输; 电容阵列模块, 用来获取误差电压, 并得到采样信号; 比较器模块, 用来对不同端采样信号的电压进行比较; 寄存器模块, 用来存储电容阵列模块的实际权重; SAR逻辑控制模块, 用来控制电容阵列模块开关端的电容进行开关切换; 数字校准模块,

用来对比较器模块的输出结果进行数学运算得到电容阵列模块的误差权重和实际权重。本校准方法有效地校准了高权重位电容的权重值, 改善了高权重位电容的建立精度, 从而提高了数据转换率。



CN 112290945 B

1. 一种单通道高速高精度SAR ADC的数字后台自校准电路结构,其特征在于,包括:自举开关模块、电容阵列模块、比较器模块、寄存器模块、SAR逻辑控制模块和数字校准模块,所述自举开关模块、所述电容阵列模块、所述比较器模块、所述寄存器模块和所述数字校准模块依次连接,所述SAR逻辑控制模块连接在所述电容阵列模块的P端和N端的底极板与所述比较器模块的输出端之间,其中,

所述自举开关模块,包括开关SN和开关SP,SN用来控制所述电容阵列模块的N端的VIN输入信号的传输,SP用来控制电容阵列模块的P端的VIP输入信号的传输,VIN输入信号和VIP输入信号为差分输入信号;

所述电容阵列模块,用来获取误差电压,并将所述VIN输入信号采样到所述电容阵列模块上得到N端采样信号、将所述VIP输入信号采样到所述电容阵列模块上得到P端采样信号;

所述比较器模块,用来对所述N端采样信号和所述P端采样信号的电压进行比较,若所述N端采样信号的电压大于所述P端采样信号的电压,则所述比较器模块的输出结果为低电平,若所述N端采样信号的电压小于所述P端采样信号的电压,则所述比较器模块的输出结果为高电平;所述比较器模块,包括:预放大器和锁存器;

所述寄存器模块,用来存储通过所述误差电压得到的所述电容阵列模块的实际权重;

所述SAR逻辑控制模块,用来根据所述输出结果控制所述电容阵列模块的开关端连接 V_{REF} 端、 V_{CM} 端或GND端,当所述电容阵列模块P端和N端的顶极板接 V_{CM} 端,待误差提取位的底极板连接GND端,高于待误差提取位电容的底极板和电容阵列模块N端连接GND端,低于待误差提取位电容的底极板连接 V_{REF} 端,然后将电容阵列模块的顶极板与 V_{CM} 端断开,待误差提取位的底极板连接 V_{REF} 端,低于待误差提取位的底极板和电容阵列模块的N端均接GND端,高于待误差提取位底极板电压的底极板连接GND端;

所述数字校准模块,用来对所述比较器模块的输出结果进行累加、相乘和相加运算中的一种或多种目标运算,得到所述电容阵列模块的误差权重和实际权重;所述数字校准模块包括:第一乘法器(11)、第一累加器(12)、第一加法器(13)、电容阵列实际权重模块(14)、第二乘法器(15)、第二累加器(16)、LSB-DAC理想权重模块(17)和电容阵列理想权重模块(18),其中,所述第一乘法器(11)、所述第一累加器(12)、所述第一加法器(13)、所述电容阵列实际权重模块(14)、所述第二乘法器(15)和所述第二累加器(16)依次连接,所述LSB-DAC理想权重模块(17)连接在所述第一乘法器(11)的输入端,所述电容阵列理想权重模块(18)连接在所述第一加法器(13)的输入端。

2. 根据权利要求1所述的单通道高速高精度SAR ADC的数字后台自校准电路结构,其特征在于,所述电容阵列模块包括第一电容阵列(MSB-DAC)、第二电容阵列(LSB-DAC)、第一电容(CSP)和第二电容(CSN),其中,

所述第一电容阵列(MSB-DAC)的P端通过所述第一电容(CSP)与所述第二电容阵列(LSB-DAC)的P端连接,所述第一电容阵列(MSB-DAC)的N端通过所述第二电容(CSN)与所述第二电容阵列(LSB-DAC)的N端连接。

3. 根据权利要求2所述的单通道高速高精度SAR ADC的数字后台自校准电路结构,其特征在于,所述第一电容阵列(MSB-DAC)包括第十一电容(CP1)、第十二电容(CP2)、第十三电容(CP3)、第十四电容(CP4)、第十五电容(CP5)、第十六电容(CP6)、第十七电容(CP7)、第十八电容(CN1)、第十九电容(CN2)、第二十电容(CN3)、第二十一电容(CN4)、第二十二电容

(CN5)、第二十三电容 (CN6) 和第二十四电容 (CN7), 其中,

所述第十一电容 (CP1)、所述第十二电容 (CP2)、所述第十三电容 (CP3)、所述第十四电容 (CP4)、所述第十五电容 (CP5)、所述第十六电容 (CP6) 和所述第十七电容 (CP7) 依次并联, 且所述第十一电容 (CP1)、所述第十二电容 (CP2)、所述第十三电容 (CP3)、所述第十四电容 (CP4)、所述第十五电容 (CP5)、所述第十六电容 (CP6) 和所述第十七电容 (CP7) 的上极板连接在所述第一电容 (CSP) 和所述比较器模块的同相输入端之间, 所述第十一电容 (CP1)、所述第十二电容 (CP2)、所述第十三电容 (CP3)、所述第十四电容 (CP4)、所述第十五电容 (CP5)、所述第十六电容 (CP6) 和所述第十七电容 (CP7) 的下极板通过开关切换分别连接 VREF端、VCM端或GND端;

所述第十八电容 (CN1)、所述第十九电容 (CN2)、所述第二十电容 (CN3)、所述第二十一电容 (CN4)、所述第二十二电容 (CN5)、所述第二十三电容 (CN6) 和所述第二十四电容 (CN7) 依次并联, 且所述第十八电容 (CN1)、所述第十九电容 (CN2)、所述第二十电容 (CN3)、所述第二十一电容 (CN4)、所述第二十二电容 (CN5)、所述第二十三电容 (CN6) 和所述第二十四电容 (CN7) 的上极板连接在所述第二电容 (CSN) 和所述比较器模块的反相输入端之间, 所述第十八电容 (CN1)、所述第十九电容 (CN2)、所述第二十电容 (CN3)、所述第二十一电容 (CN4)、所述第二十二电容 (CN5)、所述第二十三电容 (CN6) 和所述第二十四电容 (CN7) 的下极板通过开关切换分别连接VREF端、VCM端或GND端。

4. 根据权利要求2所述的单通道高速高精度SAR ADC的数字后台自校准电路结构, 其特征在于, 所述第二电容阵列 (LSB-DAC) 包括第二十五电容 (CP8)、第二十六电容 (CP9)、第二十七电容 (CP10)、第二十八电容 (CP11)、第二十九电容 (CP12)、第三十电容 (CP13)、第三十一电容 (CP14)、第三十二电容 (CP15)、第三十三电容 (CP16)、第三十四电容 (CN8)、第三十五电容 (CN9)、第三十六电容 (CN10)、第三十七电容 (CN11)、第三十八电容 (CN12)、第三十九电容 (CN13)、第四十电容 (CN14)、第四十一电容 (CN15) 和第四十二电容 (CN16), 其中,

所述第二十五电容 (CP8)、所述第二十六电容 (CP9)、所述第二十七电容 (CP10)、所述第二十八电容 (CP11)、所述第二十九电容 (CP12)、所述第三十电容 (CP13)、所述第三十一电容 (CP14)、所述第三十二电容 (CP15) 和所述第三十三电容 (CP16) 依次并联, 且所述第二十五电容 (CP8)、所述第二十六电容 (CP9)、所述第二十七电容 (CP10)、所述第二十八电容 (CP11)、所述第二十九电容 (CP12)、所述第三十电容 (CP13)、所述第三十一电容 (CP14)、所述第三十二电容 (CP15) 和所述第三十三电容 (CP16) 的上极板连接在VIP输入信号端和所述第一电容 (CSP) 之间, 所述第二十五电容 (CP8)、所述第二十六电容 (CP9)、所述第二十七电容 (CP10)、所述第二十八电容 (CP11)、所述第二十九电容 (CP12)、所述第三十电容 (CP13)、所述第三十一电容 (CP14)、所述第三十二电容 (CP15) 和所述第三十三电容 (CP16) 的下极板通过开关切换分别连接VREF端、VCM端或GND端;

所述第三十四电容 (CN8)、第三十五电容 (CN9)、第三十六电容 (CN10)、第三十七电容 (CN11)、第三十八电容 (CN12)、第三十九电容 (CN13)、第四十电容 (CN14)、第四十一电容 (CN15) 和第四十二电容 (CN16) 依次并联, 且所述第三十四电容 (CN8)、第三十五电容 (CN9)、第三十六电容 (CN10)、第三十七电容 (CN11)、第三十八电容 (CN12)、第三十九电容 (CN13)、第四十电容 (CN14)、第四十一电容 (CN15) 和第四十二电容 (CN16) 的上极板连接在VIN输入信号端和所述第二电容 (CSN) 之间, 所述第三十四电容 (CN8)、第三十五电容 (CN9)、第三十

六电容 (CN10)、第三十七电容 (CN11)、第三十八电容 (CN12)、第三十九电容 (CN13)、第四十电容 (CN14)、第四十一电容 (CN15) 和第四十二电容 (CN16) 的下极板通过开关切换分别连接 VREF 端、VCM 端或 GND 端。

5. 一种单通道高速高精度 SAR ADC 的数字后台自校准方法, 其特征在于, 用于通过权利要求 1 至 4 任一项所述的单通道高速高精度 SAR ADC 的数字后台自校准电路结构实现, 包括:

基于电荷守恒原理, 将自举开关模块关断、电容阵列模块完全放电后, 通过 SAR 逻辑控制模块控制所述电容阵列模块的 P 端和 N 端的电容开关进行开关切换以使所述电容阵列模块处于预设连接状态, 在所述电容阵列模块的 P 端或者 N 端得到误差电压;

在所述电容阵列模块的第一连接端的电容阵列保持不变时, 所述电容阵列模块的第二连接端通过比较器模块和数字校准模块将所述误差电压转换为权重误差值, 其中, 当所述第一连接端为 P 端时, 第二连接端为 N 端, 当所述第一连接端为 N 端时, 第二连接端为 P 端;

利用所述权重误差值和所述电容阵列模块的理想权重得到所述电容阵列模块的实际权重, 所述电容阵列模块的实际权重存储在寄存器模块中;

导通所述自举开关模块, 所述电容阵列模块将输入信号采样到所述电容阵列模块上得到采样信号;

关断所述自举开关模块, SAR 逻辑控制模块控制所述比较器模块对所述采样信号进行逐周期比较输出若干比较结果;

所述数字校准模块利用所述若干比较结果和所述电容阵列模块将所述比较器模块的实际权重和所述若干比较结果的乘积转换为二进制输出码。

6. 根据权利要求 5 所述的单通道高速高精度 SAR ADC 的数字后台自校准方法, 其特征在于, 所述电容阵列模块的第二连接端通过比较器模块和数字校准模块将所述误差电压转换为权重误差值, 包括:

通过所述比较器模块对所述电容阵列模块的 N 端和 P 端的输入信号进行比较得到比较结果;

基于单端工作方式, 所述电容阵列模块的第二端根据所述比较结果进行开关切换, 将所述误差电压量化为第一二进制数字码;

通过数字校准模块将所述第一二进制数字码转换为第一十进制数字码;

根据所述第一十进制数字码得到权重误差值。

7. 根据权利要求 5 所述的单通道高速高精度 SAR ADC 的数字后台自校准方法, 其特征在于, 利用所述权重误差值和所述电容阵列模块的理想权重得到所述电容阵列模块的实际权重, 包括:

利用所述电容阵列模块的理想权重减去所述权重误差值得到所述电容阵列模块的实际权重。

8. 根据权利要求 5 所述的单通道高速高精度 SAR ADC 的数字后台自校准方法, 其特征在于, 所述输入信号包括 VIN 输入信号和 VIP 输入信号, 所述采样信号包括 VIN 采样信号和 VIP 采样信号, 其中,

所述电容阵列模块将输入信号采样到所述电容阵列模块上得到采样信号, 包括:

所述电容阵列模块将所述 VIN 输入信号采样到所述电容阵列模块的 N 端得到所述 VIN 采样信号;

所述电容阵列模块将所述VIP输入信号采样到所述电容阵列模块的P端得到所述VIP采样信号。

9. 根据权利要求5所述的单通道高速高精度SAR ADC的数字后台自校准方法,其特征在于,所述数字校准模块利用所述若干比较结果和所述电容阵列模块将所述电容阵列模块的实际权重和所述若干比较结果的乘积转换为二进制输出码,包括:

所述电容阵列模块将所述采样信号转换为第二二进制数字码;

通过所述数字校准模块将所述第二二进制数字码按位对应乘以所述电容阵列模块的实际权重和所述电容阵列模块的理想权重得到第三二进制数字码;

所述数字校准模块利用所述电容阵列模块将所述第三二进制数字码转换为所述二进制输出码。

单通道高速高精度SAR ADC的数字后台自校准电路结构及方法

技术领域

[0001] 本发明属于模数转换电路领域,具体涉及一种单通道高速高精度SAR ADC的数字后台自校准电路结构及方法。

背景技术

[0002] 在多种模数转换器中,SAR ADC (Successive Approximation Register Analog-to-digital Converter逐次逼近型模数转换器)既可以达到比较高的精度,又不消耗过多的功率,而且几乎不受工艺缩小的限制,在深亚微米CMOS工艺中有提高能量效率和速度的潜力。

[0003] 电容匹配是实现高速高精度SAR ADC的关键操作,失配一般受制造工艺和物理电路设计的影响,包括器件尺寸偏差,线宽、掺杂浓度和氧化层厚度等因素引起的随机失配,还包括温度梯度、扩散作用和机械应力等因素引起的系统失配。通过增加整体电容尺寸来提高匹配会严重限制ADC的数据转换速度。通过合理的电路布局和版图绘制可以降低某些失配,但想要获得超过10位的精度仍然十分困难。为了达到良好的性能,实现高速高精度,不可避免地要对电路进行校准,因此,应用数字后台自校准技术来提高SAR ADC的精度和数据转换速度变得至关重要。

发明内容

[0004] 为了解决现有技术中存在的上述问题,本发明提供了一种单通道高速高精度SAR ADC的数字后台自校准电路结构及方法。本发明要解决的技术问题通过以下技术方案实现:

[0005] 一种单通道高速高精度SAR ADC的数字后台自校准电路结构,包括:自举开关模块、电容阵列模块、比较器模块、寄存器模块、SAR逻辑控制模块和数字校准模块,所述自举开关模块、所述电容阵列模块、所述比较器模块、所述寄存器模块和所述数字校准模块依次连接,所述SAR逻辑控制模块连接在所述电容阵列模块的P端和N端的底极板与所述比较器模块的输出端之间,其中,

[0006] 所述自举开关模块,用来控制VIN输入信号和VIP输入信号的传输;

[0007] 所述电容阵列模块,用来获取误差电压,并将所述VIN输入信号采样到所述电容阵列模块上得到N端采样信号、将所述VIP输入信号采样到所述电容阵列模块上得到P端采样信号;

[0008] 所述比较器模块,用来对所述N端采样信号和所述P端采样信号的电压进行比较,若所述N端采样信号的电压大于所述P端采样信号的电压,则所述比较器模块的输出结果为低电平,若所述N端采样信号的电压小于所述P端采样信号的电压,则所述比较器模块的输出结果为高电平;

[0009] 所述寄存器模块,用来存储通过所述误差电压得到的所述电容阵列模块的实际权重;

[0010] 所述SAR逻辑控制模块,用来控制所述电容阵列模块开关端的电容进行开关切换;

[0011] 所述数字校准模块,用来对所述比较器模块的输出结果进行目标运算得到所述电容阵列模块的误差权重和实际权重。

[0012] 在本发明的一个实施例中,所述电容阵列模块包括第一电容阵列、第二电容阵列、第一电容和第二电容,其中,

[0013] 所述第一电容阵列的P端通过所述第一电容与所述第二电容阵列的P端连接,所述第一电容阵列的N端通过所述第二电容与所述第二电容阵列的N端连接。

[0014] 在本发明的一个实施例中,所述第一电容阵列包括第十一电容、第十二电容、第十三电容、第十四电容、第十五电容、第十六电容、第十七电容、第十八电容、第十九电容、第二十电容、第二十一电容、第二十二电容、第二十三电容和第二十四电容,其中,

[0015] 所述第十一电容、所述第十二电容、所述第十三电容、所述第十四电容、所述第十五电容、所述第十六电容和所述第十七电容依次并联,且所述第十一电容、所述第十二电容、所述第十三电容、所述第十四电容、所述第十五电容、所述第十六电容和所述第十七电容的上极板连接在所述第一电容和所述比较器模块的同相输入端之间,所述第十一电容、所述第十二电容、所述第十三电容、所述第十四电容、所述第十五电容、所述第十六电容和所述第十七电容的下极板通过开关切换分别连接 V_{REF} 端、 V_{CM} 端或GND端;

[0016] 所述第十八电容、所述第十九电容、所述第二十电容、所述第二十一电容、所述第二十二电容、所述第二十三电容和所述第二十四电容依次并联,且所述第十八电容、所述第十九电容、所述第二十电容、所述第二十一电容、所述第二十二电容、所述第二十三电容和所述第二十四电容的上极板连接在所述第二电容和所述比较器模块的反相输入端之间,所述第十八电容、所述第十九电容、所述第二十电容、所述第二十一电容、所述第二十二电容、所述第二十三电容和所述第二十四电容的下极板通过开关切换分别连接 V_{REF} 端、 V_{CM} 端或GND端。

[0017] 在本发明的一个实施例中,所述第二电容阵列包括第二十五电容、第二十六电容、第二十七电容、第二十八电容、第二十九电容、第三十电容、第三十一电容、第三十二电容、第三十三电容、第三十四电容、第三十五电容、第三十六电容、第三十七电容、第三十八电容、第三十九电容、第四十电容、第四十一电容和第四十二电容,其中,

[0018] 所述第二十五电容、所述第二十六电容、所述第二十七电容、所述第二十八电容、所述第二十九电容、所述第三十电容、所述第三十一电容、所述第三十二电容和所述第三十三电容依次并联,且所述第二十五电容、所述第二十六电容、所述第二十七电容、所述第二十八电容、所述第二十九电容、所述第三十电容、所述第三十一电容、所述第三十二电容和所述第三十三电容的上极板连接在VIP输入信号端和所述第一电容之间,所述第二十五电容、所述第二十六电容、所述第二十七电容、所述第二十八电容、所述第二十九电容、所述第三十电容、所述第三十一电容、所述第三十二电容和所述第三十三电容的下极板通过开关切换分别连接 V_{REF} 端、 V_{CM} 端或GND端;

[0019] 所述第三十四电容、第三十五电容、第三十六电容、第三十七电容、第三十八电容、第三十九电容、第四十电容、第四十一电容和第四十二电容依次并联,且所述第三十四电容、第三十五电容、第三十六电容、第三十七电容、第三十八电容、第三十九电容、第四十电容、第四十一电容和第四十二电容的上极板连接在VIN输入信号端和所述第二电容之间,所

述第三十四电容、第三十五电容、第三十六电容、第三十七电容、第三十八电容、第三十九电容、第四十电容、第四十一电容和第四十二电容的下极板通过开关切换分别连接 V_{REF} 端、 V_{CM} 端或GND端。

[0020] 在本发明的一个实施例中,所述数字校准模块包括第一乘法器、第一累加器、第一加法器、电容阵列实际权重模块、第二乘法器、第二累加器、LSB-DAC理想权重模块和电容阵列理想权重模块,其中,

[0021] 所述第一乘法器、所述第一累加器、所述第一加法器、所述电容阵列实际权重模块、所述第二乘法器和所述第二累加器依次连接,所述LSB-DAC理想权重模块连接在所述第一乘法器的输入端,所述电容阵列理想权重模块连接在所述第一加法器的输入端。

[0022] 一种单通道高速高精度SAR ADC的数字后台自校准方法,用于通过权利要求1至5任一项所述的单通道高速高精度SAR ADC的数字后台自校准电路结构实现,包括:

[0023] 基于电荷守恒原理,将自举开关模块关断、电容阵列模块完全放电后,通过SAR逻辑控制模块控制所述电容阵列模块的P端和N端的电容开关进行开关切换以使所述电容阵列模块处于预设连接状态,在所述电容阵列模块的P端或者N端得到误差电压;

[0024] 在所述电容阵列模块的第一连接端的电容阵列保持不变时,所述电容阵列模块的第二连接端通过比较器模块和数字校准模块将所述误差电压转换为权重误差值,其中,当所述第一连接端为P端时,第二连接端为N端,当所述第一连接端为N端时,第二连接端为P端;

[0025] 利用所述权重误差值和所述电容阵列模块的理想权重得到所述电容阵列模块的实际权重,所述电容阵列模块的实际权重存储在寄存器模块中;

[0026] 导通所述自举开关模块,所述电容阵列模块将输入信号采样到所述电容阵列模块上得到采样信号;

[0027] 关断所述自举开关模块,SAR逻辑控制模块控制所述比较器模块对所述采样信号进行逐周期比较输出若干比较结果;

[0028] 所述数字校准模块利用所述若干比较结果和所述电容阵列模块将所述比较器模块的实际权重和所述若干比较结果的乘积转换为二进制输出码。

[0029] 在本发明的一个实施例中,所述电容阵列模块的第二连接端通过比较器模块和数字校准模块将所述误差电压转换为权重误差值,包括:

[0030] 通过所述比较器模块对所述电容阵列模块的N端和P端的输入信号进行比较得到比较结果;

[0031] 基于单端工作方式,所述电容阵列模块的第二端根据所述比较结果进行开关切换,将所述误差电压量化为第一二进制数字码;

[0032] 通过数字校准模块将所述第一二进制数字码转换为第一十进制数字码;

[0033] 根据所述第一十进制数字码得到权重误差值。

[0034] 在本发明的一个实施例中,利用所述权重误差值和所述电容阵列模块的理想权重得到所述电容阵列模块的实际权重,包括:

[0035] 利用所述电容阵列模块的理想权重减去所述权重误差值得到所述电容阵列模块的实际权重。

[0036] 在本发明的一个实施例中,所述输入信号包括VIN输入信号和VIP输入信号,所述

采样信号包括VIN采样信号和VIP采样信号,其中,

[0037] 所述电容阵列模块将输入信号采样到所述电容阵列模块上得到采样信号,包括:

[0038] 所述电容阵列模块将所述VIN输入信号采样到所述电容阵列模块的N端得到所述VIN采样信号;

[0039] 所述电容阵列模块将所述VIP输入信号采样到所述电容阵列模块的P端得到所述VIP采样信号。

[0040] 在本发明的一个实施例中,所述数字校准模块利用所述若干比较结果和所述电容阵列模块将所述电容阵列模块的实际权重和所述若干比较结果的乘积转换为二进制输出码,包括:

[0041] 所述电容阵列模块将所述采样信号转换为第二二进制数字码;

[0042] 通过所述数字校准模块将所述第二二进制数字码按位对应乘以所述电容阵列模块的实际权重和所述电容阵列模块的理想权重得到第三二进制数字码;

[0043] 所述数字校准模块利用所述电容阵列模块将所述第三二进制数字码转换为所述二进制输出码。

[0044] 本发明的有益效果:

[0045] 本发明涉及一种单通道高速高精度SAR ADC的数字后台自校准电路结构及方法,通过电容阵列模块得到误差电压,通过比较器模块和数字校准模块将误差电压转换为权重误差值,进而得到电容阵列模块的实际权重,利用电容阵列模块对输入信号进行采样得到采样信号,比较器模块对不同输入端的采样信号进行比较得到比较结果,结合比较结果和电容阵列模块的实际权重最终完成本电路结构的自校准,本校准方法有效地校准了高权重位电容的权重值,改善了高权重位电容的建立精度,从而提高了数据转换率。

[0046] 以下将结合附图及实施例对本发明做进一步详细说明。

附图说明

[0047] 图1是本发明实施例提供的一种单通道高速高精度SAR ADC的数字后台自校准电路模块图;

[0048] 图2是本发明实施例提供的一种单通道高速高精度SAR ADC的数字后台自校准方法流程图;

[0049] 图3是本发明实施例提供的一种单通道高速高精度SAR ADC的数字后台自校准电路结构图;

[0050] 图4是本发明实施例提供的数字校准模块电路结构图;

[0051] 图5是本发明实施例提供的一种单通道高速高精度SAR ADC的数字后台自校准电路仿真图;

[0052] 图6是本发明实施例提供的一种单通道高速高精度SAR ADC的电路未校准仿真图。

具体实施方式

[0053] 下面结合具体实施例对本发明做进一步的描述,但本发明的实施方式不限于此。

[0054] 实施例一

[0055] 参见图1和图3,图1是本发明实施例提供的一种单通道高速高精度SAR ADC的数字后台自校准电路模块图,图3是本发明实施例提供的一种单通道高速高精度SAR ADC的数字后台自校准电路结构图。一种单通道高速高精度SAR ADC的数字后台自校准电路结构,包括:自举开关模块、电容阵列模块、比较器模块、寄存器模块、SAR逻辑控制模块和数字校准模块,自举开关模块、电容阵列模块、比较器模块、寄存器模块和数字校准模块依次连接,SAR逻辑控制模块连接在电容阵列模块的P端和N端的底极板与比较器模块的输出端之间,其中,

[0056] 自举开关模块,用来控制VIN输入信号和VIP输入信号的传输;

[0057] 电容阵列模块,用来获取误差电压,将VIN输入信号采样到电容阵列模块上得到N端采样信号、将VIP输入信号采样到电容阵列模块上得到P端采样信号;

[0058] 比较器模块,用来对N端采样信号和P端采样信号的电压进行比较,若N端采样信号的电压大于P端采样信号的电压,则比较器模块的输出结果为低电平,若N端采样信号的电压小于P端采样信号的电压,则比较器模块的输出结果为高电平;

[0059] 寄存器模块,用来存储通过误差电压得到的电容阵列模块的实际权重;

[0060] SAR逻辑控制模块,用来控制电容阵列模块开关端的电容进行开关切换;

[0061] 数字校准模块,用来对比较器模块的输出结果进行目标运算得到电容阵列模块的误差权重和实际权重。

[0062] 具体地,自举开关模块包括开关 S_N 和开关 S_P , S_N 用来控制电容阵列模块的N端的VIN输入信号的传输, S_P 用来控制电容阵列模块的P端的VIP输入信号的传输,VIN输入信号和VIP输入信号为差分输入信号。

[0063] 具体地,电容阵列模块在误差提取阶段用来获取误差电压,在误差转换阶段将误差电压转换为权重误差值,在采样阶段利用输入信号对电容阵列的顶极板进行充电(采样)得到采样信号。

[0064] 进一步地,电容阵列模块包括第一电容阵列MSB-DAC、第二电容阵列LSB-DAC、第一电容 C_{SP} 和第二电容 C_{SN} ,其中,

[0065] 第一电容阵列MSB-DAC的P端通过第一电容 C_{SP} 与第二电容阵列LSB-DAC的P端连接,第一电容阵列MSB-DAC的N端通过第二电容 C_{SN} 与第二电容阵列LSB-DAC的N端连接。

[0066] 第一电容阵列MSB-DAC包括第十一电容 C_{P1} 、第十二电容 C_{P2} 、第十三电容 C_{P3} 、第十四电容 C_{P4} 、第十五电容 C_{P5} 、第十六电容 C_{P6} 、第十七电容 C_{P7} 、第十八电容 C_{N1} 、第十九电容 C_{N2} 、第二十电容 C_{N3} 、第二十一电容 C_{N4} 、第二十二电容 C_{N5} 、第二十三电容 C_{N6} 和第二十四电容 C_{N7} ,其中,

[0067] 第十一电容 C_{P1} 、第十二电容 C_{P2} 、第十三电容 C_{P3} 、第十四电容 C_{P4} 、第十五电容 C_{P5} 、第十六电容 C_{P6} 和第十七电容 C_{P7} 依次并联,且第十一电容 C_{P1} 、第十二电容 C_{P2} 、第十三电容 C_{P3} 、第十四电容 C_{P4} 、第十五电容 C_{P5} 、第十六电容 C_{P6} 和第十七电容 C_{P7} 的上极板连接在第一电容 C_{SP} 和比较器模块的同相输入端之间,第十一电容 C_{P1} 、第十二电容 C_{P2} 、第十三电容 C_{P3} 、第十四电容 C_{P4} 、第十五电容 C_{P5} 、第十六电容 C_{P6} 和第十七电容 C_{P7} 的下极板通过开关切换分别连接 V_{REF} 端、 V_{CM} 端或GND端;

[0068] 第十八电容 C_{N1} 、第十九电容 C_{N2} 、第二十电容 C_{N3} 、第二十一电容 C_{N4} 、第二十二电容 C_{N5} 、第二十三电容 C_{N6} 和第二十四电容 C_{N7} 依次并联,且第十八电容 C_{N1} 、第十九电容 C_{N2} 、第二

十电容 C_{N3} 、第二十一电容 C_{N4} 、第二十二电容 C_{N5} 、第二十三电容 C_{N6} 和第二十四电容 C_{N7} 的上极板连接在第二电容 C_{SN} 和比较器模块的反相输入端之间,第十八电容 C_{N1} 、第十九电容 C_{N2} 、第二十电容 C_{N3} 、第二十一电容 C_{N4} 、第二十二电容 C_{N5} 、第二十三电容 C_{N6} 和第二十四电容 C_{N7} 的下极板通过开关切换分别连接 V_{REF} 端、 V_{CM} 端或GND端。

[0069] 第二电容阵列LSB-DAC包括第二十五电容 C_{P8} 、第二十六电容 C_{P9} 、第二十七电容 C_{P10} 、第二十八电容 C_{P11} 、第二十九电容 C_{P12} 、第三十电容 C_{P13} 、第三十一电容 C_{P14} 、第三十二电容 C_{P15} 、第三十三电容 C_{P16} 、第三十四电容 C_{N8} 、第三十五电容 C_{N9} 、第三十六电容 C_{N10} 、第三十七电容 C_{N11} 、第三十八电容 C_{N12} 、第三十九电容 C_{N13} 、第四十电容 C_{N14} 、第四十一电容 C_{N15} 和第四十二电容 C_{N16} ,其中,

[0070] 第二十五电容 C_{P8} 、第二十六电容 C_{P9} 、第二十七电容 C_{P10} 、第二十八电容 C_{P11} 、第二十九电容 C_{P12} 、第三十电容 C_{P13} 、第三十一电容 C_{P14} 、第三十二电容 C_{P15} 和第三十三电容 C_{P16} 依次并联,且第二十五电容 C_{P8} 、第二十六电容 C_{P9} 、第二十七电容 C_{P10} 、第二十八电容 C_{P11} 、第二十九电容 C_{P12} 、第三十电容 C_{P13} 、第三十一电容 C_{P14} 、第三十二电容 C_{P15} 和第三十三电容 C_{P16} 的上极板连接在VIP输入信号端和第一电容 C_{SP} 之间,第二十五电容 C_{P8} 、第二十六电容 C_{P9} 、第二十七电容 C_{P10} 、第二十八电容 C_{P11} 、第二十九电容 C_{P12} 、第三十电容 C_{P13} 、第三十一电容 C_{P14} 、第三十二电容 C_{P15} 和第三十三电容 C_{P16} 的下极板通过开关切换分别连接 V_{REF} 端、 V_{CM} 端或GND端;

[0071] 第三十四电容 C_{N8} 、第三十五电容 C_{N9} 、第三十六电容 C_{N10} 、第三十七电容 C_{N11} 、第三十八电容 C_{N12} 、第三十九电容 C_{N13} 、第四十电容 C_{N14} 、第四十一电容 C_{N15} 和第四十二电容 C_{N16} 依次并联,且第三十四电容 C_{N8} 、第三十五电容 C_{N9} 、第三十六电容 C_{N10} 、第三十七电容 C_{N11} 、第三十八电容 C_{N12} 、第三十九电容 C_{N13} 、第四十电容 C_{N14} 、第四十一电容 C_{N15} 和第四十二电容 C_{N16} 的上极板连接在VIN输入信号端和第二电容 C_{SN} 之间,第三十四电容 C_{N8} 、第三十五电容 C_{N9} 、第三十六电容 C_{N10} 、第三十七电容 C_{N11} 、第三十八电容 C_{N12} 、第三十九电容 C_{N13} 、第四十电容 C_{N14} 、第四十一电容 C_{N15} 和第四十二电容 C_{N16} 的下极板通过开关切换分别连接 V_{REF} 端、 V_{CM} 端或GND端。

[0072] 其中, V_{REF} 为电源电压VDD, V_{CM} 为电源电压VDD的二分之一,GND为接地端。

[0073] 进一步地,比较器模块用来比较电容阵列模块输出的N端采样信号和P端采样信号,进而得到二进制码的输出结果,具体为:N端采样信号的电压大于P端采样信号的电压,输出结果为低电平(0);N端采样信号的电压小于P端采样信号的电压,输出结果为高电平(1)。比较器模块为两级动态比较器,包括预放大器和锁存器。

[0074] 进一步地,寄存器模块用来存储通过误差电压得到的电容阵列模块的实际权重。

[0075] 进一步地,SAR逻辑控制模块根据比较器模块输出的二进制码控制电容阵列模块的开关端连接 V_{REF} 端、 V_{CM} 端或GND端,当电容阵列模块P端和N端的顶极板接 V_{CM} 端,待误差提取位的底极板连接GND端,高于待误差提取位电容的底极板和电容阵列模块N端连接GND端,低于待误差提取位电容的底极板连接 V_{REF} 端,然后,将电容阵列模块的顶极板与 V_{CM} 端断开,待误差提取位的底极板连接 V_{REF} 端,低于待误差提取位的底极板和电容阵列模块N端均接GND端,高于待误差提取位底极板电压的底极板连接GND端。

[0076] 进一步地,数字校准模块用来对二进制数字码和十进制数字码进行目标运算,包括累加、相乘和相加等运算的一种或多种,并将得到的电容阵列模块的误差权重和实际权重进行存储。

[0077] 数字校准模块包括第一乘法器11、第一累加器12、第一加法器13、电容阵列实际权

重模块14、第二乘法器15、第二累加器16、LSB-DAC理想权重模块17和电容阵列理想权重模块18,其中,

[0078] 第一乘法器11、第一累加器12、第一加法器13、电容阵列实际权重模块14、第二乘法器15和第二累加器16依次连接,LSB-DAC理想权重模块17连接在第一乘法器11的输入端,电容阵列理想权重模块18连接在第一加法器13的输入端。

[0079] 具体地,请参见图4,图4是本发明实施例提供的数字校准模块电路结构图。当本自校准电路结构工作在误差提取阶段和误差转换阶段时,数字校准模块中的第一乘法器11、第一累加器12、第一加法器13、电容阵列实际权重模块14、LSB-DAC理想权重模块17和电容阵列理想权重模块18进行工作,第二乘法器15和第二累加器16不工作;当本自校准电路结构工作在采样阶段和转换阶段时,数字校准模块中的电容阵列实际权重模块14、第二乘法器15和第二累加器16工作,第一乘法器11、第一累加器12、第一加法器13、LSB-DAC理想权重模块17和电容阵列理想权重模块18不工作。

[0080] 具体地,电容阵列实际权重模块14用来利用电容阵列模块的理想权重减去权重误差值得到电容阵列模块的实际权重,LSB-DAC理想权重模块17用来获取第二电容阵列LSB-DAC的理想权重,电容阵列理想权重模块18用来获取电容阵列模块的理想权重,比较器模块输出的比较结果 D_{ic} 输入到第一乘法器11中,LSB-DAC理想权重模块17将第二电容阵列LSB-DAC的理想权重按位与比较结果 D_{ic} 进行相乘得到第一结果,第一累加器12将第一结果的二进制位进行累加得到第二结果,第一加法器13将第二结果与电容阵列理想权重模块18的二进制位进行按位相加得到第三结果,电容阵列实际权重模块14利用第三结果得到电容阵列模块的实际权重。

[0081] 综上所述,在本自校准方法开始前,需要先将电容阵列模块中的全部电容进行完全放电。在误差提取阶段,电容阵列模块的P端和N端的顶极板均连接 V_{CM} 端,待误差提取位 C_{P1} 底极板连接GND端, $C_{P2} \sim C_{P16}$ 底极板连接 V_{REF} 端,电容阵列模块N端的电容 $C_{N1} \sim C_{N16}$ 底极板连接GND端。然后通过SAR逻辑控制模块将电容阵列模块的P端和N端的顶极板与 V_{CM} 端断开, C_{P1} 底极板连接 V_{REF} 端, $C_{P2} \sim C_{P16}$ 底极板连接GND端,电容阵列模块N端的电容 $C_{N1} \sim C_{N16}$ 底极板仍然连接GND端,此时,电容阵列模块P端电容顶极板得到两倍误差电压值。

[0082] 在误差转换阶段,电容阵列模块P端的电容阵列保持不变,电容阵列模块N端的LSB-DAC电容阵列以单端工作方式对开关端进行开关切换。 C_{N8} 底极板连接 V_{REF} 端,通过比较器模块对P端和N端的采样信号进行比较,若 V_P 大于 V_N ,则比较器模块的输出结果 D_{1C} 为1, C_{N8} 底极板连接 V_{REF} 端不变,若 V_P 小于 V_N ,则比较器模块的输出结果 D_{1C} 为0, C_{N8} 底极板连接GND端,同理, C_{N9} 底极板连接 V_{REF} 端,若 V_P 大于 V_N ,则比较器模块的输出结果 D_{2C} 为1, C_{N9} 底极板连接 V_{REF} 端不变,若 V_P 小于 V_N ,则比较器模块的输出结果 D_{2C} 为0, C_{N9} 底极板连接GND端。以此类推, $C_{N10} \sim C_{N15}$ 将重复上述操作,最终得到一组二进制数字码 D_{ic} ,通过数字校准模块将二进制数字码转换为十进制数字码并处以 2^N 得到权重误差值,利用电容阵列模块的理想权重减去权重误差值得到电容阵列模块的实际权重,并将电容阵列模块的实际权重存储在寄存器模块中。同理,电容阵列模块N端的电容阵列保持不变,电容阵列模块P端的MSB-DAC电容阵列以单端工作方式对开关端进行开关切换,最终得到电容阵列模块的实际权重并存储在寄存器模块中。

[0083] 在采样阶段,自举开关 S_N 和 S_P 均导通,利用N端和P端的输入电压对电容阵列模块的

顶极板进行充电(采样)对应得到N端和P端的输出电压,同时,电容阵列模块的所有电容的底极板连接 V_{cm} 端。

[0084] 在转换阶段,自举开关 S_N 和 S_P 均关断,比较器CMP在时钟信号CLK的控制下对输入端电压逐周期进行比较,输出一组二进制码 D_i ,二进制码 D_i 中高七位按位乘以实际权重,低七位按位乘以理想权重,14位权重相加得到X,在数字校准模块的数字域中将X转换为校准完成的二进制输出码,一次完整的数模转换结束。当下一次采样信号到达后,可重复步骤4、步骤5和步骤6。

[0085] 实施例二

[0086] 请参见图1、图2和图3,图1是本发明实施例提供的一种单通道高速高精度SAR ADC的数字后台自校准电路模块图,图2是本发明实施例提供的一种单通道高速高精度SAR ADC的数字后台自校准方法流程图,图3是本发明实施例提供的一种单通道高速高精度SAR ADC的数字后台自校准电路结构图。本发明实施例提供的一种单通道高速高精度SAR ADC的数字后台自校准方法,包括:

[0087] 步骤1、将自举开关模块关断、电容阵列模块完全放电,通过SAR逻辑控制模块控制电容阵列模块的P端和N端的电容开关进行开关切换以使电容阵列模块处于预设连接状态,在电容阵列模块的P端或者N端得到误差电压。

[0088] 具体的,本实施例的工作模式分为四个阶段,分别为误差提取阶段、误差转换阶段、采样阶段和转换阶段,步骤1工作在误差提取阶段。

[0089] 在本自校准方法开始前,需要先将电容阵列模块中的全部电容进行完全放电,将自举开关模块关断,电容阵列模块进行误差提取,不进行采样。进行误差提取时,通过对电容阵列模块和待误差提取位的位数进行比较,SAR逻辑控制模块控制电容阵列模块的P端和N端的电容开关进行开关切换,以使电容阵列模块处于预设连接状态,使电容阵列模块开关端连接 V_{REF} 端、 V_{CM} 端或GND端,其中, V_{REF} 为电源电压VDD, V_{CM} 为电源电压VDD的二分之一,GND为接地端,待误差提取位为电容阵列模块中的第一电容阵列MSB-DAC。预设连接状态为:当电容阵列模块P端和N端的顶极板接 V_{CM} 端,待误差提取位的底极板连接GND端,高于待误差提取位底极板电压的底极板和电容阵列模块N端连接GND端,低于待误差提取位底极板电压的底极板连接 V_{REF} 端,然后,将电容阵列模块的顶极板与 V_{CM} 端断开,待误差提取位的底极板连接 V_{REF} 端,低于待误差提取位的底极板和电容阵列模块N端均接GND端,高于待误差提取位底极板电压的底极板连接GND端,此时,电容阵列模块P端的顶极板电压叠加两倍电压误差值,反之,电容阵列模块N端的顶极板电压叠加两倍电压误差值。

[0090] 例如,电容阵列模块的P端和N端的顶极板均连接 V_{CM} 端,待误差提取位 C_{P1} 底极板连接GND端, $C_{P2} \sim C_{P16}$ 底极板连接 V_{REF} 端,电容阵列模块N端的电容 $C_{N1} \sim C_{N16}$ 底极板连接GND端。然后通过SAR逻辑控制模块将电容阵列模块的P端和N端的顶极板与 V_{CM} 端断开, C_{P1} 底极板连接 V_{REF} 端, $C_{P2} \sim C_{P16}$ 底极板连接GND端,电容阵列模块N端的电容 $C_{N1} \sim C_{N16}$ 底极板仍然连接GND端,此时,电容阵列模块P端电容顶极板得到两倍误差电压值。

[0091] 步骤2、在电容阵列模块的第一连接端的电容阵列保持不变时,电容阵列模块的第二连接端通过比较器模块和数字校准模块将误差电压转换为权重误差值,其中,当第一连接端为P端时,第二连接端为N端,当第一连接端为N端时,第二连接端为P端。

[0092] 具体地,步骤2工作在误差转换阶段,当电容阵列模块的P端的电容阵列保持不变,

电容阵列模块的N端进行单端工作；当电容阵列模块的N端的电容阵列保持不变，电容阵列模块的P端进行单端工作。

[0093] 进一步地，在步骤2中，电容阵列模块的第二连接端通过比较器模块和数字校准模块将误差电压转换为权重误差值，包括：

[0094] 步骤2.1、通过比较器模块对电容阵列模块的N端和P端的输入信号进行比较得到比较结果。

[0095] 具体地，通过比较器模块对电容阵列模块的N端和P端的输入信号进行比较，若N端电压大于P端电压，比较结果为0，反之，若N端电压小于P端电压，比较结果为1，比较结果为二进制码。

[0096] 步骤2.2、基于单端工作方式，电容阵列模块的第二端根据比较结果进行开关切换，将误差电压量化为第一二进制数字码。

[0097] 具体地，电容阵列模块N端或P端的第一电容阵列MSB-DAC根据比较结果以单端工作方式进行开关切换，将误差电压量化为第一二进制数字码。

[0098] 例如，电容阵列模块P端的电容阵列保持不变，电容阵列模块N端的LSB-DAC电容阵列以单端工作方式对开关端进行开关切换。 C_{N8} 底极板连接 V_{REF} 端，通过比较器模块对P端和N端的采样信号进行比较，若 V_P 大于 V_N ，则比较器模块的输出结果 D_{1C} 为1， C_{N8} 底极板连接 V_{REF} 端不变，若 V_P 小于 V_N ，则比较器模块的输出结果 D_{1C} 为0， C_{N8} 底极板连接GND端，同理， C_{N9} 底极板连接 V_{REF} 端，若 V_P 大于 V_N ，则比较器模块的输出结果 D_{2C} 为1， C_{N9} 底极板连接 V_{REF} 端不变，若 V_P 小于 V_N ，则比较器模块的输出结果 D_{2C} 为0， C_{N9} 底极板连接GND端。以此类推， $C_{N10} \sim C_{N15}$ 将重复上述操作，最终得到一组二进制数字码 D_{iC} ，通过数字校准模块将二进制数字码转换为十进制数字码并处以 2^N 得到权重误差值，利用电容阵列模块的理想权重减去权重误差值得到电容阵列模块的实际权重，并将电容阵列模块的实际权重存储在寄存器模块中。

[0099] 步骤2.3、通过数字校准模块将第一二进制数字码转换为第一十进制数字码。

[0100] 具体地，在误差转换阶段，数字校准模块包括第一乘法器11、第一累加器12、第一加法器13、电容阵列实际权重模块14、LSB-DAC理想权重模块17和电容阵列理想权重模块18，通过数字校准模块可进行累加、相加或相乘中的一种或多种运算，将第一二进制数字码转换为第一十进制数字码。

[0101] 步骤2.4、基于电荷守恒原理，根据第一十进制数字码得到权重误差值。

[0102] 具体地，基于电荷守恒原理，将第一十进制数字码除以 2^N 化得到权重误差值。

[0103] 步骤3、利用权重误差值和电容阵列模块的理想权重得到电容阵列模块的实际权重，电容阵列模块的实际权重存储在寄存器模块中。

[0104] 进一步地，步骤3工作在误差转换阶段。利用电容阵列模块的理想权重减去权重误差值得到电容阵列模块的实际权重。

[0105] 步骤4、导通自举开关模块，电容阵列模块将输入信号采样到电容阵列模块上得到采样信号。

[0106] 具体地，步骤4工作在采样阶段。自举开关模块导通，采样信号为高电平，输入信号对电容阵列模块进行充电，充电完成后，电容阵列模块顶极板上的电压为采样信号。

[0107] 进一步地，输入信号包括VIN输入信号和VIP输入信号，采样信号包括VIN采样信号和VIP采样信号。电容阵列模块将VIN输入信号采样到电容阵列模块的N端得到VIN采样信

号;电容阵列模块将VIP输入信号采样到电容阵列模块的P端得到VIP采样信号。

[0108] 步骤5、关断自举开关模块,SAR逻辑控制模块控制比较器模块对采样信号进行逐周期比较输出若干比较结果。

[0109] 具体地,步骤5工作在转换阶段。通过SAR逻辑控制模块控制比较器模块对VIP采样信号和VIN采样信号进行比较,若VIP采样信号的电压大于VIN采样信号的电压,比较结果为1,反之,若VIP采样信号的电压小于VIN采样信号的电压,比较结果为0。

[0110] 步骤6、数字校准模块利用若干比较结果和比较器模块将电容阵列模块的实际权重转换为二进制输出码。

[0111] 具体地,步骤6工作在转换阶段。

[0112] 进一步地,步骤6包括:

[0113] 步骤6.1、比较器模块将采样信号转换为第二二进制数字码。

[0114] 具体地,比较器模块通过对电容阵列模块P端和N端的电压进行比较,根据比较结果输出一组二进制码为第二二进制数字码。例如,N端电压大于P端电压,输出二进制码为0,N端电压小于P端电压,输出二进制码为1。

[0115] 步骤6.2、通过数字校准模块将第二二进制数字码按位对应乘以电容阵列模块的实际权重和电容阵列模块的理想权重得到第三二进制数字码,数字校准模块利用电容阵列模块将第三二进制数字码转换为二进制输出码。

[0116] 具体地,第二二进制数字码中的高七位按位乘以实际权重,低七位按位乘以理想权重,十四位权重相加得到数值X,数字校准模块通过电容阵列模块将X转换为最终校准完成的二进制输出码,一次完整的数模转换结束。当下一次采样信号到达后,可重复步骤4、步骤5和步骤6。

[0117] 实施例三

[0118] 请参见图5和图6,图5是本发明实施例提供的一种单通道高速高精度SAR ADC的数字后台自校准电路仿真图,图6是本发明实施例提供的一种单通道高速高精度SAR ADC的电路未校准仿真图。本实施例可通过以下仿真实验完成。

[0119] 仿真条件

[0120] 采用桥接电容,电容失配 $\sigma=0.01$,电容顶极板寄生参数为0.002,电容底极板寄生参数为0.001,蒙特卡洛实验次数为2000次。

[0121] 仿真内容及结果

[0122] 本自校准电路仿真图的有效位数主要分布在13.6bit附近,未校准电路仿真图的有效位数主要分布在10.5bit附近,可以看出,本自校准方法可提高有效位数为3bit,有效地校准了高权重位电容的权重值,改善了高权重位电容的建立精度,从而提高了数据转换率。

[0123] 以上内容是结合具体的优选实施方式对本发明所作的进一步详细说明,不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干简单推演或替换,都应当视为属于本发明的保护范围。

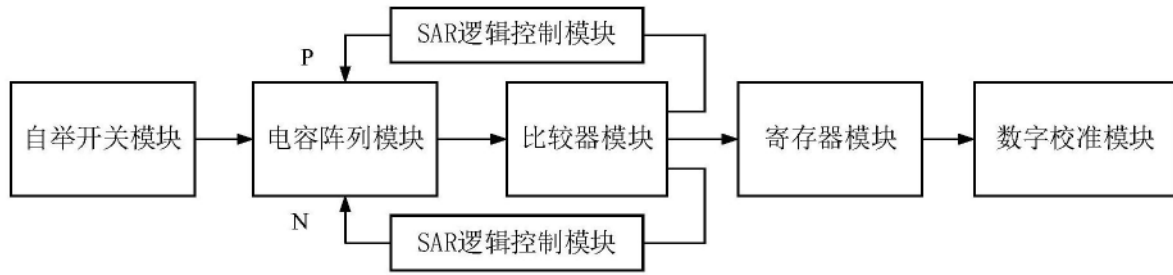


图1

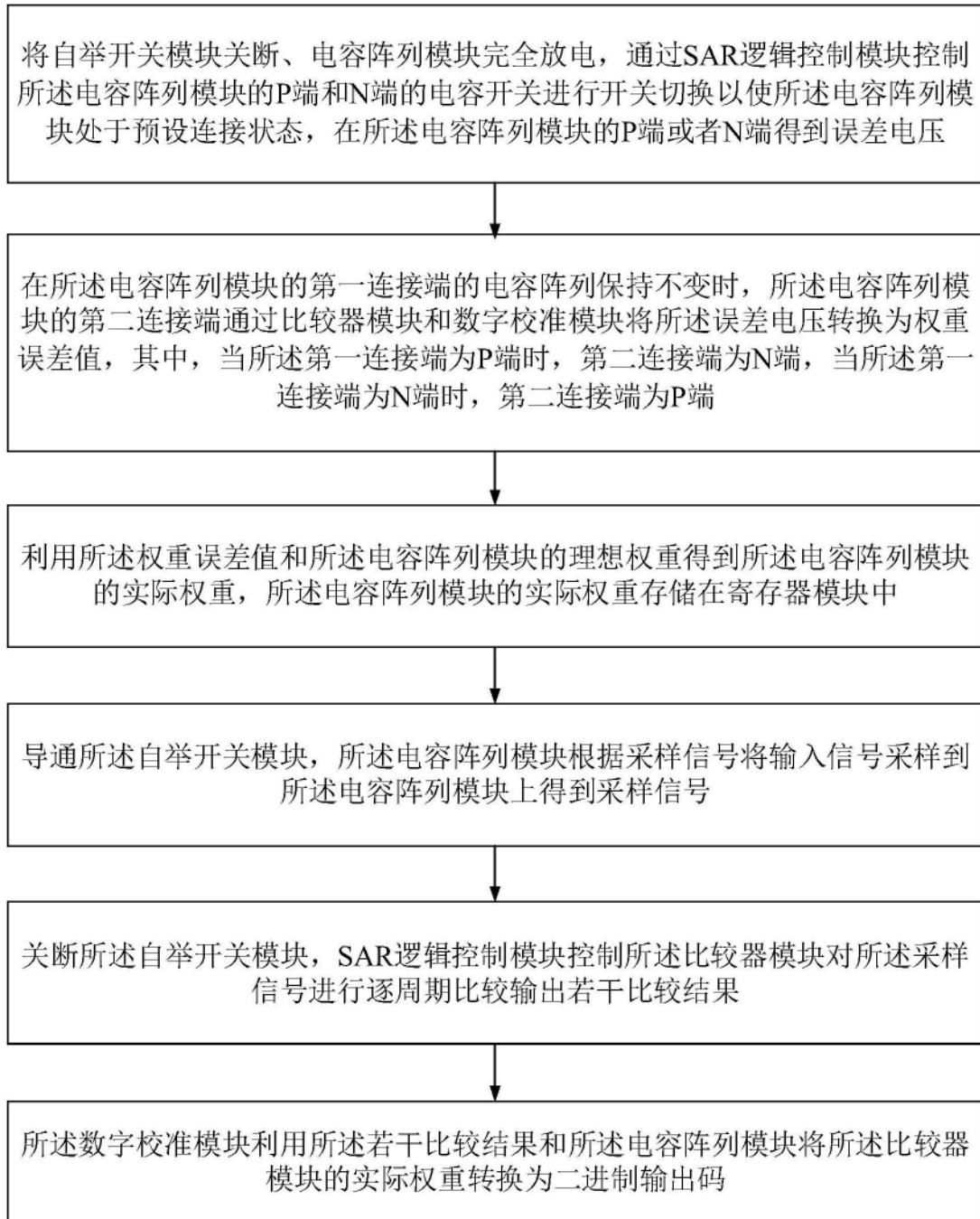


图2

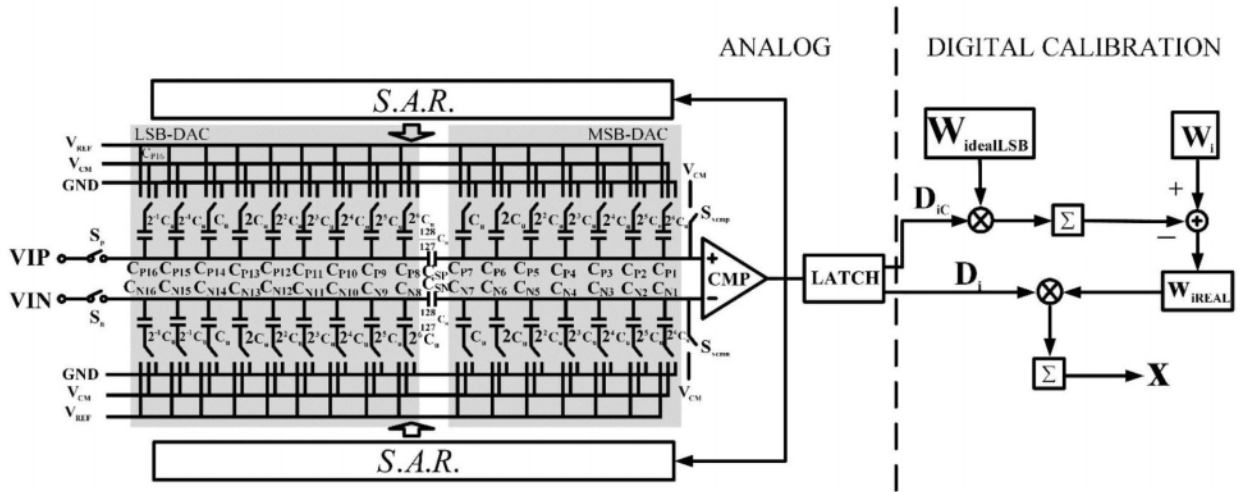


图3

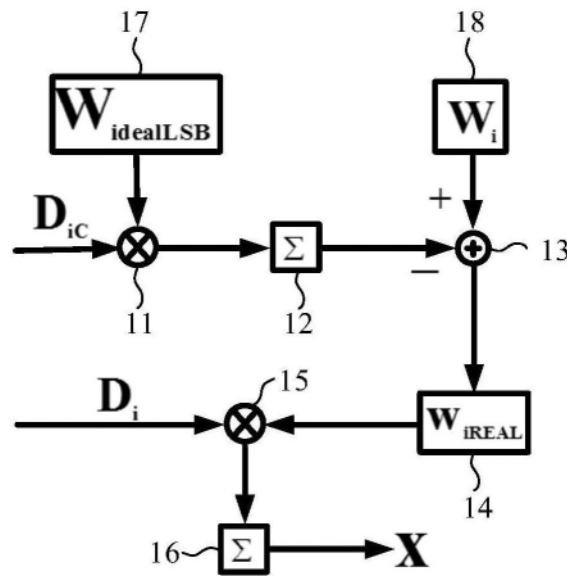


图4

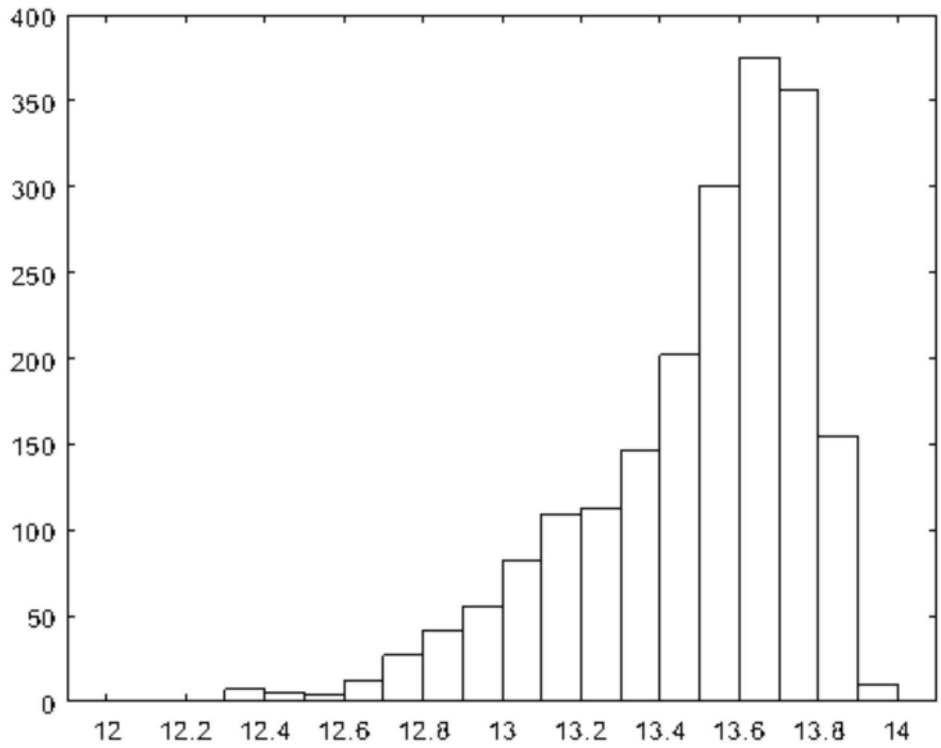


图5

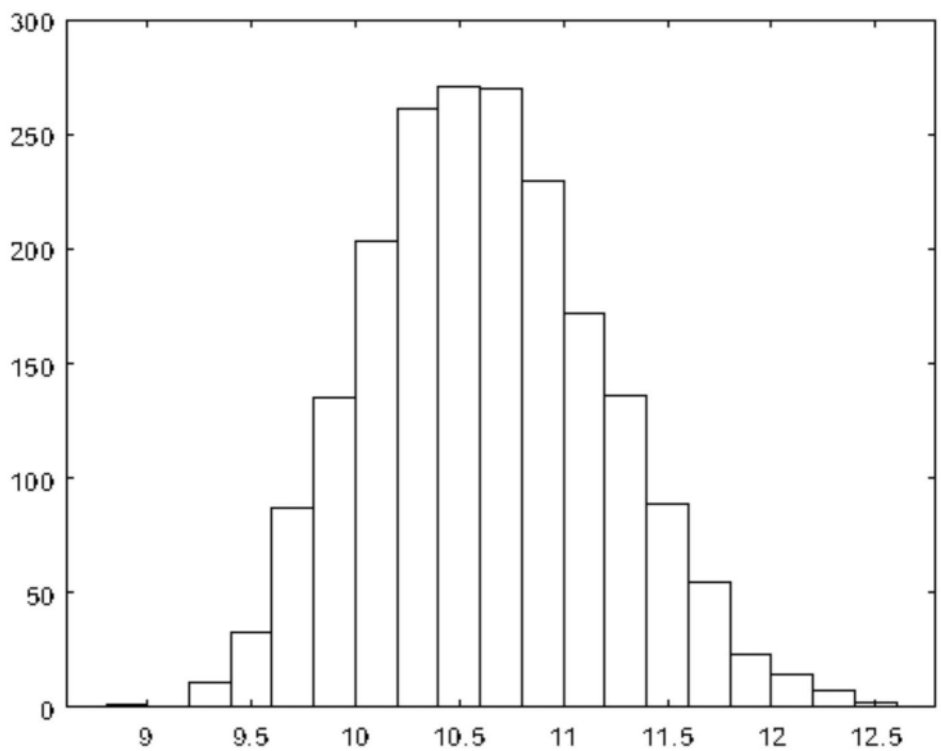


图6