



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2007-0080324
H01L 23/28 (2006.01) (43) 공개일자 2007년08월10일

(21) 출원번호 10-2006-0011539
(22) 출원일자 2006년02월07일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 김상영
충남 천안시 쌍용동 월봉태영아파트 104동 1103호
문태호
충남 천안시 백석동 주공그린빌아파트 104동 1404호

(74) 대리인 윤동열

전체 청구항 수 : 총 5 항

(54) 접착력이 있는 폴리이미드층을 이용한 반도체 칩의 접착 및적층 방법

(57) 요약

본 발명은 접착력이 있는 폴리이미드층을 이용한 반도체 칩의 접착 및 적층 방법에 관한 것으로, 종래의 경우, 반도체 칩의 접착 및 적층 공정에 액상의 접착제 또는 접착 테이프와 같은 고가의 접착 수단이 이용됨으로써, 반도체 칩의 접착 및 적층 공정에 고비용 및 장시간이 소요되는 문제가 발생된다. 이와 같은 문제점을 해결하기 위해서, 본 발명은, 열과 자외선을 이용하여 반도체 칩의 폴리이미드층에 접착력을 부여하고, 이러한 폴리이미드층을 이용하여 반도체 칩을 패키지 기판에 접착시키거나 복수개의 반도체 칩들을 적층시키는 접착력이 있는 폴리이미드층을 이용한 반도체 칩의 접착 및 적층 방법을 제공한다. 본 발명에 따르면, 반도체 칩의 폴리이미드층에 의해 반도체 칩의 접착 및 적층이 이루어짐으로써, 반도체 칩의 접착 또는 적층 공정에 고가의 접착 수단을 이용할 필요가 없기 때문에, 반도체 칩의 접착 또는 적층 공정에 소요되는 비용을 절감할 수 있으며, 반도체 칩의 접착 또는 적층 공정이 단순화됨으로써, 공정 시간을 단축할 수 있다.

대표도

도 3

특허청구의 범위

청구항 1.

- (a) 접착력이 있는 폴리이미드층이 형성된 복수개의 반도체 칩들이 배열된 웨이퍼를 제공하는 단계;
- (b) 상기 웨이퍼를 절단하여 반도체 칩들을 개별적으로 분리하는 단계;

- (c) 상기 반도체 칩이 실장될 패키지 기판을 준비하는 단계;
- (d) 상기 패키지 기판에 상기 반도체 칩을 상기 폴리이미드층을 매개로 접착시키는 단계; 및
- (e) 상기 폴리이미드층을 완전 경화시키는 단계;를 포함하는 것을 특징으로 하는 접착력이 있는 폴리이미드층을 이용한 반도체 칩의 접착 방법.

청구항 2.

제 1항에 있어서, 상기 (a) 단계는,

- (a1) 집적회로가 내재된 복수개의 칩 몸체들과, 상기 집적회로와 접속되어 상기 칩 몸체들의 상부면에 형성된 복수개의 칩 패드들을 갖는 웨이퍼 몸체를 준비하는 단계;
- (a2) 상기 웨이퍼 몸체의 상부면에 폴리이미드를 도포하는 단계;
- (a3) 상기 폴리이미드를 1차 불완전 경화시켜 제 1차 폴리이미드층을 형성하는 단계;
- (a4) 상기 제 1차 폴리이미드층에 자외선을 조사하는 단계;
- (a5) 상기 제 1차 폴리이미드층을 2차 불완전 경화시켜 제 2차 폴리이미드층을 형성하는 단계; 및
- (a6) 상기 제 2차 폴리이미드층으로부터 상기 칩 패드들을 노출시키는 단계;를 포함하는 것을 특징으로 하는 접착력이 있는 폴리이미드층을 이용한 반도체 칩의 접착 방법.

청구항 3.

- (a) 접착력이 있는 하부 폴리이미드층이 형성된 복수개의 하부 반도체 칩들이 배열된 하부 웨이퍼를 제공하는 단계;
- (b) 상기 하부 반도체 칩 상에 적층될 복수개의 상부 반도체 칩들이 배열된 상부 웨이퍼를 제공하는 단계;
- (d) 상기 상부 웨이퍼와 상기 하부 웨이퍼를 절단하여 상기 상부 반도체 칩들과 상기 하부 반도체 칩들을 개별적으로 분리하는 단계;
- (e) 상기 하부 반도체 칩 상에 상기 상부 반도체 칩을 상기 하부 폴리이미드층을 매개로 접착시키는 단계; 및
- (f) 상기 하부 폴리이미드층을 완전 경화시키는 단계;를 포함하는 것을 특징으로 하는 접착력이 있는 폴리이미드층을 이용한 반도체 칩의 적층 방법.

청구항 4.

제 3항에 있어서, 상기 (a)단계는,

- (a1) 집적회로가 내재된 복수개의 칩 몸체들과, 상기 집적회로가 접속되어 상기 칩 몸체들의 상부면에 형성된 복수개의 칩 패드들을 갖는 하부 웨이퍼 몸체를 준비하는 단계;
- (a2) 상기 하부 웨이퍼 몸체의 하부면에 폴리이미드를 도포하는 단계;
- (a3) 상기 폴리이미드를 1차 불완전 경화시켜 제 1차 폴리이미드층을 형성하는 단계;

- (a4) 상기 제 1차 폴리이미드층에 자외선을 조사하는 단계;
- (a5) 상기 제 1차 폴리이미드층을 2차 불완전 경화시켜 제 2차 폴리이미드층을 형성하는 단계; 및
- (a6) 상기 제 2차 폴리이미드층으로부터 상기 칩 패드들을 노출시키는 단계;를 포함하는 것을 특징으로 하는 접착력이 있는 폴리이미드층을 이용한 반도체 칩의 적층 방법.

청구항 5.

제 3항에 있어서, 상기 (b) 단계는,

- (b1) 집적회로가 내재된 복수개의 칩 몸체들과, 상기 집적회로와 접속되어 상기 칩 몸체의 상부면에 형성된 복수개의 칩 패드들을 갖는 상부 웨이퍼 몸체를 준비하는 단계;
- (b2) 상기 웨이퍼 몸체의 상부면에 폴리이미드를 도포하는 단계;
- (b3) 상기 폴리이미드를 불완전 경화시켜 상부 폴리이미드층을 형성하는 단계; 및
- (b4) 상기 상부 폴리이미드층으로부터 상기 칩 패드들을 노출시키는 단계;를 포함하는 것을 특징으로 하는 접착력이 있는 폴리이미드층을 이용한 반도체 칩의 적층 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 칩의 접착 및 적층 방법에 관한 것으로, 더욱 상세하게는 반도체 칩을 패키지 기판에 접착시키거나 복수개의 반도체 칩들을 적층할 수 있는 접착력이 있는 폴리이미드층을 이용한 반도체 칩의 접착 및 적층 방법에 관한 것이다.

일반적으로, 반도체 소자의 제조에 있어서, 칩 접착 공정(chip attaching process)은 반도체 칩을 리드 프레임, 인쇄회로기판 또는 테이프 배선기판(tape circuit board) 등과 같은 패키지 기판(package board)에 접착하는 공정을 말한다.

종래기술에 따른 반도체 칩의 접착 방법은, 도 1에 도시된 바와 같이, 웨이퍼 제공 단계(210), 반도체 칩 분리 단계(220), 패키지 기판 준비 단계(230), 접착 수단 개재 단계(235), 접착 단계(240) 및 경화 단계(250)를 포함하여 구성된다. 즉, 패키지 기판에 접착 수단을 개재한 다음, 접착 수단을 매개로 반도체 칩을 패키지 기판에 접착시킨다.

또한, 접착 수단은 반도체 칩을 패키지 기판에 접착시키는 경우 뿐만 아니라, 반도체 칩을 3차원으로 적층하는 경우에도 사용된다.

종래기술에 따른 반도체 칩의 적층 방법은, 도 2에 도시된 바와 같이, 하부 웨이퍼 제공 단계(260), 상부 웨이퍼 제공 단계(270), 상하부 반도체 칩 분리 단계(280), 접착 수단 개재 단계(285), 접착 단계(290) 및 경화 단계(300)를 포함하여 구성된다. 즉, 접착 수단을 하부 반도체 칩 상에 개재한 다음, 접착 수단을 매개로 상부 반도체 칩을 하부 반도체 칩에 접착시킨다.

이 때, 종래의 칩 접착 및 적층 공정에 사용되는 접착 수단으로는 은-에폭시(Ag-epoxy)나 은-글래스(Ag-glass) 또는 솔더(solder)와 같은 전도성인 액상 접착제나 에폭시(epoxy)나 실리콘(silicon) 계열의 비전도성인 액상 접착제 또는 필름(film) 형태의 비전도성인 접착 테이프가 있다.

그런데, 이러한 접착 수단은 고가(高價)이기 때문에, 접착 수단을 이용하여 반도체 칩을 접착 또는 적층하는 공정에 고비용이 소요되는 문제가 발생된다.

또한, 패키지 기판에 접착되거나 적층되는 반도체 칩의 수에 대응되도록 접착 수단 개재 단계가 반복되기 때문에, 반도체 칩을 접착 또는 적층하는 공정에 장시간이 소요되는 문제가 발생된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은, 반도체 칩을 접착 또는 적층하는 공정에 소요되는 비용을 절감시키고, 공정 시간을 단축시킬 수 있는 접착력이 있는 폴리이미드층을 이용한 반도체 칩의 접착 및 적층 방법을 제공하는 데 있다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명은 다음과 같은 구성의 접착력이 있는 폴리이미드층을 이용한 반도체 칩의 접착 방법을 제공한다.

본 발명에 따른 반도체 칩의 접착 방법은, (a) 접착력이 있는 폴리이미드층이 형성된 복수개의 반도체 칩들이 배열된 웨이퍼를 제공하는 단계와, (b) 웨이퍼를 절단하여 반도체 칩들을 개별적으로 분리하는 단계와, (c) 반도체 칩이 실장될 패키지 기판을 준비하는 단계와, (d) 패키지 기판에 반도체 칩을 폴리이미드층을 매개로 접착시키는 단계와, (e) 폴리이미드층을 완전 경화시키는 단계를 포함한다.

본 발명에 따른 반도체 칩의 접착 방법에 있어서, (a) 단계는, (a1) 집적 회로가 내재된 복수개의 칩 몸체들과, 집적회로와 접속되어 칩 몸체들의 상부면에 형성된 복수개의 칩 패드들을 갖는 웨이퍼 몸체를 준비하는 단계와, (a2) 웨이퍼 몸체의 상부면에 폴리이미드를 도포하는 단계와, (a3) 폴리이미드를 1차 불완전 경화시켜 제 1차 폴리이미드층을 형성하는 단계와, (a4) 제 1차 폴리이미드층에 자외선을 조사하는 단계와, (a5) 제 1차 폴리이미드층을 2차 불완전 경화시켜 제 2차 폴리이미드층을 형성하는 단계와, (a6) 제 2차 폴리이미드층으로부터 칩 패드들을 노출시키는 단계를 포함한다.

한편, 본 발명은 다음과 같은 구성의 접착력이 있는 폴리이미드층을 이용한 반도체 칩의 적층 방법을 제공한다.

본 발명에 따른 반도체 칩의 적층 방법은, (a) 접착력이 있는 하부 폴리이미드층이 형성된 복수개의 하부 반도체 칩들이 배열된 하부 웨이퍼를 제공하는 단계와, (b) 하부 반도체 칩 상에 적층될 복수개의 상부 반도체 칩들이 배열된 상부 웨이퍼를 제공하는 단계와, (c) 상부 웨이퍼와 하부 웨이퍼를 절단하여 상부 반도체 칩들과 하부 반도체 칩들을 개별적으로 분리하는 단계와, (d) 하부 반도체 칩 상에 상부 반도체 칩을 하부 폴리이미드층을 매개로 접착시키는 단계와, (e) 하부 폴리이미드층을 완전 경화시키는 단계를 포함한다.

본 발명에 따른 반도체 칩의 적층 방법에 있어서, (a) 단계는, (a1) 집적회로가 내재된 복수개의 칩 몸체들과, 집적회로와 접속되어 칩 몸체들의 상부면에 형성된 복수개의 칩 패드들을 갖는 하부 웨이퍼 몸체를 준비하는 단계와, (a2) 하부 웨이퍼 몸체의 하부면에 폴리이미드를 도포하는 단계와, (a3) 폴리이미드를 1차 불완전 경화시켜 제 1차 폴리이미드층을 형성하는 단계와, (a4) 제 1차 폴리이미드층에 자외선을 조사하는 단계와, (a5) 제 1차 폴리이미드층을 2차 불완전 경화시켜 제 2차 폴리이미드층을 형성하는 단계와, (a6) 제 2차 폴리이미드층으로부터 칩 패드들을 노출시키는 단계를 포함한다.

본 발명에 따른 반도체 칩의 적층 방법에 있어서, (b) 단계는, (b1) 집적회로가 내재된 복수개의 칩 몸체들과, 집적회로와 접속되어 칩 몸체들의 상부면에 형성된 복수개의 칩 패드들을 갖는 상부 웨이퍼 몸체를 준비하는 단계와, (b2) 웨이퍼 몸체의 상부면에 폴리이미드를 도포하는 단계와, (b3) 폴리이미드를 불완전 경화시켜 폴리이미드층을 형성하는 단계와, (b4) 상부 폴리이미드층으로부터 칩 패드들을 노출시키는 단계를 포함할 수 있다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다.

도 3은 본 발명의 실시예에 따른 반도체 칩의 접착 방법을 나타내는 순서도이다.

도 3을 참조하면, 본 발명의 실시예에 따른 반도체 칩의 접착 방법은 반도체 칩의 집적회로를 보호하는 폴리이미드층에 접착력을 부여하고, 접착 수단을 대신하여 폴리이미드층을 매개로 패키지 기판에 반도체 칩을 접착시키는 특징을 갖는다. 이러한 본 실시예에 따른 반도체 칩의 접착 방법은, 웨이퍼 제공 단계(110), 반도체 칩 분리 단계(120), 패키지 기판 준비 단계(130), 접착 단계(140) 및 완전 경화 단계(150)를 포함하여 구성된다.

이와 같은 본 발명의 실시예에 따른 반도체 칩의 접착 방법의 각 단계 및 그에 의해 제조된 반도체 패키지를 도 4 내지 도 7을 참조하여 설명하면 다음과 같다. 여기서, 도 4 내지 도 6은 본 발명의 실시예에 따른 반도체 칩의 접착 방법의 각 단계를 나타내는 도면들이며, 도 7은 본 발명의 실시예에 따른 반도체 칩의 접착 방법에 의해 제조된 반도체 패키지를 나타내는 단면도이다.

본 실시예의 접착 단계는, 도 4에 도시된 바와 같이, 접착력이 있는 폴리이미드층(7)이 형성된 복수개의 반도체 칩(4)들이 배열된 웨이퍼(1)를 제공하는 단계로부터 출발한다.

먼저, 웨이퍼 몸체(2)를 준비하는 단계가 진행된다. 웨이퍼 몸체(2)는, 통상적인 제조 공정을 통하여, 집적회로(도시되지 않음)가 내재된 실리콘 소재의 복수개의 칩 몸체(5)들과, 집적회로와 접촉되어 칩 몸체(5)들의 상부면에 형성된 복수개의 칩 패드(6)들을 포함하며, 이웃하는 칩 몸체(5)들을 구분하는 칩 절단 영역(3)을 더 포함하도록 제조된다.

다음으로, 폴리이미드(polyimide)를 도포하는 단계가 진행된다. 즉, 칩 패드(6)가 형성되어 있는 웨이퍼 몸체(2)의 상부면에 폴리이미드를 도포한다.

다음으로, 제 1차 폴리이미드층(7)을 형성하는 단계가 진행된다. 즉, 폴리이미드를 열을 이용하여 1차 불완전 경화시켜 제 1차 폴리이미드층(7)을 형성한다. 이 때, 제 1차 폴리이미드층(7)은 폴리이미드의 유동성이 제어된 상태이다.

다음으로, 자외선(ultraviolet rays)을 조사한 다음, 제 2차 폴리이미드층(7)을 형성하는 단계가 진행된다. 즉, 제 1차 폴리이미드층(7)에 자외선을 조사한 다음, 열을 이용하여 2차 불완전 경화시켜 제 2차 폴리이미드층(7)을 형성한다. 이러한 제 2차 폴리이미드층(7)은 일정 크기의 접착력을 갖는다.

다음으로, 칩 패드(6)들을 노출시키는 단계가 진행된다. 즉, 제 2차 폴리이미드층(7)으로부터 칩 패드(6)들을 노출시킴으로써, 접착력이 있는 폴리이미드층(7)이 형성된 반도체 칩(4)들이 배열된 웨이퍼(1)를 얻을 수 있다.

이어서, 웨이퍼(1)의 제조가 완료되면, 도 5에 도시된 바와 같이, 반도체 칩(4)을 분리하는 단계가 진행된다. 즉, 칩 절단 영역(3)을 따라서 웨이퍼(1)를 절단하여, 반도체 칩(4)들을 개별적으로 분리한다.

계속해서, 도 6에 도시된 바와 같이, 인쇄회로기판(10)을 준비하여 반도체 칩(4)을 접착시키는 단계가 진행된다. 인쇄회로기판(10)은 윈도우(12)가 형성된 기판 몸체(11)에 금속 배선층(13)이 배선되고, 기판 패드(14)와 단자 패드(15)를 제외한 금속 배선층(13) 상에 포토 솔더 레지스트층(16)이 덮여 있는 구조를 갖는다. 이 때, 기판 패드(14)와 단자 패드(15)는 인쇄회로기판(10)의 일면에 배열되며, 인쇄회로기판(10)의 타면은 칩 실장 영역으로 이용된다. 즉, 반도체 칩(4)을 폴리이미드층(7)을 매개로 인쇄회로기판(10)의 칩 실장 영역에 접착시킨다. 이러한 반도체 칩(4)과 인쇄회로기판(10)의 접착은 열압착(thermo-compression)에 의해 이루어질 수 있다.

마지막으로, 폴리이미드층(7)을 완전 경화시킴으로써, 반도체 칩(4)과 인쇄회로기판(10)의 접착 상태를 유지시킨다. 이와 같이, 폴리이미드층(7)은 반도체 칩(4)의 집적회로를 외부로부터 보호할 뿐만 아니라, 반도체 칩(4)을 인쇄회로기판(10)에 접착시키는 접착 수단으로서의 역할을 한다.

한편, 이와 같은 구성의 반도체 칩(4)의 접착 방법에 의해 제조된 반도체 패키지(30)는, 도 7에 도시된 바와 같이, 반도체 칩(4)이 폴리이미드층(7)을 매개로 인쇄회로기판(10)에 접착되고, 반도체 칩(4)의 칩 패드(6)와 인쇄회로기판(10)의 기판 패드(14)가 본딩 와이어(21)에 의해 전기적으로 연결된 구조를 갖는다. 또한, 칩 패드(6), 기판 패드(14) 및 본딩 와이어(21)는 수지 봉합부(22)에 의해 봉합되며, 단자 패드(15)에는 외부 접속 단자(externally connecting terminal)로서 솔더 볼(23)이 형성되어 있다.

한편, 전술한 실시예에서는 패키지 기판으로 인쇄회로기판을 이용한 반도체 칩의 접착 방법에 대해서만 개시하였으나, 다양한 종류의 패키지 기판을 이용하여 본 발명의 반도체 칩의 접착 방법을 구현할 수 있다. 도 8은 그러한 예로서, 도 8은 본 발명의 다른 실시예에 따른 반도체 칩의 접착 방법에 의해 제조된 반도체 패키지를 나타내는 단면도이다.

도 8을 참조하면, 반도체 칩(4)의 접착 방법의 기본 구성은 전술한 실시예의 반도체 칩(4)의 접착 방법과 동일하다. 다만, 본 실시예의 반도체 칩(4)의 접착 방법은 반도체 칩(4)을 리드 프레임(40)에 접착시킨다.

즉, 본 발명의 다른 실시예에 따르면, 반도체 칩(4)을 접착력이 있는 폴리이미드층(7)을 매개로 리드 프레임(40)에 접착시키는 구성을 갖는다. 이 때, 리드 프레임(40)은 반도체 칩(4)이 실장되는 내부 리드(41)들과 내부 리드(41)들로부터 연장된 외부 리드(42)들을 포함한다. 이에 따라, 리드 프레임(40)을 이용하여 제조된 반도체 패키지(60)는, 반도체 칩(4)이 폴리이미드층(7)을 매개로 내부 리드(41)의 일면에 접착되고, 반도체 칩(4)의 칩 패드(6)와 내부 리드(41)의 타면이 본딩 와이어(51)에 의해 전기적으로 연결된 구조를 갖는다. 또한, 반도체 칩(4), 내부 리드(41) 및 본딩 와이어(51)는 수지 봉합부(52)에 의해 봉합되며, 수지 봉합부(52)의 외부로 외부 리드(42)가 돌출되어 있다.

한편, 전술한 반도체 칩의 접착 방법에서는 반도체 칩을 패키지 기판에 접착시키는 방법에 대해서만 개시하였으나, 접착력이 있는 폴리이미드층을 이용하여 복수개의 반도체 칩을 적층할 수도 있다. 도 9 및 도 10은 그러한 예로서, 도 9는 본 발명의 실시예에 따른 반도체 칩의 적층 방법을 나타내는 순서도이고, 도 10은 본 발명의 실시예에 따른 반도체 칩의 적층 방법에 의해 제조된 적층 칩 패키지를 나타내는 단면도이다.

도 9를 참조하면, 본 발명의 실시예에 따른 반도체 칩의 적층 방법은 하부 반도체 칩의 하부 폴리이미드층에 접착력을 부여하고, 접착 수단을 대신하여 하부 폴리이미드층을 매개로 하부 반도체 칩에 상부 반도체 칩을 적층하는 특징을 갖는다. 이러한 본 실시예에 따른 반도체 칩의 적층 방법은, 하부 웨이퍼 제공 단계(160), 상부 웨이퍼 제공 단계(170), 상하부 반도체 칩 분리 단계(180), 접착 단계(190) 및 완전 경화 단계(200)를 포함하여 구성된다. 이 때, 하부 웨이퍼 제공 단계(160) 및 상부 웨이퍼 제공 단계(170)는 전술한 바 있는 웨이퍼 제공 단계(도 3의 110)와 동일한 구성을 가지며, 상부 웨이퍼 제공 단계(170)의 경우에는 공지기술인 웨이퍼 제조 공정과 동일한 구성을 가질 수도 있다.

이와 같은 본 발명의 실시예에 따른 반도체 칩의 적층 방법에 의해 제조된 반도체 패키지를 도 10을 참조하여 설명하면 다음과 같다.

도 10을 참조하면, 반도체 패키지(100)는, 인쇄회로기판(80) 상에 접착층(94)을 매개로 실장되어 있는 하부 반도체 칩(4) 상에 하부 폴리이미드층(7)을 매개로 상부 반도체 칩(74)이 적층된 구조를 갖는다. 이 때, 상하부 반도체 칩들(4, 74)의 칩 패드들(6, 76)은 인쇄회로기판(80) 상부면의 기판 패드(84)와 본딩 와이어(91)에 의해 전기적으로 연결된다. 또한, 상하부 반도체 칩들(4, 74)과 본딩 와이어(91)는 인쇄회로기판(80)의 상부에 형성되는 수지 봉합부(92)에 의해 봉합되며, 인쇄회로기판(80) 하부면의 단자 패드(85)에는 외부 접속 단자로서 솔더 볼(93)이 형성되어 있다.

발명의 효과

따라서, 본 발명의 구조를 따르면, 반도체 칩의 집적회로를 보호하는 폴리이미드층에 접착력을 부여함으로써, 반도체 칩을 접착력이 있는 폴리이미드층을 매개로 패키지 기판에 접착시키거나, 다른 반도체 칩에 적층시킬 수 있다.

이로 인하여, 반도체 칩을 패키지 기판에 접착시키거나, 다른 반도체 칩에 적층시키는 경우, 고가의 접착 수단을 이용할 필요가 없기 때문에, 반도체 칩의 접착 또는 적층 공정에 소요되는 비용을 절감할 수 있다.

더욱이, 접착 수단 개재 단계가 제거됨에 따라서 반도체 칩의 접착 또는 적층 공정이 단순화됨으로써, 반도체 칩의 접착 또는 적층 공정에 소요되는 시간을 단축할 수 있다.

도면의 간단한 설명

도 1은 종래기술에 따른 반도체 칩의 접착 방법을 나타내는 순서도이다.

도 2는 종래기술에 따른 반도체 칩의 적층 방법을 나타내는 순서도이다.

도 3은 본 발명의 실시예에 따른 반도체 칩의 접착 방법을 나타내는 순서도이다.

도 4 내지 도 6은 본 발명의 실시예에 따른 반도체 칩의 접착 방법의 각 단계를 나타내는 도면들이다.

도 7은 본 발명의 실시예에 따른 반도체 칩의 접착 방법에 의해 제조된 반도체 패키지를 나타내는 단면도이다.

도 8은 본 발명의 다른 실시예에 따른 반도체 칩의 접착 방법에 의해 제조된 반도체 패키지를 나타내는 단면도이다.

도 9는 본 발명의 실시예에 따른 반도체 칩의 적층 방법을 나타내는 순서도이다.

도 10은 본 발명의 실시예에 따른 반도체 칩의 적층 방법에 의해 제조된 적층 칩 패키지를 나타내는 단면도이다.

* 도면의 주요 부분에 대한 부호의 설명 *

- 1 : 웨이퍼(wafer)
- 2 : 웨이퍼 몸체(wafer body)
- 3 : 칩 절단 영역(scribe line)
- 4, 74 : 반도체 칩(semiconductor chip)
- 5, 75 : 칩 몸체(chip body)
- 6, 76 : 칩 패드(chip pad)
- 7, 77 : 폴리이미드층(polyimide layer)
- 10, 80 : 인쇄회로기판(printed circuit board)
- 11 : 기판 몸체(board body)
- 12 : 윈도우(window)
- 13 : 금속 배선층(metal wiring layer)
- 14, 84 : 기판 패드(board pad)
- 15, 85 : 단자 패드(terminal pad)
- 16 : 포토 솔더 레지스트층(photo solder resist layer)
- 40 : 리드 프레임(lead frame)
- 41 : 내부 리드(inner lead)
- 42 : 외부 리드(outer lead)
- 21, 51, 91 : 본딩 와이어(bonding wire)
- 22, 52, 92 : 수지 봉합부(resin molding portion)
- 23, 93 : 솔더 볼(solder ball)
- 94 : 접착층(adhesive layer)
- 30, 60, 100 : 반도체 패키지(semiconductor package)

도면

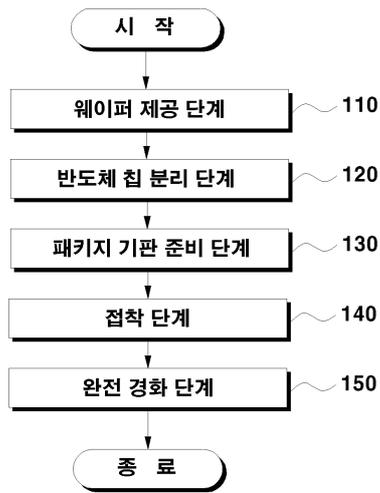
도면1



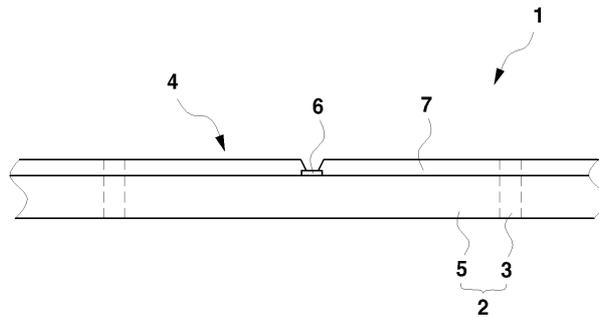
도면2



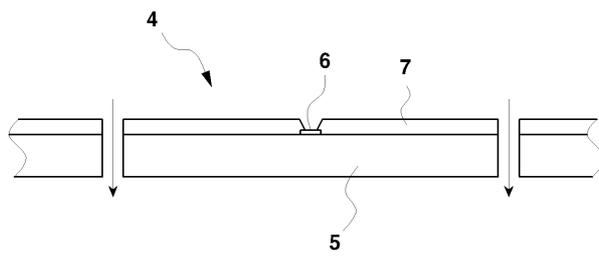
도면3



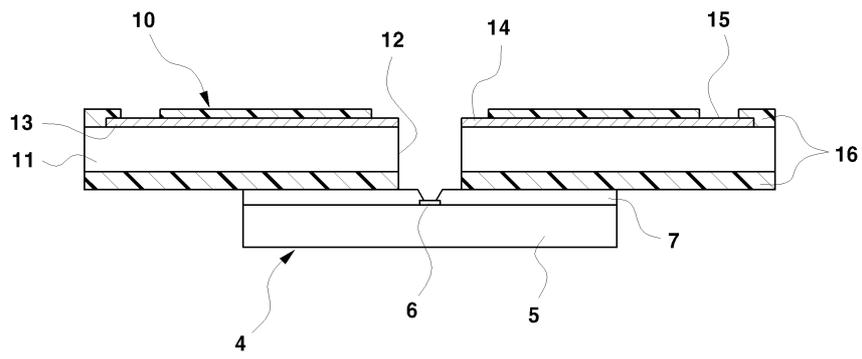
도면4



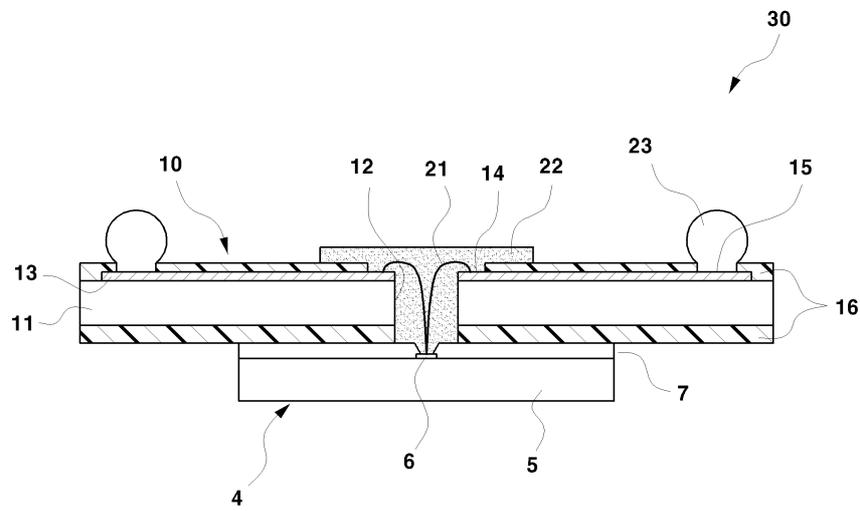
도면5



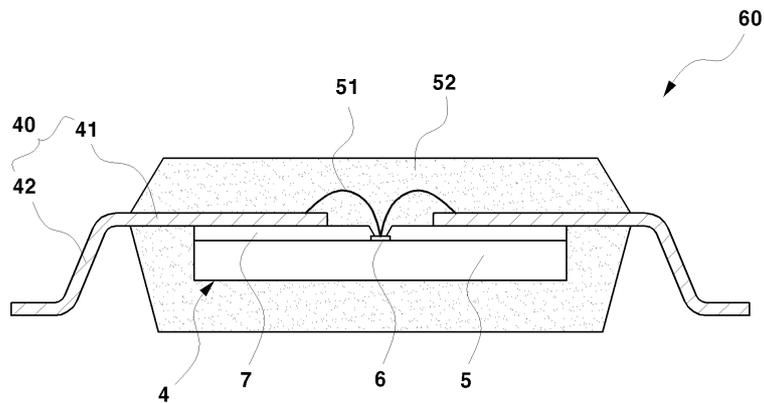
도면6



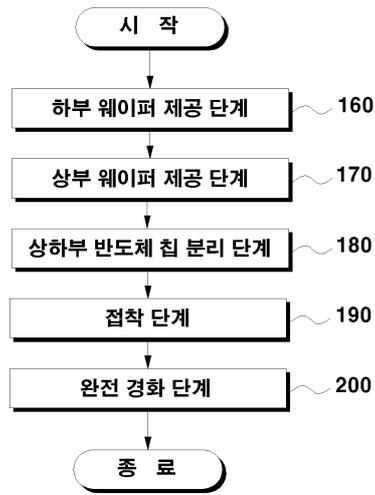
도면7



도면8



도면9



도면10

