



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년10월19일
(11) 등록번호 10-2166898
(24) 등록일자 2020년10월12일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
H01L 29/417 (2006.01)
(21) 출원번호 10-2014-0003548
(22) 출원일자 2014년01월10일
심사청구일자 2019년01월10일
(65) 공개번호 10-2015-0083693
(43) 공개일자 2015년07월20일
(56) 선행기술조사문헌
KR1020130126240 A*
JP2001244266 A*
JP2009130369 A
KR1020130082175 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
주신
경기 수원시 영통구 영통로290번길 26, 846동 70
3호 (영통동, 벽적골8단지아파트)
박재우
경기도 성남시 분당구 내정로166번길 42, 119동
402호 (수내동, 파크타운삼익아파트)
(뒷면에 계속)
(74) 대리인
팬코리아특허법인

전체 청구항 수 : 총 22 항

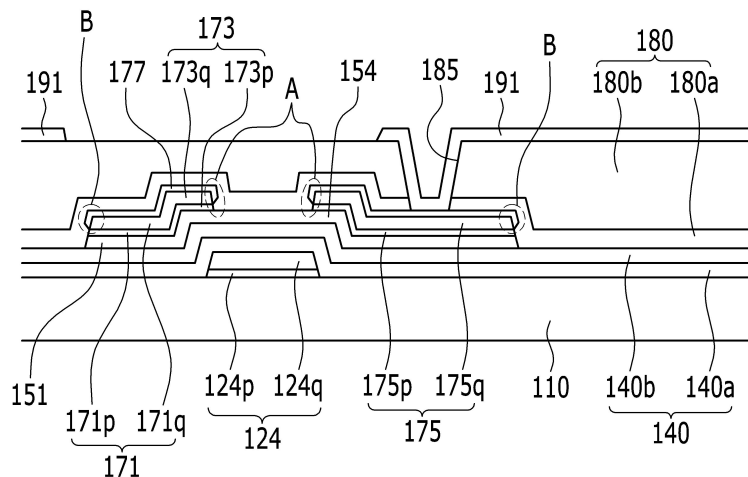
심사관 : 강필승

(54) 발명의 명칭 박막 트랜지스터 표시판 및 그 제조 방법

(57) 요약

박막 트랜지스터 표시판을 제공한다. 본 발명의 일실시예에 따른 박막 트랜지스터 표시판은 기판, 상기 기판 위에 위치하고, 게이트 전극을 포함하는 게이트선, 상기 기판 위에 위치하는 반도체층, 상기 게이트 전극과 상기 반도체층 사이에 위치하는 게이트 절연막, 상기 기판 위에 위치하고, 상기 게이트선과 교차하는 데이터선, 상기 데이터선에 연결되어 있는 소스 전극 및 상기 소스 전극과 마주보는 드레인 전극을 포함하는 데이터 배선층, 상기 소스 전극 및 상기 드레인 전극을 덮는 금속 실리사이드층 그리고 상기 금속 실리사이드층, 상기 소스 전극 및 상기 드레인 전극을 덮는 보호막을 포함한다.

대표도 - 도2



(72) 발명자

송재원

서울특별시 송파구 올림픽로 525, 101동 506호 (풍
납동, 현대아파트)

이금희

경기도 고양시 덕양구 호국로834번길 18, 가동 4층
(성사동)

최준환

경기도 화성시 메타폴리스로 6, 311동 902호 (반송
동, 시범다운마을삼성래미안아파트)

명세서

청구범위

청구항 1

기관,

상기 기관 위에 위치하고, 게이트 전극을 포함하는 게이트선,

상기 기관 위에 위치하는 반도체층,

상기 게이트 전극과 상기 반도체층 사이에 위치하는 게이트 절연막,

상기 기관 위에 위치하고, 상기 게이트선과 교차하는 데이터선, 상기 데이터선에 연결되어 있는 소스 전극 및 상기 소스 전극과 마주보는 드레인 전극을 포함하는 데이터 배선층,

상기 소스 전극 및 상기 드레인 전극을 덮는 금속 실리사이드층 그리고

상기 금속 실리사이드층, 상기 소스 전극 및 상기 드레인 전극을 덮는 보호막을 포함하고,

상기 금속 실리사이드층은 상기 반도체층과 이격되어 있는 박막 트랜지스터 표시판.

청구항 2

제1항에서,

상기 소스 전극 및 상기 드레인 전극 사이에 노출된 상기 반도체층 부분과 상기 보호막이 접촉하는 박막 트랜지스터 표시판.

청구항 3

제2항에서,

상기 데이터 배선층은 배리어층, 상기 배리어층 위에 위치하는 주배선층을 포함하고, 상기 주배선층은 구리 또는 구리합금을 포함하고, 상기 배리어층은 금속 산화물을 포함하는 박막 트랜지스터 표시판.

청구항 4

제3항에서,

상기 보호막은 하부 보호막과 상부 보호막을 포함하고, 상기 하부 보호막은 규소 산화물을 포함하고, 상기 상부 보호막은 규소 질화물을 포함하는 박막 트랜지스터 표시판.

청구항 5

제4항에서,

상기 금속 실리사이드층은 구리, 규소 및 산소를 포함하는 박막 트랜지스터 표시판.

청구항 6

제5항에서,

상기 배리어층은 인듐-아연 산화물(IZO), 갈륨-아연 산화물(GZO) 및, 알루미늄-아연 산화물(AZO) 중에 하나를 포함하는 박막 트랜지스터 표시판.

청구항 7

제1항에서,

상기 금속 실리사이드층은 상기 소스 전극 및 상기 드레인 전극 각각의 상부면과 측면을 덮는 박막 트랜지스터

표시판.

청구항 8

제7항에서,

상기 보호막은 상기 금속 실리사이드층의 상부면 및 측면과 접촉하는 박막 트랜지스터 표시판.

청구항 9

제1항에서,

상기 데이터 배선층은 배리어층, 상기 배리어층 위에 위치하는 주배선층 및 상기 주배선층 위에 위치하는 캐핑층을 포함하고, 상기 주배선층은 구리 또는 구리합금을 포함하고, 상기 배리어층 및 상기 캐핑층은 금속 산화물을 포함하는 박막 트랜지스터 표시판.

청구항 10

제9항에서,

상기 반도체층의 채널 영역에 인접하여 상기 소스 전극 및 상기 드레인 전극 각각의 측면이 노출되어 있고, 상기 노출된 소스 전극의 측면 및 상기 노출된 드레인 전극의 측면을 상기 금속 실리사이드층이 덮고 있는 박막 트랜지스터 표시판.

청구항 11

제1항에서,

상기 반도체층은 산화물 반도체를 포함하는 박막 트랜지스터 표시판.

청구항 12

제1항에서,

상기 반도체층은 채널 영역을 제외하고 상기 소스 전극, 상기 드레인 전극 및 상기 데이터선과 가장자리 측면이 일치하는 박막 트랜지스터 표시판.

청구항 13

기판 위에 게이트 전극을 포함하는 게이트선을 형성하는 단계,

상기 기판 위에 반도체층을 형성하는 단계,

상기 게이트 전극과 상기 반도체층 사이에 게이트 절연막을 형성하는 단계,

상기 기판 위에 위치하고, 상기 게이트선과 교차하는 데이터선, 상기 데이터선에 연결되는 소스 전극 및 상기 소스 전극과 마주보는 드레인 전극을 포함하는 데이터 배선층을 형성하는 단계,

상기 데이터 배선층을 실란(Silane) 처리하는 단계 그리고

상기 데이터 배선층 위에 보호막을 형성하는 단계를 포함하고,

상기 보호막을 형성하는 단계는 상기 소스 전극 및 상기 드레인 전극을 덮는 금속 실리사이드층을 형성하는 단계를 포함하고,

상기 금속 실리사이드층은 상기 반도체층과 이격되어 있는 박막 트랜지스터 표시판의 제조 방법.

청구항 14

제13항에서,

상기 실란 처리하는 단계는 화학 기상 증착법(Chemical Vapor Deposition)을 사용하는 박막 트랜지스터 표시판의 제조 방법.

청구항 15

제14항에서,

상기 보호막을 형성하는 단계는 질소 산화물 처리하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 16

제15항에서,

상기 소스 전극 및 상기 드레인 전극 사이에 노출된 상기 반도체층 부분과 상기 보호막이 접촉하도록 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 17

제16항에서,

상기 데이터 배선층을 형성하는 단계는 상기 반도체층 위에 배리어층을 형성하는 단계 그리고 상기 배리어층 위에 주배선층을 형성하는 단계를 포함하고,

상기 주배선층은 구리 또는 구리합금을 포함하도록 형성하고, 상기 배리어층은 금속 산화물을 포함하도록 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 18

제17항에서,

상기 보호막은 하부 보호막과 상부 보호막을 포함하고, 상기 하부 보호막은 규소 산화물을 포함하고, 상기 상부 보호막은 규소 질화물을 포함하도록 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 19

제18항에서,

상기 금속 실리사이드층은 상기 소스 전극 및 상기 드레인 전극 각각의 상부면과 측면을 덮도록 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 20

제16항에서,

상기 데이터 배선층을 형성하는 단계는 상기 반도체층 위에 배리어층을 형성하는 단계, 상기 배리어층 위에 주배선층을 형성하는 단계 및 상기 주배선층 위에 캐핑층을 형성하는 단계를 포함하고,

상기 주배선층은 구리 또는 구리합금을 포함하도록 형성하고, 상기 배리어층은 금속 산화물을 포함하도록 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 21

제13항에서,

상기 반도체층은 산화물 반도체를 포함하도록 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 22

제13항에서,

상기 반도체층을 형성하는 단계와 상기 데이터 배선층을 형성하는 단계는 하나의 마스크를 사용하여 동시에 수행하는 박막 트랜지스터 표시판의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터 표시판 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 일반적으로 액정 표시 장치나 유기 발광 표시 장치 등의 표시 장치는 복수 쌍의 전기장 생성 전극과 그 사이에 들어 있는 전기 광학(electro-optical) 활성층을 포함한다. 액정 표시 장치의 경우 전기 광학 활성층으로 액정 층을 포함하고, 유기 발광 표시 장치의 경우 전기 광학 활성층으로 유기 발광층을 포함한다.

[0003] 한 쌍을 이루는 전기장 생성 전극 중 하나는 통상 스위칭 소자에 연결되어 전기 신호를 인가 받고, 전기 광학 활성층은 이 전기 신호를 광학 신호를 변환함으로써 영상이 표시된다.

[0004] 표시 장치에서는 스위칭 소자로서 삼단자 소자인 박막 트랜지스터(thin film transistor, TFT)를 사용하며, 이 박막 트랜지스터를 제어하기 위한 주사 신호를 전달하는 게이트선과 화소 전극에 인가될 신호를 전달하는 데이터선 등의 신호선이 표시 장치에 구비된다.

[0005] 한편, 표시 장치의 면적이 커짐에 따라, 고속 구동을 실현하기 위해 산화물 반도체 기술이 연구되고 있고, 신호선의 저항을 감소시키기 방법이 연구되고 있다. 특히, 신호선의 저항을 감소시키기 위해 주배선층을 구리 또는 구리 합금 등의 물질로 형성할 수 있는데, 이 때 주배선층과 이를 덮는 보호막 사이에 다공성의 금속 산화물이 형성되어 장치의 신뢰성이 떨어지는 문제가 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 과제는 주배선층과 보호막 사이에 다공성(porous)의 금속 산화물이 형성되는 것을 방지하는 박막 트랜지스터 표시판 및 그 제조 방법을 제공하는데 있다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판은 기판, 상기 기판 위에 위치하고, 게이트 전극을 포함하는 게이트선, 상기 기판 위에 위치하는 반도체층, 상기 게이트 전극과 상기 반도체층 사이에 위치하는 게이트 절연막, 상기 기판 위에 위치하고, 상기 게이트선과 교차하는 데이터선, 상기 데이터선에 연결되어 있는 소스 전극 및 상기 소스 전극과 마주보는 드레인 전극을 포함하는 데이터 배선층, 상기 소스 전극 및 상기 드레인 전극을 덮는 금속 실리사이드층 그리고 상기 금속 실리사이드층, 상기 소스 전극 및 상기 드레인 전극을 덮는 보호막을 포함한다.

[0008] 상기 소스 전극 및 상기 드레인 전극 사이에 노출된 상기 반도체층 부분과 상기 보호막이 접촉할 수 있다.

[0009] 상기 데이터 배선층은 배리어층, 상기 배리어층 위에 위치하는 주배선층을 포함하고, 상기 주배선층은 구리 또는 구리합금을 포함하고, 상기 배리어층은 금속 산화물을 포함할 수 있다.

[0010] 상기 보호막은 하부 보호막과 상부 보호막을 포함하고, 상기 하부 보호막은 규소 산화물을 포함하고, 상기 상부 보호막은 규소 질화물을 포함할 수 있다.

[0011] 상기 금속 실리사이드층은 구리, 규소 및 산소를 포함할 수 있다.

[0012] 상기 배리어층은 인듐-아연 산화물(IZO), 갈륨-아연 산화물(GZO) 및, 알루미늄-아연 산화물(AZO) 중에 하나를 포함할 수 있다.

[0013] 상기 금속 실리사이드층은 상기 소스 전극 및 상기 드레인 전극 각각의 상부면과 측면을 덮을 수 있다.

[0014] 상기 보호막은 상기 금속 실리사이드층의 상부면 및 측면과 접촉할 수 있다.

[0015] 상기 데이터 배선층은 배리어층, 상기 배리어층 위에 위치하는 주배선층 및 상기 주배선층 위에 위치하는 캐핑층을 포함하고, 상기 주배선층은 구리 또는 구리합금을 포함하고, 상기 배리어층 및 상기 캐핑층은 금속 산화물을 포함할 수 있다.

[0016] 상기 반도체층의 채널 영역에 인접하여 상기 소스 전극 및 상기 드레인 전극 각각의 측면이 노출되어 있고, 상기 노출된 소스 전극의 측면 및 상기 노출된 드레인 전극의 측면을 상기 금속 실리사이드층이 덮을 수 있다.

- [0017] 상기 반도체층은 산화물 반도체를 포함할 수 있다.
- [0018] 상기 반도체층은 채널 영역을 제외하고 상기 소스 전극, 상기 드레인 전극 및 상기 데이터선과 가장자리 측면이 일치할 수 있다.
- [0019] 본 발명의 일실시예에 따른 박막 트랜지스터 표시판의 제조 방법은 기판 위에 게이트 전극을 포함하는 게이트선을 형성하는 단계, 상기 기판 위에 반도체층을 형성하는 단계, 상기 게이트 전극과 상기 반도체층 사이에 게이트 절연막을 형성하는 단계, 상기 기판 위에 위치하고, 상기 게이트선과 교차하는 데이터선, 상기 데이터선에 연결되는 소스 전극 및 상기 소스 전극과 마주보는 드레인 전극을 포함하는 데이터 배선층을 형성하는 단계, 상기 데이터 배선층을 실란(Silane) 처리하는 단계 그리고 상기 데이터 배선층 위에 보호막을 형성하는 단계를 포함하고, 상기 보호막을 형성하는 단계는 상기 소스 전극 및 상기 드레인 전극을 덮는 금속 실리사이드층을 형성하는 단계를 포함할 수 있다.
- [0020] 상기 실란 처리하는 단계는 화학 기상 증착법(Cheical Vapor Deposition)을 사용할 수 있다.
- [0021] 상기 보호막을 형성하는 단계는 질소 산화물 처리하는 단계를 포함할 수 있다.
- [0022] 상기 소스 전극 및 상기 드레인 전극 사이에 노출된 상기 반도체층 부분과 상기 보호막이 접촉하도록 형성할 수 있다.
- [0023] 상기 데이터 배선층을 형성하는 단계는 상기 반도체층 위에 배리어층을 형성하는 단계 그리고 상기 배리어층 위에 주배선층을 형성하는 단계를 포함하고, 상기 주배선층은 구리 또는 구리합금을 포함하도록 형성하고, 상기 배리어층은 금속 산화물을 포함하도록 형성할 수 있다.
- [0024] 상기 보호막은 하부 보호막과 상부 보호막을 포함하고, 상기 하부 보호막은 규소 산화물을 포함하고, 상기 상부 보호막은 규소 질화물을 포함하도록 형성할 수 있다.
- [0025] 상기 금속 실리사이드층은 상기 소스 전극 및 상기 드레인 전극 각각의 상부면과 측면을 덮도록 형성할 수 있다.
- [0026] 상기 데이터 배선층을 형성하는 단계는 상기 반도체층 위에 배리어층을 형성하는 단계, 상기 배리어층 위에 주배선층을 형성하는 단계 및 상기 주배선층 위에 캐핑층을 형성하는 단계를 포함하고, 상기 주배선층은 구리 또는 구리합금을 포함하도록 형성하고, 상기 배리어층 및 상기 은 금속 산화물을 포함하도록 형성할 수 있다.
- [0027] 상기 반도체층은 산화물 반도체를 포함하도록 형성할 수 있다.
- [0028] 상기 반도체층을 형성하는 단계와 상기 데이터 배선층을 형성하는 단계는 하나의 마스크를 사용하여 동시에 수행할 수 있다.

발명의 효과

- [0029] 본 발명의 일실시예에 따르면, 주배선층과 보호막 사이에 금속 실리사이드층을 형성하여 주배선층을 형성하는 물질이 산화되는 것을 억제함으로써 신뢰성을 향상시킬 수 있다. 또한, 주배선층 위에 형성하던 캐핑층을 생략할 수 있기 때문에 공정 비용을 감소시킬 수 있다.

도면의 간단한 설명

- [0030] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판을 나타내는 평면도이다.
- 도 2는 도 1의 II-II선을 따라 잘라 나타내는 단면도이다.
- 도 3 내지 도 10은 본 발명의 일실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 나타내는 단면도들이다.
- 도 11은 본 발명의 일 실시예에 따른 액정 표시 장치를 나타내는 단면도이다.
- 도 12는 본 발명의 일실시예에 따른 박막 트랜지스터 표시판 구조에서 주배선층과 보호막 사이의 계면을 나타내는 사진이다.
- 도 13은 본 발명의 일실시예에 따른 박막 트랜지스터 표시판을 나타내기 위해 도 1의 II-II선을 따라 잘라 나타내는 단면도이다.
- 도 14 내지 도 20은 본 발명의 일실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 나타내는 단면도들이다.

도 21은 본 발명의 실시시에 따른 박막 트랜지스터 표시판 구조에서 주배선층과 보호막 사이의 계면을 나타내는 사진이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [0032] 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.
- [0033] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판을 나타내는 평면도이다. 도 2는 도 1의 II-II선을 따라 잘라 나타내는 단면도이다.
- [0034] 도 1 및 도 2를 참조하면, 본 실시예에 따른 박막 트랜지스터 표시판(100)은 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 형성된 복수의 게이트선(121)을 포함한다.
- [0035] 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 게이트선(121)으로부터 돌출한 복수의 게이트 전극(124)을 포함한다.
- [0036] 게이트선(121) 및 게이트 전극(124)은 제1층(121p, 124p), 제2층(121q, 124q)으로 이루어진 이중막 구조를 가질 수 있다. 제1층(121p, 124p), 제2층(121q, 124q)은 각각 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 망간(Mn) 등으로 이루어질 수 있다. 예를 들어, 제1층(121p, 124p)은 티타늄을 포함하고, 제2층(121q, 124q)은 구리 또는 구리합금을 포함할 수 있다.
- [0037] 또한, 제1층(121p, 124p), 제2층(121q, 124q)은 서로 물리적 성질이 다른 막들이 조합되어 형성될 수 있다. 본 실시예에서는 게이트선(121) 및 게이트 전극(124)이 이중막으로 형성되는 것으로 설명하였으나, 여기에 한정되지 않고 단일막 또는 삼중막 형태로 형성될 수 있다.
- [0038] 게이트선(121) 위에는 산화 규소 또는 질화 규소 따위의 절연 물질로 만들어진 게이트 절연막(140)이 위치한다. 게이트 절연막(140)은 제1 절연막(140a) 및 제2 절연막(140b)을 포함할 수 있다. 제1 절연막(140a)은 대략 4000Å 두께의 질화 규소(SiN_x)로 형성될 수 있고, 제2 절연막은 대략 500Å 두께의 산화 규소(SiO_x)로 형성될 수 있다. 다른 실시예로 제1 절연막(140a)은 산질화 규소(SiON)이고, 제2 절연막(140b)은 산화 규소(SiO_x)로 형성될 수 있다. 본 실시예에서는 게이트 절연막(140a, 140b)이 이중막 형태로 형성되는 것으로 설명하였으나, 단일막 형태 등으로 형성될 수도 있다.
- [0039] 게이트 절연막(140) 위에는 복수의 반도체층(151)이 형성되어 있다. 반도체층(151)은 비정질 실리콘, 결정질 실리콘 또는 산화물 반도체로 형성할 수 있다. 반도체층(151)은 주로 세로 방향으로 뻗으며, 게이트 전극(124)을 향하여 뻗어 나온 복수의 돌출부(projection; 154)를 포함한다.
- [0040] 반도체층(151)을 산화물 반도체로 형성하는 경우에 반도체층(151)은 아연(Zn), 인듐(In), 주석(Sn), 갈륨(Ga), 및 hafnium(Hf) 중에서 적어도 하나를 포함한다. 특히, 본 실시예에서 반도체층(151)은 인듐-갈륨-아연 산화물일 수 있다.
- [0041] 반도체층(151) 및 게이트 절연막(140) 위에는 복수의 데이터선(171), 데이터선(171)에 연결된 복수의 소스 전극(173) 및 복수의 드레인 전극(175)을 포함하는 데이터 배선층이 형성되어 있다.
- [0042] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 소스 전극(173)은 데이터선(171)으로부터 뻗어 나와 게이트 전극(124)과 중첩하고 대체적으로 U자 형상을 가질 수 있다.
- [0043] 드레인 전극(175)은 데이터선(171)과 분리되어 있고 소스 전극(173)의 U자 형상의 가운데에서 상부를 향하여 연장되어 있다.

- [0044] 데이터선(171), 소스 전극(173) 및 드레인 전극(175)은 배리어층(171p, 173p, 175p), 주배선층(171q, 173q, 175q)의 이중막 구조를 가진다. 배리어층(171p, 173p, 175p)은 금속 산화물로 이루어져 있고, 주배선층(171q, 173q, 175q)은 구리 또는 구리 합금으로 형성되어 있다.
- [0045] 구체적으로, 배리어층(171p, 173p, 175p)은 인듐-아연 산화물, 갈륨-아연 산화물 및 알루미늄-아연 산화물 중 하나로 형성될 수 있다.
- [0046] 배리어층(171p, 173p, 175p) 반도체층(151)으로 구리 등의 물질이 확산되는 것을 방지하는 확산 방지막의 역할을 한다.
- [0047] 주배선층(171q, 173q, 175q) 위에는 금속 실리사이드층(177)이 위치한다. 금속 실리사이드층(177)은 구리, 규소 및 산소를 포함하고, 예를 들어 $CuSi_xO_y$ 로 표현되는 화합물을 포함할 수 있다. 본 실시예에서 금속 실리사이드층(177)은 소스 전극(173) 및 드레인 전극(175)의 표면과 직접 접촉하면서 소스 전극(173) 및 드레인 전극(175)을 덮고 있고, 특히 소스 전극(173) 및 드레인 전극(175)의 노출된 측면 부분(A, B)과 소스 전극(173) 및 드레인 전극(175)의 노출된 상부면을 덮는다. 여기서, 금속 실리사이드층(177)은 소스 전극(173) 및 드레인 전극(175)과 중첩하지 않는 게이트 절연막(140) 부분과 반도체층(151)의 채널 영역 위에는 형성되지 않을 수 있다.
- [0048] 이하, 반도체층(151)의 채널 영역에 인접한 소스 전극(173) 및 드레인 전극(175)의 노출된 측면 부분(A)에 대해 구체적으로 설명하기로 한다.
- [0049] 도 2를 참고하면, 반도체층(151)의 돌출부(154)에는 소스 전극(173)과 드레인 전극(175) 사이에 데이터선(171) 및 드레인 전극(175)으로 가리지 않고 노출된 부분이 있다. 반도체층(151)은 돌출부(154)의 노출된 부분을 제외하고 데이터선(171) 및 드레인 전극(175)과 실질적으로 동일한 평면 패턴을 가질 수 있다. 다시 말해, 반도체층(151)은 돌출부(154)의 노출된 부분을 제외하고 데이터선(171) 및 드레인 전극(175)과 실질적으로 가장자리 측면이 일치할 수 있다.
- [0050] 하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극(175)은 반도체층(151)의 돌출부(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널 영역은 소스 전극(173)과 드레인 전극(175) 사이의 돌출부(154)에 형성된다.
- [0051] 이러한 채널 영역에 인접한 소스 전극(173) 및 드레인 전극(175)의 측면은 노출되어 있고, 소스 전극(173) 및 드레인 전극(175)의 노출된 측면 부분(A)은 금속 실리사이드층(177)으로 덮여 있다. 금속 실리사이드층(177) 없이 소스 전극(173) 및 드레인 전극(175)의 측면 부분(A)이 노출된 상태에서 산화 규소를 포함하는 보호막을 형성하는 후속 공정이 진행되거나, 반도체층의 돌출부(154)가 채널 특성을 갖도록 열처리를 하면 주배선층(171q, 173q, 175q)에 포함된 구리 등의 물질이 다공성의 산화물을 형성하게 되어 박막 트랜지스터 특성을 떨어뜨릴 수 있다. 본 실시예에서는 금속 실리사이드층(177)이 구리 등의 물질이 산화되는 것을 방지할 수 있다.
- [0052] 본 실시예에서 금속 실리사이드층(177)은 화학 기상 증착법(Chemical Vapor Deposition)으로 형성될 수 있다.
- [0053] 금속 실리사이드층(177) 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 질화 규소나 산화 규소 따위의 무기 절연물, 유기 절연물, 저유전을 절연물 따위로 만들어진다.
- [0054] 본 실시예에서 보호막(180)은 하부 보호막(180a)과 상부 보호막(180b)을 포함할 수 있다. 하부 보호막(180a)은 산화 규소로 형성되고, 상부 보호막(180b)은 질화 규소로 형성될 수 있다. 본 실시예에서 반도체층(151)이 산화물 반도체를 포함하기 때문에 반도체층(151)과 인접한 하부 보호막(180a)은 산화 규소로 형성되는 것이 바람직하다. 하부 보호막(180a)이 질화 규소로 형성되면 박막 트랜지스터의 특성이 잘 나타나지 않는다.
- [0055] 보호막(180)은 소스 전극(173)과 드레인 전극(175) 사이에 소스 전극(173) 및 드레인 전극(175)으로 가리지 않고 노출된 부분과 접촉할 수 있다.
- [0056] 보호막(180)에는 드레인 전극(175)의 일단을 드러내는 복수의 접촉 구멍(185)이 형성되어 있다.
- [0057] 보호막(180) 위에는 복수의 화소 전극(191)이 형성되어 있다. 화소 전극(191)은 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적, 전기적으로 연결되어 있으며, 드레인 전극(175)으로부터 데이터 전압을 인가 받는다.
- [0058] 화소 전극(191)은 ITO 또는 IZO 따위의 투명 도전체로 만들어질 수 있다.

- [0059] 도 3 내지 도 10은 본 발명의 일실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 나타내는 단면도들이다. 도 3 내지 도 10은 도 1의 절단선 II-II를 따라 자른 단면도를 순서대로 나타낸 것이다.
- [0060] 도 3을 참고하면, 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 크롬 합금, 티타늄(Ti), 티타늄 합금, 탄탈늄(Ta), 탄탈늄 합금, 망간(Mn), 망간 합금 중 적어도 하나를 적층하고, 그 위에 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속 중 선택된 하나를 적층하여 이중막을 형성한 후 패터닝하여 게이트 전극(124)을 포함하는 게이트선(121)을 형성한다. 예를 들어, 하부막(121p, 124p)은 티타늄을 포함하고, 상부막(121q, 124q)은 구리 또는 구리합금을 포함할 수 있다.
- [0061] 구체적으로, 이중막을 형성한 후에 감광막(도시하지 않음)을 적층하고 패터닝한 후 패터닝된 감광막(도시하지 않음)을 마스크로 하여 하부막(121p, 124p) 및 상부막(121q, 124q)을 함께 식각한다. 이때 사용하는 식각액(etchant)은 하부막(121p, 124p) 및 상부막(121q, 124q)을 함께 식각할 수 있는 것을 사용할 수 있다.
- [0062] 도 4를 참고하면, 게이트선(121) 및 게이트 전극(124)위에 게이트 절연막(140), 산화물막(150), 금속 산화물막(170p) 및 금속막(170q)을 적층한다. 게이트 절연막(140)은 질화 규소를 포함하는 제1 절연막(140a)을 증착한 후에 산화 규소를 포함하는 제2 절연막(140b)을 증착할 수 있다.
- [0063] 산화물막(150)은 아연(Zn), 인듐(In), 주석(Sn), 갈륨(Ga), 및 hafnium(Hf) 중에서 적어도 하나를 포함하고, 금속 산화물막(170p)은 인듐-아연 산화물, 갈륨-아연 산화물 및 알루미늄-아연 산화물 중 하나를 포함하도록 형성하고, 금속막(170q)은 구리 또는 구리 합금을 포함하도록 형성할 수 있다.
- [0064] 그 위에 감광막(photo resist)을 형성한 후 패터닝하여 제1 감광막 패턴(50)을 형성한다. 제1 감광막 패턴(50)은 두꺼운 제1 영역(50a)과 상대적으로 얇은 제2 영역(50b)을 가진다. 제1 감광막 패턴(50)의 두께 차이는 마스크를 이용하여 조사하는 빛의 양을 조절하거나 리플로우 방법을 이용하여 형성할 수 있다. 빛의 양을 조절하는 경우에는 마스크에 슬릿 패턴 또는 격자 패턴이나 반투명층이 형성되어 있을 수 있다. 두께가 얇은 제2 영역(50b)은 박막 트랜지스터의 채널 영역이 형성될 위치에 대응한다.
- [0065] 도 5를 참고하면, 제1 감광막 패턴(50)을 마스크로 하여 금속 산화물막(170p) 및 금속막(170q)을 함께 식각할 수 있는 식각액(etchant)를 사용하여 금속 산화물막(170p) 및 금속막(170q)을 식각한다. 여기에서 사용하는 식각액은 게이트선(121)의 하부막(121p, 124p) 및 상부막(121q, 124q)을 식각할 때 사용한 식각액과 동일한 식각액일 수 있다.
- [0066] 도 5에서와 같이 금속 산화물막(170p) 및 금속막(170q)을 식각하면, 제1 감광막 패턴(50)에 의해 덮인 금속 산화물막(170p) 및 금속막(170q)의 측면도 식각액으로 인하여 식각되며 그 결과 도 5와 같이 제1 감광막 패턴(50)이 형성된 영역(A, B, C)의 안쪽에 제1 금속막(170p) 및 제2 금속막(170r)의 경계선이 위치하게 된다.
- [0067] 이 때, 금속 산화물막(170p) 및 금속막(170q)을 식각하는 식각액은 게이트 절연막(140), 산화물막(150)을 식각하지 않는다.
- [0068] 추가적으로, 제1 감광막 패턴(50)을 마스크로 산화물막(150)을 식각한다.
- [0069] 도 6을 참고하면, 에치백(etch back)으로 도 5에서 얇은 두께의 제2 부분(50b)를 제거한다. 이때, 제1 부분(50a)도 함께 식각되어 폭 및 높이가 줄어들어 도 6의 제2 감광막 패턴(51)이 된다. 제2 감광막 패턴(51)은 도 5에서의 제1 감광막 패턴(50)이 형성되었던 영역(A, B, C)에 비하여 좁은 영역(A', B', C')에 형성되어 있다.
- [0070] 도 7을 참고하면, 제2 감광막 패턴(51)을 마스크로 하여 식각액을 이용하여 금속 산화물막(170p)과 금속막(170q)을 식각한다.
- [0071] 이 때, 금속 산화물막(170p)과 금속막(170q)이 분리되어 이중막의 데이터선(171p, 171q), 소스 전극(173p, 173q) 및 드레인 전극(175p, 175q)이 형성된다. 또한, 산화물막(150)의 상부면이 노출되면서 박막 트랜지스터의 채널을 형성하는 돌출부(154)를 포함하는 반도체층(151)이 형성된다.
- [0072] 이처럼 두께가 다른 감광막 패턴을 이용하면, 데이터선(171), 소스 전극(173) 및 드레인 전극(175)의 배리어층(171p, 173p, 175p) 및 주배선층(171q, 173q, 175q)과 실질적으로 동일한 평면 패턴을 가지는 반도체층(151, 154)이 형성된다. 구체적으로, 반도체층(151, 154)은 드레인 전극(175)과 소스 전극(173) 사이의 노출된 부분을 제외하고 데이터선(171), 소스 전극(173) 및 드레인 전극(175)과 실질적으로 동일한 평면 패턴을 가진다.
- [0073] 그 다음, 도 8을 참고하면 애싱(ashing)으로 감광막 패턴을 제거한 후에 소스 전극(173)과 드레인 전극(175) 표

면에 금속 실리사이드층 형성을 위해 실란(SiH₄) 처리를 할 수 있다. 실란(SiH₄) 처리는 화학 기상 증착법 (Chemical Vapor Deposition; CVD)으로 진행할 수 있다.

- [0074] 도 9를 참고하면, 실란(SiH₄) 처리된 소스 전극(173) 및 드레인 전극(175) 표면을 따라 실란 물질층(176)이 형성된다. 이 때, 소스 전극(173)과 드레인 전극(175) 사이에 위치하는 채널 영역에 인접한 소스 전극(173) 및 드레인 전극(175) 각각의 측면이 노출되어 있고, 노출된 소스 전극의 측면 및 노출된 드레인 전극의 측면을 실란 물질층(176)이 덮도록 형성한다.
- [0075] 실란 물질층(176)은 소스 전극(173), 드레인 전극(175)의 표면뿐만 아니라, 채널 영역과 게이트 절연막(140)을 덮도록 형성할 수 있다.
- [0076] 도 10을 참고하면, 실란 물질층(176) 위에 보호막(180)을 형성한다. 보호막(180)은 실란 물질층(176) 위에 산화 규소(SiO_x)를 포함하는 하부 보호막(180a)을 형성하고, 하부 보호막(180a) 위에 질화 규소(SiN_x)를 포함하는 상부 보호막(180b)을 형성할 수 있다. 산화 규소(SiO_x)를 포함하는 하부 보호막(180a)을 형성하는 공정 중에 실란(SiH₄)과 질소 산화물, 예를 들어 아산화질소(N₂O) 처리를 할 수 있고, 실란 물질층(176)과 질소 산화물 및 주배선층(171q, 173q, 175q)을 형성하는 구리 또는 구리 합금이 서로 반응하여 금속 실리사이드층(177)을 형성한다. 여기서, 금속 실리사이드층(177)은 소스 전극(173) 및 드레인 전극(175) 가운데 구리 또는 구리 합금 등으로 형성된 주배선층(171q, 173q, 175q)과 실란 물질층(176)이 접촉하는 부분에 형성되고, 금속 실리사이드층(177)은 실란 물질층(176)의 최종 형성물일 수 있다.
- [0077] 보호막(180)을 패터닝하여 드레인 전극(175)의 일부를 드러내는 접촉 구멍(185)을 형성하고, 보호막(180) 위에 화소 전극(191)을 형성함으로써 도 2와 같은 박막 트랜지스터 표시판을 형성할 수 있다. 이 때, 화소 전극(191)은 접촉 구멍(185)을 통해 드레인 전극(175)과 물리적으로 연결되도록 형성한다.
- [0078] 도 11은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 단면도이다.
- [0079] 도 11을 참고하면, 제1 기관(110)과 마주하는 위치에 제2 기관(210)이 배치되어 있다. 제2 기관(210)은 투명한 유리 또는 플라스틱 등으로 만들어진 절연 기관일 수 있다. 제2 기관(210) 위에 차광 부재(220)가 형성되어 있다. 차광 부재(220)는 블랙 매트릭스라고도 하며 빛샘을 막아준다.
- [0080] 제2 기관(210) 및 차광 부재(220) 위에는 또한 복수의 색필터(230)가 형성되어 있다. 색필터(230)는 차광 부재(220)로 둘러싸인 영역 내에 대부분 존재하며, 화소 전극(191) 열을 따라서 길게 뻗을 수 있다. 각 색필터(230)는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다. 하지만, 적색, 녹색, 및 청색의 삼원색에 제한되지 않고, 청록색(cyan), 자홍색(magenta), 옐로(yellow), 화이트 계열의 색 중 하나를 표시할 수도 있다.
- [0081] 앞에서 차광 부재(220)와 색필터(230)가 대향 표시판(200)에 형성되는 것으로 설명했으나, 차광 부재(220)와 색필터(230) 중 적어도 하나는 박막 트랜지스터 표시판(100) 위에 형성될 수도 있다.
- [0082] 색필터(230) 및 차광 부재(220) 위에는 덮개막(250)이 형성되어 있다. 덮개막(250)은 절연 물질로 만들어질 수 있으며, 색필터(230)가 노출되는 것을 방지하고 평탄면을 제공한다. 덮개막(250)은 생략할 수 있다.
- [0083] 덮개막(250) 위에는 공통 전극(270)이 형성되어 있다.
- [0084] 데이터 전압이 인가된 화소 전극(191)은 공통 전압을 인가 받는 공통 전극(270)과 함께 전기장을 생성함으로써 두 전극 사이의 액정층(3)의 액정 분자(31)의 방향을 결정한다. 화소 전극(191)과 공통 전극(270)은 축전기를 이루어 박막 트랜지스터가 턴 오프(turn-off)된 후에도 인가된 전압을 유지한다.
- [0085] 화소 전극(191)은 유지 전극선(도시하지 않음)과 중첩하여 유지 축전기(storage capacitor)를 이룰 수 있고, 이를 통해 액정 축전기의 전압 유지 능력을 강화할 수 있다.
- [0086] 박막 트랜지스터 표시판(100)에 관한 설명은 도 2를 참고하여 설명한 실시예의 내용이 적용될 수 있다.
- [0087] 여기서, 본 실시예에 따른 박막 트랜지스터 표시판을 액정 표시 장치에 적용하는 경우에 대해 설명하였으나, 본 실시예는 유기 발광 표시 장치 및 기타 박막 트랜지스터를 사용하여 스위칭 동작을 하는 표시 장치에 광범위하게 적용될 수 있다.
- [0088] 도 12는 본 발명의 일실시예에 따른 박막 트랜지스터 표시판 구조에서 주배선층과 보호막 사이의 계면을 나타내는 사진이다.

- [0089] 도 12는 본 발명의 일실시예에 따른 박막 트랜지스터 표시판을 형성한 후에 전자 현미경으로 찍은 사진이고, 도 12를 참고하면 주배선층(173q)과 하부 보호막(180a) 사이의 계면에 금속 실리사이드층(177)이 균일하게 형성되어 있다. 또한, 구리 산화물과 같은 오염원이 형성되지 않은 깨끗한 상태임을 확인할 수 있다.
- [0090] 도 13은 본 발명의 일 실시예에 따른 액정 표시 장치를 나타내는 단면도이다.
- [0091] 도 13에서 설명하는 실시예는 도 2에서 설명한 실시예와 대체로 동일하다. 이하에서는 도 2의 실시예와 차이가 있는 부분에 대해 설명하기로 한다.
- [0092] 도 13을 참고하면, 테이터선(171), 소스 전극(173) 및 드레인 전극(175)은 주배선층(171q, 173q, 175q) 위에 캐핑층(171r, 173r, 175r)을 더 포함한다. 캐핑층(171r, 173r, 175r)은 금속 산화물을 포함한다. 예를 들어, 캐핑층(171r, 173r, 175r)은 인듐-아연 산화물, 갈륨-아연 산화물 및 알루미늄-아연 산화물 중 하나로 형성될 수 있고, 그 중에서 갈륨-아연 산화물로 형성되는 것이 바람직하다. 본 실시예에서, 금속 실리사이드층(177)은 배리어층(171p, 173p, 175p)과 캐핑층(171r, 173r, 175r) 사이에 주 배선층(171, 173q, 175r)의 노출된 측면 부분에 형성될 수 있다.
- [0093] 이상에서 설명한 차이점을 제외하고, 도 2에서 설명한 내용은 본 실시예에 모두 적용될 수 있다.
- [0094] 도 14 내지 도 20은 본 발명의 일실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 나타내는 단면도들이다. 도 14 내지 도 20은 도 1의 절단선 II-II를 따라 자른 단면도를 순서대로 나타낸 것이다.
- [0095] 도 14 내지 도 19를 참고하면, 도 4 내지 도 9에서 설명한 실시예와 대체로 동일하고, 다만 본 발명의 일실시예에 따른 박막 트랜지스터 표시판의 제조 방법에서는 도 14에 도시한 바와 같이 금속막(170q) 위에 추가적으로 금속 산화물막(170r)을 형성할 수 있다. 그 이후의 공정에서 금속 산화물막(170r)은 그 하부에 형성된 금속막(170q)과 금속 산화물막(170p)과 함께 패터닝되는 과정을 거쳐서 도 17에 도시한 바와 같이 주배선층(171q, 173q, 175q) 위에 캐핑층(171r, 173r, 175r)이 형성된다.
- [0096] 도 18을 참고하면, 애싱(ashing)으로 감광막 패턴을 제거한 후에 소스 전극(173)과 드레인 전극(175) 표면에 금속 실리사이드층 형성을 위해 실란(SiH₄) 처리를 할 수 있다. 실란(SiH₄) 처리는 화학 기상 증착법(Chemical Vapor Deposition; CVD)으로 진행할 수 있다.
- [0097] 도 19를 참고하면, 실란(SiH₄) 처리된 소스 전극(173) 및 드레인 전극(175) 표면을 따라 실란 물질층(176)이 형성된다. 이 때, 소스 전극(173)과 드레인 전극(175) 사이에 위치하는 채널 영역에 인접한 소스 전극(173) 및 드레인 전극(175) 각각의 측면, 그 중에서도 배리어층(171p, 173p, 175p)과 캐핑층(171r, 173r, 175r) 사이에 주 배선층(171, 173q, 175r)의 노출된 측면 부분을 실란 물질층(176)이 덮도록 형성한다. 이 때, 실란 물질층(176)은 소스 전극(173), 드레인 전극(175)의 표면뿐만 아니라, 채널 영역과 게이트 절연막(140)을 덮도록 형성할 수 있다.
- [0098] 도 20을 참고하면, 실란 물질층(176) 위에 보호막(180)을 형성한다. 보호막(180)은 실란 물질층(176) 위에 산화 규소(SiO_x)를 포함하는 하부 보호막(180a)을 형성하고, 하부 보호막(180a) 위에 질화 규소(SiN_x)를 포함하는 상부 보호막(180b)을 형성할 수 있다. 산화 규소(SiO_x)를 포함하는 하부 보호막(180a)을 형성하는 공정 중에 실란(SiH₄)과 질소 산화물, 예를 들어 아산화질소(N₂O) 처리를 할 수 있고, 실란 물질층(176)과 질소 산화물 및 주배선층(171q, 173q, 175q)을 형성하는 구리 또는 구리 합금이 서로 반응하여 금속 실리사이드층(177)을 형성한다. 여기서, 금속 실리사이드층(177)은 소스 전극(173) 및 드레인 전극(175) 가운데 구리 또는 구리 합금 등으로 형성된 주배선층(171q, 173q, 175q)과 실란 물질층(176)이 접촉하는 부분에 형성되고, 금속 실리사이드층(177)은 실란 물질층(176)의 최종 형성물일 수 있다.
- [0099] 보호막(180)을 패터닝하여 드레인 전극(175)의 일부를 드러내는 접촉 구멍(185)을 형성하고, 보호막(180) 위에 화소 전극(191)을 형성함으로써 도 13과 같은 박막 트랜지스터 표시판을 형성할 수 있다. 이 때, 화소 전극(191)은 접촉 구멍(185)을 통해 드레인 전극(175)과 물리적으로 연결되도록 형성한다.
- [0100] 도 21은 본 발명의 일실시예에 따른 박막 트랜지스터 표시판 구조에서 주배선층과 보호막 사이의 계면을 나타내는 사진이다.
- [0101] 도 21은 본 발명의 일실시예에 따른 캐핑층을 포함하는 박막 트랜지스터 표시판을 형성한 후에 전자 현미경으로 찍은 사진이고, 도 21을 참고하면 주배선층(173q)과 하부 보호막(180a) 사이의 계면에 금속 실리사이드층(177)이 균일하게 형성되어 있다. 또한, 구리 산화물과 같은 오염원이 형성되지 않은 깨끗한 상태임을 확인할 수 있

다.

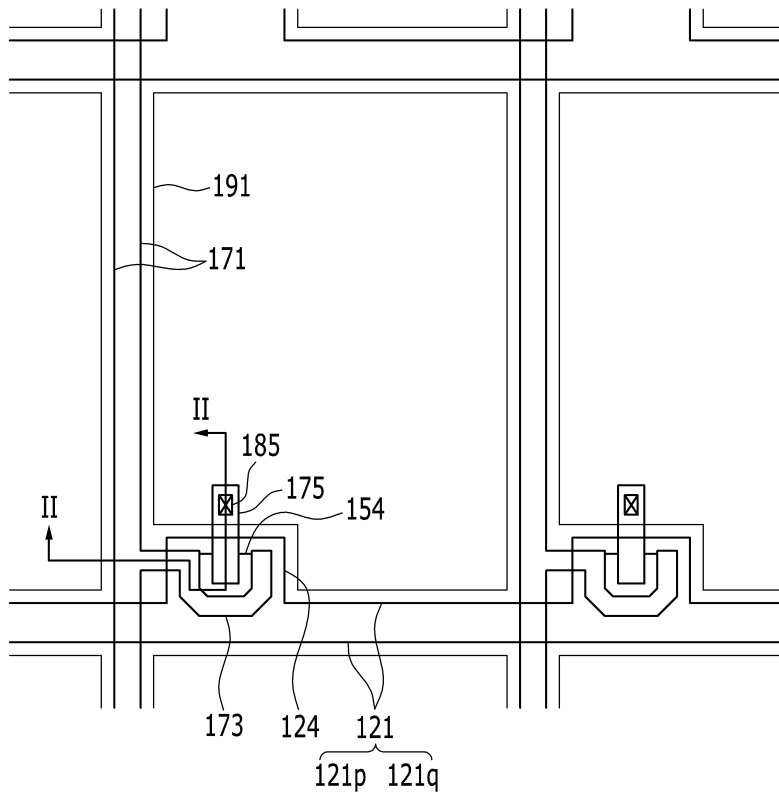
[0102] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

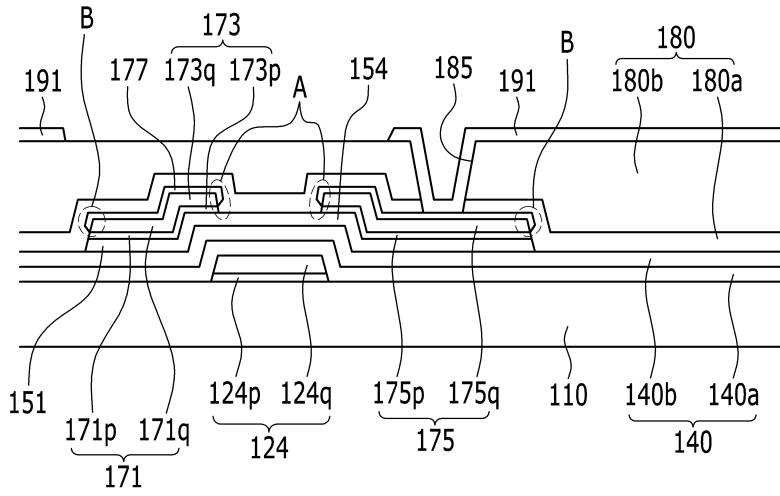
[0103]	121	게이트선	124	게이트 전극
	154	반도체층	171	데이터선
	173	소스 전극	175	드레인 전극
	177	금속 실리사이드층	191	화소 전극

도면

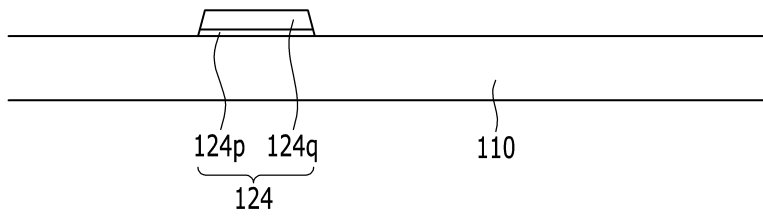
도면1



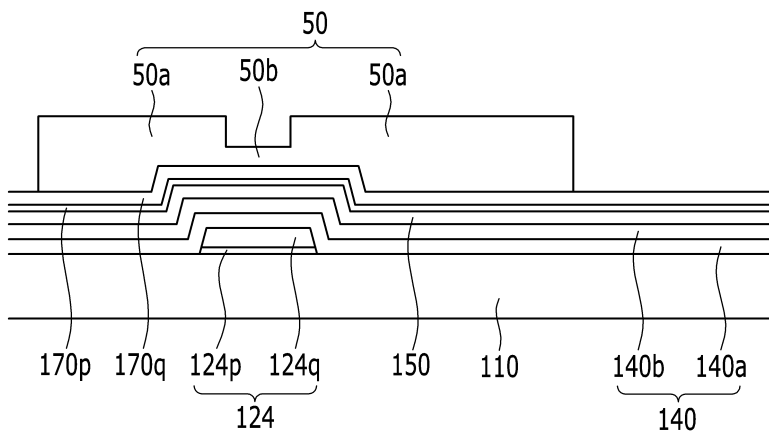
도면2



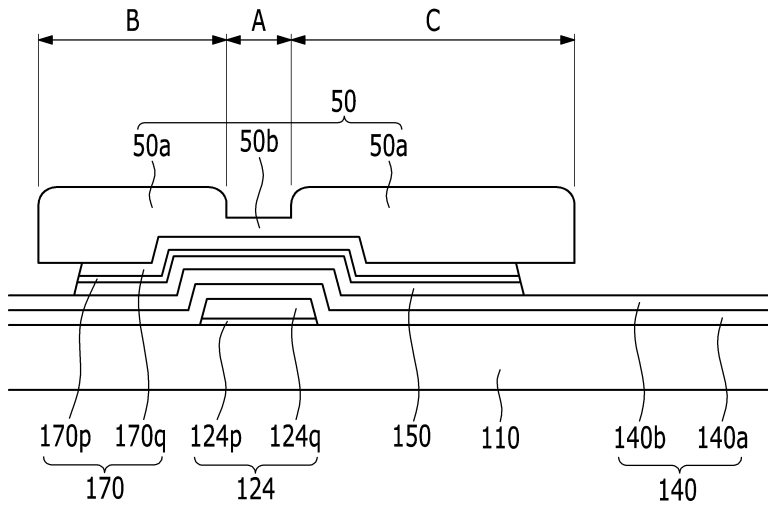
도면3



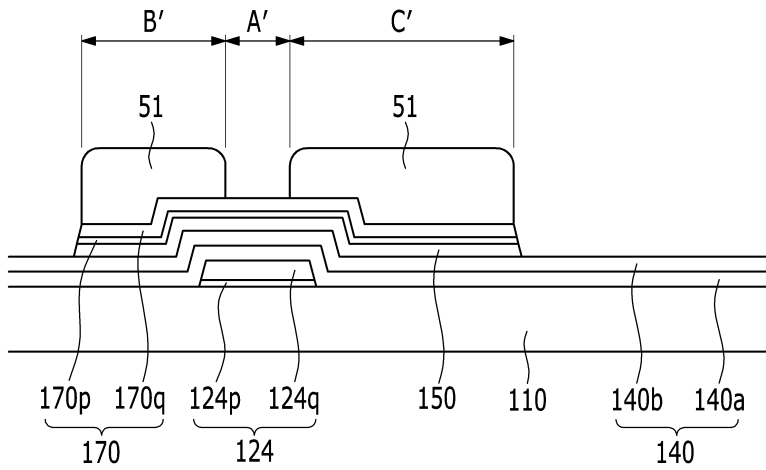
도면4



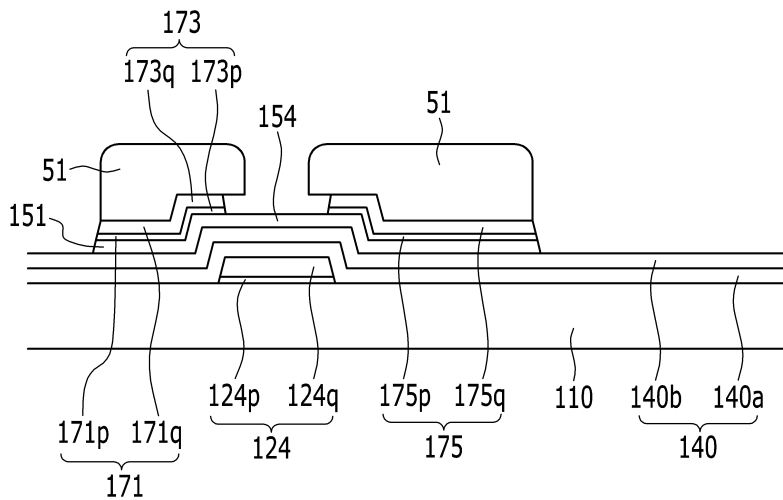
도면5



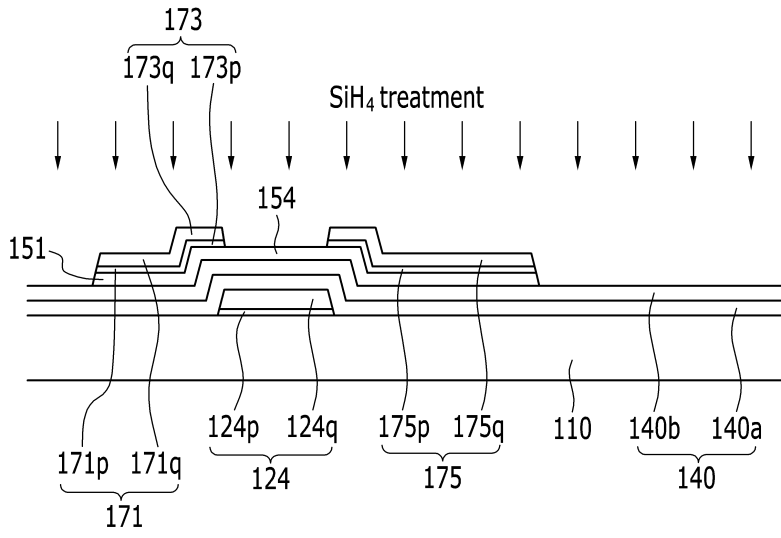
도면6



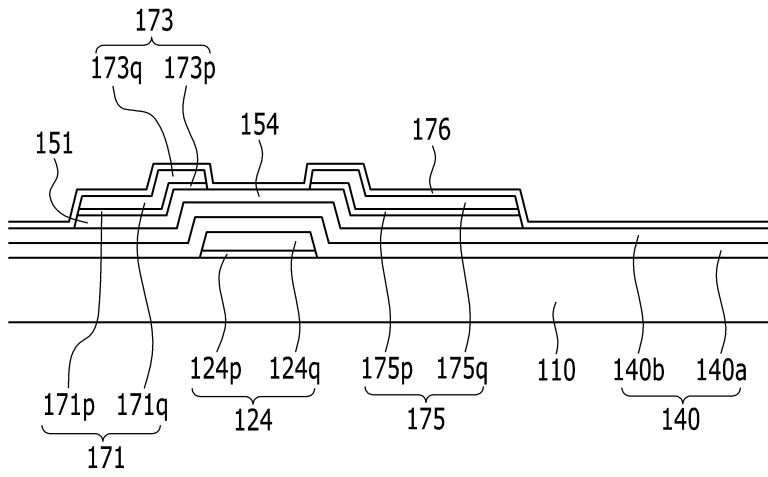
도면7



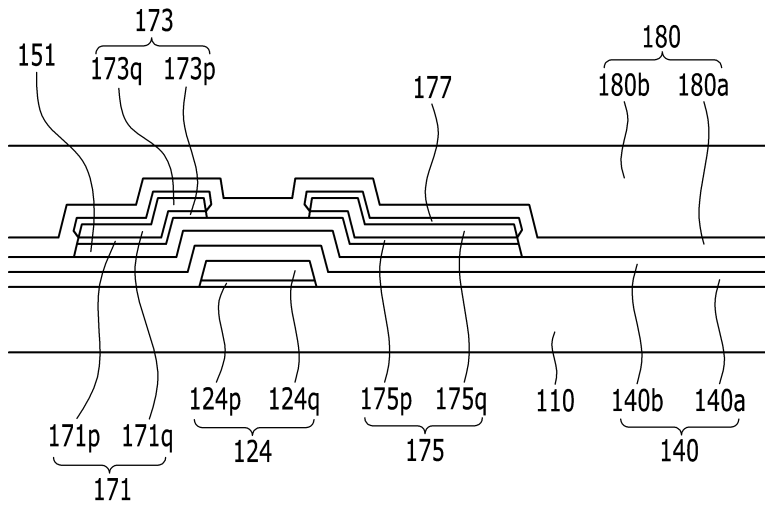
도면8



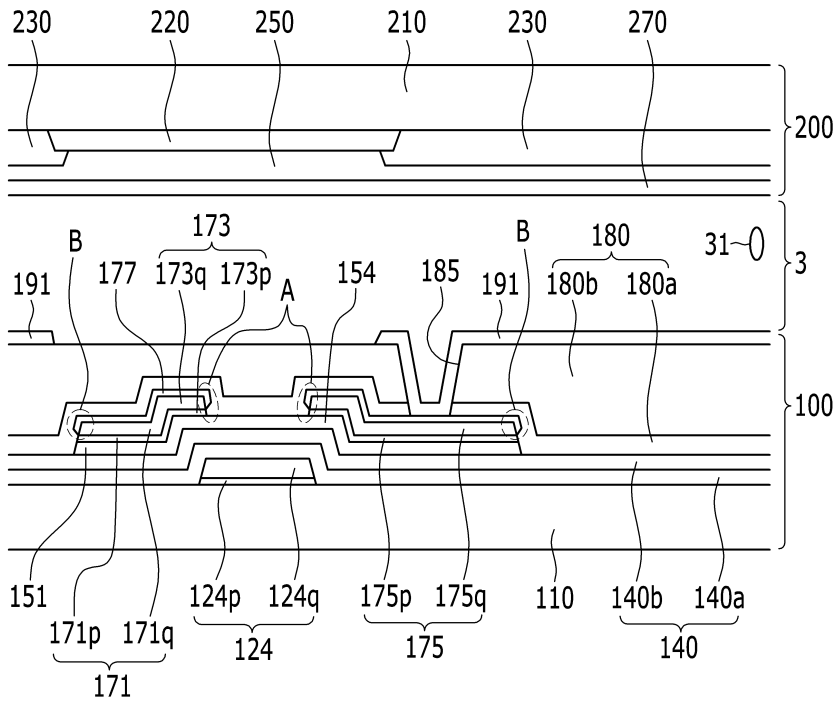
도면9



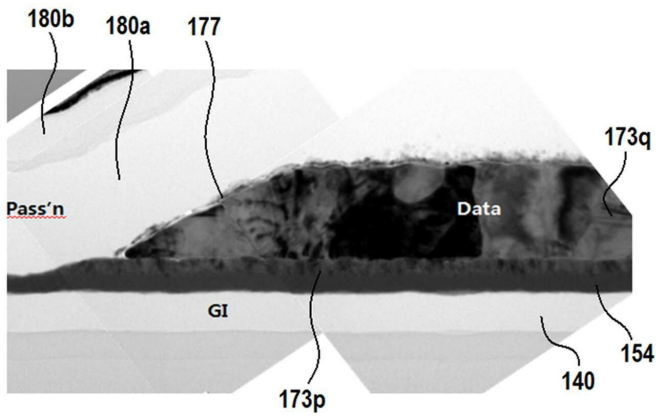
도면10



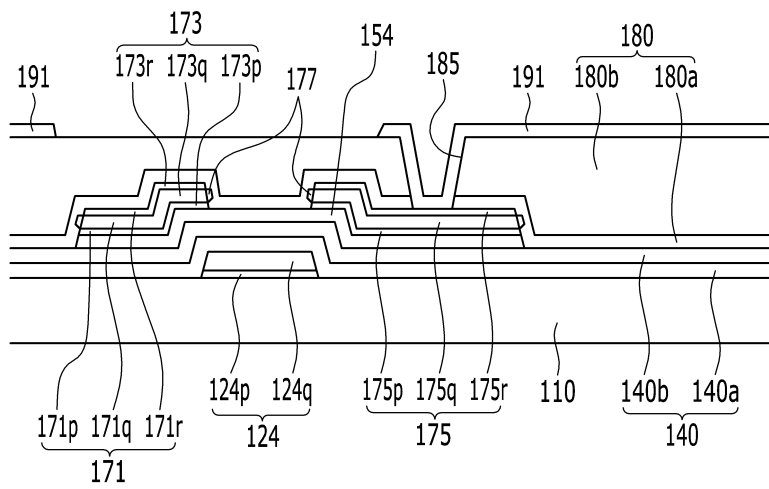
도면11



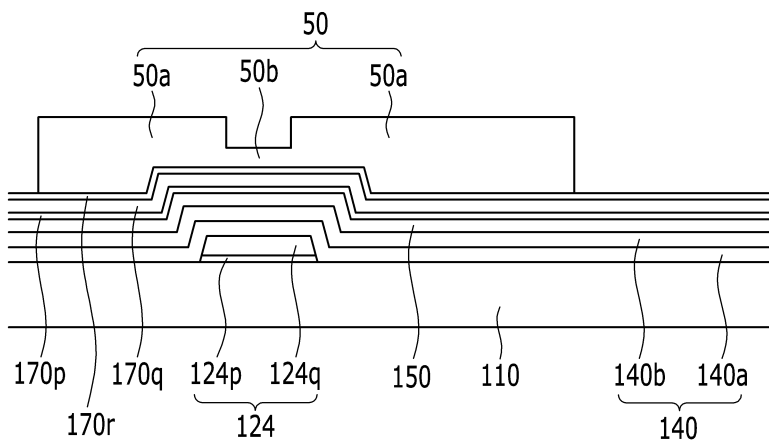
도면12



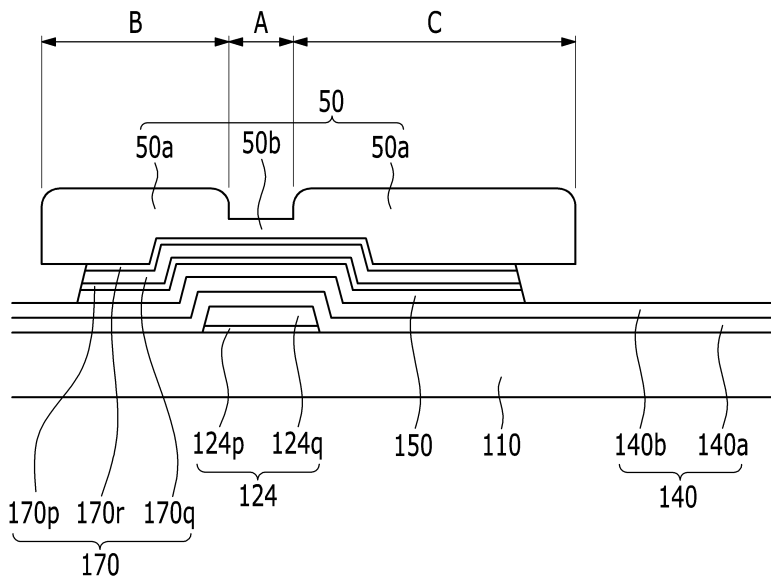
도면13



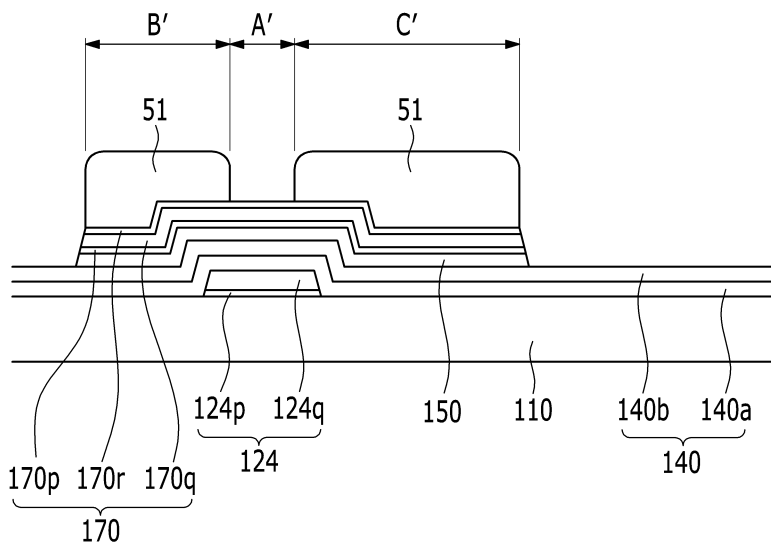
도면14



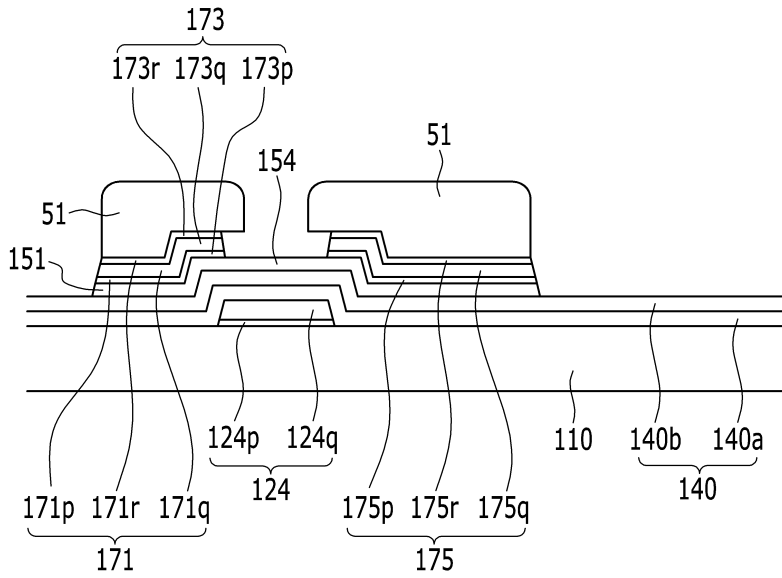
도면15



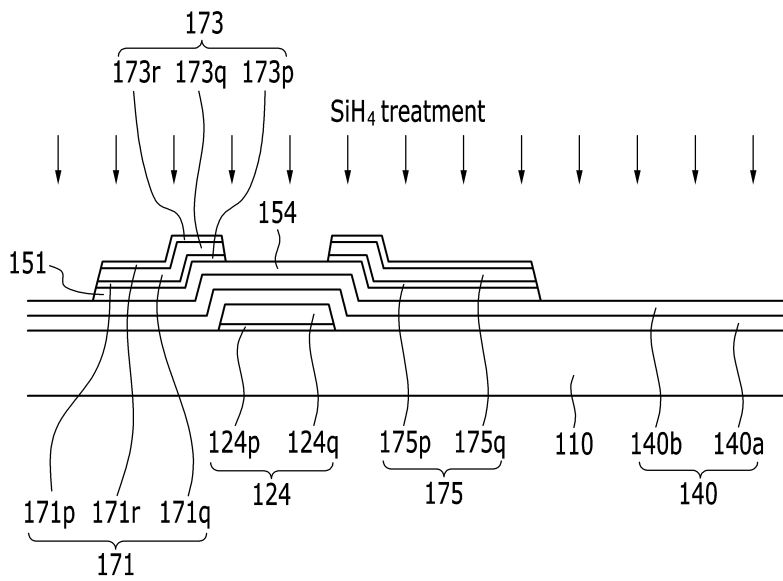
도면16



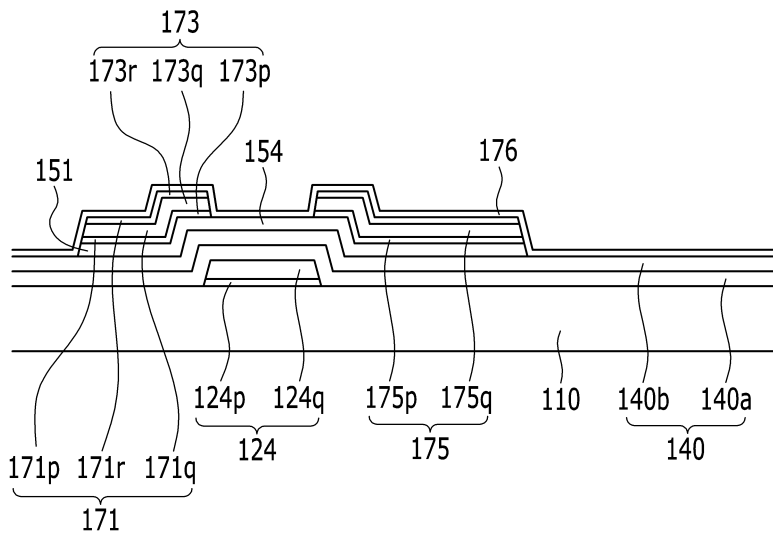
도면17



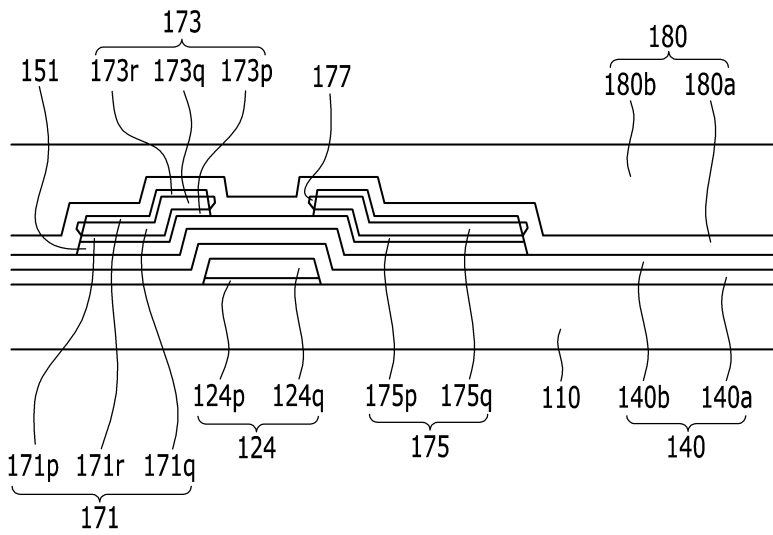
도면18



도면19



도면20



도면21

