



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년05월13일  
(11) 등록번호 10-1263512  
(24) 등록일자 2013년05월06일

(51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01) G02F 1/133 (2006.01)  
(21) 출원번호 10-2006-0052737  
(22) 출원일자 2006년06월12일  
심사청구일자 2011년06월08일  
(65) 공개번호 10-2007-0118509  
(43) 공개일자 2007년12월17일  
(56) 선행기술조사문헌  
JP2005316211 A\*  
KR1020020002134 A\*  
KR1020050003813 A\*  
US06922183 B2  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
박귀복  
경기도 군포시 고산로643번길 9, 1245동 1605호  
(산본동, 목련아파트)  
최상호  
경기도 군포시 고산로 166, 에스케이벤처움 101동  
616호 (당정동)  
(74) 대리인  
서교준

전체 청구항 수 : 총 29 항

심사관 : 김민수

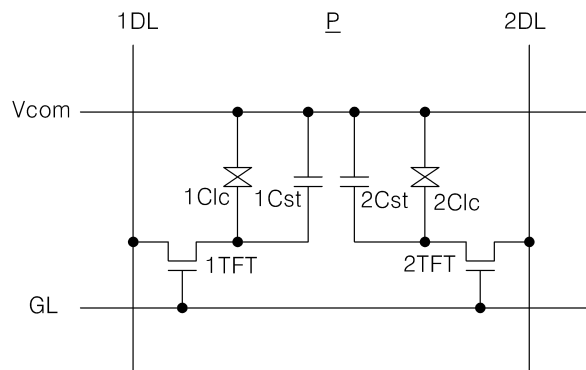
(54) 발명의 명칭 액정표시장치 및 그 구동방법

(57) 요약

본 발명은 플리커 및 잔상을 최소화할 수 있는 액정표시장치 및 구동방법을 제공하는 것이다.

이를 위하여, 본 발명에 따른 액정표시장치는 게이트 라인 및 데이터 라인에 의해 정의되는 화소들이 매트릭스 형태로 배열된 액정표시패널과; 상기 액정표시패널에 게이트 전압을 공급하는 게이트 구동부와; 상기 액정표시패널에 데이터 전압을 공급하는 데이터 구동부를 구비하고, 상기 각각의 화소들은 서로 다른 극성의 구동전압에 의해 독립적으로 구동되어 동일 계조를 구현하는 제1 및 제2 액정셀을 포함한다.

대표도 - 도6



## 특허청구의 범위

### 청구항 1

게이트 라인 및 데이터 라인에 의해 정의되는 화소들이 매트릭스 형태로 배열된 액정표시패널과;  
 상기 액정표시패널에 게이트 전압을 공급하는 게이트 구동부;  
 상기 액정표시패널에 데이터 전압을 공급하는 데이터 구동부와,  
 상기 화소가 마련되는 화소영역에 형성된 공통전극판에 공통전압을 공급하는 공통전압 공급부를 구비하고,  
 상기 화소들 각각은,  
 제1 및 제2 데이터 전압에 의해 독립적으로 구동되어 동일 계조를 구현하는 제1 및 제2 액정셀을 포함하고,  
 상기 제1 액정셀에 제1 데이터 전압을 공급하고,  
 상기 제2 액정셀에 제2 데이터 전압을 공급하고  
 상기 제1 및 제2 데이터 전압은 상기 공통 전압과의 차전압의 크기가 동일하고 극성은 서로 반대가 되는 액정표시장치.

### 청구항 2

제 1 항에 있어서,  
 상기 화소들 각각은,  
 제1 데이터 전압이 공급되는 제1 데이터 라인 및 상기 제1 데이터 전압과 극성이 다른 제2 데이터 전압이 공급되는 제2 데이터 라인과 교차되는 하나의 게이트 라인에 의해 정의되는 것을 특징으로 하는 액정표시장치.

### 청구항 3

제 2 항에 있어서,  
 상기 제1 및 제2 데이터 전압의 극성은 매 프레임마다 반전되는 것을 특징으로 하는 액정표시장치.

### 청구항 4

제 2 항에 있어서,  
 상기 제1 액정셀은  
 상기 게이트 라인 및 제1 데이터 라인의 교차영역에 위치하는 제1 박막 트랜지스터, 상기 제1 박막 트랜지스터와 접속된 제1 화소전극, 상기 제1 화소전극과 전계를 이루는 공통전압 공급부로 구성되고,  
 상기 제2 액정셀은  
 상기 게이트 라인 및 제2 데이터 라인의 교차영역에 위치하는 제2 박막 트랜지스터, 상기 제2 박막 트랜지스터와 접속된 제2 화소전극, 상기 제2 화소전극과 전계를 이루는 상기 공통전압 공급부로 구성되는 것을 특징으로 하는 액정표시장치.

### 청구항 5

제 4 항에 있어서,  
 상기 제1 및 제2 액정셀 각각에 공급되는 화소전압의 극성은 매 프레임마다 반전되는 것을 특징으로 하는 액정표시장치.

### 청구항 6

제 4 항에 있어서,  
 상기 제1 및 제2 액정셀은 서로 대칭되는 구조를 가지는 것을 특징으로 하는 액정표시장치.

**청구항 7**

제 4 항에 있어서,

상기 제1 및 제2 화소전극은 상기 데이터 라인과 나란한 라인형태의 다수의 핑거부를 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 8**

제 4 항에 있어서,

상기 공통전압 공급부는

상기 화소가 마련되는 화소영역에 형성되어 상기 제1 및 제2 화소전극과 프린지 필드(FRINGE FIELD) 전계를 형성하는 공통전극판과;

상기 공통전극판에 공통전압을 공급하는 공통라인으로 이루어지는 것을 특징으로 하는 액정표시장치.

**청구항 9**

제 7 항에 있어서,

상기 공통전압 공급부는

상기 제1 및 제2 화소전극의 핑거부와 나란하게 위치하여 상기 핑거부와 수평전계를 이루는 핑거(finger) 모양의 공통전극을 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 10**

제 1 항에 있어서,

상기 화소들 각각은,

제1 및 제2 게이트 라인과 하나의 데이터 라인에 의해 정의되는 것을 특징으로 하는 액정표시장치.

**청구항 11**

제 10 항에 있어서,

상기 데이터 라인에는 상기 제1 게이트 라인으로부터의 제1 게이트 전압에 동기되는 제1 데이터 전압이 공급되고, 상기 제2 게이트 라인으로부터의 제2 게이트 전압에 동기되는 제2 데이터 전압이 공급되는 것을 특징으로 하는 액정표시장치.

**청구항 12**

제 11 항에 있어서,

상기 제1 데이터 전압과 상기 제2 데이터 전압은 서로 다른 극성을 가지는 것을 특징으로 하는 액정표시장치.

**청구항 13**

제 12 항에 있어서,

상기 제1 및 제2 데이터 전압의 극성은 매 프레임마다 반전되는 것을 특징으로 하는 액정표시장치.

**청구항 14**

제 10 항에 있어서,

상기 제1 액정셀은

상기 제1 게이트 라인 및 상기 데이터 라인의 교차영역에 위치하는 제1 박막 트랜지스터, 상기 제1 박막 트랜지스터와 접촉된 제1 화소전극, 상기 제1 화소전극과 전계를 이루는 공통전압 공급부로 구성되고,

상기 제2 액정셀은

상기 제2 게이트 라인 및 상기 데이터 라인의 교차영역에 위치하는 제2 박막 트랜지스터, 상기 제2 박막 트랜지스터와 접속된 제2 화소전극, 상기 제2 화소전극과 전계를 이루는 상기 공통전압 공급부로 구성되는 것을 특징으로 하는 액정표시장치.

**청구항 15**

제 14 항에 있어서,

상기 제1 및 제2 액정셀 각각에 공급되는 화소전압의 극성은 매 프레임마다 반전되는 것을 특징으로 하는 액정표시장치.

**청구항 16**

제 14 항에 있어서,

상기 제1 및 제2 화소전극은 상기 데이터 라인과 나란한 라인형태의 다수의 핑거부를 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 17**

제 14 항에 있어서,

상기 공통전압 공급부는

상기 화소가 마련되는 화소영역에 형성되어 상기 제1 및 제2 화소전극과 프린지 필드(FRINGE FIELD) 전계를 형성하는 공통전극판과;

상기 공통전극판에 공통전압을 공급하는 공통라인으로 이루어지는 것을 특징으로 하는 액정표시장치.

**청구항 18**

제 16 항에 있어서,

상기 공통전압 공급부는

상기 제1 및 제2 화소전극의 핑거부와 나란하게 위치하여 상기 핑거부와 수평전계를 이루는 공통전극을 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 19**

제 1 항에 있어서,

상기 화소는 적색, 녹색 및 청색 중 어느 하나의 색을 구현하는 것을 특징으로 하는 액정표시장치.

**청구항 20**

화소들이 매트릭스 형태로 배열된 액정표시패널을 구동하는 액정표시장치의 구동방법에 있어서,

상기 화소들 각각은 서로 독립적으로 구동가능한 제1 및 제2 액정셀로 구분하는 단계와;

상기 제1 및 제2 액정셀에 공통전압을 공급하는 단계와;

상기 제1 및 제2 액정셀에 극성은 서로 다르고 상기 공통전압을 기준으로 크기는 동일한 제1 및 제2 데이터전압을 공급하여 상기 제1 및 제2 액정셀에 동일 계조를 구현하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

**청구항 21**

제 20 항에 있어서,

상기 제1 및 제2 액정셀 각각에 공급되는 제1 및 제2 데이터전압의 극성은 매 프레임마다 반전되는 것을 특징으로 하는 액정표시장치의 구동방법.

**청구항 22**

제 20 항에 있어서,

상기 제1 액정셀은 제1 데이터 전압이 공급되는 제1 데이터 라인과 게이트 라인에 의해 정의되고, 상기 제2 액정셀은 상기 제1 데이터 전압과 극성이 다른 제2 데이터 전압이 공급되는 제2 데이터 라인과 상기 게이트 라인에 의해 정의되는 것을 특징으로 하는 액정표시장치의 구동방법.

**청구항 23**

제 20 항에 있어서,

상기 제1 액정셀은 제1 게이트 전압이 공급되는 제1 게이트 라인과 데이터 라인에 의해 정의되고, 상기 제2 액정셀은 제2 게이트 전압이 공급되는 제2 게이트 라인과 상기 데이터 라인에 의해 정의되는 것을 특징으로 하는 액정표시장치의 구동방법.

**청구항 24**

제 23 항에 있어서,

상기 제1 및 제2 액정셀에 동일 계조를 구현하는 단계는

상기 제1 게이트 라인에 제1 게이트 전압이 공급되고 상기 데이터 라인에는 상기 제1 게이트 전압에 동기되는 제1 데이터 전압이 공급하여 상기 제1 액정셀에 제1 계조를 구현하는 단계와;

상기 제2 게이트 라인에 제2 게이트 전압이 공급되고 상기 데이터 라인에 상기 제2 게이트 전압에 동기되는 제2 데이터 전압이 공급하여 상기 제2 액정셀에 상기 제1 계조와 동일한 계조를 구현하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

**청구항 25**

제 24 항에 있어서,

상기 제1 데이터 전압과 상기 제2 데이터 전압은 서로 다른 극성을 가지는 것을 특징으로 하는 액정표시장치의 구동방법.

**청구항 26**

제 25 항에 있어서,

상기 제1 및 제2 데이터 전압의 극성은 매 프레임마다 반전되는 것을 특징으로 하는 액정표시장치의 구동방법.

**청구항 27**

제 20 항에 있어서,

상기 제1 액정셀 및 상기 제2 액정셀의 액정들은,

상기 제1 및 제2 데이터전압과 상기 공통전압 사이에서의 프린지 필드(FRINGE FIELD) 전계에 의해 구동되는 것을 특징으로 하는 액정표시장치의 구동방법.

**청구항 28**

제 20 항에 있어서,

상기 제1 액정셀 및 상기 제2 액정셀의 액정들은,

상기 제1 및 제2 데이터전압과 상기 공통전압 사이에서의 수평 전계에 의해 구동되는 것을 특징으로 하는 액정표시장치의 구동방법.

**청구항 29**

제 20 항에 있어서,

상기 제1 및 제2 액정셀이 동일 계조를 구현한 후, 상기 공통전압의 크기를 상기 제1 액정셀에 공급되는 제1 데이터전압과 상기 제2 액정셀에 공급되는 제2 데이터전압 사이에서 최적화시키는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

- [0024] 본 발명은 액정표시장치에 관한 것으로, 특히 플리커 및 잔상을 최소화할 수 있는 액정표시장치 및 그 구동방법에 관한 것이다.
- [0025] 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계 인가형과 수평 전계 인가형으로 대별된다.
- [0026] 수직 전계 인가형 액정 표시 장치는 상하부 기판에 대향하게 배치된 화소 전극과 공통 전극 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동하게 된다. 이러한 수직 전계 인가형 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.
- [0027] 수평 전계 인가형 액정 표시 장치는 하부 기판에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 인 플레인 스위치(In Plane Switch; 이하, IPS라 함) 모드의 액정을 구동하게 된다. 이러한 수평 전계 인가형 액정 표시 장치는 시야각이 160도 정도로 넓은 장점을 갖으나, 개구율 및 투과율이 낮은 단점을 가진다.
- [0028] 이러한 수평 전계 인가형 액정 표시 장치의 단점을 개선하기 위하여 프린지 필드(Fringe Field)에 의해 동작되는 프린지 필드 스위칭(Fringe Field Switching; 이하, FFS) 타입의 액정 표시 장치가 제안되었다. FFS 타입의 액정 표시 장치는 각 화소 영역에 절연막을 사이에 둔 공통 전극판과 화소 전극을 구비하고, 그 공통 전극판과 화소 전극의 간격을 상하부 기판의 간격보다 좁게 형성하여 프린지 필드가 형성되게 한다. 그리고, 프린지 필드에 의해 상하부 기판 사이에 채워진 액정 분자들이 모두 동작되게 함으로써 개구율 및 투과율을 향상시키게 된다.
- [0029] 도 1은 종래의 FFS 타입 액정표시장치의 하나의 화소를 나타내는 회로도이고, 도 2는 FFS 타입 액정표시장치에 포함된 박막 트랜지스터 기판을 도시한 단면도이다.
- [0030] 도 1을 참조하면, FFS 타입 액정표시장치는 데이터라인(DL)들 및 게이트라인(GL)들의 교차부에 매트릭스 형태로 배치되는 다수의 액정셀(C1c)을 구비한다. 액정셀(C1c)에 각각 형성된 TFT는 게이트라인(GL)으로부터 공급되는 스캔신호에 응답하여 데이터라인(DL)들로부터 공급되는 데이터신호를 액정셀(C1c)로 공급한다.
- [0031] 도 2에 FFS 타입 액정표시장치의 박막 트랜지스터 기판은 하부 기판(20) 위에 게이트 절연막(22)을 사이에 두고 교차하게 형성된 게이트 라인(GL) 및 데이터 라인(DL)과, 그 교차부마다 형성된 박막 트랜지스터(TFT)와, 그 교차 구조로 마련된 화소 영역에 프린지 필드를 형성하도록 게이트 절연막(22) 및 보호막(28)을 사이에 두고 형성된 공통 전극판(14) 및 화소 전극 슬릿(18)과, 공통 전극판(14)과 접속된 공통 라인(16)을 구비한다.
- [0032] 공통 전극판(14)은 각 화소 영역에 형성되고, 공통 전극판(14) 위에 형성되며 공통전극판(114)과 접속된 공통 라인(16)을 통해 액정 구동을 위한 기준 전압(이하, 공통 전압(Vcom))을 공급받는다. 이러한 공통 전극판(14)은 투명 도전층으로, 공통 라인(16)은 게이트 라인(2)과 함께 게이트 금속층으로 형성된다.
- [0033] 박막 트랜지스터(TFT)는 게이트 라인(GL)의 게이트 신호에 응답하여 데이터 라인(4)의 화소 신호가 화소 전극 슬릿(18)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(TFT)는 게이트 라인(GL)과 접속된 게이트 전극(6), 데이터 라인(4)과 접속된 소스 전극(8), 화소 전극 슬릿(18)과 접속된 드레인 전극(10), 게이트 전극(6)과 게이트 절연막(22)을 사이에 두고 중첩되면서 소스 전극(8) 및 드레인 전극(10) 사이에 채널을 형성하는 활성층(24), 소스 전극(8) 및 드레인 전극(10)과 활성층(24)과의 오믹 접촉을 위한 오믹 컨택층(26)을 포함하는 반도체 패턴(30)을 구비한다.

- [0034] 화소 전극 슬릿(18)은 보호막(28)을 관통하는 컨택홀(12)을 통해 박막 트랜지스터(TFT)의 드레인 전극(10)과 접촉되어 공통 전극판(14)과 중첩되게 형성된다. 이러한 화소 전극 슬릿(18)은 공통 전극판(14)와 프린지 필드를 형성하여 박막 트랜지스터 기관과 칼라 필터 기관 사이에서 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- [0035] 그리고, 공통 전극판(14)과 화소 전극 슬릿(18)의 사이에는 화소 전극 슬릿(18)에 공급된 비디오 신호를 안정적으로 유지시키는 스토리지 캐패시터(Cst)가 형성된다. 스토리지 캐패시터(Cst)는 액정셀(C1c)의 전압을 일정하게 유지시킨다.
- [0036] 액정표시장치는 액정셀에 충전되는 데이터의 극성을 주기적으로 반전시킴으로써 플리커와 잔상을 줄이기 위한 인버전 방식으로 구동되고 있다. 인버전 방식으로는 수직라인 방향에서 인접한 액정셀들간 데이터의 극성을 반전시키는 라인 인버전 방식, 수평라인 방향에서 인접한 액정셀들간 데이터의 극성을 반전시키는 컬럼 인버전 방식, 수직라인 방향과 수평라인 방향에서 인접한 액정셀들간 데이터의 극성을 반전시키는 도트 인버전 방식이 있다.
- [0037] 도트 인버전 방식은 도 1과 같이 수직방향에서 인접하는 액정셀에 각각 공급되는 데이터의 극성이 상반됨과 아울러 수평방향에서 인접하는 액정셀에 각각 공급되는 데이터의 극성이 상반된다. 그리고 그 데이터의 극성은 매 프레임(Fn-1,Fn)마다 반전된다.
- [0038] 그러나, 이러한 도트 인버전 방식의 액정표시장치를 구동하는 경우에도 피드 쓰로우 전압( $\Delta V_p$ )의 발생으로 인하여 플리커 및 잔상이 여전히 나타난다.
- [0039] 이를 도 4에 도시된 도트 인버전 방식에서의 액정표시장치의 구동특성을 참조하여 좀더 상세히 설명하면 다음과 같다.
- [0040] 도 4를 참조하면, TFT(6)의 게이트 전극(8)에 게이트 전압( $V_g$ )이 공급되며 소스전극(10)에는 데이터 전압( $V_d$ )이 공급된다. TFT(6)의 게이트 전극(8)에 TFT(6)의 문턱전압 이상의 게이트 하이 전압( $V_{gh}$ )이 인가되면 소스전극(10)과 드레인 전극(12) 사이에 채널이 형성되면서 데이터 전압( $V_d$ )이 TFT의 소스전극(10)과 드레인 전극(12)을 경유하여 액정셀(C1c)과 스토리지 캐패시터(Cst)에 충전된다.
- [0041] 여기서, 데이터전압( $V_d$ )과 액정셀에 충전되는 전압( $V_{1c}$ )의 차인 피드 쓰로우 전압(Feed Through Voltage ;  $\Delta V_p$ )이 발생된다.
- [0042] 이러한, 피드 쓰로우 전압( $\Delta V_p$ )은 데이터의 극성이 매 프레임(Fn-1,Fn)마다 반전됨에 따라 또는 계조에 따라 일정치 않게 됨으로써 공통전압( $V_{com}$ )이 정극성 데이터 전압과 부극성 데이터 전압의 중심에 위치하지 못하게 된다. 예를 들어, 화이트 데이터 전압에서의 피드 쓰로우 전압( $\Delta V_p$ )과 화이트 데이터 전압에서의 피드 쓰로우 전압( $\Delta V_p$ )의 크기가 동일하지 않게 됨으로서 동일 계조를 표현하기 위한 데이터 전압의 실효치가 극성에 따라 일정하지 않게 된다. 이에 따라, 직류(DC) 전압인 공통전압을 정극성 데이터 전압과 부극성 데이터 전압의 중심에 해당되는 최적의 공통전압 값을 설정할 수 없게 된다. 이로 인하여, 각 프레임간의 휘도차가 발생하게 됨으로써 여전히 플리커와 잔상이 나타난다.

**발명이 이루고자 하는 기술적 과제**

- [0043] 따라서, 본 발명의 목적은 플리커 및 잔상을 최소화할 수 있는 액정표시장치 및 구동방법을 제공하는 것이다.

**발명의 구성 및 작용**

- [0044] 상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 액정표시장치는 게이트 라인 및 데이터 라인에 의해 정의되는 화소들이 매트릭스 형태로 배열된 액정표시패널과; 상기 액정표시패널에 게이트 전압을 공급하는 게이트 구동부와; 상기 액정표시패널에 데이터 전압을 공급하는 데이터 구동부를 구비하고, 상기 각각의 화소들은 서로 다른 극성의 구동전압에 의해 독립적으로 구동되어 동일 계조를 구현하는 제1 및 제2 액정셀을 포함하는 것을 특징으로 한다.
- [0045] 상기 각각의 화소는 제1 데이터 전압이 공급되는 제1 데이터 라인 및 상기 제1 데이터 전압과 극성이 다른 제2

데이터 전압이 공급되는 제2 데이터 라인과 교차되는 하나의 게이트 라인에 의해 정의되는 것을 특징으로 한다.

- [0046] 상기 제1 및 제2 데이터 전압의 극성은 매 프레임마다 반전되는 것을 특징으로 한다.
- [0047] 상기 제1 액정셀은 상기 게이트 라인 및 제1 데이터 라인의 교차영역에 위치하는 제1 박막 트랜지스터, 상기 제1 박막 트랜지스터와 접속된 제1 화소전극, 상기 제1 화소전극과 전계를 이루는 공통전압 공급부로 구성되고, 상기 제2 액정셀은 상기 게이트 라인 및 제2 데이터 라인의 교차영역에 위치하는 제2 박막 트랜지스터, 상기 제2 박막 트랜지스터와 접속된 제2 화소전극, 상기 제2 화소전극과 전계를 이루는 상기 공통전압 공급부로 구성되는 것을 특징으로 하는 특징으로 한다.
- [0048] 상기 제1 및 제2 액정셀 각각에 공급되는 화소전압의 극성은 매 프레임마다 반전되는 것을 특징으로 한다.
- [0049] 상기 제1 및 제2 액정셀은 서로 대칭되는 구조를 가지는 것을 특징으로 한다.
- [0050] 상기 제1 및 제2 화소전극은 상기 데이터 라인과 나란한 라인형태의 다수의 핑거부를 포함한다.
- [0051] 상기 공통전압 공급부는 상기 화소가 마련되는 화소영역에 형성되어 상기 제1 및 제2 화소전극과 프린지 필드 (FRINGE FIELD) 전계를 형성하는 공통전극판과; 상기 공통전극판에 공통전압을 공급하는 공통라인으로 이루어지는 것을 특징으로 한다.
- [0052] 상기 공통전압 공급부는 상기 제1 및 제2 화소전극의 핑거부와 나란하게 위치하여 상기 핑거부와 수평전계를 이루는 핑거(finger) 모양의 공통전극을 포함하는 것을 특징으로 한다.
- [0053] 상기 각각의 화소는 제1 및 제2 게이트 라인과 하나의 데이터 라인에 의해 정의되는 것을 특징으로 한다.
- [0054] 상기 데이터 라인에는 상기 제1 게이트 라인으로부터의 제1 게이트 전압에 동기되는 제1 데이터 전압이 공급되고, 상기 제2 게이트 라인으로부터의 제2 게이트 전압에 동기되는 제2 데이터 전압이 공급되는 것을 특징으로 한다.
- [0055] 상기 제1 데이터 전압과 상기 제2 데이터 전압은 서로 다른 극성을 가지는 것을 특징으로 한다.
- [0056] 상기 제1 및 제2 데이터 전압의 극성은 매 프레임마다 반전되는 것을 특징으로 한다.
- [0057] 상기 제1 액정셀은 상기 제1 게이트 라인 및 상기 데이터 라인의 교차영역에 위치하는 제1 박막 트랜지스터, 상기 제1 박막 트랜지스터와 접속된 제1 화소전극, 상기 제1 화소전극과 전계를 이루는 공통전압 공급부로 구성되고, 상기 제2 액정셀은 상기 제2 게이트 라인 및 상기 데이터 라인의 교차영역에 위치하는 제2 박막 트랜지스터, 상기 제2 박막 트랜지스터와 접속된 제2 화소전극, 상기 제2 화소전극과 전계를 이루는 상기 공통전압 공급부로 구성되는 것을 특징으로 하는 한다.
- [0058] 상기 화소는 적색, 녹색 및 청색 중 어느 하나의 색을 구현하는 것을 특징으로 한다.
- [0059] 화소들이 매트릭스 형태로 배열된 액정표시패널을 구동하는 액정표시장치의 구동방법에 있어서, 상기 각각의 화소를 서로 독립적으로 구동가능한 제1 및 제2 액정셀로 구분하는 단계와; 상기 제1 및 제2 액정셀에 공통전압을 공급하는 단계와; 상기 제1 및 제2 액정셀에 극성은 서로 다르고 상기 공통전압을 기준으로 크기는 동일한 구동전압을 공급하여 상기 제1 및 제2 액정셀에 동일 계조를 구현하는 단계를 포함하는 것을 특징으로 한다.
- [0060] 상기 제1 및 제2 액정셀에 동일 계조를 구현하는 단계는 상기 제1 게이트 라인에 제1 게이트 전압이 공급되고 상기 데이터 라인에는 상기 제1 게이트 전압에 동기되는 제1 데이터 전압이 공급하여 상기 제1 액정셀에 제1 계조를 구현하는 단계와; 상기 제2 게이트 라인에 제2 게이트 전압이 공급되고 상기 데이터 라인에 상기 제2 게이트 전압에 동기되는 제2 데이터 전압이 공급하여 상기 제2 액정셀에 상기 제1 계조와 동일한 계조를 구현하는 단계를 포함한다.
- [0061] 상기 제1 액정셀 및 상기 제2 액정셀의 액정들은, 상기 구동전압과 상기 공통전압 사이에서의 프린지 필드 (FRINGE FIELD) 전계에 의해 구동되는 것을 특징으로 한다.
- [0062] 상기 제1 액정셀 및 상기 제2 액정셀의 액정들은, 상기 구동전압과 상기 공통전압 사이에서의 수평 전계에 의해 구동된다.
- [0063] 상기 제1 및 제2 액정셀이 동일 계조를 구현한 후, 상기 공통전압의 크기를 상기 제1 액정셀에 공급되는 제1 구동전압과 상기 제2 액정셀에 공급되는 제2 구동전압 사이에서 최적화시키는 단계를 포함한다.
- [0064] 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명



을 통하여 명백하게 드러나게 될 것이다.

- [0065] 이하, 본 발명의 바람직한 실시 예들을 도 5 내지 도 13을 참조하여 상세하게 설명하기로 한다.
- [0066] 본 발명에서의 액정표시장치는 R(적색),G(녹색),B(청색) 중 어느 하나의 색을 구현하는 화소를 서로 다른 극성을 가지면서 동일한 계조를 나타내는 제1 및 제2 서브화소로 분리된다. 이러한, 화소 내에서의 제1 및 제2 서브화소는 서로 동일한 계조를 표현하지만 제1 및 제2 서브화소 중 어느 하나는 정극성 데이터에 의해 계조를 표현하고 나머지 하나는 부극성 데이터에 의해 계조를 표현한다. 이에 따라, 피드 쓰로우 전압( $\Delta V_p$ )의 크기가 동일하지 않게 되더라도 하나의 화소 내에서 정극성 및 부극성 데이터가 동시에 구현되게 됨으로써 계조 표현을 위한 실효치 값은 극성에 관계없이 일정하게 유지될 수 있게 된다. 그 결과, 매 프레임( $F_{n-1}, F_n$ ) 마다 피드 쓰로우 전압( $\Delta V_p$ )의 크기 및 공통전압 값에 크게 구애 받지 않고 동일한 휘도를 표현할 수 있게 됨으로써 플리커 문제를 해결할 수 있게 된다. 이와 같이, 각 화소내에서 정극성과 부극성 데이터에 의한 구동이 모두 가능하게 됨에 따라 플리커 문제가 제거된 상태에서 사용자가 정극성 데이터 전압과 부극성 데이터 전압의 중심에 해당되는 최적의 공통전압 값을 설정함으로써 잔상을 최소화할 수 있게 된다. 즉, 매 프레임( $F_{n-1}, F_n$ ) 마다 공통전압의 위치와 관계없이 동일한 휘도를 표현함에 따라 플리커를 제거한 후 공통전압 값을 정극성 데이터 전압과 부극성 데이터 전압 사이에서 잔상이 최소화되는 최적의 값으로 설정하면 플리커 및 잔상을 최소화시킬 수 있게 된다.
- [0067] 이하, 상술한 작용 효과를 나타내기 위한 구체적인 실시예들을 도면들을 참조하여 구체적으로 설명한다.
- [0068] 도 5는 본 발명의 제1 실시예에 따른 액정표시장치를 개략적으로 나타내는 블록도이다.
- [0069] 도 5를 참조하면, 액정표시장치는  $m \times n$  개의 화소(P)들이 매트릭스 타입으로 배열되는 액정표시패널(230)과, 액정표시패널(230)의 제1 및 제2 데이터라인들(1DL1, 2DL1, 1DL2, 2DL2, ..., 1DLm, 2DLm)에 제1 및 제2 데이터전압을 공급하기 위한 데이터 구동부(210)와, 게이트라인들(G1 내지 Gn)에 게이트 전압을 공급하기 위한 게이트 구동부(220)와, 동기신호를 이용하여 데이터 구동부(210)와 게이트 구동부(220)를 제어하기 위한 타이밍 콘트롤러(200)를 구비한다.
- [0070] 액정표시패널(200)은 액정을 사이에 두고 서로 대향하는 박막 트랜지스터 어레이 기판 및 컬러필터 어레이 기판으로 이루어진다.
- [0071] 데이터 구동부(210)는 타이밍 콘트롤러(200)로부터의 제어신호(CS)에 응답하여 디지털 비디오 데이터(R,G,B)를 계조값에 대응하는 아날로그 감마전압(데이터신호)으로 변환하고, 이 아날로그 감마전압을 제1 및 제2 데이터라인들(1DL1, 2DL1, 1DL2, 2DL2, ..., 1DLm, 2DLm)에 공급한다.
- [0072] 게이트 구동부(220)는 타이밍 콘트롤러(200)로부터의 제어신호(CS)에 응답하여 게이트 전압을 게이트라인들(GL1 내지 GLn)에 순차적으로 공급하여 데이터신호가 공급되는 액정표시패널(230)의 수평라인을 선택한다.
- [0073] 타이밍 콘트롤러(200)는 수직/수평 동기신호(Vsync, Hsync) 및 클럭신호(DCLK)를 이용하여 게이트 구동부(220) 및 데이터 구동부(210)를 제어하기 위한 제어신호(CS)를 생성한다.
- [0074] 도 6는 도 5에서의 하나의 화소를 개략적으로 나타내는 회로도이다.
- [0075] 도 6을 참조하면, 각각의 화소는 제1 및 제2 데이터 라인((1DL, 2DL)들, 제1 및 제2 데이터 라인(1DL, 2DL)들과 교차되는 게이트라인(GL)들, 제1 데이터 라인(1DL)과 게이트라인(GL)의 교차영역에 형성된 제1 박막 트랜지스터(1TFT) 및 제1 액정셀(1C1c), 제2 데이터 라인(2DL)과 게이트라인(GL)의 교차영역에 형성된 제2 박막 트랜지스터(2TFT) 제2 액정셀(2C1c)을 구비한다.
- [0076] 제1 박막 트랜지스터(1TFT)는 게이트라인(GL)으로부터 공급되는 스캔신호(또는 "게이트 전압" 이라 한다.)에 응답하여 제1 데이터라인(1DL)들로부터 공급되는 정극성(또는 부극성) 데이터전압을 제1 액정셀(1C1c)로 공급하고, 제2 박막 트랜지스터(2TFT)는 게이트라인(GL)으로부터 공급되는 게이트 전압에 응답하여 제2 데이터라인(2DL)들로부터 공급되는 부극성(또는 정극성) 데이터전압을 제2 액정셀(2C1c)로 공급한다. 여기서, 제1 데이터 라인(1DL)에서 공급되는 데이터 전압과 제2 데이터 라인(2DL)에서 공급되는 데이터 전압은 크기는 동일하며 극성은 서로 반대이다. 이에 따라, 각각의 액정셀(1C1c, 2C1c)은 서로 독립적으로 구동될 수 있게 됨으로써 하나의 화소는 동일색을 구현하는 2개의 서브화소로 구분될 수 있게 된다.
- [0077] 이러한, 본 발명의 제1 실시예에 따른 액정표시장치의 구동 특성을 도 7을 참조하여 설명하면 다음과 같다.
- [0078] 도 7을 참조하면, 제1 및 제2 박막 트랜지스터(1TFT, 2TFT)의 게이트 전극에 게이트 전압( $V_g$ )이 공급되며 제1 박

막 트랜지스터(1TFT)의 소스전극에는 제1 데이터 전압(1Vd)이 공급되고, 제2 박막 트랜지스터(2TFT)의 소스전극에는 제2 데이터 전압(2Vd)이 공급된다. 여기서, 제1 데이터 전압(1Vd) 및 제2 데이터 전압(2Vd)은 공통전압(Vcom)과의 차전압의 크기는 동일하고 극성은 서로 반대이다. 한편, 제1 데이터 전압(1Vd)과 제2 데이터 전압(2Vd)이 서로 동일 극성으로 설정되는 경우라도 공통전압(Vcom)을 0V로 설정하게 되면 제1 데이터 전압(1Vd)과 제2 데이터 전압(2Vd)은 서로 극성이 반대이며, 다음 프레임에서는 제1 데이터 전압(1Vd) 및 제2 데이터 전압(2Vd)의 극성은 이전 프레임과 반대가 된다.

[0079] 제1 박막 트랜지스터(1TFT)의 게이트 전극에 제1 박막 트랜지스터(1TFT)의 문턱전압 이상의 게이트 하이 전압(Vgh)이 인가되면 소스전극과 드레인 전극 사이에 채널이 형성되면서 제1 데이터 전압(1Vd)이 제1 박막 트랜지스터(1TFT)의 소스전극과 드레인 전극을 경유하여 제1 액정셀(C1c)과 제1 스토리지 캐패시터(1Cst)에 충전된다.

[0080] 제2 박막 트랜지스터(2TFT)의 게이트 전극에 제2 박막 트랜지스터(2TFT)의 문턱전압 이상의 게이트 하이 전압(Vgh)이 인가되면 소스전극과 드레인 전극 사이에 채널이 형성되면서 제2 데이터 전압(2Vd)이 제2 박막 트랜지스터(2TFT)의 소스전극과 드레인 전극을 경유하여 제2 액정셀(C2c)과 제2 스토리지 캐패시터(2Cst)에 충전된다.

[0081] 상술한 회로 및 구성 특성을 가지는 각각의 화소는 서로 다른 극성을 가지면서 동일한 계조를 나타내는 제1 및 제2 액정셀(또는 서브화소)로 분리될 수 있게 된다. 그 결과, 피드 쓰로우 전압( $\Delta V_p$ )의 크기가 동일하지 않게 되더라도 하나의 화소 내에서 정극성 및 부극성 데이터가 동시에 구현되게 됨으로써 계조 표현을 위한 실효치 값은 일정하게 유지될 수 있게 된다. 그 결과, 매 프레임(Fn-1,Fn) 마다 피드 쓰로우 전압( $\Delta V_p$ )의 크기 및 공통전압의 위치의 크게 구애 받지 않고 동일한 휘도를 표현할 수 있게 됨으로써 플리커 문제를 해결할 수 있게 된다.

[0082] 이와 같이, 각 화소내에서 정극성(+)과 부극성(-) 데이터에 의한 구동이 모두 가능하게 됨에 따라 플리커 문제가 제거된 상태에서 사용자가 정극성(+) 데이터 전압과 부극성(-) 데이터 전압 사이에서 잔상을 최소화할 수 있는 공통전압 값을 실험 등에 의해 판단한다.

[0083] 즉, 매 프레임(Fn-1,Fn) 마다 공통전압의 위치와 관계없이 동일한 휘도를 표현함에 따라 플리커를 제거한 후 공통전압 값을 정극성 데이터 전압과 부극성 데이터 전압 사이에서 잔상이 최소화되는 최적의 값으로 설정하면 플리커 및 잔상을 최소화시킬 수 있게 된다.

[0084] 도 8 및 도 9는 도 6 및 도 7에 도시된 회로구성 및 구동이 가능한 FFS 타입(FRINGE FIELD SWITCH TYPE) 박막 트랜지스터 어레이 기관의 구조를 나타내는 평면도 및 단면도를 나타낸다.

[0085] 도 8 및 9에 도시된 FFS 타입 액정표시장치의 박막 트랜지스터 기관은 하부 기관(120) 위에 게이트 절연막(122)을 사이에 두고 게이트 라인(102)과 교차되는 제1 및 제2 데이터 라인(103,104)과, 제1 데이터 라인(103)과 게이트라인(GL)의 교차영역에 형성된 제1 박막 트랜지스터(1TFT), 제2 데이터 라인(104)과 게이트라인(102)의 교차영역에 형성된 제2 박막 트랜지스터(2TFT), 제1 및 제2 데이터 라인(103,104)와 게이트 라인(102)에 의해 정의되는 화소 영역에 프린지 필드를 형성하도록 게이트 절연막(122) 및 보호막(128)을 사이에 두고 형성된 공통 전극판(114) 및 제1 및 제2 화소 전극 슬릿(118,119)과, 공통 전극판(114)과 접속된 공통 라인(116)을 구비한다.

[0086] 공통 전극판(114)은 각 화소 영역에 형성되고, 그 공통 전극판(114) 위에 형성되어 접속된 공통 라인(116)을 통해 액정 구동을 위한 공통 전압(Vcom)(또는 기준전압)을 공급받는다. 이러한 공통 전극판(114)은 투명 도전층으로, 공통 라인(116)은 게이트 라인(102)과 함께 게이트 금속층으로 형성된다.

[0087] 제1 박막 트랜지스터(1TFT)는 게이트 라인(102)의 게이트 신호에 응답하여 제1 데이터 라인(103)의 화소 신호가 제1 화소 전극 슬릿(118)에 충전되어 유지되게 한다. 이를 위하여, 제1 박막 트랜지스터(1TFT)는 게이트 라인(102)과 접속된 제1 게이트 전극(106), 제1 데이터 라인(104)과 접속된 제1 소스 전극(108), 제1 화소 전극 슬릿(118)과 접속된 제1 드레인 전극(110), 제1 게이트 전극(106)과 게이트 절연막(122)을 사이에 두고 중첩되면서 제1 소스 전극(108) 및 제1 드레인 전극(110) 사이에 채널을 형성하는 제1 활성층(124), 제1 소스 전극(108) 및 제1 드레인 전극(110)과 제1 활성층(124)과의 오믹 접촉을 위한 제1 오믹 콘택층(126)을 포함하는 제1 반도체 패턴(130)을 구비한다.

[0088] 제1 화소 전극 슬릿(118)은 보호막(128)을 관통하는 제1 콘택홀(112)을 통해 제1 박막 트랜지스터(1TFT)의 제1

드레인 전극(110)과 접속되어 공통 전극판(114)과 중첩되게 형성된다.

- [0089] 제2 박막 트랜지스터(2TFT)는 게이트 라인(102)의 게이트 신호에 응답하여 제2 데이터 라인(104)의 화소 신호가 제2 화소 전극 슬릿(119)에 충전되어 유지되게 한다. 이를 위하여, 제2 박막 트랜지스터(2TFT)는 게이트 라인(102)과 접속된 제2 게이트 전극(107), 제2 데이터 라인(104)과 접속된 제2 소스 전극(109), 제2 화소 전극 슬릿(119)과 접속된 제2 드레인 전극(111), 제2 게이트 전극(106)과 게이트 절연막(122)을 사이에 두고 중첩되면서 제2 소스 전극(108) 및 제2 드레인 전극(111) 사이에 채널을 형성하는 제2 활성층(125), 제2 소스 전극(109) 및 제2 드레인 전극(111)과 제2 활성층(125)과의 오믹 접촉을 위한 제2 오믹 컨택층(127)을 포함하는 제2 반도체 패턴(131)을 구비한다.
- [0090] 제2 화소 전극 슬릿(119)은 보호막(128)을 관통하는 제2 컨택홀(113)을 통해 제2 박막 트랜지스터(2TFT)의 제2 드레인 전극(111)과 접속되어 공통 전극판(114)과 중첩되게 형성된다. 여기서, 제1 및 제2 화소 전극 슬릿(118, 119)은 데이터 라인들(103, 104)과 나란하게 형성된 손가락 형상의 다수의 핑거부들로 이루어진다.
- [0091] 이러한 구성을 가지는 본 발명에 따른 FFS 타입의 액정표시장치는 제1 화소 전극 슬릿(118)에서의 정극성(+) 전압(또는 부극성 전압)과 공통 전극판(114) 사이의 제1 프린지 필드를 형성하고, 제2 화소 전극 슬릿(119)에서의 부극성(-) 전압과 공통 전극판(114) 사이의 제2 프린지 필드를 형성하게 된다. 그 결과, 박막 트랜지스터 기관과 컬러 필터 기관 사이에서 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 됨과 아울러 하나의 화소 내에서 서로 다른 극성을 가지는 2가지의 프린지 필드가 형성될 수 있게 된다.
- [0092] 이에 따라, 매 프레임(Fn-1, Fn) 마다 피드 쓰로우 전압( $\Delta V_p$ )의 크기 및 공통전압의 위치의 크기에 구애 받지 않고 동일한 휘도를 표현할 수 있게 됨으로써 플리커 문제를 해결할 수 있게 된다. 이와 동시에, 각 화소내에서 정극성과 부극성 데이터에 의한 구동이 모두 가능하게 됨에 따라 플리커 문제가 제거된 상태에서 사용자가 정극성 데이터 전압과 부극성 데이터 전압의 중심에 해당되는 최적의 공통전압 값을 설정함으로써 잔상을 최소화할 수 있게 된다.
- [0093] 도 10은 본 발명의 제2 실시예에 따른 액정표시장치를 개략적으로 나타내는 블록도이고, 도 11은 도 10에서의 하나의 화소(P)를 개략적으로 나타내는 회로도이다.
- [0094] 도 10 및 11에 도시된 액정표시장치는 제1 실시예와 달리 하나의 화소(P)가 제1 및 제2 게이트 라인(1GL, 2GL)과 하나의 데이터 라인(DL)에 의해 정의된다. 이러한, 차이점을 제외하고는 본 발명의 제1 실시예의 구조와 동일하므로 제1 실시예와 동일한 구성에 대하여는 동일번호를 부여하고 중복되는 설명은 생략한다.
- [0095] 액정표시장치는  $m \times n$  개의 화소(P)들이 매트릭스 타입으로 배열되는 액정표시패널(230)과, 액정표시패널(230)의 제1 및 제2 게이트라인들(1GL1, 2GL1, 1GL2, 2GL2, ..., 1GLn, 2GLn)에 제1 및 제2 게이트전압을 공급하기 위한 게이트 구동부(220)와, 데이터라인들(DL1 내지 DLm)에 제1 및 제2 데이터 전압을 공급하기 위한 데이터 구동부(210)와, 동기신호를 이용하여 데이터 구동부(210)와 게이트 구동부(220)를 제어하기 위한 타이밍 콘트롤러(200)를 구비한다.
- [0096] 데이터 구동부(210)는 타이밍 콘트롤러(200)로부터의 제어신호(CS)에 응답하여 디지털 비디오 데이터(R, G, B)를 계조값에 대응하는 아날로그 감마전압(데이터신호)으로 변환하고, 이 아날로그 감마전압을 데이터라인들(DL1 내지 DLm)에 공급한다.
- [0097] 게이트 구동부(220)는 타이밍 콘트롤러(200)로부터의 제어신호(CS)에 응답하여 게이트 전압을 제1 및 제2 게이트라인들(1GL1, 2GL1, 1GL2, 2GL2, ..., 1GLn, 2GLn)에 순차적으로 공급하여 데이터신호가 공급되는 액정표시패널(230)의 수평라인을 선택한다.
- [0098] 도 11을 참조하면, 각각의 화소(P)는 제1 및 제2 게이트 라인(1GL, 2GL)들, 제1 및 제2 게이트 라인(1GL, 2GL)들과 교차되는 데이터 라인(DL)들, 제1 게이트 라인(1GL)과 데이터 라인(DL)의 교차영역에 형성된 제1 박막 트랜지스터(1TFT) 및 제1 액정셀(1C1c), 제2 게이트 라인(2GL)과 데이터라인(DL)의 교차영역에 형성된 제2 박막 트랜지스터(2TFT) 및 제2 액정셀(2C1c)을 구비한다.
- [0099] 제1 박막 트랜지스터(1TFT)는 제1 게이트라인(1GL)으로부터 공급되는 제1 게이트 전압에 응답하여 데이터라인(DL)들로부터 공급되는 정극성(또는 부극성)의 제1 데이터전압을 제1 액정셀(1C1c)로 공급하고, 제2 박막 트랜지스터(2TFT)는 제2 게이트라인(2GL)으로부터 공급되는 제2 게이트 전압에 응답하여 데이터라인(DL)들로부터 공급되는 부극성(또는 정극성)의 제2 데이터전압을 제2 액정셀(2C1c)로 공급한다.
- [0100] 여기서, 데이터 라인(DL)에서 공급되며 제1 게이트 전압에 동기되는 제1 데이터 전압과 제2 게이트 전압에 동기

되는 제2 데이터 전압은 크기는 동일하며 극성은 서로 반대이다. 이에 따라, 본 발명의 제2 실시예에서도 하나의 화소가 서로 독립적으로 구동될 수 있는 2개의 액정셀(1C1c, 2C1c)로 이루어지게 됨으로서 하나의 화소는 동일색을 구현하는 2개의 서브화소로 구분될 수 있게 된다.

- [0101] 이러한, 본 발명의 제2 실시예에 따른 액정표시장치의 구동 특성을 도 10을 참조하여 설명하면 다음과 같다.
- [0102] 도 10을 참조하면, 제1 박막 트랜지스터(1TFT)의 게이트 전극에 제1 게이트 전압(1Vg)이 공급되며 제1 박막 트랜지스터(1TFT)의 소스전극에는 정극성(또는 부극성)의 제1 데이터 전압(1Vd)이 공급되고, 제2 박막 트랜지스터(2TFT)의 게이트 전극에 제2 게이트 전압(2Vg)이 공급되며 제2 박막 트랜지스터(2TFT)의 소스전극에는 부극성(또는 정극성)의 제2 데이터 전압(2Vd)이 공급된다. 즉, 하나의 화소 내의 제1 및 제2 박막 트랜지스터(1TFT, 2TFT)는 제1 및 제2 게이트 전압(1Vg, 2Vg)에 의해 순차적으로 턴-온되고 하나의 데이터 라인(DL)으로부터의 순차적으로 공급되며 서로 극성이 다른 제1 데이터 전압(1Vd) 및 제2 데이터 전압(2Vd)을 제1 액정셀(1C1c) 및 제2 액정셀(2C1c)에 순차적으로 공급하게 된다.
- [0103] 이와 같이, 한 프레임 동안 하나의 화소 내에서 두번의 게이트 전압을 공급을 위해 게이트 전압을 공급하는 게이트 구동부(220)와 데이터 전압을 공급하는 데이터 구동부(210)는 2배속으로 구동된다. 예를 들어, 본원발명의 제1 실시예에서는 액정표시장치가 60Hz 구동이라면 제2 실시예에서는 120Hz로 구동하게 된다.
- [0104] 여기서, 제1 데이터 전압(1Vd) 및 제2 데이터 전압(2Vd)은 공통전압(Vcom)과의 차전압의 크기는 동일하고 극성은 서로 반대이다. 제1 데이터 전압(1Vd)과 제2 데이터 전압(1Vd)이 서로 동일 극성으로 설정되는 경우라도 공통전압(Vcom)을 0V로 설정하게 되면 제1 데이터 전압(1Vd)과 제2 데이터 전압(2Vd)은 서로 극성이 반대이며, 다음 프레임에서는 제1 데이터 전압(1Vd)과 제2 데이터 전압(2Vd)은 극성은 이전 프레임과 반대가 된다.
- [0105] 이러한, 구성을 가지는 본원발명의 제2 실시예에 따른 액정표시장치 또한 각각의 화소는 서로 다른 극성을 가지면서 동일한 계조를 나타내는 제1 및 제2 액정셀(또는 서브화소)로 분리될 수 있게 됨으로써 본원발명의 제1 실시예와 동일한 작용 및 효과가 도출될 수 있게 된다. 즉, 피드 쓰로우 전압( $\Delta V_p$ )의 크기가 동일하지 않게 되더라도 하나의 화소 내에서 정극성 및 부극성 데이터가 동시에 구현되게 됨으로써 계조 표현을 위한 실효치 값은 일정하게 유지될 수 있게 된다. 따라서, 매 프레임(Fn-1, Fn) 마다 피드 쓰로우 전압( $\Delta V_p$ )의 크기 및 공통전압의 위치의 크게 구애 받지 않고 동일한 휘도를 표현할 수 있게 되고 공통전압을 최적화시킴으로써 플리커 및 잔상을 최소화시킬 수 있게 된다.
- [0106] 본 발명의 제2 실시예에 따른 회로도 구현하기 위한 박막 트랜지스터 어레이 기관의 구조는 도 8 및 9에서의 구조와 비교하여 하나의 화소(P)가 제1 및 제2 게이트 라인(1GL, 2GL)과 하나의 데이터 라인(DL)에 의해 정의된다. 즉, 제1 및 제2 박막 트랜지스터(1TFT, 2TFT)의 소스전극이 각각 데이터 라인(DL)에 접속되고, 제1 박막 트랜지스터(1TFT)의 게이트 전극은 제1 게이트 라인(1GL)과 접속되고, 제2 박막 트랜지스터(2TFT)의 게이트 전극은 제2 게이트 라인(2GL)과 접속되도록 형성된다. 이러한 구조적인 차이를 제외하고는 본 발명의 제1 실시예의 구조와 동일하므로 상세한 설명은 생략한다.
- [0107] 한편, 본 발명에서의 제1 및 제2 화소 전극 슬릿(118, 119)에는 서로 다른 극성의 데이터 전압이 공급됨으로써 제1 화소 전극 슬릿(118)과 제2 화소 전극 슬릿(119) 사이에 전위차가 발생된다. 그 결과, 도 13에 도시된 실험 데이터와 같이 액정의 구동전압을 6V에서 3V로 감소시킬 수 있게 되어 소비전력을 절감시킬 수 도 있다.
- [0108] 상술한 바와 같이 하나의 화소를 서로 다른 극성을 가지면서 동일한 계조를 나타내는 제1 및 제2 서브화소로 분리하여 구동시키는 방식은 프린지 필드 스위칭 타입의 액정표시장치 뿐만 아니라, 화소 전극과 공통 전극 간의 수평 전계에 의해 인 플레인 스위치(IPS) 모드, 수직 전계에 의해 TN(Twisted Nemastic) 모드의 액정표시장치에도 이용될 수 있다.
- [0109] 여기서, IPS 모드는 도 9 및 도 10에 도시된 공통전극판 및 공통전극라인 대신에 제1 및 제2 화소 전극 슬릿과 나란하게 형성되어 수평전계를 이루는 평거 형태의 공통전극이 형성되게 된다.

**발명의 효과**

- [0110] 상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그 구동방법은 R(적색), G(녹색), B(청색) 중 어느 하나의 색을 구현하는 화소를 서로 다른 극성을 가지면서 동일한 계조를 나타내는 제1 및 제2 서브화소로 분리하여 구동시킴으로써 계조 표현을 위한 실효치 값은 극성에 관계없이 일정하게 유지될 수 있게 된다. 그 결과, 매 프레임

마다 피드 쓰로우 전압( $\Delta V_p$ )의 크기 및 공통전압 값에 크게 구애 받지 않고 동일한 휘도를 표현할 수 있게 됨으로써 플리커 문제를 해결할 수 있게 된다.

- [0111] 이와 동시에, 각 화소내에서 정극성과 부극성 데이터에 의한 구동이 모두 가능하게 됨에 따라 플리커 문제가 제거된 상태에서 공통전압 값을 정극성 데이터 전압과 부극성 데이터 전압 사이에서 잔상이 최소화되는 최적의 값으로 설정함으로써 플리커 및 잔상을 최소화시킬 수 있게 된다.
- [0112] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**도면의 간단한 설명**

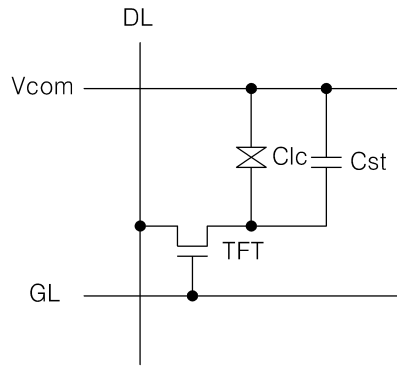
- [0001] 도 1은 종래의 FFS 타입 액정표시장치에서의 하나의 화소를 개략적으로 나타내는 회로도.
- [0002] 도 2는 종래의 FFS 타입 액정표시장치의 박막 트랜지스터 어레이 기판을 나타내는 단면도.
- [0003] 도 3은 도트 인버전 방식에서 구동되는 액정표시패널의 데이터 극성을 개략적으로 나타내는 도면이다.
- [0004] 도 4은 도트 인버전 방식의 액정표시패널의 구동 특성을 나타낸 파형도.
- [0005] 도 5는 본 발명의 제1 실시예에 따른 액정표시장치를 개략적으로 나타내는 블럭도.
- [0006] 도 6은 도 5에서의 하나의 화소를 구체적으로 나타내는 회로도.
- [0007] 도 7은 본 발명의 제1 실시예에 따른 액정표시장치의 구동특성을 나타내는 파형도.
- [0008] 도 8은 본 발명에 따른 FFS 타입 액정표시장치의 박막 트랜지스터 어레이 기판을 나타내는 단면도.
- [0009] 도 9는 도 8의 I-I'선을 절취하여 도시한 단면도.
- [0010] 도 10은 본 발명의 제2 실시예에 따른 액정표시장치를 개략적으로 나타내는 블럭도.
- [0011] 도 11은 도 10에서의 하나의 화소를 구체적으로 나타내는 회로도.
- [0012] 도 12는 본 발명의 제2 실시예에 따른 액정표시장치의 구동특성을 나타내는 파형도.
- [0013] 도 13은 본발명에 따른 액정표시장치의 액정구동 전압의 감소를 나타내는 실험 데이터.

< 도면의 주요 부분에 대한 부호의 설명 >

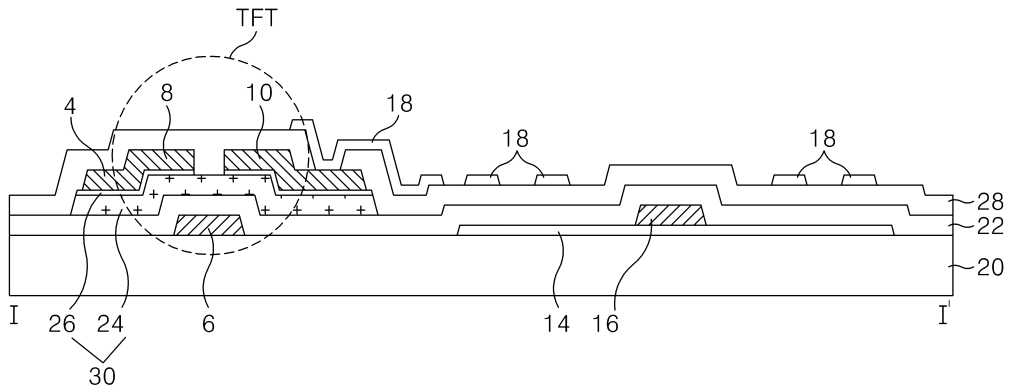
- |                            |                      |
|----------------------------|----------------------|
| [0015] 102 : 게이트 라인        | 103,104 : 데이터 라인     |
| [0016] 1TFT : 제1 박막 트랜지스터  | 2TFT : 제2 박막 트랜지스터   |
| [0017] 8, 108,109 : 소스 전극  | 10, 110,111 : 드레인 전극 |
| [0018] 12, 112,113 : 컨택홀   | 14, 114 : 공통 전극판     |
| [0019] 16, 116 : 공통 라인     | 18, 118 : 화소 전극      |
| [0020] 20, 120 : 기판        | 30, 130 : 반도체 패턴     |
| [0021] 22, 122 : 게이트 절연막   | 24, 124,125 : 활성층    |
| [0022] 26, 126,127 : 오믹접촉층 | 28, 128 : 보호막        |
| [0023] 200 : 타이밍 콘트롤러      |                      |

도면

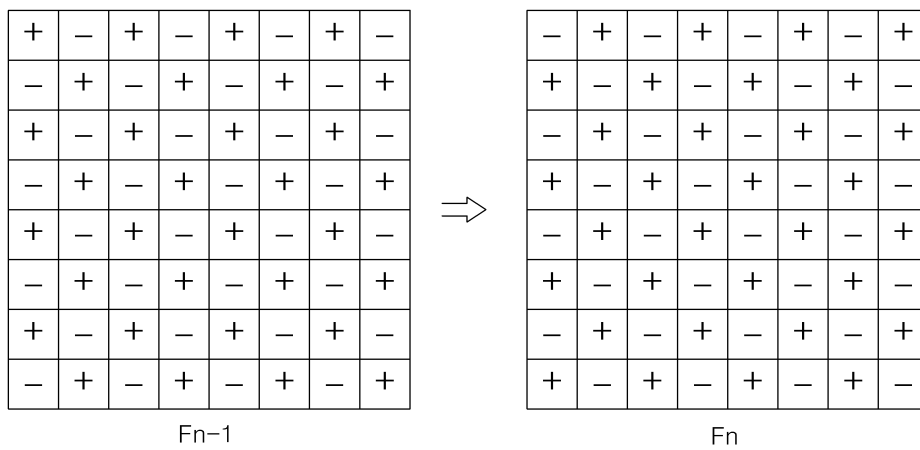
도면1



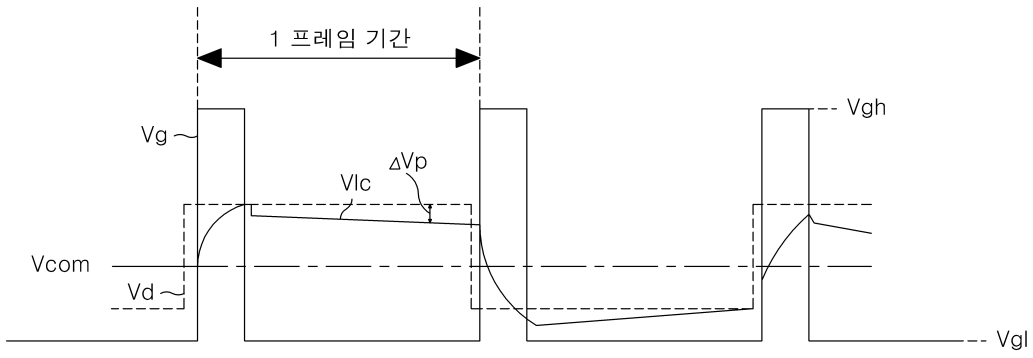
도면2



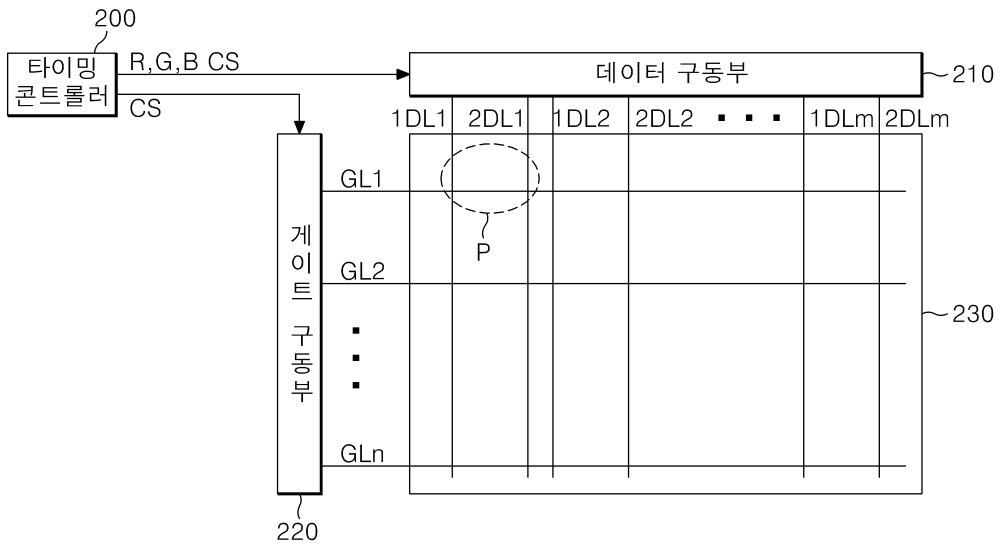
도면3



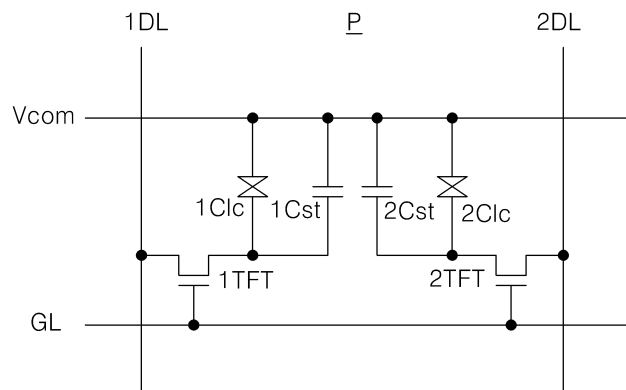
도면4



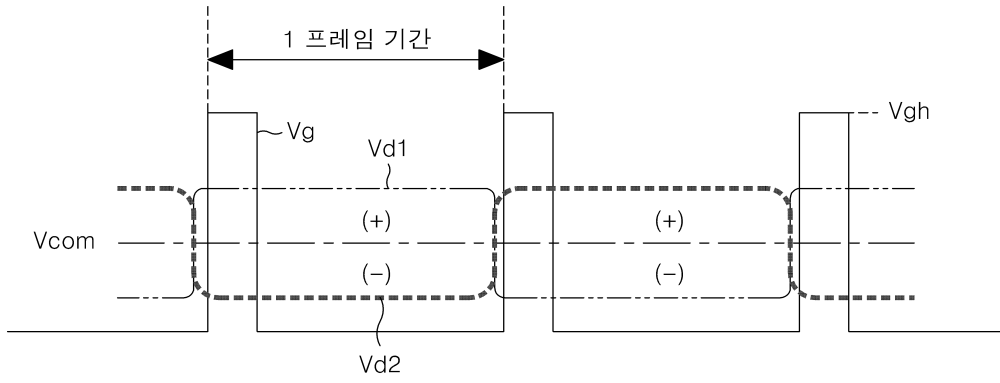
도면5



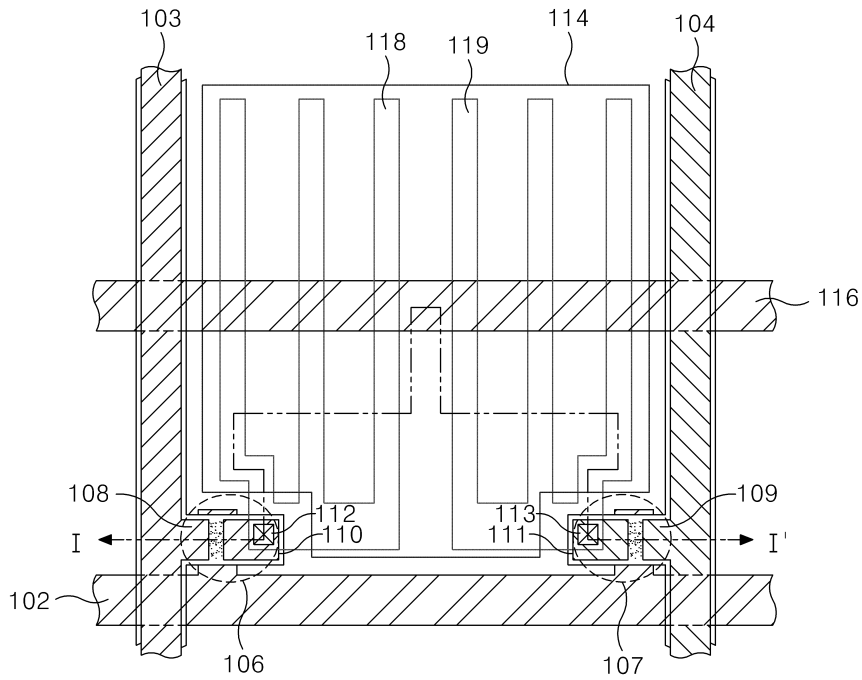
도면6



도면7

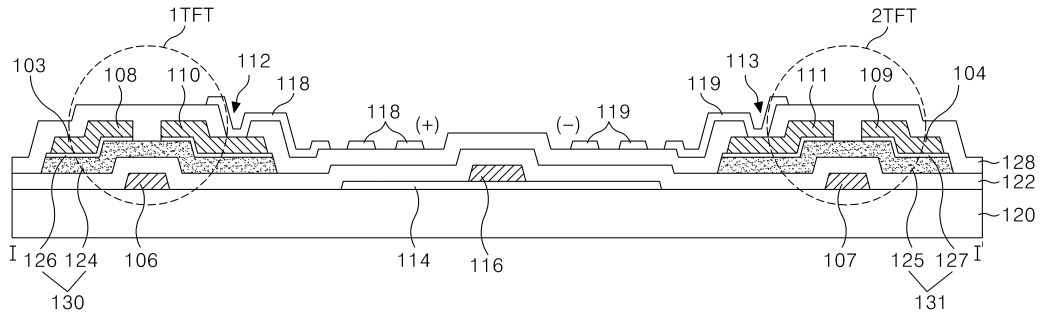


도면8

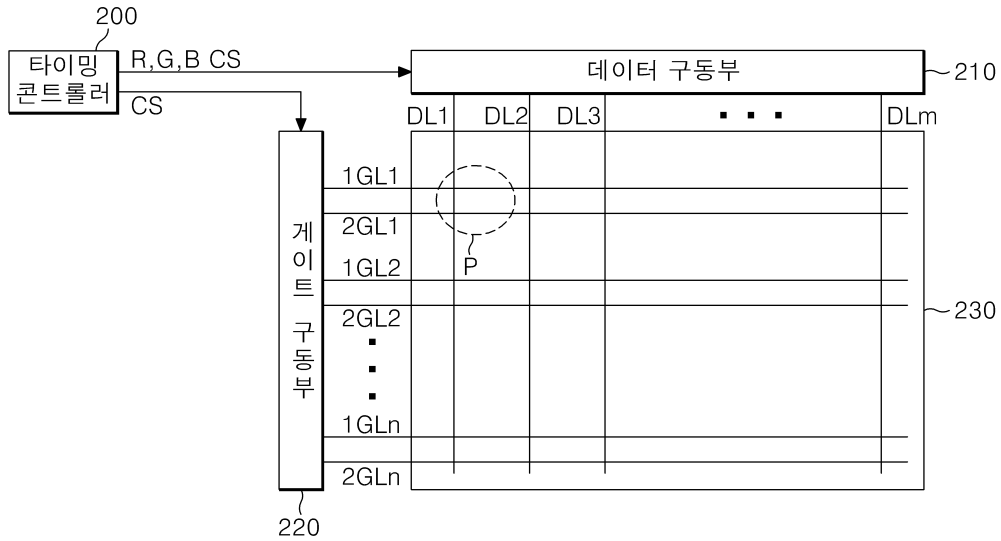




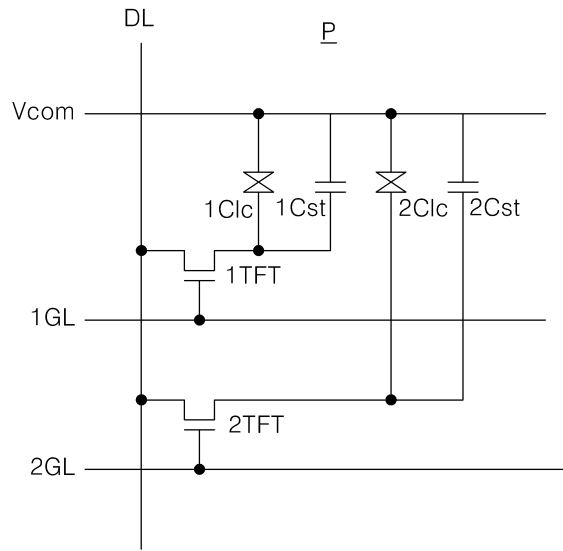
도면9



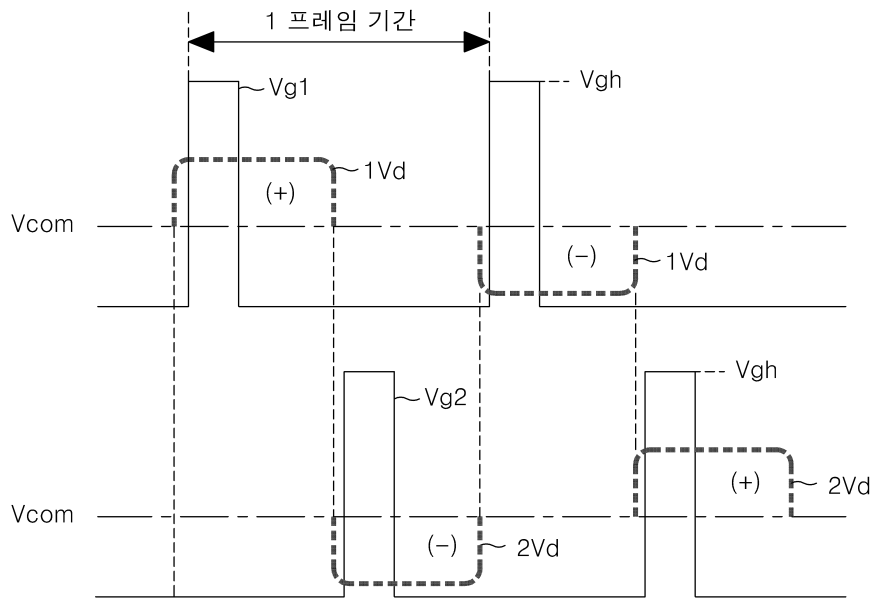
도면10



도면11



도면12



도면13

