

# 公告本

申請日期	87. 2. 11
案 號	87101868
類 別	H-16-1/02

A4  
C4

445511

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	於半導體裝置中用以使元件尺寸最佳化之方法
	英 文	"METHOD FOR OPTIMIZING ELEMENT SIZES IN A SEMICONDUCTOR DEVICE"
二、發明人 創作	姓 名	1.沙堤亞莫詩 普利拉                      2.帝曼詩 J. 艾德華 3.喬瑟夫 諾頓                                4.亞喜吉 德哈喬胡如 5.大衛 布勞
	國 籍	1.4.均印度 2.3.5.均美國
三、申請人	住、居所	1.美國德州奧斯汀市格雷史東路3500號 2.美國德州奧斯汀市亞它羅馬路4717號 3.美國德州奧斯汀市金街3110A號 4.美國德州奧斯汀市喜如巨洞路6519號 5.美國德州奧斯汀市卡米諾蘇可路5911號
	姓 名 (名稱)	美商摩托羅拉公司
代 表 人 姓 名	國 籍	美國
	住、居所 (事務所)	美國伊利諾州史堪伯市東阿崗崑路1303號 摩托羅拉中心

裝

訂

線

經濟部中央標準局員工消費合作社印製

445511

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: 有 無主張優先權

美國 1997年3月3日 08/805,862 有 無主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明(1)

## 先前申請案參考

此一申請案已於1997年3月3日在美國以專利申請案號08/805,862申請。

## 相關申請案參考

「一積體電路之邏輯閘尺寸最佳化製程，藉此於使電極面積最佳化之同時改善電路速度」，由大衛T.布拉吾(David T. Blaauw)等人所發明，其專利號碼為5,619,418。

## 發明範圍

本發明係關於積體電路之設計，更特定言之係關於對某些設計標準加以最佳化後之積體電路的設計及製造。

## 發明背景

對所有電子元件持續且漸增之需求同時，亦要求這些元件改善品質及縮短製造時間。一般言之，所有電子元件將包括至少一個將數百萬個電晶體及連接整合於一半導體材料之小基板上之「積體電路(integrated circuit，簡稱為IC)」或「晶片」。積體電路及其所控制之產品的小型化一直都是市場之一要點，且為製造此類產品之驅動力。

於設計積體電路時，有幾個關鍵標準必須與彼此最佳化以創造一可於特定成本及其它設計限制內提供最適整體結果之積體電路之設計及晶片上之佈線。此類標準包括晶片之尺寸、晶片之能量消耗及於晶片內完成不同功能之操作速度。此類最佳化之分析一般係於一利用不同分析及設計程式之工作站或其它電腦系統上進行，進而比較所設計之積體電路內將完成之每個特定應用之不同設計標準的相對

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(2)

重要性。

這些設計標準之最重要標準其中之一為特定設計中，一數位信號於積體電路上一或多條特定路徑內行進，以可符合性能要求地於最短時間內到達該電路之特定關鍵點或節點之時間延遲。理想中，一積體電路之最佳設計係可使一信號以最少之時間通過特定關鍵點間之預定佈線，其中此佈線或積體電路將消耗最小之能量且需要最小之半導體面積將之完成。於大多數之情況中，這些標準會彼此衝突，因此不將一個的率降低至某一程度，即無法改善另一個。

例如，對一提案之積體電路設計的特定電晶體的尺寸化而言，應注意雖然於此設計中電晶體面積之增加通常會使信號傳送時之時間延遲減少，但亦會使晶片之尺寸及能量增大，因此限制了此晶片於某些產品範圍之應用性，以及降低此晶片之獲利性。此外，一晶片尺寸之減少一般而言將可降低其能量消耗、產生之熱量及晶片信號之干擾。上述及其它每個設計限制之優先性及一特定應用之最佳解決方式將與此積體電路將被使用於何應用上有關。大多數之情況下，最佳之結果係經由妥協所獲得，係經特別參考並考慮設計此積體電路之特定應用而加以最佳化。

爲了決定最佳化之階段並評估任何特定設計之有效性，於工業上已採用某些分析。一般此類評估技術之一係時間分析，係用以估計一信號經上述之數位電路後之時間延遲。過去，電路設計者已曾使用許多此類時序方式以將一新積體電路設計之標準值之新組合之效率，或「強度」或

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

### 五、發明說明(3)

尺寸最佳化。過去某些人所使用之一此類方式係首先對一電路進行分析，然後定義出一「標準路徑」，之後只分析於此標準路徑上可能使尺寸最佳化之零件或元件。雖然此一方式通常係令人滿意的，但是仍需要一於一積體電路設計內將元件之尺寸最佳化更易了解之解決方式的改良方法。

除了將所設計積體電路之信號轉移速度及矽面積最佳化之外，另一持續性需求係將提供最佳化之接點資料之設計流程本身最佳化，以使所需電路之接點資料及電路最佳化可於晶片設計流程中即可更快速且更有效地正確獲得。此一要求亦可藉由於本文以下所揭示之方式及方法之完成而達成。

#### 圖形簡述

當下列較佳具體實施例之詳細描述與下列附圖共同參考時，將可對本發明更加了解，其中：

圖1係一有助於解釋將元件適當尺寸化之鬆弛為主方法的實例電路；

圖2係一鬆弛為主之元件適當尺寸化方法的流程圖；

圖3係根據本發明電路之元件的差異值及一臨界值對最佳化路徑數目之代表圖；

圖4係一可於其內完成及實施各種揭示方法之系統的方塊圖。

圖5係舉例說明使用圖4中所揭示之最佳化元件佈線工具之積體電路製造之方塊圖。

## 五、發明說明(4)

## 較佳具體實施例詳述

本發明基於所需及實際延遲時間計算一電路內每個節點之鬆弛時間。計算此電路內每個元件之靈敏性及一性能係數。根據所計算之性能係數可決定一差異。當此差異小於預定之臨界值時，具最小絕對圖或優點之元件係已最佳化者。

本發明之整體鬆弛為主積體電路設計最佳化系統係廣泛包括使用於電路節點之鬆弛時間決定以改變此電路設計中元件之一個或多個特性，以符合使用者之需求及製造限制。一電路元件之「強度」或「性能係數」特性，例如，係指一該元件之有利或希望特性之累積性一般條件。於下列實例中，一元件之尺寸係強度特性之特定參數，係依照鬆弛為主方法所改變，亦即增加。

由於並未限制於電路內自特定路徑選取元件，因此以鬆弛為主之最佳化可較既存方法更能改進電路性能。相反地，係於尺寸增加進行此鬆弛為主元件適當尺寸化方法之每次反覆漸近時，均檢視電路內所有之元件如同其為候選項目。其優點為可選擇到一非於特定路線上，但於將設計移至所需解決方式時具有高效率之元件。其第二個優點為，一元件之性能係數並非只以其特定路徑之衝擊為主。特定路徑只包含一個輸入節點及一個輸出節點。於鬆弛方法中，元件之性能係數係基於其對此元件之所有輸入及輸出之鬆弛之衝擊。可因此將對其周遭所有節點具有正面影響之元件與對一或少數幾個節點有正面衝擊，但對其它節

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(5)

點有負面衝擊之元件區別出來。

於本文所揭示之鬆弛為主之IC元件適當尺寸化方法中，電路輸出所需之時間係經由電路傳播，可因此決定電路內每個節點之最早所需時間。亦量測電路中每個節點信號最晚抵達之時間。每個節點之最晚抵達及最早需要時間之差即為此節點之鬆弛，亦即於此實例中，電路內一節點至另一節點所需時間減去抵達時間即等於鬆弛。

當電路內每個節點具有一較臨界值大之鬆弛時，此電路一般即被認為係符合使用者規範之時間限制，且此鬆弛為主之方法即為完成。與鬆弛相較，此臨界值係用以允許使用者補償或計算時序分析內之不準確度，或補償製造程序之差異。

於積體電路之時序分析中，與不同切換設想情況有關之變化的及累積的時間延遲之精度及準確度係最重要的。對包括數百萬個電晶體之積體電路而言，傳播延遲模式內即使是很小之不準確亦可能造成電路性能估算相當大之錯誤，尤其是考慮此種不準確之累積效應。因此，在電路設計程序中，電路性能最佳化工具或程式對所設計數位電路及開之所有輸出節點上之傳導延遲及輸出變化時間可傳送有效且正確之估計值係必要的。

將設計最佳化用之電子電路及開模式化之一種方法係包含電晶體網路時序模擬，其中電晶體之特性係由多種方法所趨近，且藉此改善一完成電腦輔助設計(computer aided design，簡稱為CAD)程式以反覆漸近地達到一依顧客規

## 五、發明說明(6)

格最佳化之最後設計檔案或接點資料。

一般言之，應注意設計用以使元件尺寸適當化之積體電路係包含多個元件，包括電晶體及邏輯閘。每個此類電晶體或閘具有一與其相關之本質信號傳導延遲時間，且該延遲典型係量得為毫微秒或微微秒。積體電路內之時間限制一般係界定為毫微秒，且代表的是一積體電路之兩不同點間信號之最大允許傳導延遲時間。必須符合此種時間限制，以使此積體電路符合一關於信號處理必須發生之速度之整體規格，以於市場上提供一具競爭性之產品，或可與較大系統內之其它積體電路相容。

一積體電路之速度一般係與其尺寸成正比。例如，一電晶體之強度係與其閘之寬度有關。於積體電路之設計中，係選定一起始設計，且於維持其元件數目相同之同時，修正其尺寸至最適尺寸，以符合顧客或使用者之限制，而仍具有最大之晶片尺寸。

於積體電路元件尺寸適當化之先前技藝方法中，首先分析一晶片設計以分別出此電路之特定路徑。一積體電路之特定路徑包括當尺寸增加時會對整個電路速度有直接改善貢獻之元件。於所有之積體電路中，會有一些不是位於所謂的特定路徑上之元件，此乃因當非特定路線元件之尺寸增加時，雖然元件之傳導延遲會減少，但由於其下游關於任何狀況都必須稍候才會產生信號，因此並不會對此積體電路產生整體速度之衝擊。特定路徑指的是產生較遲發生之信號，因此對晶片之整個速度較重要之元件的路徑。



## 五、發明說明(7)

為求較明顯舉例說明一元件尺寸決定之整個程序，請參考圖1。於圖1中，係舉例一積體電路之實例部分，其中信號係由閘201及203接收，之後提供輸出信號至其它閘205及207。一變壓器電路209亦收到一輸入信號，並施加輸出信號至閘207及另一個變壓器211。此電路所示之每個閘均包括一本質信號傳導延遲時間。例如，閘209具有一3毫微秒(nanosecond，簡稱為ns)之延遲時間，係由「D3」代號所表示。相同地，閘203及207與此相關分別具有2ns及5ns之延遲。此外，變壓器209及211分別具有與這些元件相關3ns及2ns之延遲。

於此舉例說明中，係計算此晶片內所有元件之輸出的「最糟糕情形」下的抵達時間。最糟糕情形之抵達時間係一信號可抵達電路內特定節點之最晚時間。於圖1之實例中，AND閘203之低輸入的抵達時間「A」為6ns。同樣地，變壓器209具有5毫微秒之信號抵達時間，且於承受變壓器209之本質3毫微秒延遲之後，使得變壓器209之輸出節點顯露出8毫微秒之抵達時間。所列之時間係任意取且只為舉例用，係選定用以顯示與實例積體電路部份相關之相對抵達及延遲時間。

亦如圖1所示，同一節點上之相關「所需」或使用者限制時間「R」必須相符，以符合整體系統設計之要求。例如AND閘203具有5毫微秒之所需時間「R」。相同地，變壓器209具有3毫微秒之輸入R時間，以及6毫微秒之輸出時間(在加上3毫微秒之元件延遲後)。閘207具有12ns

## 五、發明說明(8)

之輸出R時間，且變壓器211具有8ns之輸出R。

根據整體鬆弛為主元件尺寸適當化方法，決定每個節點之鬆弛。如本文先前所提，鬆弛時間係定義為「所需」之時間減去一信號抵達一適當節點之「抵達」或確實時間。「所需」時間係一信號可抵達一節點，且仍允許此電路符合特定使用者時間限制之最遲時間。為完成本發明之方法時，係計算所有節點之最糟情形所需時間。對每個節點而言，此所需時間係取自其最早之輸出，然後藉減去進行元件之本質延遲以計算得到進行之「所需」時間。於計算鬆弛時，以開203為參考實例，若信號抵達為6毫微秒，較5毫微秒之「所需」R時間晚了1毫微秒，則此節點具有「-1」毫微秒之「鬆弛」時間。變壓器209具有5ns之抵達時間A，及3ns之所需時間R，因此具有「-2」ns之鬆弛時間。

如圖2所舉例說明，整體鬆弛為主元件尺寸適當化方法包括一於步驟300進行之時序分析功能。此時序分析功能係對一於電路內每個節點出現之傳導信號計算實際到達及所需抵達之時間。此一步驟係關於藉計算電路內所有節點，或考慮下之電路部份，之實際信號到達時間分析電路內之時序。此外，亦計算或提供每個節點內之所需信號到達時間。通常係提供電路之輸出節點的所需信號到達時間，作為電路規格之一部份。

接下來，步驟302係關於電路內每個節點之鬆弛的計算或量取，亦即所需時間減去到達時間。然後，於步驟304

## 五、發明說明(9)

計算當改變元件特定特性時，每個元件之鬆弛時間之靈敏性或影響。於本實例中，其特性係元件之尺寸，而其改變係指元件尺寸之增加。

於步驟306中，係計算已最佳化之電路內每個元件之性能係數。一性能係數係一個別元件對一設計之整體最佳化可能會產生衝擊之指標。一元件之性能係數係基於每個元件對所有節點之鬆弛時間之一個或多個靈敏性數值、每個元件之一鬆弛為主比重係數，以及每個元件之路徑為主比重係數。性能係數代表的是一既定元件對設計之延遲之最佳化之總比重效應。路徑為主之比重係數係表示一元件會影響幾條特定路徑。鬆弛為主之比重係數係將其鬆弛會為一元件所影響之節點之相對嚴格性列入考慮。其靈敏性值代表的是一元件之面積沿特定路徑增加一特定數量所希望得到之延遲或鬆弛之改善。一元件之靈敏性值係由路徑為主之比重係數及鬆弛為主之比重係數兩相權衡。因討論之目的，定義出對整體設計具有較大衝擊之元件將具有較正之性能係數，適當最佳化後之元件將具有0性能係數，而負的性能係數係代表進一步之最佳化對整個電路會具有負面衝擊之元件。熟諳此技藝者將了解，亦可使用其它之性能係數，例如以上所述之所有情況均使用正值加以表示。

接下來，於步驟308，係計算每個元件之性能係數的差異。然後於步驟310，決定此差異是否大於特定之臨界差異。此一特定臨界差異可為自動計算得出，或為使用者所設定，且此值與差異曲線之特性有關。參考圖3，可看出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

## 五、發明說明(10)

性能係數之差異改變係基於最佳化反覆漸近之次數。特別是，在或接近圖3中圖之原點附近，其差異顯示係於A之大小。A之大小所表示的是電路內所有性能係數之所計算得出之差異。若發生另一條最佳化路徑時(由圖3中之X軸表示)，其差異將改變。

此一改變於整個性能係數之差異中一般而言係呈減少之趨勢，表示得到一更加最佳化之電路。此一改善之發生係因當每個個別元件係最佳化後，其性能係數將變小，表示將更不易最佳化，直到一元件達到已無法再進行最佳化之點。

應注意對所有性能係數 $i$ 而言，其差異係等於 $(m_i - M_m)^2$ 之總和。其中 $m_i$ 代表的是一元件 $i$ 之性能係數，而 $M_m$ 係指所有元件之平均值。本發明所認定之差異曲線之特性係陡峭區域403。本發明認定陡峭區域403之存在。區域403係最佳化程序中差異突然從大約A值掉落至大約B之點。此差異之掉落經實驗觀察係發生於3個最佳化反覆漸近，且通常係於一單一反覆漸近內。結果為，用以結束進一步之最佳化之實際差異臨界值402可為由使用者所指定表示其所欲最佳化之臨界值，或者可為認定為區域403之通過之差異曲線401之函數。

於特定具體實施例中，係計算差異臨界值402，以於最佳化之前較差異曲線401值大約大10倍之大小。例如，若差異曲線401之現值為A，則臨界值將為大約A除以10。因此差異臨界值曲線402將亦隨曲線401變化。當根據最

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

## 五、發明說明(11)

佳化計算所得之差異較臨界值為大時，即進行圖2之方法。若差異較差異臨界值小時，則流程進行至步驟312。

於步驟312中，係藉選擇具最小絕對性能係數之元件，並將其尺寸減少一預定值而將設計最佳化。例如，此預定值可定義為選定元件目前尺寸之百分比，或一根據最小電晶體尺寸之固定值，例如最小電晶體尺寸之一半。將具絕對最小性能係數之元件移除此一預定面積，以進行此電路進一步之最佳化。應注意，於其它具體實施例中可選擇電路中不只一個元件。一般言之，經選定之元件將具有最小之絕對性能係數，例如，可選擇元件總數之百分之十，其中所選定之百分之十通常係具有可於一定時間內將之最佳化之最小之性能係數。

於步驟312之最佳化之後，流程再度回到步驟300，之時序分析。此一流程將持續進行直到差異大於臨界差異為止。應注意的是，藉著將具最小絕對性能係數之元件最佳化，設計中其它元件之性能係數亦可為之改變，而且係劇烈改變，如圖3之區域403所舉例說明。曲線401係圖示代表修改一元件或少數元件對電路內所有性能係數之差異之影響。

如圖4中舉例說明，上面所討論之各種方法可於指定硬體15中，或於資料處理系統13內所進行之製程中，完成。舉例說明一可用以完成本文所揭示方法學之工作站之典型硬體結構，係可包括一中央處理器(central processing unit，簡稱為CPT)10，例如一傳統之微處理器，以及一

## 五、發明說明(12)

些經由系統傳輸線12與之互相連接之其它單元。圖4中所示之工作站包括隨機存取記憶體(random access memory, 簡稱為RAM) 14、唯讀記憶體(read only memory, 簡稱為ROM) 16, 以及輸入/輸出(input/output, 簡稱為I/O) 轉接器18, 以將週邊裝置, 例如磁碟單元20及磁帶單元40, 與傳輸線12連接。使用一使用者界面轉接器22以將鍵盤裝置24及一滑鼠與傳輸線12連接。亦可將其它使用者界面裝置, 例如一碰觸式螢幕裝置(未顯示), 經由使用者界面轉接器22與系統傳輸線12接合。

亦顯示出之通訊轉接器34, 以將工作站與一資料處理網路17連接。此外, 一顯示器轉接器36將系統傳輸線12與一顯示裝置38連接。可將本發明之方法完成並儲存於磁碟單元20、磁帶單元40、ROM 16及/或RAM 14, 或者甚至經由一與通訊轉接器34連接之網路而可為系統13所取得, 因此可藉CPT 10加以處理。由於完成本發明之裝置大部分係由熟諳此技藝者所周知之電子零件及電路所構成, 因此除上述認為應對本發明下列概念之了解為必須之部分外, 電路之詳細資料不再贅述, 以免對本發明之教示感到困惑, 或分心。

圖5係舉例說明使用圖4所揭示之最佳化元件佈線工具52之積體電路製造的流程圖。此最佳化元件佈線工具52係自一電路佈線50產生一最佳化之電路佈線圖54。由此最佳化電路佈線圖54可產生一物理設計檔案58。典型係將電路佈線50、最佳化電路佈線圖54及物理設計58以資

## 五、發明說明(13)

料檔案方式儲存於電腦可讀取之介質中，例如磁碟單元20。此物理設計檔案58包括積體電路內之積體電路尺寸、元件尺寸及元件位置。此物理設計檔案58標示出一積體電路晶片之二維基板面積內元件及連接點之位置。此物理設計檔案58較佳係包括執行此物理設計檔案58衍生而來之積體電路設計之功能的物理結構。此物理設計58係轉換60成與物理設計檔案58內各層相對應之一組曝光之光罩62。這些曝光光罩62係用以製造64積體電路66。

本文中所教示之方法係用以產生包含關於一積體電路及此積體電路內閘、電晶體及其類似物之擺放的資料之CAD(電腦輔助設計)資料檔案。然後利用這些檔案形成隨後將用以利用一些積體電路製造設施於多個晶圓上形成多個積體電路用的曝光光罩。其設計階段係教示於「CMOS VLSI設計之原則：一系統之透視(Principles of CMOS VLSI Design: A Systems Perspective)」，由N.H.E. 衛斯特(Weste)及K. 伊許瑞吉恩(Eshragian)於1985年艾迪森-衛斯理(Addison-Wesley)所述之VLSI系列中所述。製造技術係要述於「VLSI時代之矽製程，第一冊：製程技術(Silicon Process for the VLSI Era, Volume 1: Process Technology)」，由武夫(Wolf)及陶伯(Tauber)所著，1986年萊提斯出版社(Lattice Press)所出版。製程整合係由此系列之第二冊所教示：「VLSI時代之矽製程，第二冊：製程整合(Silicon Processing for the VLSI Era, Volume 2: Process Integration)」，由武夫所著，1990年萊提斯出版

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(14)

社所出版。

本發明之方法及完成裝置已參考本文所揭示之較佳具體實施例加以描述。雖然本文提出本發明之例舉具體實施例，且詳細描述，但熟諳此技藝者於加上一些變化後，仍可輕易完成給合本發明之教示之許多其它變化具體實施例。因此，本發明並未意欲受限於由本文所述之特定形式，相反地，係意欲涵蓋可合理地包括於本發明之精神及範疇內之此類可行方式、修正及相當方式。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂



四、中文發明摘要(發明之名稱：於半導體裝置中用以使元件尺寸最佳化之方法 )

基於所需及實際延遲之時間計算一電路(302)內每個節點之鬆弛時間。對電路內每個元件而言，計算一靈敏性(304)及一性能係數(306)。對所計算之性能係數(308)而言，可決定其差異性。當此差異較預定之臨界值(310、312)為小時，可將具有最小絕對性能係數之電路元件最佳化。

英文發明摘要(發明之名稱："METHOD FOR OPTIMIZING ELEMENT SIZES  
IN A SEMICONDUCTOR DEVICE")

A slack time, based on a required and actual delay time, is calculated for each node in a circuit (302). For each element in the circuit, a sensitivity (304) and a figure of merit (306) is calculated. A variance is determined for the calculated figure of merits (308). The circuit element having the smallest absolute figure or merit is optimized when the variance is smaller than a predefined threshold (310, 312).

## 六、申請專利範圍

1. 一種用以將一半導體裝置內之電路元件尺寸最佳化之方法，包含以下步驟：

決定一傳導輸入信號必須抵達多個電路元件之預定節點，以使多個電路元件可於特定輸出時間提供一輸出信號的所需時間，此所需時間係自一預定輸入起始時間開始量測；

決定自預定輸入起始時間開始量測之相對抵達時間，該相對抵達時間係傳導輸入信號確實抵達預定節點之代表時間；

計算於每個預定節點之鬆弛時間，該鬆弛時間係代表相對應抵達時間與所需時間間之時間差；

決定已改變電路元件尺寸之每個預定節點之鬆弛時間的效應；

計算多個電路元件之每個電路元件的性能係數以產生一組性能係數；

計算此組性能係數之差異；以及

選定多個電路元件中具有最小絕對性能係數之電路元件，當量得其差異係小於差異臨界值時，將此電路元件之尺寸縮小一預定之量。

2. 根據申請專利範圍第1項之方法，其中係重覆該類步驟直至該差異較該差異臨界值小為止。

3. 根據申請專利範圍第2項之方法，更包含下列步驟：

在將該電路元件之尺寸縮小後，再次計算該差異臨界值，其中該差異臨界值係基於該組性能係數之差異重新

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

計算。

4. 根據申請專利範圍第1項之方法，其中選擇一電路元件之步驟更包含將該電路元件之尺寸縮小一預定之量，其中該預定量係該電路元件之目前尺寸之一部分。
5. 一種用以將一半導體裝置內之電路元件尺寸最佳化之方法，包含以下步驟：

決定一傳導輸入信號必須抵達多個電路元件之預定節點，以使多個電路元件可於特定輸出時間提供一輸出信號的所需時間，此所需時間係自一預定輸入起始時間開始量測；

決定自預定輸入起始時間開始量測之相對抵達時間，該相對抵達時間係傳導輸入信號確實抵達預定節點之代表時間；

計算於每個預定節點之鬆弛時間，該鬆弛時間係代表相對應抵達時間與所需時間間之時間差；

決定已改變電路元件尺寸之每個預定節點之鬆弛時間的效應；

計算多個電路元件之每個電路元件的性能係數以產生一組性能係數；

選定多個電路元件中之一個元件，並將此電路元件之尺寸縮小一預定之量，以及

重覆以上步驟，直到該類電路元件尺寸已根據一預定之標準將之最佳化。

6. 根據申請專利範圍第5項之方法，其中選擇一電路元件

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

之該步驟另包含選定一具有最小絕對性能係數之元件。

7. 根據申請專利範圍第5項之方法，其中重覆以上步驟直到該類電路元件之尺寸已最佳化至一預定之標準之該步驟另包含以下步驟：

計算該組性能係數之一差異；以及

當量得該差異係較差異臨界值小時，重覆以上步驟。

8. 根據申請專利範圍第7項之方法，其中重覆該類步驟直至該差異係不小於該差異臨界值。

9. 一種用以將一半導體裝置內之電路元件尺寸最佳化之方法，包含以下步驟：

決定一傳導輸入信號必須抵達多個電路元件之預定節點，以使多個電路元件可於特定輸出時間提供一輸出信號的所需時間，此所需時間係自一預定輸入起始時間開始量測；

決定自預定輸入起始時間開始量測之相對抵達時間，該相對抵達時間係傳導輸入信號確實抵達預定節點之時間的代表；

計算於每個預定節點之鬆弛時間，該鬆弛時間係代表相對應抵達時間與所需時間間之時間差；

決定已改變電路元件尺寸之每個預定節點之鬆弛時間的效應；

計算多個電路元件之每個電路元件的性能係數以產生一組性能係數；

計算此組性能係數之差異；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

選定多個電路元件中具有最小絕對性能係數之電路元件，當量得其差異係小於差異臨界值時，將此電路元件之尺寸縮小一預定之量；及

重覆此上步驟直至該差異不再較該差異臨界值小為止，其中該差異臨界值係於每次重覆之後重新計算，且於乘上一預定係數之後，決定為前一次計算所得之差異。

10. 根據申請專利範圍第9項之方法，其中選擇一電路元件之步驟更包含將該電路元件之尺寸縮小一預定之量，其中該預定量係該電路元件之目前尺寸之一部分。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

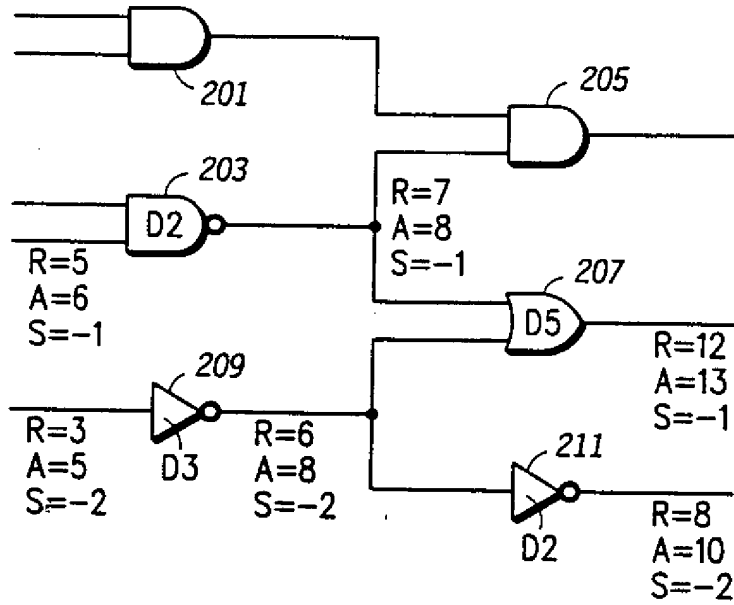
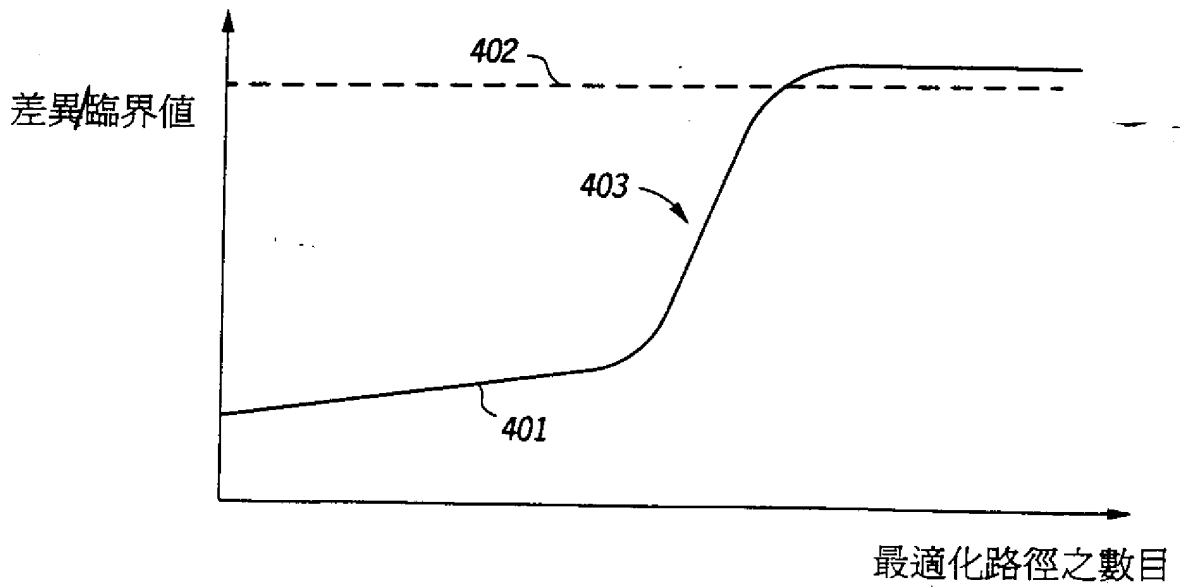


圖 1



400

圖 3

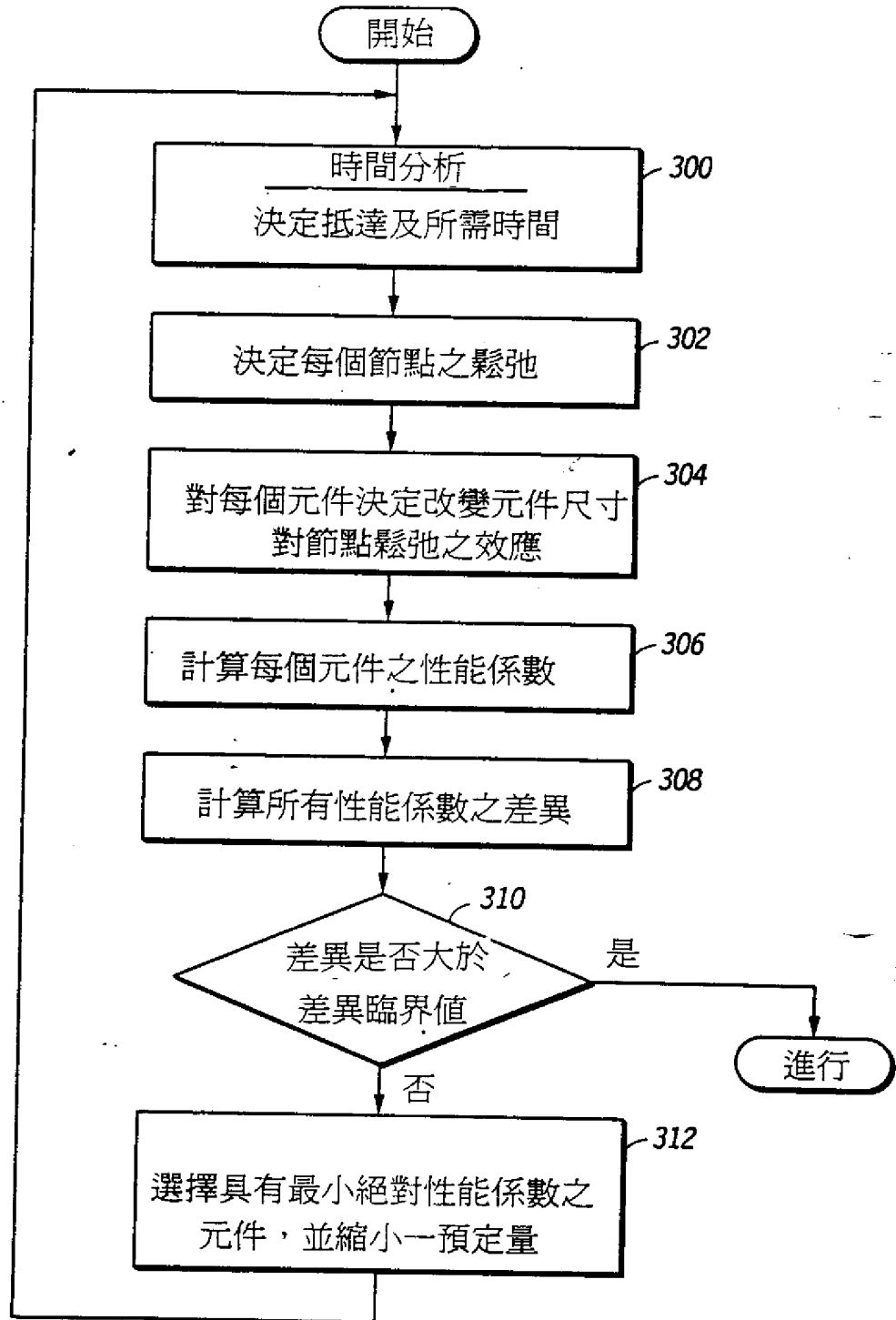


圖 2

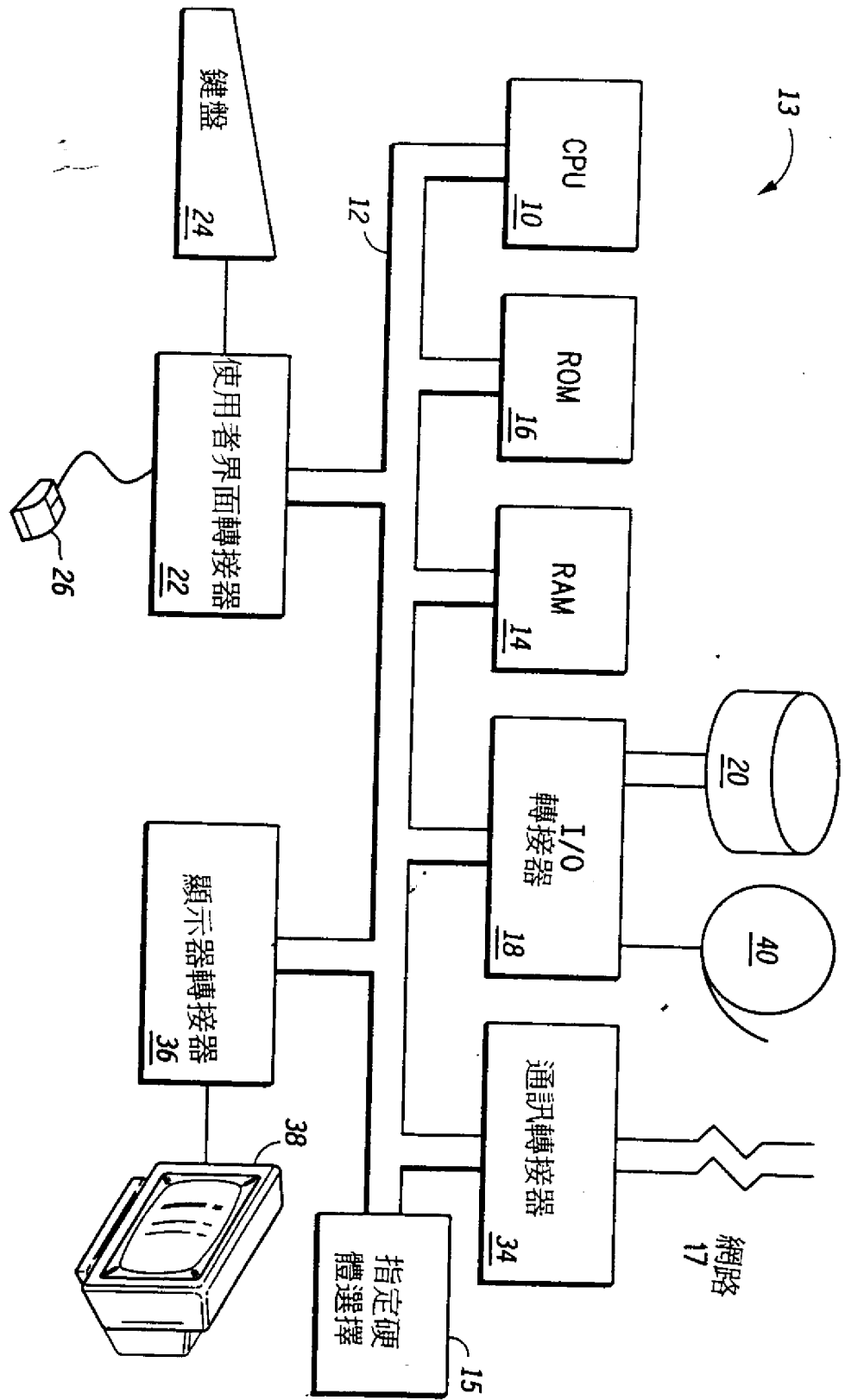


圖 4



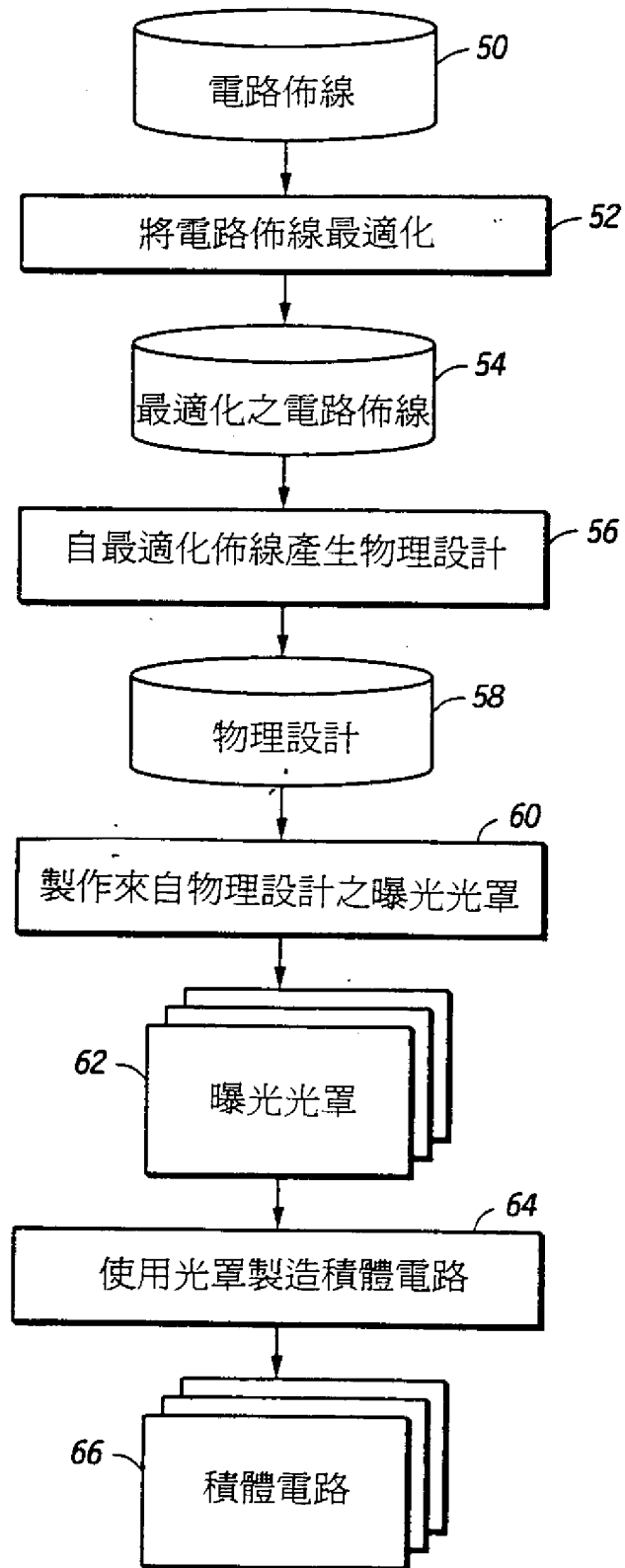


圖 5