

특허청구의 범위

청구항 1

반도체 기관 상에 게이트 패턴을 형성하되, 상기 게이트 패턴은 차례로 적층되는 게이트 전극 및 캐핑막 패턴을 구비하도록 형성되고, 상기 캐핑막 패턴의 하부 영역은 그 상부 영역의 폭보다 작은 폭을 갖도록 형성되고,

상기 게이트 패턴의 측벽을 덮는 스페이서를 형성하고,

상기 스페이서 및 상기 게이트 패턴을 식각 마스크로 사용하여 상기 게이트 패턴 양 옆의 상기 반도체 기관을 식각하여 리세스 영역을 형성하고,

상기 리세스 영역을 채우는 반도체층을 형성하는 것을 포함하는 모스 트랜지스터의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 캐핑막 패턴은 상기 하부 영역 및 상기 상부 영역에 각각 상응하는 하부 캐핑막 패턴 및 상부 캐핑막 패턴을 구비하도록 형성되되, 상기 하부 캐핑막 패턴은 상기 게이트 전극 및 상기 상부 캐핑막 패턴에 대하여 식각 선택비를 갖는 물질막으로 형성되는 모스 트랜지스터의 제조 방법.

청구항 3

제 2 항에 있어서,

상기 하부 캐핑막 패턴은 상기 게이트 전극 및 상기 상부 캐핑막 패턴보다 높은 산화성을 갖도록 형성되는 모스 트랜지스터의 제조 방법.

청구항 4

제 3 항에 있어서,

상기 게이트 전극, 상기 상부 캐핑막 패턴들은 각각 실리콘막 및 실리콘 질화막으로 형성되고, 상기 하부 캐핑막 패턴들은 저마늄막 또는 실리콘 저마늄막으로 형성되는 모스 트랜지스터의 제조 방법.

청구항 5

제 2 항에 있어서, 상기 게이트 패턴을 형성하는 것은

상기 반도체 기관 상에 차례로 게이트 전극막, 하부 캐핑막 및 상부 캐핑막을 적층하고,

상기 상부 및 하부 캐핑막들을 차례로 패터닝하여 상기 상부 캐핑막 패턴 및 예비 하부 캐핑막 패턴을 형성하고,

상기 예비 하부 캐핑막 패턴의 측벽에 대하여 식각하여 상기 하부 캐핑막 패턴을 형성하고,

상기 게이트 전극막을 식각하여 상기 게이트 전극을 형성하는 것을 포함하는 모스 트랜지스터의 제조 방법.

청구항 6

제 2 항에 있어서, 상기 게이트 패턴을 형성하는 것은

상기 반도체 기관 상에 차례로 게이트 전극막, 하부 캐핑막 및 상부 캐핑막을 적층하고,

상기 상부 캐핑막, 상기 하부 캐핑막 및 상기 게이트 전극막을 연속적으로 패터닝하여 상기 상부 캐핑막 패턴, 예비 하부 캐핑막 패턴 및 상기 게이트 전극을 형성하고,

상기 예비 하부 캐핑막 패턴에 대하여 식각하여 상기 하부 캐핑막 패턴을 형성하는 것을 포함하는 모스 트랜지스터의 제조 방법.

청구항 7

제 5 항 또는 제 6 항에 있어서,

상기 예비 하부 캐핑막 패턴의 식각은 등방성 식각을 사용하되, 상기 등방성 식각은 수산화암모늄, 과산화수소 및 물의 혼합 용액을 이용하는 모스 트랜지스터의 제조 방법.

청구항 8

제 1 항에 있어서,

상기 스페이서는 일체로 형성되며, 그 일부가 상기 캐핑막 패턴의 상부 영역과 상기 게이트 전극에 사이에 개재되도록 형성되는 모스 트랜지스터의 제조 방법.

청구항 9

제 1 항에 있어서,

상기 스페이서는 상기 캐핑막 패턴의 상부 영역과 상기 게이트 전극에 사이에 개재되도록 형성되는 내측 스페이서 및 상기 내측 스페이서를 덮는 외측 스페이서를 구비하도록 형성되는 모스 트랜지스터의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 내측 스페이서는 열산화막으로 형성되고, 상기 외측 스페이서는 실리콘 질화막으로 형성되는 모스 트랜지스터의 제조 방법.

청구항 11

제 1 항에 있어서,

상기 반도체층은 에피택셜 성장법을 사용하여 형성되는 모스 트랜지스터의 제조 방법.

청구항 12

제 1 항에 있어서,

상기 반도체층은 상기 게이트 패턴 하부의 채널 영역에 스트레스를 제공하는 반도체물질막으로 형성되는 모스 트랜지스터의 제조 방법.

청구항 13

제 12 항에 있어서,

상기 반도체층은 저마늄 또는 탄소를 함유하는 반도체물질막으로 형성되는 모스 트랜지스터의 제조 방법.

청구항 14

제 1 항에 있어서,

상기 반도체층에 불순물 이온들을 주입시키고,

상기 주입된 상기 불순물 이온들을 활성화시키어 상기 반도체층에 소오스/드레인 영역들을 형성하는 것을 더 포함하되, 상기 소오스/드레인 영역들은 상기 반도체층으로부터 상기 반도체 기판으로 확장되도록 형성되는 모스 트랜지스터의 제조 방법.

청구항 15

반도체 기판 상에 차례로 적층되는 게이트 전극 및 캐핑막 패턴을 구비하되, 상기 캐핑막 패턴의 하부 영역은 그 상부 영역의 폭보다 작은 폭을 갖는 게이트 패턴;

상기 게이트 패턴의 측벽을 덮는 스페이서; 및

상기 게이트 패턴 하부의 채널 영역의 양 옆에 배치되는 반도체층을 포함하는 모스 트랜지스터.

청구항 16

제 15 항에 있어서,

상기 캐핑막 패턴은 상기 하부 영역 및 상기 상부 영역에 각각 상응하는 하부 캐핑막 패턴 및 상부 캐핑막 패턴을 구비하되, 상기 하부 캐핑막 패턴은 상기 게이트 전극 및 상기 상부 캐핑막 패턴에 대하여 식각 선택비를 갖는 물질막인 모스 트랜지스터.

청구항 17

제 16 항에 있어서,

상기 하부 캐핑막 패턴은 상기 게이트 전극 및 상기 상부 캐핑막 패턴보다 높은 산화성을 갖는 모스 트랜지스터.

청구항 18

제 17 항에 있어서,

상기 게이트 전극, 상기 상부 캐핑막 패턴들은 각각 실리콘막 및 실리콘 질화막을 구비하며, 상기 하부 캐핑막 패턴들은 저마늄막 또는 실리콘 저마늄막을 구비하는 모스 트랜지스터.

청구항 19

제 15 항에 있어서,

상기 스페이서는 일체로 되며, 그 일부분이 상기 캐핑막 패턴의 상부 영역과 상기 게이트 전극 사이에 개재되는 모스 트랜지스터.

청구항 20

제 15 항에 있어서,

상기 스페이서는 상기 캐핑막 패턴의 상부 영역과 상기 게이트 전극 사이에 개재되는 내측 스페이서 및 상기 내측 스페이서를 덮는 외측 스페이서를 포함하는 모스 트랜지스터.

청구항 21

제 20 항에 있어서,

상기 내측 스페이서는 열산화막이고, 상기 외측 스페이서는 실리콘 질화막인 모스 트랜지스터.

청구항 22

제 15 항에 있어서,

상기 반도체층은 상기 게이트 패턴 하부의 채널 영역에 스트레스를 제공하는 반도체물질막인 모스 트랜지스터.

청구항 23

제 22 항에 있어서,

상기 반도체층은 저마늄 또는 탄소를 함유하는 반도체물질막인 모스 트랜지스터.

청구항 24

제 15 항에 있어서,

상기 반도체층에 제공된 소오스/드레인 영역을 더 포함하되, 상기 소오스/드레인 영역들은 상기 반도체층으로부터 상기 반도체 기판으로 확장되는 모스 트랜지스터.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 반도체 소자의 제조 방법 및 그에 의해 제작된 반도체 소자에 관한 것으로, 보다 상세하게는 스트레인드 채널을 갖는 모스 트랜지스터의 제조 방법 및 그에 의해 제조된 모스 트랜지스터에 관한 것이다.

배경기술

- <2> 최근 반도체 장치는 고집적화 및 고속화가 요구되고 있으며, 반도체 장치의 미세화에 따른 한계를 극복하기 위한 다양한 방법들이 연구되고 있다. 특히, 반도체 장치의 스위칭 소자로서 널리 사용되고 있는 모스(Metal-Oxide-Semiconductor; MOS) 트랜지스터에 있어서 채널(channel) 내의 캐리어(carrier)의 이동도(mobility)는 드레인 전류와 스위칭 특성에 직접적인 영향을 미치므로 소자의 고집적화와 고속화를 이루는데 있어 핵심적으로 고려해야 할 사항이다. 따라서, 고성능의 반도체 장치를 구현하기 위하여 모스 트랜지스터의 채널 부분에 스트레인 효과(strain effect)를 주는 스트레인을 적용하여 캐리어의 이동도를 향상시키는 다양한 방법들이 연구되고 있다.
- <3> 스트레인드 채널층을 갖는 종래의 모스 트랜지스터를 형성하는 방법에 따르면, 게이트 전극의 양측에 있는 실리콘 기판을 식각하여 리세스(recess) 영역을 형성하고, 리세스 영역 내에 에피택셜 성장(epitaxial growth) 기술을 사용하여 실리콘 게르마늄(SiGe)층을 성장시킨다. 그 결과, 실리콘 게르마늄층은 게이트 전극 하부의 실리콘 기판의 결정격자에 수평 방향의 압축응력(Compressive stress)을 발생시키어 압축 스트레인드 채널층을 형성한다. 이에 따라, 채널 영역에서의 정공의 이동도가 증가하여 모스 트랜지스터의 스위칭 속도를 개선시킨다.
- <4> 도 1a 내지 도 1c는 종래의 스트레인드 채널을 갖는 모스 트랜지스터를 제조하는 방법을 설명하기 위한 공정 단면도들이다.
- <5> 도 1a를 참조하면, 반도체 기판(10) 상에 활성 영역(14)을 한정하는 소자분리막(12)을 형성한다. 상기 활성 영역(14) 상에 게이트 패턴(26)을 형성한다. 상기 게이트 패턴(26)은 차례로 적층되는 게이트 유전막(20), 게이트 전극(22) 및 캐핑막 패턴(24)을 포함할 수 있다. 상기 게이트 전극(22)은 도핑된 폴리실리콘막으로 형성될 수 있고, 상기 캐핑막 패턴(24)은 실리콘 질화막으로 형성될 수 있다. 이에 더하여, 상기 게이트 패턴(26)의 양 옆에는 스페이서들(30)이 위치될 수 있다. 상기 스페이서들(30)은 상기 캐핑막 패턴(24)과 동일한 물질막으로 형성될 수 있다. 한편, 상기 스페이서들(30)은 상기 게이트 패턴(26)과 상기 캐핑막 패턴(24)이 경계 부근에서 돌출되어 형성될 수 있다. 이는 상기 캐핑막 패턴(24)을 식각 마스크로 사용하여 상기 게이트 전극막을 형성하는 과정에서 상기 캐핑막 패턴(24)이 일부 식각되어 상기 게이트 전극(22)의 폭보다 작은 폭을 갖도록 형성될 수 있다.
- <6> 도 1b를 참조하면, 상기 게이트 패턴(26), 상기 스페이서들(30) 및 상기 소자분리막(12)을 식각 마스크로 사용하여 상기 게이트 패턴(26) 양 옆의 반도체 기판(10)에 대하여 식각 공정을 진행하여 리세스 영역들(34)을 형성한다. 이 경우에, 상기 캐핑막 패턴(24)의 일부 및 상기 스페이서들(30)의 상부가 리세스될 수 있다. 이에 따라, 상기 게이트 전극(22)의 상부 에지(A)가 노출될 수 있다. 더욱이, 상기 식각 공정(32)이 진행되는 동안 상기 돌출된 스페이서들(30)에서 식각이 더 활발하게 진행되어 상기 돌출된 스페이서들(30)에 인접한 상기 게이트 전극(22)의 상부 에지(A)가 용이하게 노출된다.
- <7> 도 1c를 참조하면, 상기 리세스 영역들(136)의 각각을 채우는 소오스/드레인 반도체층들(36)을 형성한다. 상기 소오스/드레인 반도체층들(36)은 상기 반도체 기판(10)과 다른 격자 상수를 갖는 막, 예를 들어, 실리콘 저마늄막으로 채울 수 있다. 상기 실리콘 저마늄막은 상기 게이트 패턴(26)의 하부의 채널 영역에 압축 응력(compressive stress)을 제공하여 상기 채널 영역을 스트레인드 채널로 변환시킬 수 있다. 상기 실리콘 저마늄막은 에피택셜 성장법(epitaxial growth technique)를 사용하여 형성될 수 있다.
- <8> 이 경우에, 상기 리세스 영역들(34) 내에 상기 소오스/드레인 반도체층들(36)이 형성될 뿐만 아니라, 상기 게이트 전극(22)의 노출된 상부 에지(A)에도 상기 과잉 반도체층(38)이 형성될 수 있다. 심지어, 상기 과잉 반도체층(38)이 과도하게 성장하여 상기 소오스/드레인 반도체층들(36)과 접촉될 수 있다. 따라서, 상기 게이트 전극(22)과 상기 소오스/드레인 반도체층들(36)에 후속적으로 형성될 소오스/드레인 영역들과 전기적으로 단락된다. 아울러, 이들 사이에 단락되지 않을지라도 후속으로 상기 소오스/드레인 반도체층들(36) 상에 형성되는 콘택 구조체와 단락될 수 있다. 결론적으로, 스트레인드 채널 형태의 모스 트랜지스터를 구비하는 반도체 소자의 신뢰성이 현저히 저하된다.

발명의 내용

해결 하고자하는 과제

- <9> 본 발명이 이루고자 하는 기술적 과제는 게이트 패턴과 인접한 도전막들 사이의 단락을 방지하여 반도체 소자의 신뢰성을 향상시키는데 기여하는 모스 트랜지스터의 제조 방법을 제공함에 있다.
- <10> 본 발명이 이루고자 하는 다른 기술적 과제는 게이트 패턴과 인접한 도전막들 사이의 단락을 방지하여 반도체 소자의 신뢰성을 향상시키는데 기여하는 반도체 소자의 배선 구조의 제조 방법을 제공함에 있다.

과제 해결수단

- <11> 상기 기술적 과제를 이루기 위한 본 발명의 일 양태에 따르면, 모스 트랜지스터가의 제조 방법이 제공된다. 상기 모스 트랜지스터의 제조 방법은 반도체 기판 상에 게이트 패턴을 형성하는 것을 구비한다. 상기 게이트 패턴은 차례로 적층되는 게이트 전극 및 캐핑막 패턴을 구비하도록 형성되고, 상기 캐핑막 패턴의 하부 영역은 그 상부 영역의 폭보다 작은 폭을 갖도록 형성된다. 상기 게이트 패턴의 측벽을 덮는 스페이서를 형성한다. 상기 스페이서 및 상기 게이트 패턴을 식각 마스크로 사용하여 상기 게이트 패턴 양 옆의 상기 반도체 기판을 식각하여 리세스 영역을 형성한다. 상기 리세스 영역을 채우는 반도체층을 형성한다.
- <12> 본 발명의 몇몇 실시예에서, 상기 캐핑막 패턴은 상기 하부 영역 및 상기 상부 영역에 각각 상응하는 하부 캐핑막 패턴 및 상부 캐핑막 패턴을 구비하도록 형성될 수 있다. 상기 하부 캐핑막 패턴은 상기 게이트 전극 및 상기 상부 캐핑막 패턴에 대하여 식각 선택비를 갖는 물질막으로 형성될 수 있다. 이 경우에, 상기 하부 캐핑막 패턴은 상기 게이트 전극 및 상기 상부 캐핑막 패턴보다 높은 산화성을 갖도록 형성될 수 있다. 상기 게이트 전극, 상기 상부 캐핑막 패턴들은 각각 실리콘막 및 실리콘 질화막으로 형성되고, 상기 하부 캐핑막 패턴들은 저마늄막 또는 실리콘 저마늄막으로 형성될 수 있다.
- <13> 한편, 상기 게이트 패턴을 형성하는 것은 상기 반도체 기판 상에 차례로 게이트 전극막, 하부 캐핑막 및 상부 캐핑막을 적층하는 것을 구비할 수 있다. 상기 상부 및 하부 캐핑막들을 차례로 패터닝하여 상기 상부 캐핑막 패턴 및 예비 하부 캐핑막 패턴을 형성할 수 있다. 상기 예비 하부 캐핑막 패턴의 측벽에 대하여 식각하여 상기 하부 캐핑막 패턴을 형성할 수 있다. 상기 게이트 전극막을 식각하여 상기 게이트 전극을 형성할 수 있다.
- <14> 이와는 달리, 상기 게이트 패턴을 형성하는 것은 상기 반도체 기판 상에 차례로 게이트 전극막, 하부 캐핑막 및 상부 캐핑막을 적층하는 것을 구비할 수 있다. 상기 상부 캐핑막, 상기 하부 캐핑막 및 상기 게이트 전극막을 연속적으로 패터닝하여 상기 상부 캐핑막 패턴, 예비 하부 캐핑막 패턴 및 상기 게이트 전극을 형성할 수 있다. 상기 예비 하부 캐핑막 패턴에 대하여 식각하여 상기 하부 캐핑막 패턴을 형성할 수 있다. 이 경우에, 상기 예비 하부 캐핑막 패턴의 식각은 등방성 식각을 사용하되, 상기 등방성 식각은 수산화암모늄, 과산화수소 및 물의 혼합 용액을 이용할 수 있다.
- <15> 다른 실시예들에서, 상기 스페이서는 일체로 형성되며, 그 일부가 상기 캐핑막 패턴의 상부 영역과 상기 게이트 전극에 사이에 개재되도록 형성될 수 있다.
- <16> 또 다른 실시예들에서, 상기 스페이서는 상기 캐핑막 패턴의 상부 영역과 상기 게이트 전극에 사이에 개재되도록 형성되는 내측 스페이서 및 상기 내측 스페이서를 덮는 외측 스페이서를 구비하도록 형성될 수 있다. 상기 내측 스페이서는 열산화막으로 형성되고, 상기 외측 스페이서는 실리콘 질화막으로 형성될 수 있다.
- <17> 또 다른 실시예들에서, 상기 반도체층은 에피택셜 성장법을 사용하여 형성될 수 있다.
- <18> 또 다른 실시예들에서, 상기 반도체층은 상기 게이트 패턴 하부의 채널 영역에 스트레스를 제공하는 반도체물질막으로 형성될 수 있다. 아울러, 상기 반도체층은 저마늄 또는 탄소를 함유하는 반도체물질막으로 형성될 수 있다.
- <19> 또 다른 실시예들에서, 상기 반도체층에 불순물 이온들을 주입시킬 수 있다. 상기 주입된 상기 불순물 이온들을 활성화시켜 상기 반도체층에 소오스/드레인 영역들을 형성할 수 있다. 이 경우에, 상기 소오스/드레인 영역들은 상기 반도체층으로부터 상기 반도체 기판으로 확장되도록 형성
- <20> 상기 기술적 과제를 이루기 위한 본 발명의 다른 양태에 따르면, 모스 트랜지스터가 제공된다. 상기 모스 트랜지스터는 반도체 기판 상에 차례로 적층되는 게이트 전극 및 캐핑막 패턴을 구비하되, 상기 캐핑막 패턴의 하부

영역은 그 상부 영역의 폭보다 작은 폭을 갖는 게이트 패턴이 제공된다. 상기 게이트 패턴의 측벽을 덮는 스페이서가 제공된다. 상기 게이트 패턴 하부의 채널 영역의 양 옆에 반도체층이 배치된다.

효 과

<21> 본 발명에 따르면, 게이트 전극 상에 형성되는 캐핑막 패턴은 그 하부 영역에서 그 상부 영역이 폭보다 작은 폭을 갖도록 형성된다. 이에 따라, 이들을 구비하는 게이트 패턴의 측벽 상에 형성되는 스페이서는 상기 캐핑막 패턴의 상부 영역과 상기 게이트 전극 사이에 개재되도록 형성된다. 그 결과, 상기 게이트 패턴의 하부에 위치한 채널 영역의 양 옆의 반도체 기판을 식각하는 과정에서 상기 캐핑막 패턴 및 상기 스페이서가 리세스될지라도 상기 하부 영역에 인접한 스페이서는 상기 게이트 전극의 노출을 저지할 수 있다. 후속으로 형성되는 반도체층이 상기 게이트 전극에 성장되지 않을 수 있다. 아울러, 후속으로 형성되는 콘택 구조체와 상기 게이트 전극 사이에 접촉을 방지할 수 있다. 결론적으로, 스트레인드 채널을 갖는 모스 트랜지스터의 신뢰성을 확보할 수 있다.

발명의 실시를 위한 구체적인 내용

<22> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다. 또한, 소자(element) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위 뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.

<23> 도 2 내지 도 8을 참조하여, 본 발명의 일 실시예에 따른 스트레인드 채널을 갖는 모스 트랜지스터의 제조 방법에 대하여 설명하기로 한다. 도 2 내지 도 8은 본 발명의 일 실시예에 따른 스트레인드 채널을 갖는 모스 트랜지스터의 제조 방법을 설명하기 위한 공정 단면도들이다. 본 발명에 따른 배선 구조의 제조 방법은 배선 구조를 갖는 모든 반도체 소자들 예를 들면, 디램(DRAM) 소자, 플래쉬 메모리 소자, 에스램(SRAM) 소자 또는 상전이 메모리 소자(PRAM)에 적용될 수 있다.

<24> 도 2를 참조하면, 상기 반도체 기판(100) 상에 활성 영역(104)을 한정하는 소자분리막(102)을 형성할 수 있다. 상기 반도체 기판(100)은 단결정 반도체 기판 또는 단결정 반도체 바디층을 갖는 에스오아이(SOI; Silicon On Insulator) 기판으로 형성될 수 있다. 상기 단결정 반도체 기판 또는 상기 단결정 반도체 바디층은 실리콘층, 저마늄층(Ge layer) 또는 실리콘 저마늄층(SiGe layer) 등을 포함할 수 있다. 상기 소자분리막(102)은 얇은 트렌치 소자분리기술(shallow trench isolation technique)을 이용하여 형성될 수 있다.

<25> 이어서, 상기 활성 영역(104)을 갖는 반도체 기판(100) 상에 게이트 유전막(110), 게이트 전극막(112), 하부 캐핑막(114) 및 상부 캐핑막(116)을 순차적으로 형성할 수 있다. 상기 게이트 유전막(110)은 열산화막 또는 고유전막으로 형성될 수 있다. 상기 게이트 전극막(112)은 실리코늄막으로서 예를 들어, 도핑된 폴리실리코늄막으로 형성될 수 있다. 상기 상부 캐핑막(116)은 상기 게이트 전극막(112)에 대하여 식각 선택비를 갖는 물질막, 예를 들어, 실리콘 질화막으로 형성될 수 있다. 상기 하부 캐핑막(114)은 상기 게이트 전극막(112) 및 상기 상부 캐핑막(116)에 대하여 식각 선택비를 갖는 도전막 또는 절연막으로 형성될 수 있다. 이에 더하여, 상기 하부 캐핑막(114)은 상기 게이트 전극막(112) 및 상기 상부 캐핑막(116)보다 높은 산화성을 갖는 물질막으로 형성될 수 있다. 상술한 조건들을 만족하는 물질막으로서 상기 하부 캐핑막(114)은 저마늄(Ge)을 함유하는 막으로 형성될 수 있다. 구체적으로, 상기 하부 캐핑막(114)은 저마늄막 또는 실리콘 저마늄막으로 형성될 수 있다.

<26> 도 3을 참조하면, 상기 상부 캐핑막(116) 및 상기 하부 캐핑막(114)을 차례로 식각하여 상기 게이트 전극막(112) 상에 차례로 적층되는 예비 하부 캐핑막 패턴(114a) 및 상부 캐핑막 패턴(116a)을 형성할 수 있다. 상기 패터닝은 상기 상부 캐핑막 패턴(116a) 상에 포토레지스트 패턴을 형성하고, 이후 이를 식각 마스크로 사용하여 상기 캐핑막 패턴들(114, 116)을 차례로 건식 식각하는 과정을 포함할 수 있다. 상기 패터닝 이후 상기 포토레지스트 패턴은 제거될 수 있다. 상기 건식 식각은 플라즈마 반응성 이온 식각법(plasma reaction ion etching technique)을 사용하여 수행될 수 있다. 이 경우에, 상기 예비 하부 캐핑막 패턴(114a)은 상기 상부 캐핑막 패턴(116a)의 폭과 실질적으로 동일한 폭을 갖도록 형성될 수 있다.

<27> 도 4를 참조하면, 상기 예비 하부 캐핑막 패턴(114a)의 측벽들에 대하여 식각을 진행할 수 있다. 상기 식각은

등방성 식각으로 진행될 수 있으며, 상기 등방성 식각은 예를 들어, 수산화암모늄(NH₃OH), 과산화수소(H₂O₂) 및 물의 혼합 용액을 식각액(40)으로 사용하는 습식 식각으로 진행될 수 있다. 상술한 식각액(40)은 상기 하부 캐핑막 패턴(114b)에 대하여 선택적으로 식각할 수 있다, 그 결과, 상기 하부 캐핑막 패턴(114b)은 상기 상부 캐핑막 패턴(116a)의 폭(W1)보다 작은 폭(W2)을 갖도록 형성될 수 있다. 이에 따라, 차례로 적층되는 상기 하부 및 상부 캐핑막 패턴들(114b, 116a)을 구비하는 캐핑막 패턴(118)이 형성될 수 있다. 본 실시예에서는, 상기 캐핑막 패턴(118)이 상, 하부 영역에 각각 별도의 패턴을 갖는 것으로 형성되었으나, 이에 제한되지 않고, 상기 캐핑막 패턴(118)은 일체로 형성될 수 있다. 이 경우에도, 상기 캐핑막 패턴(118)의 하부 영역은 그 상부 영역의 폭보다 작은 폭을 갖도록 형성될 수 있다.

<28> 도 5를 참조하면, 상기 캐핑막 패턴(118)을 식각 마스크로 사용하여 상기 게이트 전극막(112) 및 상기 게이트 유전막(110)을 차례로 식각할 수 있다. 그 결과, 차례로 적층되는 게이트 유전막 패턴(110a), 게이트 전극(112a) 및 상기 캐핑막 패턴(118)을 구비하는 게이트 패턴(120)이 형성된다. 도 3 내지 도 5를 참조하여 설명된 실시예는 상기 하부 캐핑막 패턴(114b)이 상기 게이트 전극(112a)보다 먼저 형성되는 것이다. 다른 실시예에서는 상기 상부 캐핑막(116), 상기 하부 캐핑막(114) 및 상기 게이트 전극막(112)을 연속적으로 패터닝하여 상기 상부 캐핑막 패턴(116a), 상기 예비 하부 캐핑막 패턴 및 상기 게이트 전극(112a)을 형성할 수 있다. 이 경우에, 상기 게이트 전극(112a)은 균일한 측벽 프로파일을 갖도록 형성될 수 있다. 이어서, 상기 예비 하부 캐핑막 패턴에 대하여 식각하여 상기 하부 캐핑막 패턴(114b)을 형성할 수 있다. 상기 식각은 도 4를 참조하여 설명된 식각과 실질적으로 동일한 방법을 사용하여 수행될 수 있다.

<29> 도 6a를 참조하면, 상기 상부 캐핑막 패턴(116a)과 상기 게이트 전극(112a) 사이에 개재되는 내측 스페이서들(130)을 형성할 수 있다. 상기 내측 스페이서들(130)은 상기 게이트 전극(112a)의 측벽들 및 상기 상부 캐핑막 패턴들(116a)의 측벽들에 연장되어 형성될 수 있다. 한편, 상기 내측 스페이서들(130)은 열산화막으로 형성될 수 있다. 상기 하부 캐핑막 패턴(114b)이 저마늄막 또는 실리콘 저마늄막으로 형성되는 경우에 상기 열산화막은 다른 패턴들(112a, 116a)에 비해 두껍게 성장될 수 있다. 이는 상술한 바와 같이, 상기 하부 캐핑막 패턴(114b)이 인접한 다른 패턴들(112a, 116a)에 비해 높은 산화성을 갖는 것에 기인한다. 이에 따라, 열산화 공정의 온도 등을 조절함으로써 상기 내측 스페이서들(130)은 수직된 측벽 프로파일들을 갖도록 형성될 수 있다. 이로 인해, 상기 게이트 전극막(112)을 식각하는 과정에서 식각되어 상기 상부 캐핑막 패턴(116a)이 상기 게이트 전극(112a)보다 더 좁은 폭으로 잔존되더라도 상기 내측 스페이서(130) 측벽의 프로파일은 인접한 패턴들에 영향을 받지 않는다.

<30> 계속해서, 상기 게이트 패턴(120) 및 상기 내측 스페이서들(130)의 측벽들을 따라 상기 반도체 기판(100) 전면 상에 외측 스페이서막을 증착할 수 있다. 상기 외측 스페이서막은 실리콘 질화막으로 형성될 수 있다. 이어서, 상기 외측 스페이서막을 이방성 식각하여 상기 내측 스페이서들(130)의 측벽들 상에 외측 스페이서들(132)을 형성할 수 있다. 상기 외측 스페이서(132)는 상기 내측 스페이서(130)의 측벽 프로파일을 따라 형성되어 상기 외측 스페이서(132)도 수직된 측벽 프로파일을 갖도록 형성될 수 있다. 그 결과, 상기 내측 스페이서(130) 및 상기 외측 스페이서(132)를 구비하는 스페이서(134)가 형성될 수 있다. 또한, 상기 스페이서(134)는 돌출된 부분없이 수직된 측벽 프로파일을 갖도록 형성될 수 있다.

<31> 본 실시예에서는 상기 스페이서(134)가 복수의 막으로 형성되는 것을 예로 들었으나, 다른 실시예에서는 도 6b에 도시된 바와 같이, 스페이서(134a)가 일체로 형성되며, 그 일부가 상기 상부 캐핑막 패턴(116a)과 상기 게이트 전극(112a)에 사이에 개재되도록 형성될 수 있다. 상기 스페이서(134a)는 실리콘 질화막으로 형성될 수 있다.

<32> 도 7을 참조하면, 상기 게이트 패턴(120) 및 상기 소자분리막(102)을 식각 마스크로 사용하여 상기 게이트 패턴(120) 양 옆의 상기 반도체 기판(100)을 식각한다. 즉, 상기 게이트 패턴(120) 하부에 위치하는 채널 영역 양 옆의 상기 반도체 기판(100)이 식각된다. 상기 식각은 염소계 가스(42)를 소오스 가스로 사용하는 건식 식각으로 진행될 수 있다. 그 결과, 상기 채널 영역의 양 옆에 리세스 영역들(136)이 형성된다. 이 경우에, 상기 상부 캐핑막 패턴(116a)은 리세스될지라도 그 하부에 위치한 상기 내측 스페이서들(130)이 노출될 뿐, 상기 게이트 전극(112a)이 노출되지 않는다. 즉, 상기 내측 스페이서들(130)이 식각됨으로 인하여 상기 식각 공정의 마진을 확보할 수 있다. 아울러, 상기 스페이서들(134)은 상술한 바와 같이, 수직된 측벽 프로파일을 가지므로 상기 스페이서들(134)은 그 상부부터 식각된다. 이에 따라, 상기 게이트 전극(112a)의 상부 에지가 노출되지 않는다. 다시 말하면, 상기 스페이서들(134)의 측벽에 돌출된 부분이 존재하지 않아 상기 스페이서들(134)은 그 상부부터 식각된다.

- <33> 도 8을 참조하면, 상기 리세스 영역들(136)을 채우는 반도체층들(138)을 형성한다. 상기 반도체층(138)은 상기 게이트 패턴(120) 하부의 채널 영역에 스트레스를 제공하는 반도체물질막으로 형성될 수 있다. 상기 반도체층들(138)은 저마늄을 함유하도록 형성될 수 있다. 예를 들어, 상기 반도체층들(138)은 상기 리세스 영역들(136)로부터 에피택셜 성장시킨 실리콘 저마늄막 또는 저마늄막과 같은 반도체물질막으로 형성할 수 있다. 이 경우에, 상기 스페이서들(134)로 인하여 상기 게이트 전극(112a)이 노출되지 않아 상기 에피택셜 성장된 반도체물질막은 상기 게이트 전극(112a)에 형성되지 않는다. 이에 따라, 상기 게이트 전극(112a)과 상기 반도체층(138) 사이에 전기적으로 단락되지 않는다.
- <34> 한편, 상기 반도체층들(138)이 상기 저마늄을 함유하는 반도체물질막으로 형성되는 경우에, 상기 반도체층들(138)은 상기 채널 영역에 압축 응력(compressive stress)을 줄 수 있다. 그 결과, 상기 활성 영역(104)에 피모스 트랜지스터로 형성되는 경우에 피모스 트랜지스터의 홀 이동도(hole mobility)를 향상시킬 수 있다. 다른 실시예에서, 상기 반도체층들(138)이 탄소를 함유하는 반도체물질막 예를 들어, 실리콘 카바이드(SiC)로 형성되는 경우에, 상기 반도체층들(138)은 상기 채널 영역에 인장 응력(tensile stress)을 줄 수 있다. 그 결과, 상기 활성 영역(104)에 엔모스 트랜지스터로 형성되는 경우에 엔모스 트랜지스터의 전자 이동도(electron mobility)를 향상시킬 수 있다.
- <35> 이어서, 상기 반도체층들(138)에 불순물 이온들을 주입할 수 있다. 상기 불순물 이온들의 도전형은 n형이거나 p형일 수 있다. 상기 주입된 불순물 이온들을 활성화(activation)시킬 수 있다. 그 결과, 상기 반도체층들(138)에 소오스/드레인 영역들(140)이 형성될 수 있다. 아울러, 상기 소오스/드레인 영역들(140)은 상기 반도체층(138)과 상기 반도체 기판(100) 사이의 경계면에서 접합(junction)을 형성할 수 있다. 다른 실시예에서, 상기 소오스/드레인 영역들(140)은 상기 반도체층들(138)으로부터 상기 반도체 기판(100)으로 확산된 영역에서 접합을 형성하여 상기 반도체층들(138)을 둘러싸는 구조로 형성할 수 있다. 상술한 제조 과정을 통하여, 스트레인지드 채널을 갖는 모스 트랜지스터가 완성된다.
- <36> 도면에 도시하지 않았지만, 상기 소오스/드레인 영역들(140)의 표면에 금속실리사이드를 형성할 수 있다. 그리고, 상기 소오스/드레인 영역들(140)의 표면뿐만 아니라, 상기 게이트 전극(112a)에 금속 실리사이드를 형성하기 위한 셀리사이드 공정(self-align silicide process)을 진행할 수 있다. 상기 셀리사이드 공정을 위하여 상기 캐핑막 패턴(118)을 선택적으로 제거할 수 있다. 이와는 달리, 상기 하부 캐핑막 패턴(114b)이 저마늄막 또는 실리콘 저마늄막으로 형성되는 경우에 상기 상부 캐핑막 패턴(116a)을 선택적으로 제거하여 상기 하부 캐핑막 패턴(114b)에 상기 셀리사이드 공정을 진행할 수 있다.
- <37> 상기 소오스/드레인 영역들(140)을 갖는 기판 상에 층간 절연막(142)을 형성할 수 있다. 상기 층간 절연막(142)은 실리콘 산화막으로 형성할 수 있다. 상기 층간 절연막(142)을 관통하며 상기 소오스/드레인 영역들(140)과 전기적으로 접속된 콘택 구조체들(144)을 형성할 수 있다. 본 실시예에 따르면 상기 스페이서들(134)의 일부가 상기 캐핑막 패턴(118)의 상부 영역 및 상기 게이트 전극(112a)에 개재되도록 형성되어 상기 리세스 영역(136)을 형성하는 과정에서 상기 스페이서들(134)은 상기 게이트 전극(112a)의 노출을 저지할 수 있다. 이에 따라, 상기 게이트 전극(112a) 상에 파잉 반도체층이 형성되지 않아, 상기 게이트 전극(112a)에 인접한 상기 콘택 구조체(144)와 단락을 방지할 수 있다. 상술한 바와 같이, 상기 게이트 전극(112a)과 상기 소오스/드레인 영역들(140)과의 단락을 방지할 수 있다. 즉, 상기 모스 트랜지스터의 신뢰성을 향상시킬 수 있다.
- <38> 이하, 도 8을 참조하여 본 발명의 일 실시예에 따른 모스 트랜지스터에 대하여 설명하기로 한다.
- <39> 반도체 기판(100) 상에 활성 영역(104)을 한정하는 소자분리막(102)이 제공될 수 있다. 상기 활성 영역(104) 상에 게이트 패턴(120)이 제공된다. 상기 게이트 패턴(120)은 차례로 적층되는 게이트 유전막 패턴(110a), 게이트 전극(112a), 캐핑막 패턴(118)을 구비할 수 있다. 상기 게이트 전극(112a)은 실리콘막으로서 예를 들어, 도핑된 폴리실리콘막일 수 있다.
- <40> 상기 캐핑막 패턴(118)은 차례로 적층되는 하부 캐핑막 패턴(114b) 및 상부 캐핑막 패턴(116a)을 구비할 수 있다. 상기 하부 캐핑막 패턴(114b)은 상기 상부 캐핑막 패턴(116a)의 폭보다 작은 폭을 갖는다. 상기 상부 캐핑막 패턴(116a)은 상기 게이트 전극(112a)에 대하여 식각 선택비를 갖는 물질막, 예를 들어, 실리콘 질화막으로 형성될 수 있다. 상기 하부 캐핑막 패턴(114b)은 상기 게이트 전극(112a) 및 상기 상부 캐핑막 패턴(116a)에 대하여 식각 선택비를 갖는 도전막 또는 절연막으로 형성될 수 있다. 이에 더하여, 상기 하부 캐핑막 패턴(114b)은 상기 게이트 전극(112a) 및 상기 상부 캐핑막 패턴(116a)보다 높은 산화성을 갖는 물질막으로 형성될 수 있다. 상술한 조건들을 만족하는 물질막으로서 상기 하부 캐핑막 패턴(114b)은 저마늄(Ge)을 함유하는 막으로 형성될 수 있다. 구체적으로, 상기 하부 캐핑막 패턴(114b)은 저마늄막 또는 실리콘 저마늄막으로 형성될 수

있다. 본 실시예에서는, 상기 캐핑막 패턴(118)이 상, 하부 영역에 각각 별도의 패턴을 가지나, 이에 제한되지 않고, 상기 캐핑막 패턴(118)은 일체로 될 수 있다. 이 경우에도, 상기 캐핑막 패턴(118)의 하부 영역은 그 상부 영역의 폭보다 작은 폭을 갖는다.

<41> 상기 게이트 패턴(120)의 측벽을 따라 스페이서들(134)이 배치된다. 상기 스페이서들(134)은 상기 상부 캐핑막 패턴(116a)과 상기 게이트 전극 사이에 개재되는 내측 스페이서들(130) 및 상기 내측 스페이서들(130)을 덮는 외측 스페이서들(132)을 구비할 수 있다. 상기 내측 스페이서들(130)은 상기 게이트 전극(112a)의 측벽들 및 상기 상부 캐핑막 패턴(116a)의 측벽에 연장될 수 있다. 한편, 상기 내측 스페이서들(130)은 열산화막일 수 있다. 상기 하부 캐핑막 패턴(114b)이 저마늄막 또는 실리콘 저마늄막인 경우에 상기 열산화막은 다른 패턴들에 비해 두껍게 성장될 수 있다. 이는 상술한 바와 같이, 상기 하부 캐핑막 패턴(114b)이 인접한 다른 패턴들(112a, 116a)에 비해 높은 산화성을 갖는 것에 기인한다. 이에 따라, 열산화 공정의 온도 등을 조절함으로써 상기 내측 스페이서들(130)은 수직된 측벽 프로파일들을 가질 수 있다. 또한, 상기 외측 스페이서들(132)은 실리콘 질화막으로 형성될 수 있다. 이에 더하여, 상기 외측 스페이서(132)는 상기 내측 스페이서(130)의 측벽 프로파일을 따라 배치되어 상기 외측 스페이서(132)도 수직된 측벽 프로파일을 가질 수 있다. 결론적으로, 상기 스페이서(134)는 돌출된 부분없이 수직된 측벽 프로파일을 가질 수 있다.

<42> 한편, 상기 게이트 패턴(120) 하부의 채널 영역의 양 옆에 반도체층들(138)이 배치된다. 상기 반도체층들(138)은 상기 채널 영역에 스트레스를 제공하는 반도체물질막일 수 있다. 상기 반도체층들(138)이 상기 저마늄을 함유하는 반도체물질막일 경우에, 상기 반도체층들(138)은 상기 채널 영역에 압축 응력(compressive stress)을 줄 수 있다. 그 결과, 상기 활성 영역(104)에 피모스 트랜지스터가 제공되는 경우에 피모스 트랜지스터의 홀 이동도(hole mobility)를 향상시킬 수 있다. 다른 실시예에서, 상기 반도체층들(138)이 탄소를 함유하는 반도체물질막 예를 들어, 실리콘 카바이드(SiC)인 경우에, 상기 반도체층들(138)은 상기 채널 영역에 인장 응력(tensile stress)을 줄 수 있다. 그 결과, 상기 활성 영역(104)에 엔모스 트랜지스터가 제공되는 경우에 엔모스 트랜지스터의 전자 이동도(electron mobility)를 향상시킬 수 있다.

<43> 상기 반도체층들(138)에 소오스/드레인 영역들(140)이 제공될 수 있다. 상기 소오스/드레인 영역들(140)은 n형 또는 p형 불순물 이온들로 도핑될 수 있다. 상기 소오스/드레인 영역들(140)의 접합들(junctions)은 상기 반도체층들(138)과 상기 활성 영역(104) 사이의 경계면과 일치하거나, 상기 반도체층들(138)으로부터 상기 활성 영역(104)으로 확장된 영역에 위치할 수 있다. 상술한 구성요소들로 스트레인트 채널을 갖는 모스 트랜지스터가 구성된다.

<44> 상기 소오스/드레인 영역들(140)을 갖는 상기 반도체 기판(100)의 상부에 층간 절연막(142)이 제공될 수 있다. 상기 층간 절연막(142)은 실리콘 산화막을 포함할 수 있다. 상기 층간 절연막(142)을 관통하며 상기 소오스/드레인 영역들(140)과 전기적으로 접속된 콘택 구조체들(144)이 제공될 수 있다.

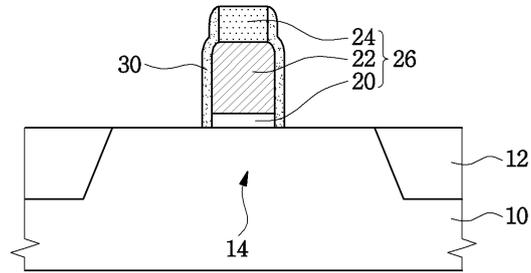
도면의 간단한 설명

<45> 도 1a 내지 도 1c는 종래의 스트레인트 채널을 갖는 모스 트랜지스터를 형성하는 방법을 설명하기 위한 공정 단면도들이다.

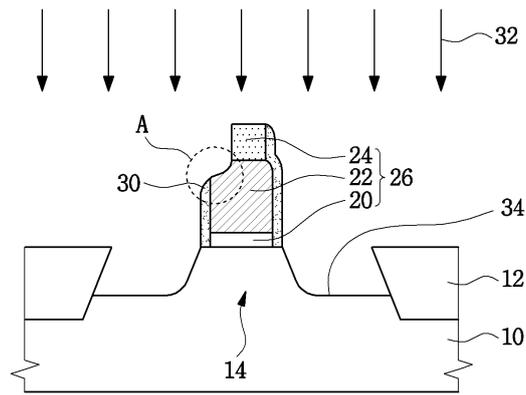
<46> 도 2 내지 도 8은 본 발명의 일 실시예에 따른 스트레인트 채널을 갖는 모스 트랜지스터의 제조 방법을 설명하기 위한 공정 단면도들이다.

도면

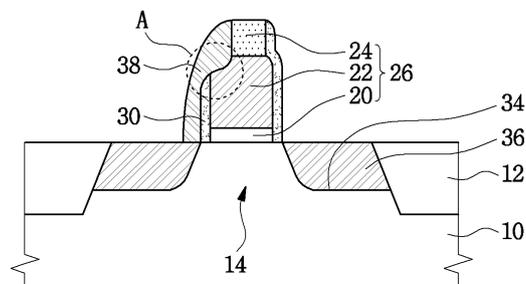
도면1a



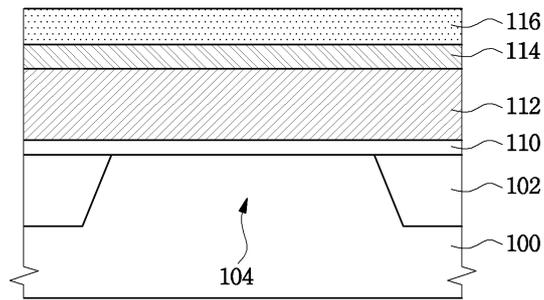
도면1b



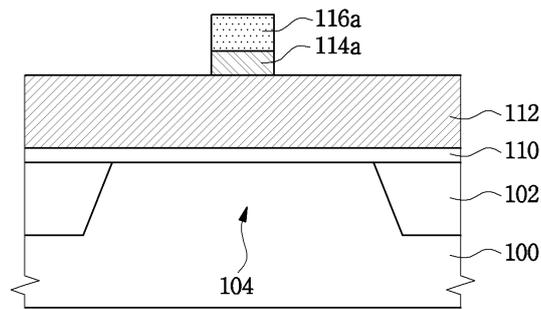
도면1c



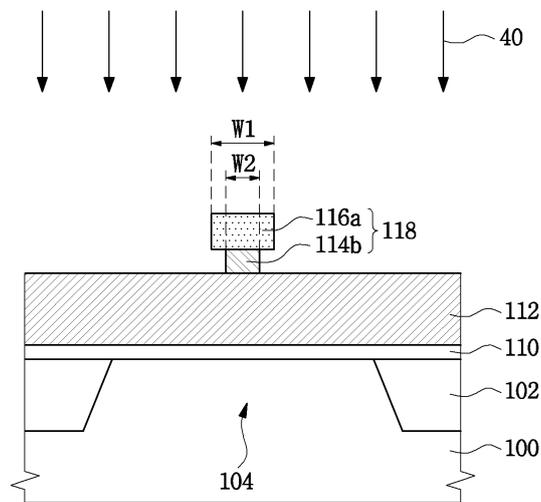
도면2



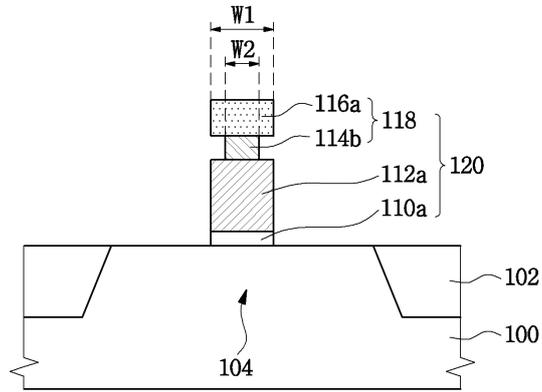
도면3



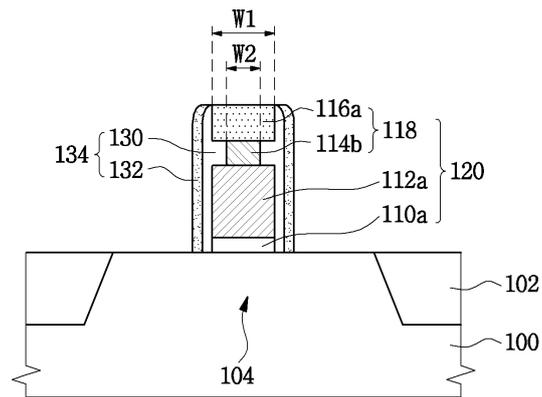
도면4



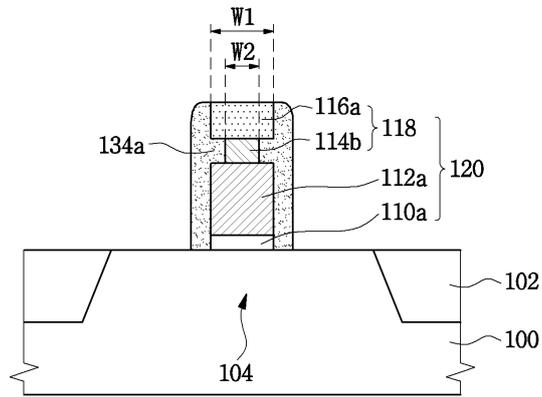
도면5



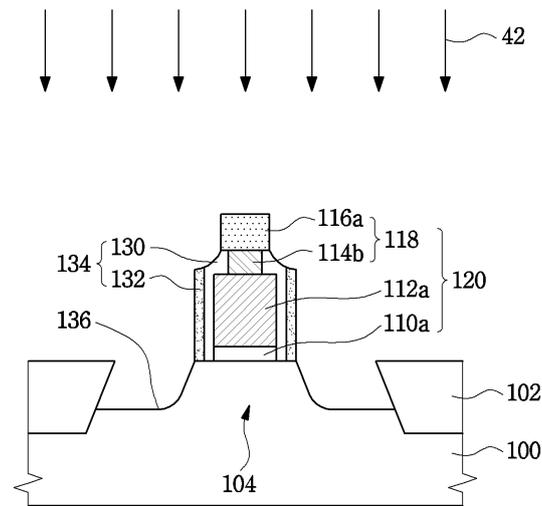
도면6a



도면6b



도면7



도면8

