



1. 一种薄膜晶体管,其特征在于,包括至少一个薄膜晶体管单元,所述薄膜晶体管单元至少包括设置在基底上的栅极复合层和有源层,所述有源层包括互相连接的第一部分和第二部分,所述第一部分沿着第一方向延伸,所述第二部分沿着第二方向延伸,所述第一方向与所述第二方向不同,且所述第二方向与所述基底所在的平面非平行,所述第一部分层叠设置在所述栅极复合层远离所述基底一侧,所述栅极复合层中设置有第一过孔,至少部分所述第二部分设置在所述第一过孔中,在所述第一过孔中的所述第二部分与所述栅极复合层侧壁相对的部分形成沟道。

2. 根据权利要求1所述的薄膜晶体管,其特征在于,所述薄膜晶体管单元还包括设置在所述基底上的第一电极,所述第一电极层叠设置于所述栅极复合层靠近所述基底一侧,至少部分所述第一电极在所述基底的垂直投影与所述栅极复合层在所述基底的垂直投影交叠,所述第一电极中设置有第二过孔,所述第二过孔将所述第一电极的侧壁暴露,至少部分所述第二过孔与所述第一过孔连通,至少部分所述第二部分设置在所述第二过孔中,且至少部分所述第二部分在所述第二过孔中与所述第一电极的侧壁电接触。

3. 根据权利要求1所述的薄膜晶体管,其特征在于,所述薄膜晶体管单元还包括设置在所述基底上的第二电极,所述第二电极层叠设置于所述第一部分远离所述基底一侧,至少部分所述第二电极在所述基底的垂直投影与所述第一部分在所述基底的垂直投影交叠,至少部分所述第二电极与所述第一部分靠近所述第二电极一侧表面电接触。

4. 根据权利要求1所述的薄膜晶体管,其特征在于,所述薄膜晶体管单元还包括栅极绝缘层,所述栅极绝缘层设置在所述第二部分的侧壁与所述栅极复合层的侧壁之间。

5. 根据权利要求2所述的薄膜晶体管,其特征在于,所述薄膜晶体管单元还包括第一绝缘层,所述第一绝缘层层叠设置在所述第一电极与所述栅极复合层之间,所述第一绝缘层中设置有第三过孔,至少部分所述第三过孔均与所述第一过孔和所述第二过孔连通,至少部分所述第二部分设置在所述第三过孔中。

6. 根据权利要求2所述的薄膜晶体管,其特征在于,所述第一电极靠近所述第二部分一侧侧壁的表面为倾斜面,至少部分所述第二部分在所述第二过孔中与所述倾斜面电接触。

7. 根据权利要求1所述的薄膜晶体管,其特征在于,所述薄膜晶体管单元还包括第二绝缘层,所述第二绝缘层层叠设置在所述栅极复合层和所述第一部分之间,所述第二绝缘层中设置有第四过孔,至少部分所述第四过孔与所述第一过孔连通,至少部分所述第二部分设置在所述第四过孔中。

8. 根据权利要求1至7任一所述的薄膜晶体管,其特征在于,所述有源层在垂直于所述基底方向的截面呈T字形。

9. 根据权利要求1至7任一所述的薄膜晶体管,其特征在于,所述薄膜晶体管包括至少两个在所述基底上层叠设置的薄膜晶体管单元以及位于相邻两个所述薄膜晶体管单元之间的绝缘介质层。

10. 根据权利要求1至7任一所述的薄膜晶体管,其特征在于,所述有源层材料采用镉镓锌氧化物。

11. 根据权利要求1至7任一所述的薄膜晶体管,其特征在于,所述基底采用硅基底。

12. 根据权利要求1至7任一所述的薄膜晶体管,其特征在于,所述栅极复合层包括第一栅极,所述第一栅极中设置有所述第一过孔,至少部分所述第二部分设置在所述第一过孔

中,在所述第一过孔中的所述第二部分与所述第一栅极侧壁相对的部分形成所述沟道。

13. 根据权利要求1至7任一所述的薄膜晶体管,其特征在于,所述栅极复合层包括第一栅极和第二栅极,所述第一栅极和所述第二栅极同层设置,且所述第一栅极和所述第二栅极位于所述第一过孔的相对两侧,至少部分所述第二部分设置在所述第一过孔中,所述第一栅极和所述第二栅极共用在所述第一过孔中的所述第二部分,形成共用沟道。

14. 根据权利要求1至7任一所述的薄膜晶体管,其特征在于,所述栅极复合层包括第一栅极、设置于所述第一栅极远离所述基底一侧的第二栅极以及设置于所述第一栅极与所述第二栅极之间的第三绝缘层,所述第一栅极、所述第二栅极以及所述第三绝缘层中均设置有所述第一过孔,至少部分所述第二部分设置在所述第一过孔中,在所述第一过孔中的所述第二部分与所述第一栅极侧壁相对的部分形成第一沟道,在所述第一过孔中的所述第二部分与所述第二栅极侧壁相对的部分形成第二沟道。

15. 一种薄膜晶体管的制备方法,其特征在于,包括:

在基底上形成栅极复合层薄膜;

在所述栅极复合层薄膜中形成第一过孔,所述栅极复合层薄膜形成栅极复合层;

在所述栅极复合层上沉积有源材料,使所述有源材料形成有源层;其中,所述有源层包括互相交叉设置的第一部分和第二部分,所述第一部分层叠设置在所述栅极复合层远离所述基底一侧,至少部分所述第二部分设置在所述第一过孔中,所述第二部分在所述第一过孔中与所述栅极复合层侧壁相对的部分形成沟道。

16. 根据权利要求15所述的薄膜晶体管的制备方法,其特征在于,在所述栅极复合层上形成有源层之后,还包括:

在所述有源层上形成第二电极;其中,所述第二电极覆盖至少部分所述有源层的第一部分,且所述第二电极与所述第一部分靠近所述第二电极一侧表面电接触。

17. 根据权利要求16所述的薄膜晶体管的制备方法,其特征在于,

通过同一制备工艺,在所述栅极复合层上依次形成所述有源层和所述第二电极。

## 薄膜晶体管及其制备方法

### 技术领域

[0001] 本公开实施例涉及但不限于半导体领域,具体涉及一种薄膜晶体管及其制备方法。

### 背景技术

[0002] 随着芯片的集成度变高,薄膜晶体管的结构从planar,FinFET到GAA节点,核心思想是保持栅极对沟道的控制(栅极和沟道的接触面积)的基础上,把薄膜晶体管器件做小。随着薄膜晶体管器件不断变小,工艺尺寸变小,制备难度增加。薄膜晶体管器件本身也出现了性能的问题,比如,开启电流不足;栅极不易关断,漏电增加;薄膜晶体管器件距离太近,相互影响增加。

[0003] 目前,铟镓锌氧化物(indium gallium zinc oxide,简称:IGZO)材质的薄膜晶体管都是平面结构,源极、栅极以及漏极在基底上平铺,集成度不高。

### 发明内容

[0004] 以下是对本公开详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

[0005] 第一方面,本公开实施例提供了一种薄膜晶体管,包括至少一个薄膜晶体管单元,所述薄膜晶体管单元至少包括设置在基底上的栅极复合层和有源层,所述有源层包括互相连接的第一部分和第二部分,所述第一部分沿着第一方向延伸,所述第二部分沿着第二方向延伸,所述第一方向与所述第二方向不同,且所述第二方向与所述基底所在的平面非平行,所述第一部分层叠设置在所述栅极复合层远离所述基底一侧,所述栅极复合层中设置有第一过孔,至少部分所述第二部分设置在所述第一过孔中,在所述第一过孔中的所述第二部分与所述栅极复合层侧壁相对的部分形成沟道。

[0006] 在示例性实施方式中,所述薄膜晶体管单元还包括设置在所述基底上的第一电极,所述第一电极层叠设置于所述栅极复合层靠近所述基底一侧,至少部分所述第一电极在所述基底的垂直投影与所述栅极复合层在所述基底的垂直投影交叠,所述第一电极中设置有第二过孔,所述第二过孔将所述第一电极的侧壁暴露,至少部分所述第二过孔与所述第一过孔连通,至少部分所述第二部分设置在所述第二过孔中,且至少部分所述第二部分在所述第二过孔中与所述第一电极的侧壁电接触。

[0007] 在示例性实施方式中,所述薄膜晶体管单元还包括设置在所述基底上的第二电极,所述第二电极层叠设置于所述第一部分远离所述基底一侧,至少部分所述第二电极在所述基底的垂直投影与所述第一部分在所述基底的垂直投影交叠,至少部分所述第二电极与所述第一部分靠近所述第二电极一侧表面电接触。

[0008] 在示例性实施方式中,所述薄膜晶体管单元还包括栅极绝缘层,所述栅极绝缘层设置在所述第二部分的侧壁与所述栅极复合层的侧壁之间。

[0009] 在示例性实施方式中,所述薄膜晶体管单元还包括第一绝缘层,所述第一绝缘层

层叠设置在所述第一电极与所述栅极复合层之间,所述第一绝缘层中设置有第三过孔,至少部分所述第三过孔均与所述第一过孔和所述第二过孔连通,至少部分所述第二部分设置在所述第三过孔中。

[0010] 在示例性实施方式中,所述第一电极靠近所述第二部分一侧侧壁的表面为倾斜面,至少部分所述第二部分在所述第二过孔中与所述倾斜面电接触。

[0011] 在示例性实施方式中,所述薄膜晶体管单元还包括第二绝缘层,所述第二绝缘层层叠设置在所述栅极复合层和所述第一部分之间,所述第二绝缘层中设置有第四过孔,至少部分所述第四过孔与所述第一过孔连通,至少部分所述第二部分设置在所述第四过孔中。

[0012] 在示例性实施方式中,所述有源层在垂直于所述基底方向的截面呈T字形。

[0013] 在示例性实施方式中,所述薄膜晶体管包括至少两个在所述基底上层叠设置的薄膜晶体管单元以及位于相邻两个所述薄膜晶体管单元之间的绝缘介质层。

[0014] 在示例性实施方式中,所述有源层材料采用镉镓锌氧化物。

[0015] 在示例性实施方式中,所述基底采用硅基底。

[0016] 在示例性实施方式中,所述栅极复合层包括第一栅极,所述第一栅极中设置有所述第一过孔,至少部分所述第二部分设置在所述第一过孔中,在所述第一过孔中的所述第二部分与所述第一栅极侧壁相对的部分形成所述沟道。

[0017] 在示例性实施方式中,所述栅极复合层包括第一栅极和第二栅极,所述第一栅极和所述第二栅极同层设置,且所述第一栅极和所述第二栅极位于所述第一过孔的相对两侧,至少部分所述第二部分设置在所述第一过孔中,所述第一栅极和所述第二栅极共用在所述第一过孔中的所述第二部分,形成共用沟道。

[0018] 在示例性实施方式中,所述栅极复合层包括第一栅极、设置于所述第一栅极远离所述基底一侧的第二栅极以及设置于所述第一栅极与所述第二栅极之间的第三绝缘层,所述第一栅极、所述第二栅极以及所述第三绝缘层中均设置有所述第一过孔,至少部分所述第二部分设置在所述第一过孔中,在所述第一过孔中的所述第二部分与所述第一栅极侧壁相对的部分形成第一沟道,在所述第一过孔中的所述第二部分与所述第二栅极侧壁相对的部分形成第二沟道。

[0019] 第二方面,本公开实施例还提供了一种薄膜晶体管的制备方法,包括:

[0020] 在基底上形成栅极复合层薄膜;

[0021] 在所述栅极复合层薄膜中形成第一过孔,所述栅极复合层薄膜形成栅极复合层;

[0022] 在所述栅极复合层上沉积有源材料,使所述有源材料形成有源层;其中,所述有源层包括互相交叉设置的第一部分和第二部分,所述第一部分层叠设置在所述栅极复合层远离所述基底一侧,至少部分所述第二部分设置在所述第一过孔中,所述第二部分在所述第一过孔中与所述栅极复合层侧壁相对的部分形成沟道。

[0023] 在示例性实施方式中,在所述栅极复合层上形成有源层之后,还包括:

[0024] 在所述有源层上形成第二电极;其中,所述第二电极覆盖至少部分所述有源层的第一部分,且所述第二电极与所述第一部分靠近所述第二电极一侧表面电接触。

[0025] 在示例性实施方式中,通过同一制备工艺,在所述栅极复合层上依次形成所述有源层和所述第二电极。

[0026] 在阅读并理解了附图和详细描述后,可以明白其他方面。

### 附图说明

[0027] 附图用来提供对本申请技术方案的理解,并且构成说明书的一部分,与本申请的实施例一起用于解释本申请的技术方案,并不构成对本申请技术方案的限制。

[0028] 图1为相关技术中薄膜晶体管的结构示意图一;

[0029] 图2为相关技术中薄膜晶体管的结构示意图二;

[0030] 图3为相关技术中薄膜晶体管的结构示意图三;

[0031] 图4为本发明实施例薄膜晶体管的结构示意图一;

[0032] 图5为本发明实施例薄膜晶体管的结构示意图二;

[0033] 图6为本发明实施例薄膜晶体管形成第一电极薄膜图案、第一绝缘薄膜图案、栅极复合层薄膜图案和第二绝缘薄膜图案后的示意图;

[0034] 图7为本发明实施例薄膜晶体管形成第一绝缘层图案、栅极复合层图案以及第二绝缘层图案后的示意图;

[0035] 图8为本发明实施例薄膜晶体管形成栅极绝缘薄膜后的示意图;

[0036] 图9为本发明实施例薄膜晶体管形成栅极绝缘层后的示意图;

[0037] 图10为本发明实施例薄膜晶体管形成第一电极后的示意图;

[0038] 图11为本发明实施例薄膜晶体管的结构示意图三;

[0039] 图12为本发明实施例薄膜晶体管的电路图一;

[0040] 图13为本发明实施例薄膜晶体管的结构示意图四;

[0041] 图14为本发明实施例薄膜晶体管的电路图二。

### 具体实施方式

[0042] 下文中将结合附图对本公开的实施例进行详细说明。注意,实施方式可以以多个不同形式来实施。所属技术领域的普通技术人员可以很容易地理解一个事实,就是方式和内容可以在不脱离本公开的宗旨及其范围的条件下被变换为各种各样的形式。因此,本公开不应该被解释为仅限定在下面的实施方式所记载的内容中。在不冲突的情况下,本公开中的实施例及实施例中的特征可以相互任意组合。

[0043] 在本说明书中,为了方便起见,使用“中部”、“上”、“下”、“前”、“后”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示方位或位置关系的词句以参照附图说明构成要素的位置关系,仅是为了便于描述本说明书和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本公开的限制。构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于在说明书中说明的词句,根据情况可以适当地更换。

[0044] 在本说明书中,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解。例如,可以是固定连接,或可拆卸连接,或一体地连接;可以是机械连接,或电连接;可以是直接相连,或通过中间件间接相连,或两个元件内部的连通。对于本领域的普通技术人员而言,可以根据情况理解上述术语在本公开中的含义。

[0045] 本公开中的“约”,是指不严格限定界限,允许工艺和测量误差范围内的数值。

[0046] 传统的硅基器件,沟道材料必须是单晶硅材料,单晶材料的沉积和生长,必须基于单晶硅衬底,极大的限制了MOS器件进一步的集成(器件无法从硅衬底脱离出来)。

[0047] 铟镓锌氧化物(indium gallium zinc oxide,简称:IGZO)材料中,铟是通过5S轨道进行导电。铟镓锌氧化物材料的不定形结构也是可以导电的。同时铟镓锌氧化物中氧的含量会影响其半导体的性质。这使得铟镓锌氧化物可以替代单晶硅作为沟道材料。

[0048] 相关技术薄膜晶体管采用铟镓锌氧化物作为半导体材料可以分为阻挡刻蚀型、背沟道刻蚀型以及共面型。

[0049] 图1为相关技术中薄膜晶体管的结构示意图一。如图1所示,该薄膜晶体管为阻挡刻蚀型薄膜晶体管。该薄膜晶体管包括层叠设置在基底1上的栅极2'、层叠设置在栅极2'上的栅极绝缘层3以及层叠设置在栅极绝缘层3上的第一电极4、第二电极5、有源层6,至少部分第一电极4和至少部分第二电极5分别覆盖有源层6的两端,有源层6上设置有阻挡层7,至少部分阻挡层7位于第一电极4与有源层6之间,以及至少部分阻挡层7位于第二电极5与有源层6之间。其中,有源层6的材料采用铟镓锌氧化物。第一电极4可以为源电极,第二电极5可以为漏电极。

[0050] 图2为相关技术中薄膜晶体管的结构示意图二。如图2所示,该薄膜晶体管为背沟道刻蚀型薄膜晶体管。该薄膜晶体管包括层叠设置在基底1上的栅极2'、层叠设置在栅极2'上的栅极绝缘层3、层叠设置在栅极绝缘层3上的有源层6以及层叠设置在有源层6上的第一电极4、第二电极5。其中,有源层6的材料采用铟镓锌氧化物。第一电极4可以为源电极,第二电极5可以为漏电极。

[0051] 图3为相关技术中薄膜晶体管的结构示意图三。如图3所示,该薄膜晶体管为共面型薄膜晶体管。该薄膜晶体管包括层叠设置在基底1上的栅极2'、层叠设置在栅极2'上的栅极绝缘层3以及层叠设置在栅极绝缘层3上的第一电极4、第二电极5、有源层6,至少部分有源层6覆盖第一电极4,至少部分有源层6覆盖第二电极5。其中,有源层6的材料采用铟镓锌氧化物。第一电极4可以为源电极,第二电极5可以为漏电极。

[0052] 相关技术薄膜晶体管都是平面结构,源极、栅极以及漏极在基底上平铺,集成度不高。

[0053] 本发明实施例提供了一种薄膜晶体管。本发明实施例薄膜晶体管包括至少一个薄膜晶体管单元,所述薄膜晶体管单元至少包括设置在基底上的栅极复合层和有源层,所述栅极复合层中设置有第一过孔,所述有源层包括互相连接的第一部分和第二部分,所述第一部分沿着第一方向延伸,所述第二部分沿着第二方向延伸,所述第一方向与所述第二方向不同,且所述第二方向与所述基底所在的平面非平行,所述第一部分层叠设置在所述栅极复合层远离所述基底一侧,至少部分所述第二部分设置在所述第一过孔中,在所述第一过孔中的所述第二部分与所述栅极复合层侧壁相对的部分形成沟道。

[0054] 本发明实施例薄膜晶体管为立体结构,通过将有源层形成第一部分和第二部分的立体结构,在与基底所在的平面非平行方向,第二部分与栅极复合层侧壁相对的部分形成沟道,从而提高了薄膜晶体管的集成度。

[0055] 本发明实施例薄膜晶体管可以通过增加栅极复合层的高度,以增大栅极复合层的侧壁与有源层第二部分的相对面积,加强了栅极复合层对沟道导电能力的控制,有效提高了薄膜晶体管的驱动能力和工作稳定性。

[0056] 本发明实施例薄膜晶体管可以采用多种结构实现,下面通过具体实施例详细说明本发明实施例的技术方案。

[0057] 图4为本发明实施例薄膜晶体管的结构示意图一。如图4所示,本实施例薄膜晶体管包括至少一个薄膜晶体管单元100,一个薄膜晶体管单元100包括基底1,设置在基底1上的栅极复合层2和有源层6,有源层6包括互相连接的第一部分601和第二部分602,第一部分601沿着第一方向D1延伸,第二部分602沿着第二方向D2延伸,第一方向D1与第二方向D2不同,且第二方向D2与基底1所在的平面非平行,第一部分601层叠设置在栅极复合层2远离基底1一侧,栅极复合层2中设置有第一过孔201,至少部分第二部分602设置在第一过孔201中,在第一过孔201中的第二部分602与栅极复合层2侧壁相对的部分形成沟道。其中,第一过孔201在栅极复合层2的厚度方向将栅极复合层2贯穿。

[0058] 在示例性实施方式中,有源层6的材料可以采用多种材料。例如,有源层6的材料可以采用非晶硅a-Si、多晶硅p-Si、非晶态氧化铟镓锌材料a-IGZO、氮氧化锌ZnON、氧化铟镓锡IZTO、六噻吩、聚噻吩等各种材料,即本发明实施例同时适用于基于非晶硅技术、多晶硅技术、氧化物Oxide技术以及有机物技术制造的薄膜晶体管,可以是N型薄膜晶体管,也可以是P型薄膜晶体管。优选地,本实施例有源层材料采用氧化铟镓锡。

[0059] 在示例性实施方式中,第一方向D1与基底1所在的平面平行,第二方向D2与基底1所在的平面垂直。

[0060] 在示例性实施方式中,有源层6可以采用多种形状。例如,有源层6在垂直于基底1方向的截面呈T字形。

[0061] 在示例性实施方式中,基底1可以由半导体材料制成,半导体材料可以为硅、锗、硅锗化合物以及硅碳化合物中的一种或者多种。例如,基底1可以采用硅基底。

[0062] 在示例性实施方式中,一个薄膜晶体管单元100还包括设置在基底1上的第一电极4。第一电极4沿着第一方向D1延伸。第一电极4层叠设置于栅极复合层2靠近基底1一侧,至少部分第一电极4在基底1的垂直投影与栅极复合层2在基底1的垂直投影交叠,即栅极复合层2覆盖至少部分第一电极4。第一电极4中设置有第二过孔401,第二过孔401将第一电极4的侧壁暴露。至少部分第二过孔401与第一过孔201连通。有源层6的至少部分第二部分602设置在第二过孔401中,且至少部分第二部分602在第二过孔401中与暴露的第一电极4的侧壁电接触。其中,第一电极4可以为漏电极。第二过孔401在第一电极4的厚度方向将第一电极4贯穿。

[0063] 本发明实施例可以通过增加第一电极4的厚度,以增大第一电极4的侧壁与有源层6的第二部分602的接触面积,从而减小第一电极4的接触电阻。

[0064] 在示例性实施方式中,第一电极4靠近有源层6的第二部分602一侧侧壁的表面为倾斜面,至少部分第二部分在第二过孔401中与该倾斜面电接触。本发明实施例可以通过将第一电极4的侧壁表面形成倾斜面,以增大第一电极4的侧壁与有源层6的第二部分602的接触面积,从而减小第一电极4的接触电阻。

[0065] 在示例性实施方式中,第二过孔401在基底1的垂直投影与第一过孔201在基底1的垂直投影完全交叠,即第二过孔401全部与第一过孔201连通。

[0066] 在示例性实施方式中,一个薄膜晶体管单元100还包括设置在基底1上的第二电极5。第二电极5沿着第一方向D1延伸。第二电极5层叠设置于有源层6第一部分601远离基底1



一侧。示例的,第二电极5覆盖第一部分601远离基底1一侧的所有表面。至少部分第二电极5在基底1的垂直投影与第一部分601在基底1的垂直投影交叠,即至少部分第二电极5覆盖栅极复合层2。至少部分第二电极5与第一部分601靠近第二电极5一侧表面电接触。其中,第二电极5可以为源电极。

[0067] 本发明实施例膜晶体管可以将第二电极5作为保护层,保护有源层6,防止有源层6材料性质改变,影响器件性能。

[0068] 在示例性实施方式中,一个薄膜晶体管单元100还包括栅极绝缘层3。栅极绝缘层3沿着第二方向D2延伸。栅极绝缘层3设置在有源层6的第二部分602的侧壁与栅极复合层2的侧壁之间。栅极绝缘层3用于将有源层6的第二部分602的侧壁与栅极复合层2的侧壁隔开。其中,栅极绝缘层3可以采用金属氧化物。

[0069] 在示例性实施方式中,一个薄膜晶体管单元100还包括第一绝缘层7。第一绝缘层7沿着第一方向D1延伸。第一绝缘层7设置在第一电极4与栅极复合层2之间,第一绝缘层7中设置有第三过孔701,至少部分第三过孔701均与第一过孔201和第二过孔401连通。至少部分第二部分602设置在第三过孔701中。其中,第三过孔701在第一绝缘层7的厚度方向将第一绝缘层7贯穿。

[0070] 本发明实施例可以通过控制第一绝缘层7的厚度,改善栅极复合层2与第一电极4之间的耦合电容,来减少相互之间的串扰,增加器件可靠性。同时不影响器件集成度。

[0071] 在示例性实施方式中,第三过孔701在基底1的垂直投影与第一过孔201在基底1的垂直投影完全交叠,第三过孔701在基底1的垂直投影与第二过孔401在基底1的垂直投影完全交叠,即第三过孔701远离基底1的一端全部与第一过孔201连通;第三过孔701靠近基底1的一端全部与第二过孔401连通。

[0072] 在示例性实施方式中,一个薄膜晶体管单元100还包括第二绝缘层8。第二绝缘层8沿着第一方向D1延伸。第二绝缘层8设置在栅极复合层2和有源层6的第一部分601之间,第二绝缘层8中设置有第四过孔801,至少部分第四过孔801与第一过孔201连通,至少部分有源层6的第二部分602设置在第四过孔801中。其中,第四过孔801在第二绝缘层8的厚度方向将第二绝缘层8贯穿。

[0073] 本发明实施例可以通过控制第二绝缘层8的厚度,改善栅极复合层2与第二电极5之间的耦合电容,来减少相互之间的串扰,增加器件可靠性。同时不影响器件集成度。

[0074] 在示例性实施方式中,第四过孔801在基底1的垂直投影与第一过孔201在基底1的垂直投影完全交叠,即第四过孔801靠近基底1的一端全部与第一过孔201连通。

[0075] 在示例性实施方式中,在第二方向D2上,一个薄膜晶体管单元100中的第四过孔801、第一过孔201、第三过孔701和第二过孔401依次连通,形成一个依次贯穿第二绝缘层8、栅极复合层2、第一绝缘层7和第一电极4的通孔,有源层6第二部分602的底端依次穿过第四过孔801、第一过孔201、第三过孔701和第二过孔401,延伸至基底1的表面。

[0076] 在示例性实施方式中,如图4所示,栅极复合层2包括第一栅极2a,第一栅极2a一体成型的整面膜层结构,铺设在基底1的一侧。第一栅极2a中设置有第一过孔201,至少部分第二部分602设置在第一过孔201中,在第一过孔201中的第二部分602与第一栅极2a侧壁相对的部分形成沟道。

[0077] 图5为本发明实施例薄膜晶体管的结构示意图二。如图5所示,本发明实施例薄膜

晶体管包括至少两个在基底1上层叠设置的薄膜晶体管单元100以及位于相邻两个薄膜晶体管单元100之间的绝缘介质层200。本发明实施例薄膜晶体管可以通过在垂直于基底1方向上层叠设置至少两个薄膜晶体管单元100,以提高薄膜晶体管的集成度。

[0078] 图11为本发明实施例薄膜晶体管的结构示意图三;图12为本发明实施例薄膜晶体管的电路图一。其中,图12为图11中薄膜晶体管的电路图。在示例性实施方式中,如图11和图12所示,栅极复合层2包括第一栅极2a和第二栅极2b,第一栅极2a和第二栅极2b同层设置,示例的,第一栅极2a和第二栅极2b可以采用相同的材料通过同一制备工艺制备而成。栅极复合层2中设置有第一过孔201,第一栅极2a和第二栅极2b位于第一过孔201的相对两侧,至少部分第二部分602设置在第一过孔201中,第一栅极2a和第二栅极2b共用在第一过孔201中的第二部分602,形成共用沟道。本发明实施例薄膜晶体管可以实现“或”逻辑功能。且本发明实施例薄膜晶体管通过共用沟道,在平行于基底方向减少接触点,提高了薄膜晶体管的集成度。

[0079] 图13为本发明实施例薄膜晶体管的结构示意图四;图14为本发明实施例薄膜晶体管的电路图二。其中,图14为图13中薄膜晶体管的电路图。在示例性实施方式中,如图13和图14所示,栅极复合层2包括第一栅极2a、设置于第一栅极2a远离基底1一侧的第二栅极2b以及设置于第一栅极2a与第二栅极2b之间的第三绝缘层2c。第一栅极2a和第二栅极2b可以采用相同的材料。第三绝缘层2c用于将第一栅极2a和第二栅极2b隔离。第一栅极2a和第二栅极2b在基底1的厚度方向层叠设置,形成立体结构。第一栅极2a、第二栅极2b和第三绝缘层2c中均设置有第一过孔201,即在基底1的厚度方向,第一过孔201将第一栅极2a、第二栅极2b和第三绝缘层2c贯穿。至少部分第二部分602设置在第一过孔201中,在第一过孔201中的第二部分602与第一栅极2a侧壁相对的部分形成第一沟道,在第一过孔201中的第二部分602与第二栅极2b侧壁相对的部分形成第二沟道,且第一沟道在基底1的正投影与第二沟道在基底1的正投影交叠。本发明实施例薄膜晶体管可以实现“与”逻辑功能。且本发明实施例薄膜晶体管通过将第一沟道和第二沟道在基底1的厚度方向层叠设置,在平行于基底方向减少接触点,提高了薄膜晶体管的集成度。

[0080] 本发明实施例还提供了一种薄膜晶体管的制备方法,包括:

[0081] 在基底上形成栅极复合层薄膜;

[0082] 在所述栅极复合层薄膜中形成第一过孔,所述栅极复合层薄膜形成栅极复合层;

[0083] 在所述栅极复合层上沉积有源材料,使所述有源材料形成有源层;其中,所述有源层包括互相交叉设置的第一部分和第二部分,所述第一部分层叠设置在所述栅极复合层远离所述基底一侧,至少部分所述第二部分设置在所述第一过孔中,所述第二部分在所述第一过孔中与所述栅极复合层侧壁相对的部分形成沟道。

[0084] 在示例性实施方式中,在所述栅极复合层上形成有源层之后,本发明实施例薄膜晶体管的制备方法还包括:

[0085] 在所述有源层上形成第二电极;其中,所述第二电极覆盖至少部分所述有源层的第一部分,且所述第二电极与所述第一部分靠近所述第二电极一侧表面电接触。

[0086] 在示例性实施方式中,通过同一制备工艺,在所述栅极复合层上依次形成所述有源层和所述第二电极。

[0087] 下面通过本实施例显示基板的制备过程进一步说明本实施例的技术方案。本实施

例中所说的“构图工艺”包括沉积膜层、涂覆光刻胶、掩模曝光、显影、刻蚀、剥离光刻胶等处理,是相关技术中成熟的制备工艺。沉积可采用溅射、蒸镀、化学气相沉积等已知工艺,涂覆可采用已知的涂覆工艺,刻蚀可采用已知的方法,在此不做具体的限定。在本实施例的描述中,需要理解的是,“薄膜”是指将某一种材料在基底上利用沉积或涂覆工艺制作出的一层薄膜。若在整个制作过程当中该“薄膜”无需构图工艺或光刻工艺,则该“薄膜”还可以称为“层”。若在整个制作过程当中该“薄膜”还需构图工艺或光刻工艺,则在构图工艺前称为“薄膜”,构图工艺后称为“层”。经过构图工艺或光刻工艺后的“层”中包含至少一个“图案”。

[0088] 图6至图10为本发明实施例薄膜晶体管制备过程的示意图。本发明实施例薄膜晶体管的制备方法,具体包括:

[0089] (1) 在基底1上依次沉积第一电极薄膜10图案、第一绝缘薄膜11图案、栅极复合层薄膜12图案和第二绝缘薄膜13图案,第一电极薄膜10覆盖基底1所有表面,第一绝缘薄膜11覆盖第一电极薄膜10所有表面,栅极复合层薄膜12覆盖第一绝缘薄膜11所有表面,第二绝缘薄膜13覆盖栅极复合层薄膜12所有表面,如图6所示。其中,第一绝缘薄膜11和第二绝缘薄膜13均可以采用硅氧化物 $\text{SiO}_x$ 、硅氮化物 $\text{SiN}_x$ 、氮氧化硅 $\text{SiON}$ 等,也可以采用High k材料,如氧化铝 $\text{Al}_2\text{O}_3$ 、氧化铪 $\text{HfO}_2$ 、氧化钽 $\text{Ta}_2\text{O}_5$ 等,可以是单层、多层或复合层。第一电极薄膜10可以采用金属材料,如银Ag、铜Cu、铝Al、钼Mo等,或上述金属的合金材料,如铝钕合金AlNd、钼铌合金MoNb等,可以是多层金属,如Mo/Cu/Mo等,也可以是金属和透明导电材料形成的堆栈结构,如ITO/Ag/ITO等。

[0090] (2) 在形成有前述图案的基底1上,通过同一刻蚀工艺,将第一绝缘薄膜中形成第三过孔701,使第一绝缘薄膜形成第一绝缘层7图案;将栅极复合层薄膜中形成第一过孔201,使栅极复合层薄膜形成栅极复合层2图案;将第二绝缘薄膜中形成第四过孔801,使第二绝缘薄膜形成第二绝缘层8图案;第一过孔201、第三过孔701和第二过孔401依次连通,将部分第一电极薄膜10暴露,如图7所示。

[0091] (3) 在形成有前述图案的基底1上,在第二绝缘层8上沉积栅极绝缘薄膜14,栅极绝缘薄膜14覆盖第二绝缘层8所有表面、第三过孔701的侧壁、第一过孔201的侧壁、第四过孔801的侧壁以及暴露的第一电极薄膜10所有表面,如图8所示。

[0092] (4) 在形成有前述图案的基底1上,通过刻蚀工艺,将第二绝缘层8所有表面上的栅极绝缘薄膜以及暴露的第一电极薄膜10所有表面上的栅极绝缘薄膜刻蚀去除,将第三过孔701的侧壁、第一过孔201的侧壁和第四过孔801的侧壁上的栅极绝缘薄膜保留,形成栅极绝缘层3,如图9所示。

[0093] (5) 在形成有前述图案的基底1上,通过刻蚀工艺,将暴露的第一电极薄膜刻蚀去除,使第一电极薄膜中形成第二过孔401,使第一电极薄膜形成第一电极4,第二过孔401与第三过孔701连通,第四过孔801、第一过孔201、第三过孔701和第二过孔401依次连通,形成一个依次贯穿第二绝缘层8、栅极复合层2、第一绝缘层7和第一电极4的通孔,如图10所示。

[0094] (6) 在形成有前述图案的基底1上,通过同一制备工艺,在第二绝缘层8上分别沉积半导体薄膜以及第二电极薄膜,使半导体薄膜形成有源层6,使第二电极薄膜形成第二电极5,第二电极5覆盖有源层6所有表面,如图4所示。其中,第二电极薄膜可以采用金属材料,如银Ag、铜Cu、铝Al、钼Mo等,或上述金属的合金材料,如铝钕合金AlNd、钼铌合金MoNb等,可以是多层金属,如Mo/Cu/Mo等,也可以是金属和透明导电材料形成的堆栈结构,如ITO/Ag/ITO

等。有源层6包括互相连接的第一部分601和第二部分602,第一部分601沿着第一方向D1延伸,第二部分602沿着第二方向D2延伸,第一方向D1与第二方向D2不同,且第二方向D2与基底1所在的平面非平行,第一部分601层叠设置在栅极复合层2远离基底1一侧,栅极复合层2中设置有第一过孔201,至少部分第二部分602设置在第一过孔201中,第二部分602与栅极复合层2侧壁相对的部分形成沟道。

[0095] 本发明实施例膜晶体管的制备方法通过同一制备工艺,形成有源层6和第二电极5,并使第二电极5覆盖有源层6所有表面,将第二电极5作为保护层,保护有源层6,防止有源层6材料性质改变,影响器件性能。

[0096] 通过本发明实施例薄膜晶体管的结构以及制备过程可以看出,本实施例提出了一种立体结构的薄膜晶体管,通过将有源层形成第一部分和第二部分的立体结构,在与基底所在的平面非平行方向,第二部分与栅极复合层侧壁相对的部分形成沟道,从而提高了薄膜晶体管的集成度。

[0097] 本公开中的附图只涉及本公开涉及到的结构,其他结构可参考通常设计。在不冲突的情况下,本公开的实施例即实施例中的特征可以相互组合以得到新的实施例。

[0098] 本领域的普通技术人员应当理解,可以对本公开的技术方案进行修改或者等同替换,而不脱离本公开技术方案的精神和范围,均应涵盖在本公开的权利要求的范围当中。

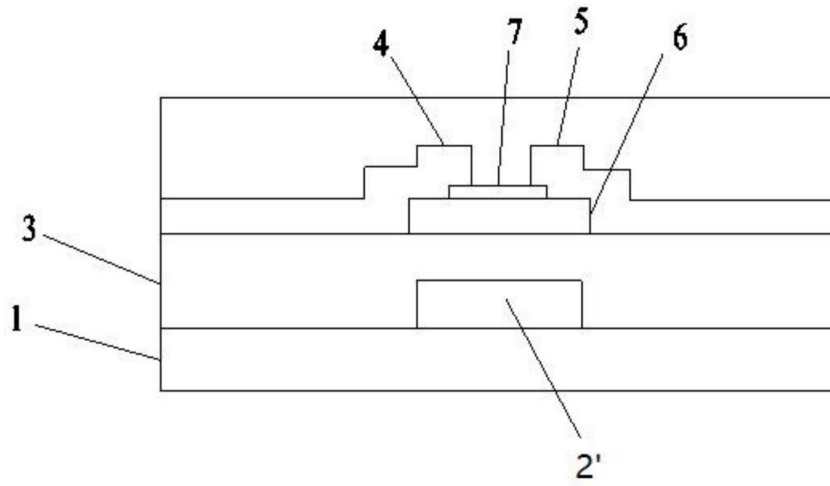


图1

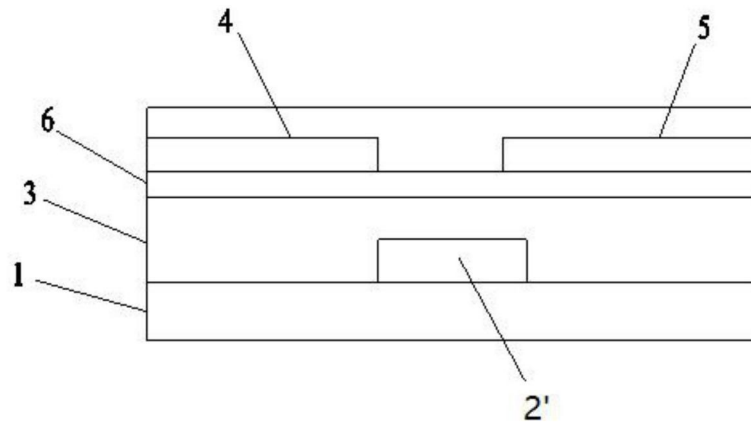


图2

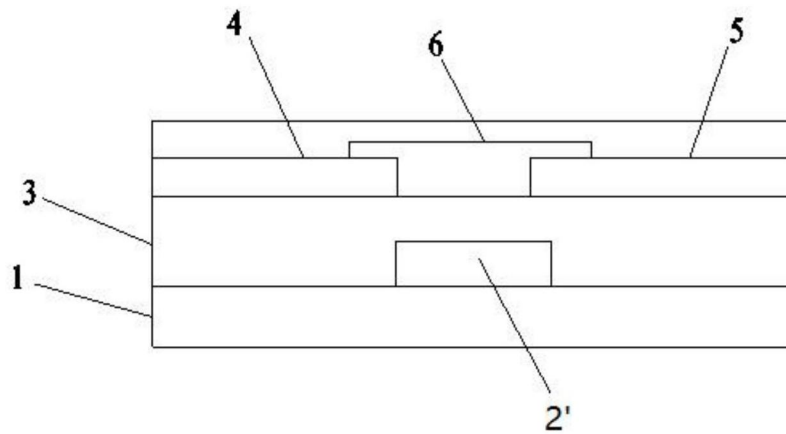


图3

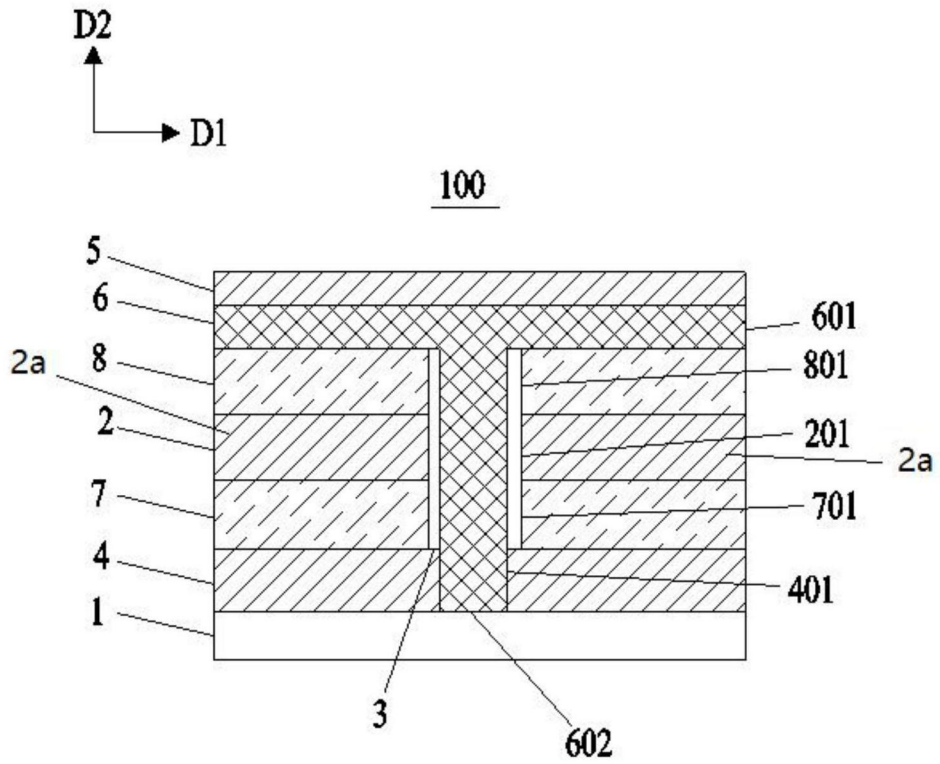


图4

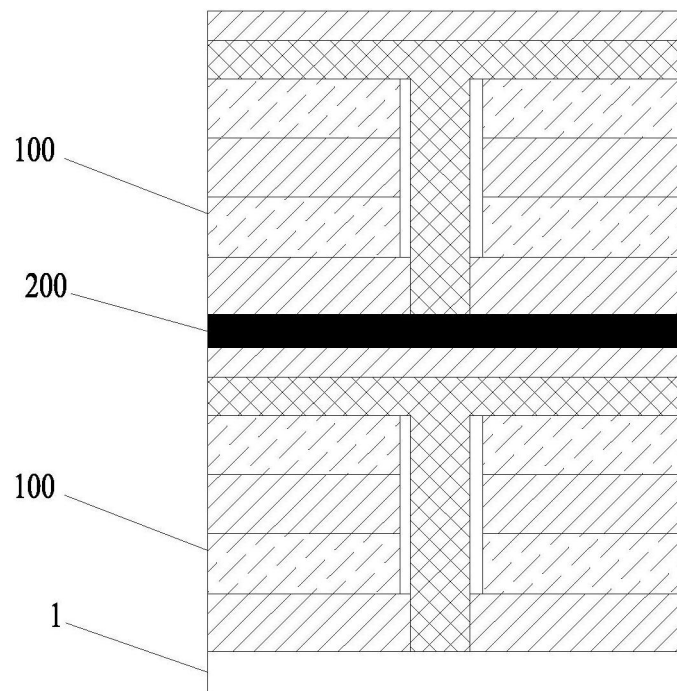


图5

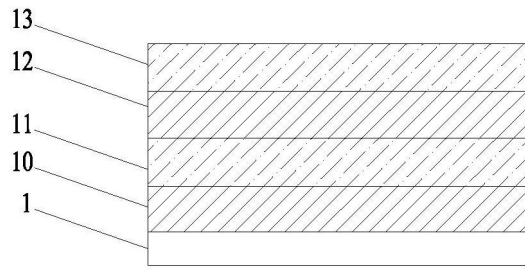


图6

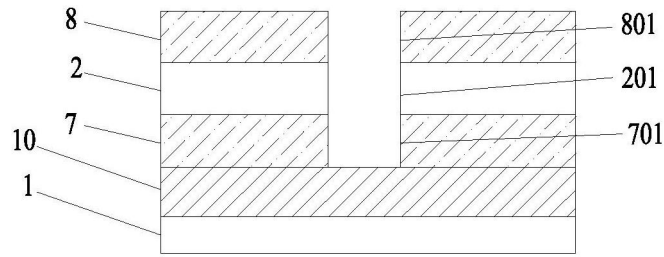


图7

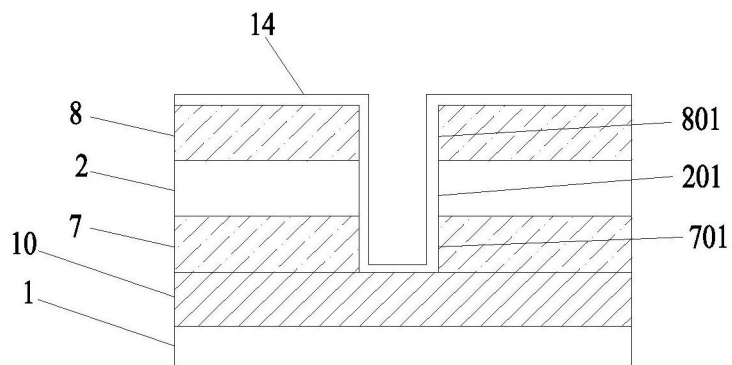


图8

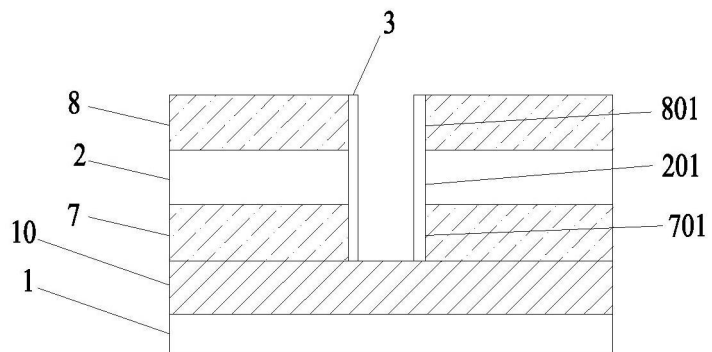


图9

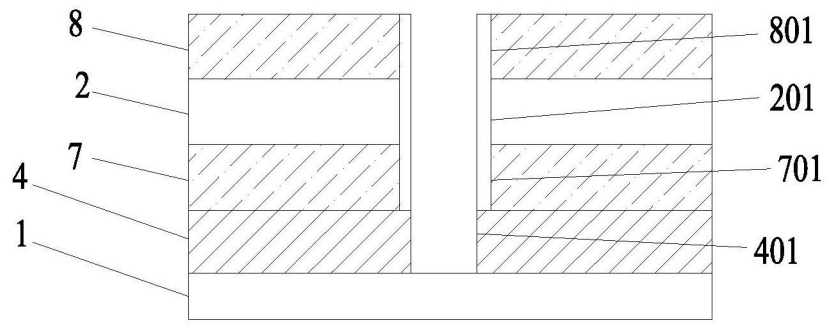


图10

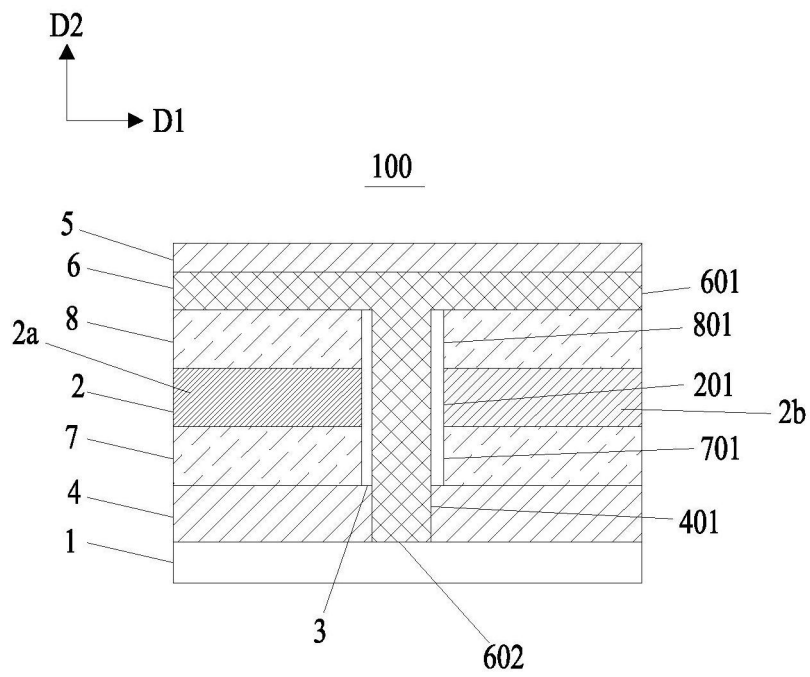


图11



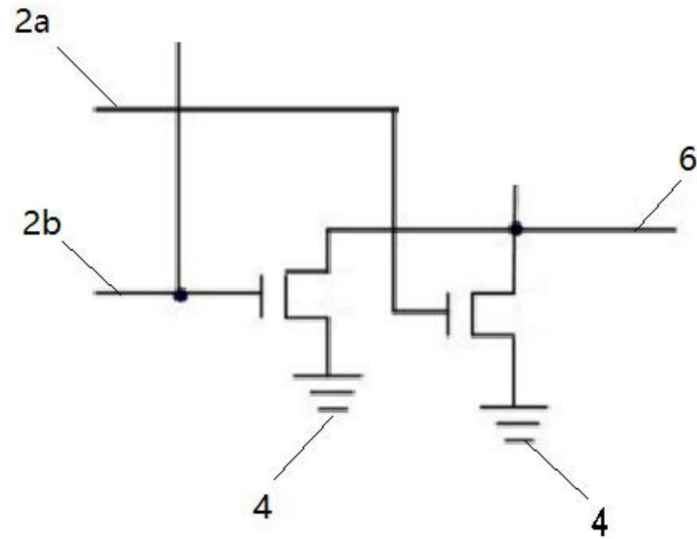


图12

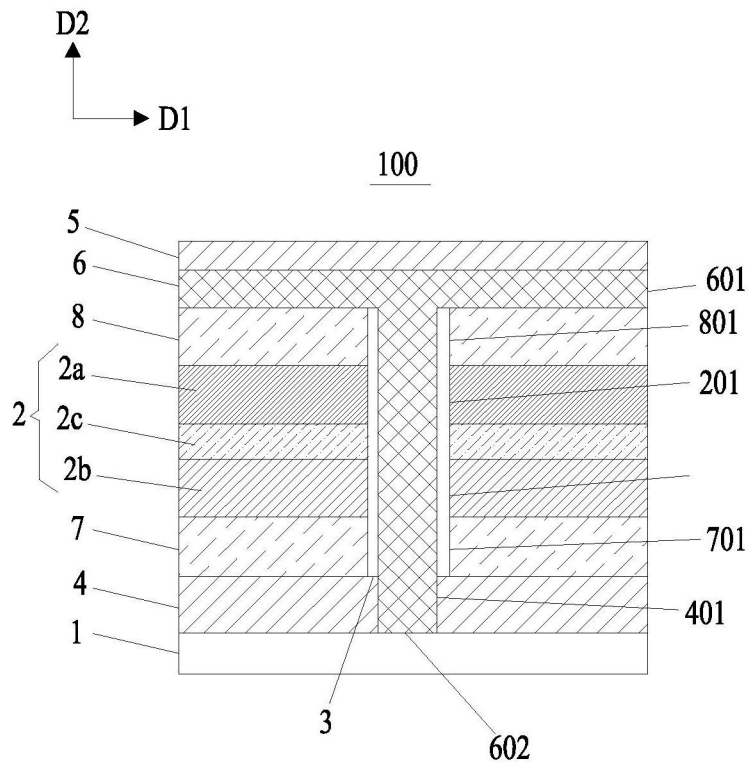


图13

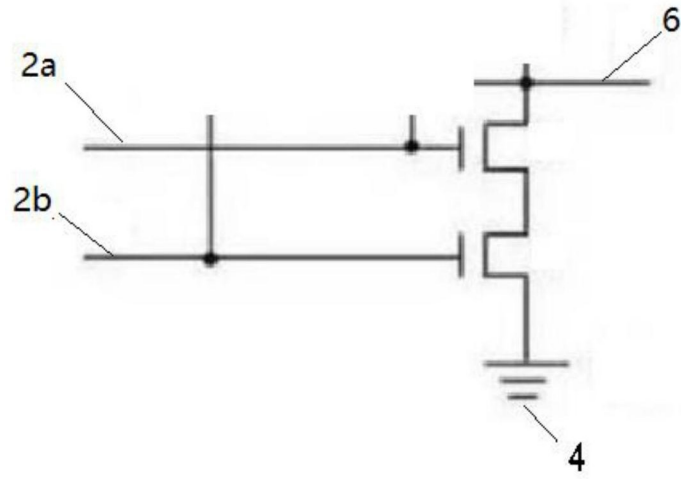


图14