

公告本

312016

申請日期	85.7.15
案號	85108542
類別	G11C 7/10

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	使用於半導體記憶裝置之次字元線驅動器
	英 文	
二、發明 創作人	姓 名	1. 黃泓善 2. 柳承汶
	國 籍	大韓民國
三、申請人	住、居所	1. 大韓民國京畿道水原市八達區遠川洞亞洲大樓4棟204號 2. 大韓民國京畿道水原市八達區梅灘洞三星1次大樓2棟1310號
	姓 名 (名稱)	三星電子股份有限公司
	國 籍	大韓民國
	住、居所 (事務所)	大韓民國京畿道水原市八達區梅灘洞416番地
	代 表 人 姓 名	金光浩

裝

訂

線

312016

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

韓國(地區) 申請專利，申請日期：1995.7.15案號：20914/1995 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

發明背景

1. 發明領域

本發明係關於一種半導體記憶裝置，尤指一種字元線運作期間之字元線高速升壓用之次字元線驅動器。

本發明之次字元線驅動器係以韓國第20814/1995號專利為基礎，於此合併為參考資料。

2. 相關習知技術描述

由儲存資料用之單元電容 (cell capacitor) 以及控至電荷輸入/輸出用之存取電晶體所組成的記憶單元以及用以自記憶單元讀出或寫入資料的週邊電路組成了動態隨機存取記憶體 (下稱 DRAM) 的基本結構。圖一表示半導體記憶裝置之中心部份，其包括例如感測放大器以及列選擇閘等週邊電路。這種中心部份的結構及運作為本技藝之人士所熟知。圖二表示圖一讀取運作之時序圖。DRAM 的讀取機將參照圖一、二而為說明。

當讀取運作的控制訊號，如列位址觸發訊號 $\overline{\text{RAS}}$ 或行位址觸發訊號 $\overline{\text{CAS}}$ ，變成邏輯“低”準位時，與這些控制訊號同步之各種內部控制訊號於一內部晶片內產生，而內部控制訊號依據預定時序順序運作，因而完成想要的讀取運作。於典型的記憶裝置中係使用位址多工方法來降低晶片尺

(請先閱讀背面之注意事項再填寫本頁)

本

訂

五、發明說明 (2)

寸，其中，相同的位址線被一列位址觸發訊號或一行位址觸發訊號控制，以便得知輸入位址為列位址或行位址。於指定列位址的情況下，升壓字元線電壓被施加至對應該列位址的字元線，反之，於指定行位址的情況下，連接至對應該行位址之一對位元線的行選擇線被選擇。在 DRAMs 中，字元線的選擇與單元資料與位元線之間的電荷分配有關。如果電荷分配運作係藉由選擇任何字元線而完成，則產生預定的字元線之間電壓準位的差異。感測放大器感測並發展位元線之間的差異，且通常使用具有 P-N 栓鎖結構的感測放大器。近來，為了降低晶片尺寸，感測放大器為相鄰記憶區塊共用，且圖一表示共用的 P-N 感測放大器結構。在這種共用的 P-N 感測放大器中，記憶體 2, 14 被隔離閘控制訊號 $IS0_i$ 及 $IS0_j$ 互斥地選擇。也就是說，在記憶單元 2 被選擇的情況下，第一控制訊號 $IS0_i$ 變成邏輯“高”準位，也就是升高的電壓準位 V_{pp} ，因此導通隔離閘 4, 6，而第二控制訊號 $IS0_j$ 變成邏輯“低”準位，也就是接地電壓準位 V_{ss} ，因此關閉隔離閘 16, 18。利用隔離閘 4, 6 的導通，在電荷分配以後具有數十到數百 mV 電壓差的一對位元線 BLi , \overline{BLi} 藉由 N 型與 P 型感測放大器 8 與 10 而被負放大 (negative-amplified) 與正放大 (positive-amplified)，然後分別發展為電源供應電壓 V_{cc} 準位與接地電壓準位。在位元線對 BLi , \overline{BLi} 已充份發展後，行解碼器 (未示出) 解碼一行位址，藉此驅動一相對應的行選擇線 CSL 以便選擇對應的行選擇閘。因此，位元線對

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (3)

\overline{BLi} , \overline{BLi} 被提供給 I/O 線 I/O, $\overline{I/O}$, 然後經由一串相關的輸出電路傳輸至晶片外部。以此方式完成讀取一位元資料的讀取運作。

如果字元線已被選擇，於指定的記憶單元與位元線的寄生電容之間執行電荷分配運作。然而，如果感測放大器在電荷分配運作之前運作，位元線對 \overline{BLi} , \overline{BLi} 的電壓就能充份地發展至預定的 CMOS 電位差，因而增加了記憶裝置故障的可能性。因此，確保位元線與記憶單元之間充份的電荷分配時間決定了 DRAM 的運作特性。為解決此問題，通常使用的方法是降低字元線被選擇以及達到預定電壓準位 $V_{cc} + V_t$ (其中 V_t 係存取電晶體之臨界電壓) 所需的時間。為此，習知半導體記憶裝置使用耦合 (strapping) 方法，以下將描述此方法。做為記憶單元的存取電晶體之控制極的複晶閘極係以高電阻性材料製成。一條以低電阻材料製成的金屬線形成於複晶閘極之上，以一預定距離與該複晶閘極接觸。也就是說，選擇字元線所需的時間係由低阻值材料決定，允許傳輸速度增加，而使高速電荷分配運作為可能。這種耦合方法對於具有高設計規則的 DRAM 裝置是有用的，但因製造的困難而不適合低設計規則的 DRAM。既然遵循複晶閘極製程的金屬化過程係於金屬不平坦的狀態下完成，則難以固定製造邊際 (margin)。因此，在大於 25 Mb 的極小設計規則的 DRAM 中幾乎不可能將金屬線放置於耦合用的字元線上。此外，由於深拓樸，故也難以在金屬與字元線之間開一接觸洞然後以金屬填滿該洞。為解

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (4)

決此問題，於是提出製造具有階級結構的字元線的方法。此種階級結構係藉次字元線以及用來選擇所指定之次字元線的驅動器而完成。

圖三係表示習知CMOS次字元線驅動器。於圖三中，一主字元線設置於每預定數目的次字元線，而一次字元線由區塊解碼器22及主字元線MWL的組合所選擇。也就是說，在主字元線MWL被主字元線解碼器20改變為邏輯“低”準位時，從區塊解碼器22經由CMOS次字元線驅動器的PMOS電晶體30,34提供升高的電壓至次字元線SWLi或SWLj。既然主字元線不需要位於每一次字元線，則可以用足夠的空間製造主字元線。

然而，圖三結構產生佈局上的缺點。也就是說，既然圖三結構的次字元線驅動器需要PMOS電晶體，則必需於PMOS電晶體用之P型基體上形成N型井，因此降低了記憶裝置的密度。為解決此問題，於日本NEC公司IEEE 1993,p50-51"A 30 ns 256Mb DRAM with Multi-Divided Array Structure"中揭示僅具有NMOS電晶體的次字元線。

圖四係上述文獻所提及之次字元線驅動器之方塊圖。於列位址觸發訊號變成邏輯“低”準位後，主列解碼器60解碼列位址的一部份，而次列解碼器80解碼列位址的另一部份。次字元線驅動器100的一點藉由主列解碼器60被預先充電至 $V_{BOOT}-V_{TN}$ 。其後，如果RA中的一條線被次列解碼器選擇，假設第i條線被選擇，次字元線SWLi被i與a的組合選擇。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (5)

然而，如圖四的這種次字元線具有如下的許多問題。首先，在電源開啓 (power-up) 及待機 (stand-by) 狀態中難以將主字元線充電至想要的升壓 V_{BOOT} 準位。在晶片內產生的升壓 V_{BOOT} 於記憶裝置之電源開啓時升高至預定的電壓準位。所以，在待機狀態，主字元線 MWL 應該維持在接地電壓 V_{SS} 準位，而 \overline{MWL} 應該預先充電至 V_{BOOT} 準位。這是因爲主字元線係成對且互相具相反相位的電路結構特性所致。16Mb DRAM 之升壓電路的訊號線應該驅動的負載是大約 6nF。在增加記憶容量至 256Mb DRAM 的情況下，負載變成數十個 nF，因此難以在電源開啓及待機期間使主字元線充電至想要的 V_{BOOT} 準位。其次，如果粒子所致之微橋 (micro bridge) 產生，則待機電流增加。在圖四，具有相反電位的一對主字元線 MWL ， \overline{MWL} 係於相同方向互相平行。在待機狀態中，主字元線 MWL 停留在接地電位 V_{SS} ，而 \overline{MWL} 維持在升壓 V_{BOOT} 準位。如果二線之間產生微橋，形成從 \overline{MWL} 至 MWL 的電流路徑，就是從 V_{BOOT} 至 V_{SS} ，則將連續降落 V_{BOOT} 準位。既然 V_{BOOT} 準位係於晶片內部產生，如果 V_{BOOT} 電壓下降，如振盪器及偵測器等電路，必須持續運作以便維持 V_{BOOT} 於原始電壓準位。這造成待機電流的增加。即使以多餘字元線取代其間產生微橋的字元線，這種電流消耗仍持續發生。此外，在具有小設計規則的記憶裝置中經常產生微橋。由微橋所造成的待機電流的增加對晶片失效的增加造成影響。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (6)

發明綜合說明

因此，本發明之主要目的在提供一種可以降低升壓產生器之負載的半導體記憶裝置。

本發明之另一目的在提供一種藉由使用次字元線驅動器降低存取運作期間之速度損失的半導體記憶裝置。

為達成此目的，一種半導體記憶裝置具有一解碼一部份列位址的主列解碼器以及一解碼其它列位址之次列解碼器，包括：至少一次字元線驅動器，其輸入自該主列解碼器輸出之一主字元線並解碼自該次列解碼器輸出之解碼訊號，然後輸出選擇一記憶單元用之次字元線。

圖式簡要說明

本發明這些及其它特徵將藉由下列敘述並參照所附圖式而獲較佳之了解：

第一圖：係半導體記憶裝置之主要部份結構的方塊圖；

第二圖：係圖一讀取運作之時序圖；

第三圖：係一種習知CMOS次字元線驅動器之電路方塊圖；

第四圖：係一種習知NMOS次字元線驅動器之電路方塊圖；

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(7)

第五圖：係本發明NMOS次字元線驅動器之電路方塊圖。

較佳實施例詳細說明

本發明較佳實施例將參照圖五而更完整討論。

圖五係二個本發明較佳實施例之半導體記憶裝置之次字元線驅動器之電路圖。參照圖五，包括解碼一部份列位址，如列位址 A_i ，用之單元的主列解碼器60以及一準位轉換器係連接於主字元線MWL。包括解碼另一部份列位址，如列位址 A_j ，用之單元的次列解碼器80以及一準位轉換器係連接於解碼字元線 i, j, k 及 l 。次字元線驅動器140包括一第一拉高電晶體 Q_0 ，其一端連接至主字元線MWL而另一端連接至第一次字元線 SWL_i ，一第一拉低電晶體 Q_2 ，其一端連接至第一次字元線 SWL_i 而另一端連接至接地電壓 V_{SS} ，一第一預先充電電晶體 Q_4 ，其一端連接至解碼位址線 i, j, k, l 中的第一線 i ，而另一端連接至第一拉高電晶體 Q_0 之控制閘，其控制極則連接至升高電壓 V_{BOOT} ，一第二拉高電晶體 Q_6 ，其一端連接至主字元線MWL而另一端連接至一第二次字元線 SWL_k ，一第二拉低電晶體 Q_8 ，其一端連接至第二次字元線 SWL_k 而另一端連接至接地電壓 V_{SS} ，一第二預先充電電晶體 Q_{10} ，其一端連接至解碼位址線之第二線 k 而另一端連接至第二拉高電晶體 Q_6 之控制極，其控制極則連接至升高電壓 V_{BOOT} ，一第一反相器142，其一輸入端

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(8)

連接至第一線 i 而輸出端連接至第一拉低電晶體 $Q2$ 之控制極，以及一第二反相器 144，其一輸入端連接至第二線 k 而其一輸出端連接至第二拉低電晶體 $Q8$ 之控制極。次字元線驅動器 160 具有與次字元線驅動器 140 相同之結構。次字元線驅動器 160 輸入不與次字元線驅動器 140 連接之第三及第四線 j, l ，並輸出第三及第四次字元線 $SWLj, SWLl$ 。

本發明較佳實施例之次字元線驅動器將參照圖五而為討論。

當列位址觸發訊號係位於邏輯“高”狀態，晶片係處於待機狀態，而主字元線 MWL 停留在接地準位。以列位址觸發訊號轉變為邏輯“低”準位，晶片變成激勵狀態，而自外部施加之位址藉由列緩衝器(未示出)被栓鎖而成為列位址訊號。次列解碼器 30 解碼最列位址之最小有效位元的二個位元，如列位址 Aj ，然後經由準位轉換器傳輸升高電壓 V_{BOOT} 至一條解碼位址線。為簡化說明本發明，假設升高電壓 V_{BOOT} 係施加至第一線 i 。主列解碼器 60 解碼另一列位址 Ai ，然後經由準位轉換器傳遞升高電壓 V_{BOOT} 至相對的次字元線 $SWLi$ 。傳遞升高電壓 V_{BOOT} 至次字元線 $SWLi$ 的過程如下所述。只有第一解碼線 i 停留在邏輯“高”準位，而其它解碼線 j, k, l 停留在邏輯“低”準位。因此，第一反相器 142 的輸出係位於邏輯“低”準位，而第二反相器的輸出及鄰近次字元線驅動器 160 之第一，第二反相器 162, 164 的輸出皆位於邏輯“高”準位。所以，拉低電晶體 $Q8, Q22$ 及 $Q28$ 變為導通，而拉低電晶體 $Q2$ 變成不導通。因此，次字

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(9)

元線SWL_j, SWL_k及SWL_l放電至接地電壓準位。次字元線驅動器160之第一預先充電電晶體Q4被預先充電至V_{BOOT}-V_{th}準位(其中V_{th}係一預先充電電晶體之臨界電壓)。因此,升高電壓V_{BOOT}從主列解碼器60經由第一拉高電晶體Q0施加至次字元線SWL_i。在次字元線驅動運作後,於記憶單元電容與位元線之間產生電荷分配運作。然後,感測放大器感測此情況並使位元線之間的電壓差發展至一CMOS準位的電壓差。其後,儲存於記憶單元電容的資料經由列選擇閘被傳的至I/O線,然後經由一串資料路徑控制電路輸出至晶片外部。

如上所述,在發明的半導體記憶裝置中,既然主字元線於待機狀態中處於接地電壓準位,應該被充電至升高電壓準位的訊號數目降低,因而節省電源開啓及待機期間之電源大量供應所致之降低升高電壓V_{BOOT}的問題。此外,既然每四條次字元線有一條主字元線且主字元線之預先充電準位係接地準位,相鄰字元線之間的微橋產生可以壓制。即使在相鄰字元線之間產生微橋,放電路徑可以藉由以多餘字元線取代該等產生微橋之字元線而隔離。這加強了良率及DRAM裝置的整體性能。

因此,本發明使用次字元線之半導體記憶裝置可以解決小設計規則中之字元線耦合問題,並防止微橋所致之失效,因而實現半導體記憶裝置之改良性能。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(10)

所有的描述及例示皆為較佳實施例，熟悉本技藝之人士將了解，於不脫離本發明申請專利範圍之情況下可有不同的修飾。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱：)

使用於半導體記憶裝置之次字元線驅動器

一種半導體記憶裝置，具有一解碼一部份列位址的主列解碼器以及一解碼其它列位址之次列解碼器，包括：至少一次字元線驅動器，其輸入自該主列解碼器輸出之一主字元線並解碼自該次列解碼器輸出之解碼訊號，然後輸出選擇一記憶單元用之次字元線。

英文發明摘要(發明之名稱：)

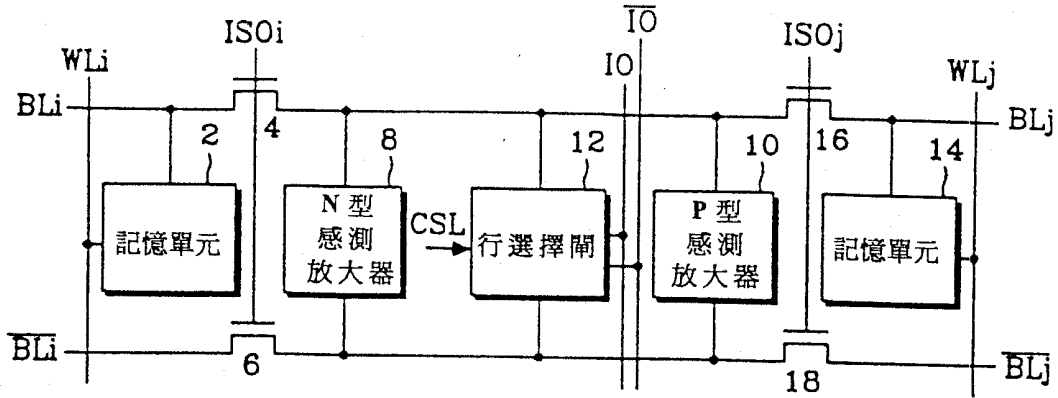
(請先閱讀背面之注意事項再填寫本頁各欄)

裝

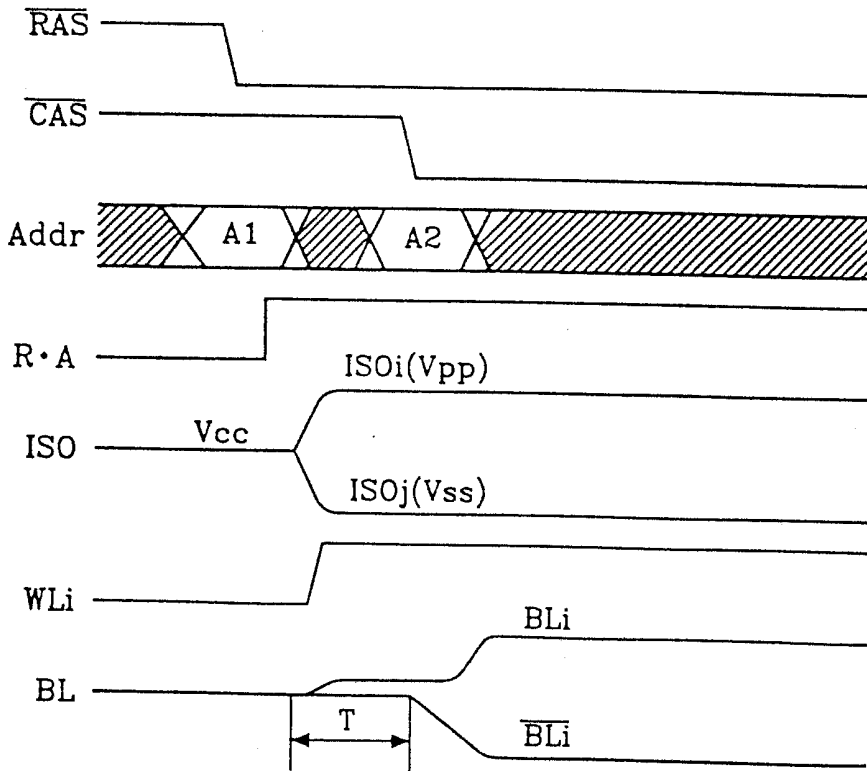
訂

線

圖式



第一圖

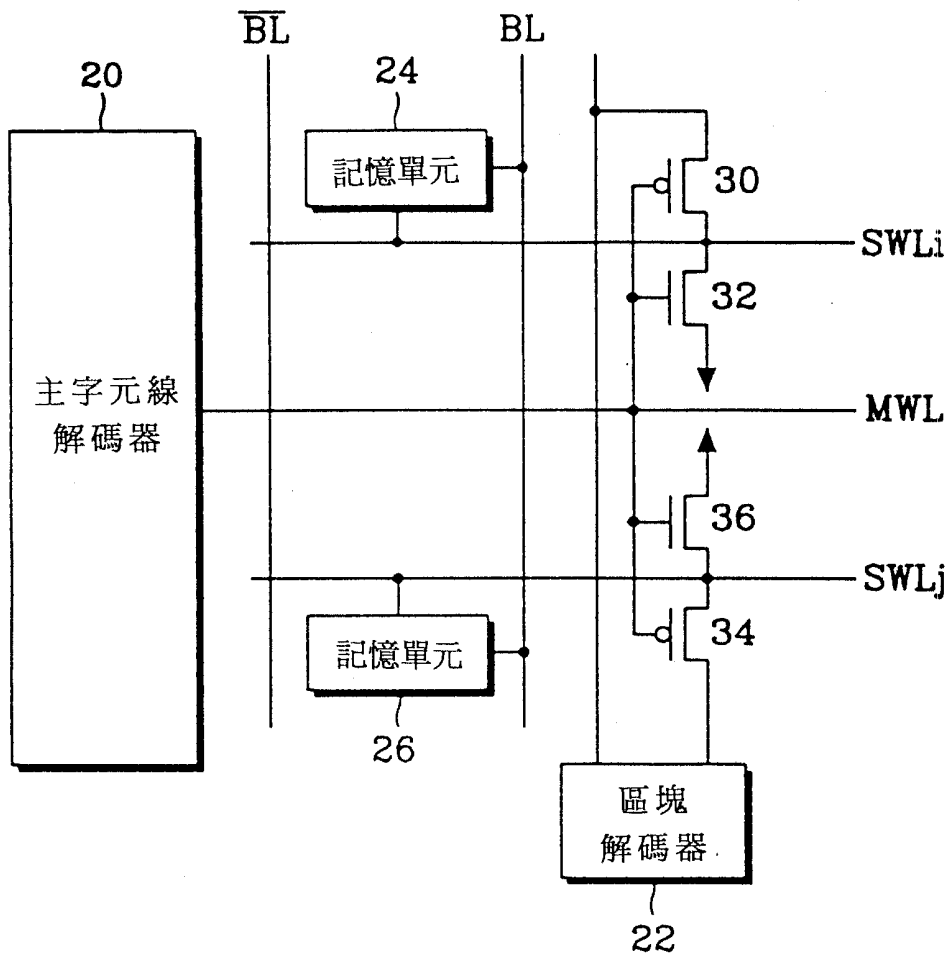


第二圖

(請先閱讀背面之注意事項再行繪製)

訂

圖式

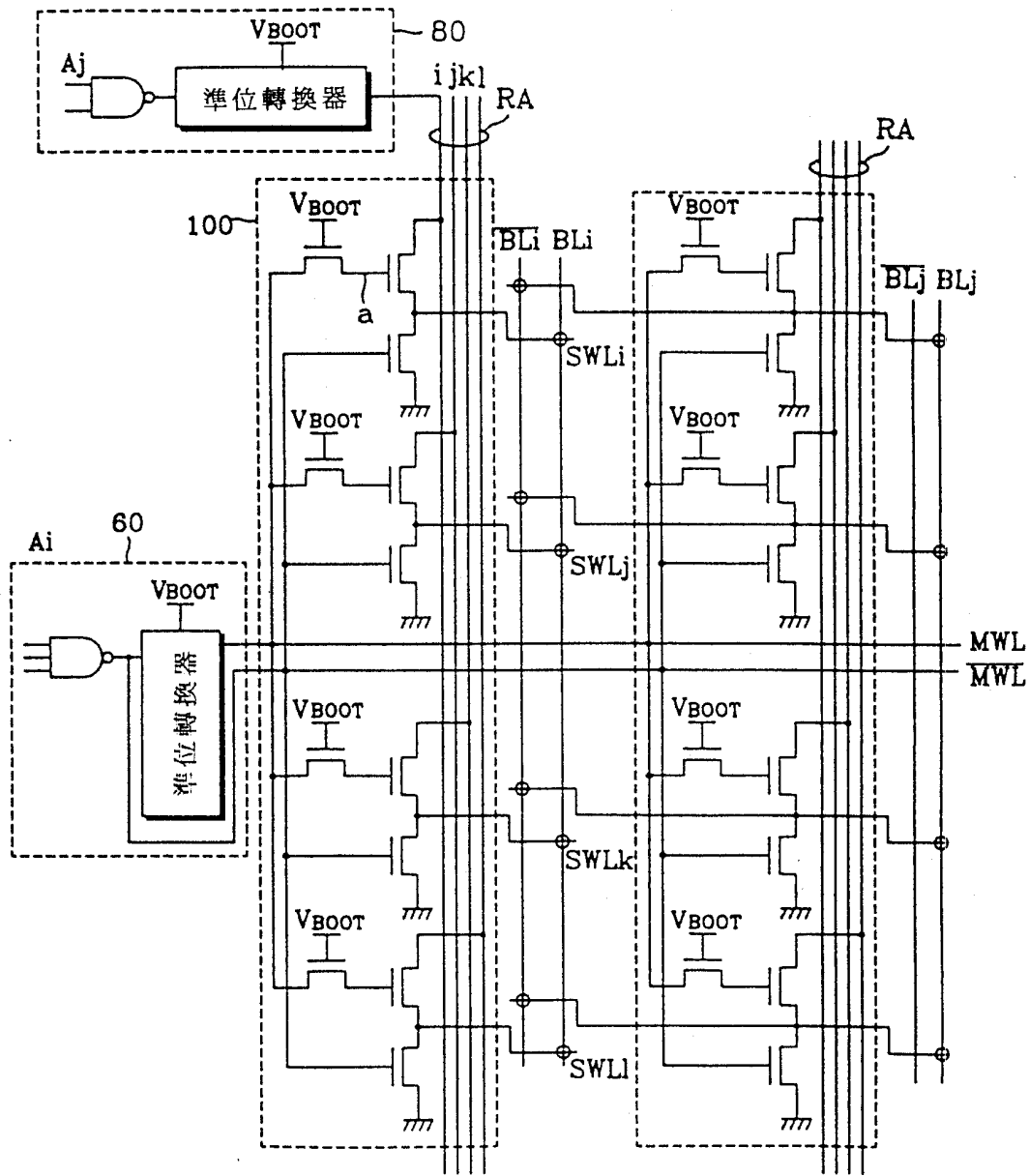


(請先閱讀背面之注意事項再行繪製)

訂

第三圖

圖式

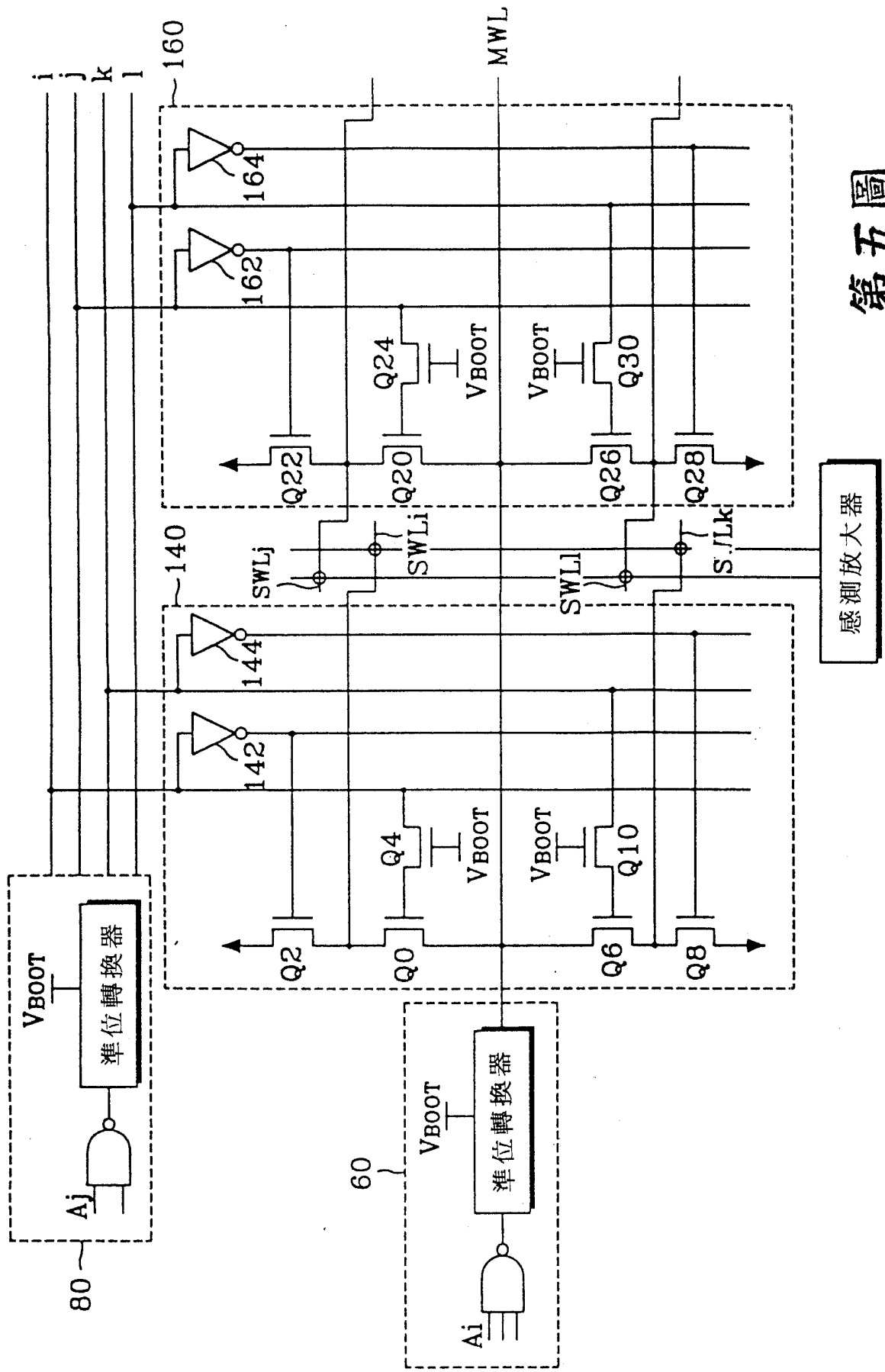


(請先閱讀背面之注意事項再行繪製)

訂

第四圖

圖式



第五圖

(請先閱讀背面之注意事項再行繪製)

六、申請專利範圍

1. 一種半導體記憶裝置，具有一解碼一部份列位址的主列解碼器以及一解碼其它列位址之次列解碼器，包括：

至少一次字元線驅動器，其輸入自該主列解碼器輸出之一主字元線並解碼自該次列解碼器輸出之解碼訊號，然後輸出選擇一記憶單元用之次字元線。

2. 如申請專利範圍第1項之半導體記憶裝置，其中該次列解碼器解碼並轉換二位元的列位址至一升高電壓準位，然後輸出解碼訊號。

3. 如申請專利範圍第2項之半導體記憶裝置，其中該升高電壓高於一內部運作的電源供應電壓。

4. 如申請專利範圍第1或2項之半導體記憶裝置，其中該次字元線包括：

第一及第二電晶體，共同連接至該主字元線；

一第三電晶體，其通道連接於該第一電晶體與一接地電壓之間，且其控制極連接至該等解碼訊號之第一解碼訊號的反相訊號，該第一及第二電晶體之共同連接點係連接至一第一次字元線；

一第四電晶體，其通道連接於該第二電晶體與該接地電壓之間，而其控制及以連接至該等解碼訊號之第二解碼訊號的反相訊號，該第二及第四電晶體之共同連接點係連接至一第二次字元線；

一第五電晶體，其通道連接於該第一電晶體之控制閘與該第一解碼訊號之間，而其控制極連接至該升高電壓；
以及

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

一 第六電晶體，其通道連接於該第二電晶體之控制閘與該第二解碼訊號之間，而其控制極連接至該升高電壓。

5. 如申請專利範圍第4項之半導體記憶裝置，其中該第一，第二，第三，第四，第五及第六電晶體係NMOS電晶體。

6. 如申請專利範圍第4項之半導體記憶裝置，其中該升高電壓高於一內部運作的電源供應電壓。

7. 如申請專利範圍第4項之半導體記憶裝置，其中該主字元線於一激勵狀態中停留於該升高電壓準位。

(請先閱讀背面之注意事項再填寫本頁)

訂