

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3802352号

(P3802352)

(45) 発行日 平成18年7月26日(2006.7.26)

(24) 登録日 平成18年5月12日(2006.5.12)

(51) Int. Cl.

F I

B 4 1 J	2/515	(2006.01)	B 4 1 J	3/10	1 O 1 A
B 4 1 J	2/44	(2006.01)	B 4 1 J	3/21	L
B 4 1 J	2/45	(2006.01)	H O 1 L	33/00	J
B 4 1 J	2/455	(2006.01)			
H O 1 L	33/00	(2006.01)			

請求項の数 18 (全 30 頁)

(21) 出願番号 特願2001-15788 (P2001-15788)
 (22) 出願日 平成13年1月24日(2001.1.24)
 (65) 公開番号 特開2002-211042 (P2002-211042A)
 (43) 公開日 平成14年7月31日(2002.7.31)
 審査請求日 平成16年4月12日(2004.4.12)

(73) 特許権者 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (73) 特許権者 000214892
 鳥取三洋電機株式会社
 鳥取県鳥取市立川町七丁目101番地
 (74) 代理人 100131071
 弁理士 ▲角▼谷 浩
 (72) 発明者 尾前 充弘
 鳥取県鳥取市南吉方3丁目201番地 鳥
 取三洋電機株式会社内

審査官 門 良成

最終頁に続く

(54) 【発明の名称】 駆動用IC及び光プリントヘッド

(57) 【特許請求の範囲】

【請求項1】

ラインプリントヘッド用の駆動用ICにおいて、1組のデータ信号群を構成する複数(n)個のデータ信号に基づいて、n個の出力端子に駆動信号を出力する駆動回路と、複数(x)組の前記データ信号群それぞれが印字ライン周期毎に順次格納されるx段のラッチ回路と、前記素子毎に対応するデータ信号を前記駆動回路へ送出するタイミングを設定するための複数(y)個のストローク信号を印字ライン周期毎に生成するストローク制御回路と、前記素子毎に対応するデータ信号を、前記x段のラッチ回路から印字ライン周期毎に選択し、n個のデータ信号によって1組のデータ信号群を形成するとともに、該1組のデータ信号群を構成する各データ信号を前記ストローク制御回路から与えられる前記y個のストローク信号に応じて前記駆動回路に送出する選択回路と、を有することを特徴とするラインプリントヘッド用の駆動用IC。

【請求項2】

前記n個のデータ信号がm個毎に入力された後、n個のデータ信号を並列的に1段目の前記ラッチ回路に送出するシフトレジスタを備えるとともに、前記x段の各ラッチ回路が、後段に接続されるラッチ回路に対して、n個のデータ信号を並列的に送出することを特徴とする請求項1に記載の駆動用IC。

【請求項3】

前記出力端子への駆動信号の出力タイミングを記憶する記憶回路を備えるとともに、前記記憶回路に記憶された前記出力タイミングに応じて、前記n個のデータ信号が前記x段の

10

20

ラッチ回路より選択され、該選択された n 個のデータ信号それぞれが前記駆動回路に送出されるタイミングが設定されることを特徴とする請求項 1 又は請求項 2 に記載の駆動用 IC。

【請求項 4】

前記 n 個の出力端子に接続される素子が発光素子を構成する n 個の発光部であるとともに、該複数の発光部が一行に配されているとき、前記選択回路において、前記 n 個の発光部の配列方向に対して垂直な方向における前記各発光部の結像位置に基づいて、前記各発光部に対応するデータ信号が選択される前記ラッチ回路と前記駆動回路に送出されるタイミングとが設定されることを特徴とする請求項 1 ~ 請求項 3 のいずれかに記載の駆動用 IC。

10

【請求項 5】

前記駆動用 IC が光プリントヘッド内に備えられた発光素子の発光部を駆動するための駆動用 IC であるとともに、前記光プリントヘッドを使用したプリンタの印字方向を下側とし、前記複数の発光部の内、最も下側に位置する発光部の結像位置を基準位置としたとき、前記印字方向において前記基準位置より離れた位置を結像位置とする発光部に対応したデータ信号ほど、後段のラッチ回路より選択されることを特徴とする請求項 1 ~ 請求項 4 のいずれかに記載の駆動用 IC。

【請求項 6】

前記 y 個のストローク信号が、ロード信号によって定まる印字ライン周期毎に発生することを特徴とする請求項 5 に記載の駆動用 IC。

20

【請求項 7】

前記発光部の結像位置が、該結像位置より印字方向の下側に位置するとともに最も近い位置にある印字ラインに対してより離れた位置にある前記発光部ほど、前記印字ライン周期においてより遅いタイミングで発生される前記ストローク信号に応じてデータ信号を前記駆動回路に送出して駆動することを特徴とする請求項 6 に記載の駆動用 IC。

【請求項 8】

複数 (n) 個の発光部を有する発光素子と、駆動用 IC と、を有する光プリントヘッドであって、前記駆動用 IC は、1 組のデータ信号群を構成する n 個のデータ信号に基づいて、 n 個の前記発光部を駆動させるための駆動信号を生成する駆動回路と、前記発光部毎に対応するデータ信号を前記駆動回路へ送出するタイミングを設定するための印字ライン周期毎に発生する複数 (y) 個のストローク信号を生成するストローク制御回路と、前記 1 組のデータ信号群における前記発光部毎に対応するデータ信号を前記ストローク制御回路から与えられる前記 y 個のストローク信号に応じて前記駆動回路に送出する選択回路と、を有することを特徴とする光プリントヘッド。

30

【請求項 9】

前記 n 個の発光部の配列方向に対して垂直な方向における前記各発光部の結像位置に基づく前記各発光部の駆動タイミングが格納されるメモリを備え、前記駆動用 IC に、前記メモリから読み出された前記駆動タイミングを記憶する記憶回路が設けられ、前記駆動用 IC において、前記記憶回路に記憶された前記駆動タイミングに応じて、前記制御回路で選択された n 個のデータ信号それぞれが前記駆動回路に送出されるタイミングが設定されることを特徴とする請求項 8 に記載の光プリントヘッド。

40

【請求項 10】

前記光プリントヘッドを使用したプリンタの印字方向を下側とし、前記複数の発光部の内、最も下側に位置する発光部の結像位置を基準位置としたとき、前記発光部の結像位置が、前記基準位置に対してより離れた位置にある前記発光部ほど、前記印字ライン周期においてより遅いタイミングで発生される前記ストローク信号に応じてデータ信号が前記駆動回路に送出されて駆動されるように駆動タイミングが設定されることを特徴とする請求項 9 に記載の光プリントヘッド。

【請求項 11】

複数 (n) 個の発光部を有する発光素子と、駆動用 IC と、を有する光プリントヘッドで

50

あって、前記駆動用 IC は、1組のデータ信号群を構成する n 個のデータ信号に基づいて、 n 個の前記発光部を駆動させるための駆動信号を生成する駆動回路と、複数 (x) 組の前記データ信号群それぞれが印字ライン周期毎に順次格納される x 段のラッチ回路と、前記発光部毎に対応するデータ信号を前記駆動回路へ送出するタイミングを設定するための複数 (y) 個のストロープ信号を印字ライン周期毎に生成するストロープ制御回路と、前記発光部毎に対応するデータ信号を、前記 x 段のラッチ回路から印字ライン周期毎に選択し、 n 個のデータ信号によって1組のデータ信号群を形成するとともに、該1組のデータ信号群を構成する各データ信号を前記ストロープ制御回路から与えられる前記 y 個のストロープ信号に応じて前記駆動回路に送出する選択回路と、を有することを特徴とする光プリントヘッド。

10

【請求項 1 2】

前記駆動用 IC において、前記 n 個のデータ信号が m 個毎に入力された後、 n 個のデータ信号を並列的に1段目の前記ラッチ回路に送出するシフトレジスタが設けられるとともに、前記 x 段の各ラッチ回路が、後段に接続されるラッチ回路に対して、 n 個のデータ信号を並列的に送出することを特徴とする請求項 1 1 に記載の光プリントヘッド。

【請求項 1 3】

前記 n 個の発光部の配列方向に対して垂直な方向における前記各発光部の結像位置に基づく前記各発光部の駆動タイミングが格納されるメモリを備え、前記駆動用 IC において、前記メモリから読み出された前記駆動タイミングを記憶する記憶回路が設けられるとともに、前記記憶回路に記憶された前記駆動タイミングに応じて、前記 n 個のデータ信号が前記 x 段のラッチ回路より選択され、該選択された n 個のデータ信号それぞれが前記駆動回路に送出されるタイミングが設定されることを特徴とする請求項 1 1 又は請求項 1 2 に記載の光プリントヘッド。

20

【請求項 1 4】

複数 (n) 個の発光部を有する発光素子と、制御回路と、駆動用 IC と、を備える光プリントヘッドであって、前記制御回路は、 n 個のデータ信号で構成される複数 (x) 組のデータ信号群それぞれが印字ライン周期毎に順次格納される x 段のラッチ回路と、前記発光部毎に対応するデータ信号を前記 x 段のラッチ回路から印字ライン周期毎に選択するとともに選択した n 個のデータ信号によって1組のデータ信号群を形成する第1選択回路と、該第1選択回路で選択されたデータ信号を一時記憶するとともに順に外部に出力する第1シフトレジスタと、を備え、前記駆動用 IC は、1組のデータ信号群を構成する n 個のデータ信号に基づいて、 n 個の前記発光部を駆動させるための駆動信号を生成する駆動回路と、前記発光部毎に対応するデータ信号を前記駆動回路へ送出するタイミングを設定するための複数 (y) 個のストロープ信号を印字ライン周期毎に生成するストロープ制御回路と、前記制御回路から送出される前記発光部毎に対応するデータ信号を前記ストロープ制御回路から与えられる前記 y 個のストロープ信号に応じて前記駆動回路に送出する第2選択回路と、を備えることを特徴とする光プリントヘッド。

30

【請求項 1 5】

前記制御回路において、前記 n 個のデータ信号が m 個毎に入力された後、 n 個のデータ信号を並列的に1段目の前記ラッチ回路に送出する第2シフトレジスタが設けられるとともに、前記 x 段の各ラッチ回路が、後段に接続されるラッチ回路に対して、 n 個のデータ信号を並列的に送出することを特徴とする請求項 1 4 に記載の光プリントヘッド。

40

【請求項 1 6】

前記 n 個の発光部の配列方向に対して垂直な方向における前記各発光部の結像位置に基づく前記各発光部の駆動タイミングが格納されるメモリを備え、前記制御回路に、前記メモリから読み出された前記駆動タイミングを記憶する第1記憶回路が設けられ、前記駆動用 IC に、前記メモリから読み出された前記駆動タイミングを記憶する第2記憶回路が設けられ、前記制御回路において、前記第1記憶回路に記憶された前記駆動タイミングに応じて、前記 n 個のデータ信号が前記 x 段のラッチ回路より選択され、前記駆動用 IC において、前記第2記憶回路に記憶された前記駆動タイミングに応じて、前記制御回路で選択さ

50

れた n 個のデータ信号それぞれが前記駆動回路に送出されるタイミングが設定されることを特徴とする請求項 14 又は請求項 15 に記載の光プリントヘッド。

【請求項 17】

前記光プリントヘッドを使用したプリンタの印字方向を下側とし、前記複数の発光部の内、最も下側に位置する発光部の結像位置を基準位置としたとき、前記印字方向において前記基準位置より離れた位置を結像位置とする発光部に対応したデータ信号ほど、後段のラッチ回路より選択されるように前記駆動タイミングが設定されることを特徴とする請求項 13 又は請求項 16 に記載の光プリントヘッド。

【請求項 18】

前記 y 個のストローブ信号が、印字ライン周期毎に発生し、前記発光部の結像位置が、該結像位置より印字方向の下側に位置するとともに最も近い位置にある印字ラインに対してより離れた位置にある前記発光部ほど、前記印字ライン周期においてより遅いタイミングで発生される前記ストローブ信号に応じてデータ信号が前記駆動回路に送出されて駆動されることを特徴とする請求項 17 に記載の光プリントヘッド。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プリンタなどの記録ヘッドに用いられる光プリントヘッド及びこの光プリントヘッドに設けられた発光素子を駆動するための駆動用 IC に係るもので、特にタンデム方式でカラー印字を行うプリンタに設けられる光プリントヘッド及びこの光プリントヘッドの発光素子を駆動するための駆動用 IC に関する。

20

【0002】

【従来の技術】

従来使用されている光プリントヘッドは、図 13 のように、複数の発光部（以下、本明細書内における「発光部」とは、請求の範囲における「素子」に相当する）で構成された発光素子と、データ信号を取り込むシフトレジスタ 101 と、シフトレジスタ 101 に取り込まれたデータ信号を並列に取り込むラッチ回路 102 と、発光素子を駆動するためのドライブ回路 103 と、ドライブ回路 103 に電流を供給するための電流供給回路 104 と、各部に所定のタイミング信号を供給するタイミング制御回路 105 とを備えた図 14 のような構成の複数の駆動用 IC とを有する。今、光プリントヘッドに、図 13 のように、直列的に接続された 26 個の駆動用 IC b1 ~ b26 と、この 26 個の駆動用 IC b1 ~ b26 によって駆動される 4992 個の発光部 #1 ~ #4992 とが設けられているものとして、簡単に、従来の光プリントヘッドについて説明する。

30

【0003】

このような構成の光プリントヘッドにおいて、まず、駆動用 IC b は、そのシフトレジスタ 101 内に、データ入力端子 S I 0 ~ S I 3 より入力される 4 ビットのデータ信号がクロック CLK に同期して取り込まれる。又、このシフトレジスタ 101 は、取り込んだ 4 ビットのデータ信号を、クロック CLK に同期してデータ出力端子 S O 0 ~ S O 3 から隣接した駆動用 IC のデータ入力端子 S I 0 ~ S I 3 に対して出力する。

【0004】

このとき、クロック入力端子 C I より入力されるクロック CLK は、バッファを介してクロック出力端子 C O より出力され、隣接した駆動用 IC のクロック入力端子 C I に入力される。よって、図 15 のように、1248 回目のクロック CLK が入力されたとき、26 個の駆動用 IC b1 ~ b26 のシフトレジスタ 101 には、4992 個のデータ信号が 4 × 48 (192) 個毎、取り込まれる。

40

【0005】

このように、4992 個のデータ信号が取り込まれると、次に、ロード信号 LOAD が駆動用 IC のロード信号入力端子 L I に入力される。このロード信号 LOAD によって生成されるタイミング信号が、192 ビットのラッチ回路 102 に与えられると、シフトレジスタ 101 に取り込まれた 192 個のデータ信号が格納される。

50

【 0 0 0 6 】

このとき、ロード信号入力端子 L I より入力されるロード信号 L O A D は、バッファを介してロード信号出力端子 L O より出力され、隣接した駆動用 I C のロード信号入力端子 L I に入力される。よって、図 1 5 のように、ロード信号 L O A D が入力されたとき、2 6 個の駆動用 I C b 1 ~ b 2 6 のシフトレジスタ 1 0 1 に取り込まれた各データ信号がラッチ回路 1 0 2 に格納される。

【 0 0 0 7 】

このように、駆動用 I C b 1 ~ b 2 6 の各ラッチ回路 1 0 2 に 1 9 2 個ずつ格納された 4 9 9 2 個のデータ信号に基づいて、ドライブ回路 1 0 3 がストロブ信号 S T B がローとなる期間に電流を端子 D O 1 ~ D O 1 9 2 へ流すことによって、発光部 # 1 ~ # 4 9 9 2 が駆動し、1 ライン分の印字が行われる。このようにドライブ回路 1 0 3 が動作を行っている間、ロード信号 L O A D をローとし、再び、クロック C L K を与えることによって、次のラインの取り込みが行われる。

10

【 0 0 0 8 】

また、光プリントヘッドは、図 1 の上面図のように、複数の発光部で構成されるとともに中央部に配置された発光素子群 1 を覆う S L A (Self focusing Lens Array) 2 と、S L A 2 を固定するためのレンズホルダ 3 と、発光素子群 1 内の発光素子を構成する複数の発光部の位置を決定するための位置決め用ピン 4 a , 4 b とを有する。よって、発光素子群 1 を構成する各発光部は、位置決め用ピン 4 a , 4 b によって結ばれる直線上に配置されるように位置決めされる。

20

【 0 0 0 9 】

【 発明が解決しようとする課題 】

このような光プリントヘッドが、従来より、プリンタなどに設けられることで、紙面への印字が行われているが、基板上に設けられる発光素子が配列された L E D アレイの曲がりや、光プリントヘッドに設けられたレンズのレンズ光軸の曲がりや、このレンズ自身の曲がりによって、結像位置に曲がりが生じてしまう。今、X 方向に発光素子が配列されるとき、この X 方向に対し垂直となる方向を Y 方向とすると、この Y 方向に曲がりが生じる。以下、この Y 方向への曲がりやを「Y 曲がり」と呼ぶ。

【 0 0 1 0 】

このような Y 曲がりや、例として、図 1 6 及び図 1 7 のグラフに示されるような発光部の Y 方向における結像位置のずれである。更に、この結像位置のずれは、位置決めピン 4 a , 4 b によって結ばれる直線が Y 方向に対して斜めにずれることによっても発生する。

30

【 0 0 1 1 】

この Y 曲がりによる影響はカラー印字を行うために複数の光プリントヘッドが設けられたタンデム方式のプリンタなどにおいて、大きく印字の品位が低下するという問題があった。又、このような印字の品位の低下を抑制するために、光プリントヘッドの良否選択や、レンズの調整及び良否選択などが必要となるため、光プリントヘッドやこの光プリントヘッドが備えられるプリンタに係るコストが大きくなる。

【 0 0 1 2 】

このような問題を鑑みて、本発明は、光プリントヘッドの機械的又は光学的な曲がりによって生じる結像位置のずれを補正するための駆動用 I C 及びこの駆動用 I C を備えた光プリントヘッドを提供することを目的とする。

40

【 0 0 1 3 】

【 課題を解決するための手段 】

上記目的を達成するために、本発明のラインプリントヘッド用の駆動用 I C は、請求項 1 に記載のように、ラインプリントヘッド用の駆動用 I Cにおいて、1 組のデータ信号群を構成する 複数 (n) 個のデータ信号に基づいて、n 個の 出力端子に駆動信号を出力する駆動回路と、複数 (x) 組の前記データ信号群それぞれが 印字ライン周期毎に順次格納される x 段のラッチ回路と、前記素子毎に対応するデータ信号を前記駆動回路へ送出するタイミングを設定するための 複数 (y) 個のストロブ信号を 印字ライン周期毎に生成する

50

ストロープ制御回路と、前記素子毎に対応するデータ信号を、前記x段のラッチ回路から印字ライン周期毎に選択し、n個のデータ信号によって1組のデータ信号群を形成するとともに、該1組のデータ信号群を構成する各データ信号を前記ストロープ制御回路から与えられる前記y個のストロープ信号に応じて前記駆動回路に送出する選択回路と、を有することを特徴とする。

【0014】

このような駆動用ICでは、n個のデータ信号に基づいて、n個の素子を駆動するための駆動信号を生成する際、各素子を正常に駆動させるために、x段のラッチ回路に格納されたx組のデータ信号から各素子毎に対応したn個のデータ信号が選択回路によって選択されることで、1組のデータ信号群が得られる。この選択回路で選択されて得た1組のデータ信号群を構成するデータ信号を、それぞれに対応されたストロープ信号に応じて駆動回路に与えて駆動信号を生成し、出力することによって、各素子を正常に動作させることができる。このとき生成される駆動信号は、各素子に対して1対1となるような信号でも構わないし、時分割駆動させるための信号でも構わない。

10

【0015】

又、このような駆動用ICにおいて、請求項2に記載するように、前記n個のデータ信号がm個毎に入力された後、n個のデータ信号を並列的に1段目の前記ラッチ回路に送出するシフトレジスタを備えるとともに、前記x段の各ラッチ回路が、後段に接続されるラッチ回路に対して、n個のデータ信号を並列的に送出するようにしても構わない。このとき、シフトレジスタを、1ビット毎にデータ信号が時系列的に入力されるものとしても構わないし、複数ビット毎にデータ信号が入力されるものとしても構わない。

20

【0016】

又、請求項3に記載するように、前記出力端子への駆動信号の出力タイミングを記憶する記憶回路を備えるとともに、前記記憶回路に記憶された前記出力タイミングに応じて、前記n個のデータ信号が前記x段のラッチ回路より選択され、該選択されたn個のデータ信号それぞれが前記駆動回路に送出されるタイミングが設定される。このとき、例えば、その駆動タイミングが遅く設定された素子ほど後段のラッチ回路よりデータ信号を選択するようにすることができ、又、更に、選択されたデータ信号の内、その駆動タイミングが遅く設定された素子ほど遅いタイミングで発生されるストロープ信号に応じて動作させることができる。

30

【0017】

又、請求項4に記載するように、前記n個の出力端子に接続される素子が発光素子を構成するn個の発光部であるとともに、該複数の発光部が一行に配されているとき、前記選択回路において、前記n個の発光部の配列方向に対して垂直な方向における前記各発光部の結像位置に基づいて、前記各発光部に対応するデータ信号が選択されるようにしても構わない。よって、機械的又は光学的な要因による各発光部の結像位置のY曲がりを補正して、直線性を改善することができる。

【0018】

又、請求項5に記載するように、前記駆動用ICが光プリントヘッド内に備えられた前記発光素子の発光部を駆動するための駆動用ICであるとともに、前記光プリントヘッドを使用したプリンタの印字方向を下側とし、前記複数の発光部の内、最も下側に位置する発光部の結像位置を基準位置としたとき、前記印字方向において前記基準位置より離れた位置を結像位置とする発光部に対応したデータ信号ほど、後段のラッチ回路より選択されるようにしても構わない。

40

【0019】

このとき、例えば、発光部が一回点灯する毎に、ラッチ回路内のデータ信号が後段のラッチ回路に遷移するようにして1ライン毎の補正を行う場合、一回目の点灯時には、1ライン目のデータ信号の内、その結像位置が基準位置となる発光部に対応するデータ信号が選択される。そして、2回目の点灯時には、1ライン目のデータ信号の内、その結像位置が基準位置から1ライン分ずれた位置となる発光部に対応するデータ信号と、2ライン目の

50

データ信号の内、その結像位置が基準位置となる発光部に対応するデータ信号が選択される。このような動作が繰り返し行われることによって、結像位置のずれによるY曲がりの発生を抑え、直線性を改善することができる。

【0020】

又、請求項6に記載するように、前記y個のストローク信号が、ロード信号によって定まる印字ライン周期毎に発生するようにして、各発光部の発光タイミングをずらすことによって、より高精度なY曲がり補正を行うことができる。このとき、請求項7に記載するように、前記発光部の結像位置が、該結像位置より印字方向の下側に位置するとともに最も近い位置にある印字ラインに対してより離れた位置にある前記発光部ほど、前記印字ライン周期においてより遅いタイミングで発生される前記ストローク信号に応じてデータ信号を前記駆動回路に送出して駆動することで、より高い精度で、直線性を改善することができる。

10

【0025】

請求項8に記載の光プリントヘッドは、複数(n)個の発光部を有する発光素子と、駆動用ICと、を有する光プリントヘッドであって、前記駆動用ICは、1組のデータ信号群を構成するn個のデータ信号に基づいて、n個の前記発光部を駆動させるための駆動信号を生成する駆動回路と、前記発光部毎に対応するデータ信号を前記駆動回路へ送出するタイミングを設定するための印字ライン周期毎に発生する複数(y)個のストローク信号を生成するストローク制御回路と、前記1組のデータ信号群における前記発光部毎に対応するデータ信号を前記ストローク制御回路から与えられる前記y個のストローク信号に応じて前記駆動回路に送出する選択回路と、を有することを特徴とする。

20

【0026】

このような光プリントヘッドにおいて、駆動用ICで、印字ライン周期毎に、各発光部の発光タイミングをそのY方向の結像位置のずれに応じたタイミングで設定することによって、Y方向の結像位置のずれを補正することができるため、Y曲がり補正された印字を行うことができる。

【0027】

又、請求項9に記載するように、前記n個の発光部の配列方向に対して垂直な方向における前記各発光部の結像位置に基づく前記各発光部の駆動タイミングが格納されるメモリを備え、前記駆動用ICに、前記メモリから読み出された前記駆動タイミングを記憶する記憶回路が設けられ、前記駆動用ICにおいて、前記記憶回路に記憶された前記駆動タイミングに応じて、前記制御回路で選択されたn個のデータ信号それぞれが前記駆動回路に送出されるタイミングが設定されるようにしても構わない。

30

【0028】

更に、請求項10に記載するように、前記光プリントヘッドを使用したプリンタの印字方向を下側とし、前記複数の発光部の内、最も下側に位置する発光部の結像位置を基準位置としたとき、前記発光部の結像位置が、前記基準位置に対してより離れた位置にある前記発光部ほど、前記印字ライン周期においてより遅いタイミングで発生される前記ストローク信号に応じてデータ信号が前記駆動回路に送出されて駆動されるように駆動タイミングが設定されるようにしても構わない。

40

【0029】

請求項11に記載の光プリントヘッドは、複数(n)個の発光部を有する発光素子と、駆動用ICと、を有する光プリントヘッドであって、前記駆動用ICは、1組のデータ信号群を構成するn個のデータ信号に基づいて、n個の前記発光部を駆動させるための駆動信号を生成する駆動回路と、複数(x)組の前記データ信号群それぞれが印字ライン周期毎に順次格納されるx段のラッチ回路と、前記発光部毎に対応するデータ信号を前記駆動回路へ送出するタイミングを設定するための複数(y)個のストローク信号を印字ライン周期毎に生成するストローク制御回路と、前記発光部毎に対応するデータ信号を、前記x段のラッチ回路から印字ライン周期毎に選択し、n個のデータ信号によって1組のデータ信号群を形成するとともに、該1組のデータ信号群を構成する各データ信号を前記ストロ

50

ープ制御回路から与えられる前記 y 個のストロープ信号に応じて前記駆動回路に送出する選択回路と、を有することを特徴とする。

【0030】

このような光プリントヘッドにおいて、請求項 15 に記載するように、前記駆動用 IC において、前記 n 個のデータ信号が m 個毎に入力された後、 n 個のデータ信号を並列的に 1 段目の前記ラッチ回路に送出するシフトレジスタが設けられるとともに、前記 x 段の各ラッチ回路が、後段に接続されるラッチ回路に対して、 n 個のデータ信号を並列的に送出するようにしても構わない。

【0031】

又、請求項 13 に記載するように、前記 n 個の発光部の配列方向に対して垂直な方向における前記各発光部の結像位置に基づく前記各発光部の駆動タイミングが格納されるメモリを備え、前記駆動用 IC において、前記メモリから読み出された前記駆動タイミングを記憶する記憶回路が設けられるとともに、前記記憶回路に記憶された前記駆動タイミングに応じて、前記 n 個のデータ信号が前記 x 段のラッチ回路より選択され、該選択された n 個のデータ信号それぞれが前記駆動回路に送出されるタイミングが設定されるようにしても構わない。

10

【0032】

このようにすることで、フラッシュメモリなどの不揮発性のメモリに格納された駆動用タイミングを、電源投入時などの設定変更時に、駆動用 IC 内の記憶回路に書き込むことによって、初期設定を行うことができる。

20

【0033】

請求項 14 に記載の光プリントヘッドは、複数 (n) 個の発光部を有する発光素子と、制御回路と、駆動用 IC と、を備える光プリントヘッドであって、前記制御回路は、 n 個のデータ信号で構成される複数 (x) 組のデータ信号群それぞれが印字ライン周期毎に順次格納される x 段のラッチ回路と、前記発光部毎に対応するデータ信号を前記 x 段のラッチ回路から印字ライン周期毎に選択するとともに選択した n 個のデータ信号によって 1 組のデータ信号群を形成する第 1 選択回路と、該第 1 選択回路で選択されたデータ信号を一時記憶するとともに順に外部に出力する第 1 シフトレジスタと、を備え、前記駆動用 IC は、1 組のデータ信号群を構成する n 個のデータ信号に基づいて、 n 個の前記発光部を駆動させるための駆動信号を生成する駆動回路と、前記発光部毎に対応するデータ信号を前記駆動回路へ送出するタイミングを設定するための複数 (y) 個のストロープ信号を印字ライン周期毎に生成するストロープ制御回路と、前記制御回路から送出される前記発光部毎に対応するデータ信号を前記ストロープ制御回路から与えられる前記 y 個のストロープ信号に応じて前記駆動回路に送出する第 2 選択回路と、を備えることを特徴とする。

30

【0034】

このような光プリントヘッドにおいて、まず、制御回路で印字ライン毎の粗めの Y 曲がり補正が行われる。このように粗めの Y 曲がり補正が施されたデータ信号が駆動用 IC に与えられると、駆動用 IC において、各発光部に与えるデータ信号の印字ライン周期内におけるタイミングの微調整が行われる。よって、駆動用 IC において、更に精度の高い Y 曲がり補正が施される。

40

【0035】

請求項 15 に記載するように、前記制御回路において、前記 n 個のデータ信号が m 個毎に入力された後、 n 個のデータ信号を並列的に 1 段目の前記ラッチ回路に送出する第 2 シフトレジスタが設けられるとともに、前記 x 段の各ラッチ回路が、後段に接続されるラッチ回路に対して、 n 個のデータ信号を並列的に送出するようにしても構わない。

【0036】

請求項 16 に記載するように、前記 n 個の発光部の配列方向に対して垂直な方向における前記各発光部の結像位置に基づく前記各発光部の駆動タイミングが格納されるメモリを備え、前記制御回路に、前記メモリから読み出された前記駆動タイミングを記憶する第 1 記憶回路が設けられ、前記駆動用 IC に、前記メモリから読み出された前記駆動タイミン

50

グを記憶する第2記憶回路が設けられ、前記制御回路において、前記第1記憶回路に記憶された前記駆動タイミングに応じて、前記n個のデータ信号が前記x段のラッチ回路より選択され、前記駆動用ICにおいて、前記第2記憶回路に記憶された前記駆動タイミングに応じて、前記制御回路で選択されたn個のデータ信号それぞれが前記駆動回路に送出されるタイミングが設定されるようにしても構わない。

【0037】

このようにすることで、フラッシュメモリなどの不揮発性のメモリに格納された駆動タイミングを、電源投入時などの設定変更時に、制御回路内の第1記憶回路及び駆動用IC内の第2記憶回路に書き込むことによって、初期設定を行うことができる。

【0038】

又、請求項17に記載するように、前記光プリントヘッドを使用したプリンタの印字方向を下側とし、前記複数の発光部の内、最も下側に位置する発光部の結像位置を基準位置としたとき、前記印字方向において前記基準位置より離れた位置を結像位置とする発光部に対応したデータ信号ほど、後段のラッチ回路より選択されるように前記駆動タイミングが設定されるようにすることで、結像位置のずれによるY曲がりの発生を抑え、直線性を改善することができる。

【0039】

請求項18に記載するように、前記y個のストローク信号が、印字ライン周期毎に発生し、前記発光部の結像位置が、該結像位置より印字方向の下側に位置するとともに最も近い位置にある印字ラインに対してより離れた位置にある前記発光部ほど、前記印字ライン周期においてより遅いタイミングで発生される前記ストローク信号に応じてデータ信号が前記駆動回路に送出されて駆動されることで、より高い精度で直線性を改善することができる。

【0040】

【発明の実施の形態】

以下に、本発明の実施の形態について、図面を参照して説明する。図1及び図2で示される構成は、後述する各実施の形態において、共通の構成である。そして、図1のように、発光部1、SLA2、レンズホルダ3、及び位置決めピン4a、4bを有する光プリントヘッドは、図2のブロック図で表されるような内部構成となる。

【0041】

図2のように、本実施形態の光プリントヘッドにおいて、発光素子群1が4992個の発光部#1～#4992で構成され、この発光部#1～#4992を192個毎に駆動させるための26個の駆動用ICa1～ICa26が設けられる。また、発光部#1～#4992のY方向の位置ずれに関するデータを格納するフラッシュメモリなどで構成されたメモリ5とを有する。又、メモリ5へのデータの読み出し及び書き込みや駆動用ICa1～ICa26にデータを与えて動作制御を行う制御回路6を付け加えても良い。尚、以下の各実施形態では、駆動用ICが26個で、又、発光部が4992個で構成されるものを一例に挙げて説明する。

【0042】

このような光プリントヘッドにおける駆動用ICa(図2の駆動用ICa1～ICa26に相当する)は、図3のブロック図のように、データ入力端子SI0～SI3より入力される4ビットのデータ信号を取り込む192ビットのシフトレジスタ11と、シフトレジスタ11で取り込まれたデータ信号を192ビット単位毎に並列に取り込むラッチ回路12と、Y方向の補正を行うための192組の補正データを格納するY位置補正データ記憶回路13とを有する。

【0043】

又、駆動用ICaは、各部に所定のタイミング信号を供給するタイミング制御回路14と、ラッチ回路12に格納されたデータ信号をY位置補正データ記憶回路13に格納された補正データに応じて選択する選択回路15と、選択回路15で選択されたデータ信号に応じて出力端子DO1～DO192に駆動信号を出力するドライブ回路16と、ドライブ回

10

20

30

40

50

路 16 に定電流を供給する電流供給回路 17 とを有する。

【 0044 】

このように構成される光プリントヘッドの詳細な構成及び動作について、以下に示す各実施の形態において、説明する。

< 第 1 の実施の形態 >

本発明の第 1 の実施の形態について、図面を参照して説明する。図 4 は、本実施形態における光プリントヘッドに設けられた駆動用 IC の内部構成を示すブロック回路図である。

【 0045 】

本実施形態では、上述したように駆動用 IC a が図 3 のように構成されるとき、ラッチ回路 12 は、192 ビットの構成のラッチ回路をシリアルに 5 段接続された構成とされるときとも、ラッチ回路 12 内の各段のラッチ回路には、シフトレジスタ 11 又は前段のラッチ回路より出力される 192 ビットのデータ信号がパラレルに入力される。又、ラッチ回路 12 内の各段のラッチ回路より出力される 192 ビットのデータ信号が選択回路 15 に与えられる。

10

【 0046 】

そして、選択回路 15 では、ラッチ回路 12 より与えられる 192×5 ビットのデータ信号から、Y 位置補正データ記憶回路より与えられる 192×9 ビットの補正データの内の 192×5 ビットの補正データに応じて選択した 192 ビットのデータ信号を、残りの 192×4 ビットの補正データで選択したタイミング制御回路 14 より供給される内部ストロブ信号 STB1 ~ STB4 に応じてドライブ回路 16 に出力する。

20

【 0047 】

Y 位置補正データ記憶回路 13 は、9 ビットで構成される補正データを、データ信号に対応して 192 個記憶することができるように、例えば、 192×9 ビットのラッチ回路で構成することができる。そして、Y 位置補正データ記憶回路 13 への補正データの書き込みは、シフトレジスタ 11 から並列に供給される 192 個単位の信号に基づいて、前もって行うことができる。

【 0048 】

即ち、メモリ 5 内に格納された補正データが、プリンタ本体の制御回路又はプリントヘッド内の制御回路 6 により読み出されて駆動用 IC a に与えられるとき、Y 位置補正データ記憶回路 13 のみを書き込み状態としてシフトレジスタ 11 を介して補正データの各ビットを記憶する作業を 9 回繰り返すことによって書き込まれる。

30

【 0049 】

以下に図 4 を参照して、このように構成される駆動用 IC a の詳細な構成について説明する。尚、図 4 は、説明を簡単にするために出力端子 DO1 に基づいた回路ブロック図を示し、他の出力端子 DO2 ~ DO192 については同様となるため省略する。

【 0050 】

ラッチ回路 12 は、192 ビットのデータ信号を格納することができるラッチ回路 12 a ~ 12 e を有し、ラッチ回路 12 a にシフトレジスタ 11 に格納された 192 ビットのデータ信号が、ラッチ回路 12 b にラッチ回路 12 a に格納された 192 ビットのデータ信号が、ラッチ回路 12 c にラッチ回路 12 b に格納された 192 ビットのデータ信号が、ラッチ回路 12 d にラッチ回路 12 c に格納された 192 ビットのデータ信号が、ラッチ回路 12 e にラッチ回路 12 d に格納された 192 ビットのデータ信号が、ロード信号 LOAD に応じてそれぞれ与えられる。

40

【 0051 】

又、このラッチ回路 12 a ~ 12 e のそれぞれに格納された 192×5 ビットのデータ信号が、ロード信号 LOAD に応じて、選択回路 15 に同時に送出される。このように 192×5 ビットのデータ信号が与えられる選択回路 15 は、出力端子 DO1 ~ DO192 のそれぞれに与えるための 192 ビットのデータ信号を選択するために、5 つの AND ゲート G1 ~ G5 と 1 つの OR ゲート G6 で構成されたゲート回路及び 4 つの AND ゲート G11 ~ G14 と 1 つの OR ゲート G15 で構成されたゲート回路がそれぞれ 192 組構成

50

される。

【0052】

この選択回路15は、ストローク制御回路18で生成された内部ストローク信号STB1～STB4のいずれか1つの信号に応じてドライブ回路16にデータ信号を送出するために、ORゲートG6、G15それぞれからの出力が入力されるANDゲートG7を192個有する。又、ドライブ回路16は、電流供給回路17より供給される電流を増幅して出力端子DO1～DO192それぞれに供給する192個の電流増幅器16aによって構成される。

【0053】

又、ストローク制御回路18は、図5に波形を示すように、外部ストローク信号(反転STB)によって規定される期間を複数の期間に分割するための内部ストローク信号STB1～STB4を生成するための回路で、例えば図6に示すように、2つのフリップフロップFF1、FF2と、複数(4つ)の論理ゲート回路Ga～Gdを組み合わせたカウンタによって構成することができる。

10

【0054】

具体的には、JKフリップフロップFF1の入力端子J、Kにハイである電源電圧VDD1が入力される。クロック入力端子CLKには、インバータ35によって外部ストローク信号(反転STB)が反転されて入力される。フリップフロップFF1の出力端子Qより信号QAが出力され、出力端子(反転Q)より信号Qaが出力される。JKフリップフロップFF2の入力端子J、Kに信号QAが入力され、クロック入力端子CLKにストローク信号STBが入力される。フリップフロップFF2の出力端子Qより信号QBが出力され、出力端子(反転Q)より信号Qbが出力される。

20

【0055】

論理ゲート回路Gaは信号QAと信号Qbとストローク信号STBの論理積をとって内部ストローク信号STB1を出力する。論理ゲート回路Gbは信号Qaと信号QBとストローク信号STBの論理積をとって内部ストローク信号STB2を出力する。論理ゲート回路Gcは信号QAと信号QBとストローク信号STBの論理積をとって内部ストローク信号STB3を出力する。論理ゲート回路Gdは信号Qaと信号Qbとストローク信号STBの論理積をとって内部ストローク信号STB4を出力する。尚、フリップフロップFF1、FF2のリセット入力端子Rはリセット信号としてロード信号LOADが入力される。

30

【0056】

このように、ストローク制御信号発生回路14は1つの外部ストローク信号(反転STB)に基づいて4つの内部ストローク信号STB1～STB4を生成する。すなわち、内部ストローク信号の数よりも少数の信号線を用いて制御信号(外部ストローク信号)を供給するので、外部と接続する制御信号の端子の数を削減してICの小型化を図ることができる。同時に、ワイヤボンダ配線などの外部配線数を削減することができる。

【0057】

ここで、出力端子DO1に基づいて説明すると、Y位置補正データ記憶回路13より出力される5ビットの補正データda～deがそれぞれ、5つのANDゲートG1～G5に入力される。又、このANDゲートG1～G5には、ラッチ回路12a～12eからの出力端子DO1に与えるためのデータ信号が1ビット毎に入力される。ORゲートG6には、ANDゲートG1～G5からの出力が入力され、補正データda～deの内、ハイとなる補正データが入力されたANDゲートからの出力がORゲートG6の出力となる。

40

【0058】

又、Y位置補正データ記憶回路13より出力される4ビットの補正データta～tdがそれぞれ、4つのANDゲートG11～G14に入力される。そして、このANDゲートG11～G14には、ストローク制御回路18で生成された内部ストローク信号STB1～STB4がそれぞれ入力される。ORゲートG15には、ANDゲートG11～G14からの出力が入力され、補正データta～tdの内、ハイとなる補正データが入力されたA

50

N Dゲートからの出力がO RゲートG 1 5の出力となる。そして、O RゲートG 6 , G 1 5それぞれの出力がA N DゲートG 7に与えられ、補正データd a ~ d eによって選択されたデータ信号が、補正データt a ~ t dによって選択された内部ストロブ信号S T B 1 ~ S T B 4に依じて、A N DゲートG 7を介して電流増幅回路1 6 aに送出される。

【0059】

シフトレジスタ1 1より出力されるデータ信号は、4ビット毎に、データ信号出力端子S O 0 ~ S O 3より出力されて、隣接する駆動用I C aの入力端子S I 0 ~ S I 3に入力される。又、クロック入力端子C Iに入力されるクロックC L KがバッファB 1を介してクロック出力端子C Oより出力されて、隣接する駆動用I C aのクロック入力端子C Iに入力される。ロード信号入力端子L Iに入力されるロード信号L O A Dは、バッファB 2を介してロード信号出力端子L Oより出力されて、隣接する駆動用I C aのロード信号入力端子L Iに入力される。

【0060】

このように構成される駆動用I C a 1 ~ I C a 2 6が設けられた光プリントヘッドの動作について、図7及び図8を参照して説明する。図7は、発光部のY方向の結像位置と補正後の印字イメージを示す図であり、又、図8は、駆動用I Cの動作を示すタイミングチャートである。

【0061】

まず、図7を参照して、簡単に説明する。尚、図7は、説明を簡単にするために、発光部数を17ドットとして説明する。又、紙送り方向（印字方向と反対の方向となる）を図7の矢印の方向とする。このとき、まず、各発光部# 1 ~ # 1 7の結像位置を、C C D（Charge Coupled Device）による位置計測や印字された直線の曲がりの計測などを用いて確認する。そして、このとき確認された各発光部# 1 ~ # 1 7の結像位置から、各発光部# 1 ~ # 1 7の点灯タイミングを表す補正データd a ~ d e , t a ~ t dを設定する。そして、設定された補正データd a ~ d e , t a ~ t dが制御回路6によってメモリ5に書き込まれる。

【0062】

即ち、まず、図7（a）のように発光部# 1 ~ # 1 7それぞれの結像位置が確認されるとともに、発光部# 1 ~ # 1 7の内その結像位置が最下部となる発光部# 1 7が基準位置となるとき、図7（b）のように、発光部# 1 5 ~ # 1 7に対して補正データd aが、発光部# 1 , # 2 , # 1 3 , # 1 4に対して補正データd bが、発光部# 3 , # 4 , # 1 1 , # 1 2に対して補正データd cが、発光部# 5 ~ # 7 , # 9 , # 1 0に対して補正データd dが、発光部# 8に対して補正データd eが、それぞれ設定されてメモリ5に格納される。

【0063】

この補正データd a ~ d eは、それぞれ、結像位置が基準位置付近であるものに対してd aが、結像位置が基準位置より略1ライン分紙送り方向にずれた位置であるものに対してd bが、結像位置が基準位置より略2ライン分紙送り方向にずれた位置であるものに対してd cが、結像位置が基準位置より略3ライン分紙送り方向にずれた位置であるものに対してd dが、結像位置が基準位置より略4ライン分紙送り方向にずれた位置であるものに対してd eが与えられるようにして、設定される。

【0064】

このように設定されたライン毎のY位置補正を行うための補正データd a ~ d eを用いてY位置補正が行われると、図7（a）のように確認される発光部# 1 ~ # 1 7の結像位置が、図7（c）のように補正される。しかしながら、図7（c）から明らかなように、ライン毎のY位置補正を行っても、まだ、基準位置における各発光部の結像位置のずれが完全に解消されていない。そこで、更に、基準位置と基準位置より略1ライン分紙送り方向にずれた位置との間を4領域に分け、各領域毎の結像位置のずれに対するY位置補正を行うための補正データt a ~ t dが設定される。尚、各ライン間の幅をLとする。

【0065】

即ち、図7(d)のように、発光部#1, #3, #5, #8, #10, #12, #14, #17に対して補正データt_aが、発光部#6, #16に対して補正データt_bが、発光部#2, #4, #9, #11, #13に対して補正データt_cが、発光部#7, #15に対して補正データt_dが、それぞれ設定されてメモリ5に格納される。

【0066】

この補正データt_a~t_dは、結像位置が基準位置付近であるものに対して補正データt_aが、結像位置が基準位置より略(1/4)L紙送り方向にずれた位置であるものに対して補正データt_bが、結像位置が基準位置より略(1/2)L紙送り方向にずれた位置であるものに対して補正データt_cが、結像位置が基準位置より略(3/4)L紙送り方向にずれた位置であるものに対して補正データt_dが与えられるようにして設定される。

10

【0067】

例えば、電源投入されたときなどにおいて、このようにメモリ5に格納された各発光部#1~#17に対する補正データd_a~d_e, t_a~t_dが、プリンタ本体の制御回路又はプリントヘッド内の制御回路6によって読み出されて、駆動用ICaに与えられて、シフトレジスタ11を介してY位置補正データ記憶回路13に格納される。

【0068】

そして、まず、ラッチ回路12aに格納されたデータ信号が、補正データd_aが与えられる出力端子DO15~DO17のそれぞれに対して設けられたANDゲートG1及びORゲートG6を介して、ANDゲートG7に与えられる。このとき、ストローク制御回路18より内部ストローク信号STB1が送出されると、補正データt_aが与えられる出力端子DO17に設けられたANDゲートG11の出力がHIとなり、このANDゲートG11の出力がORゲートG15を介して、ANDゲートG7に与えられる。よって、出力端子DO17に対して設けられた電流増幅回路16aに、ラッチ回路12aに格納されたデータ信号が与えられ、発光部#17に電流供給されて、基準位置付近の印字が行われる。

20

【0069】

又、ストローク制御回路18より内部ストローク信号STB2が送出されると、補正データt_bが与えられる出力端子DO16に設けられたANDゲートG12の出力がHIとなり、このANDゲートG12の出力がORゲートG15を介して、ANDゲートG7に与えられる。よって、出力端子DO16に対して設けられた電流増幅回路16aに、ラッチ回路12aに格納されたデータ信号が与えられ、発光部#16に電流供給されて、基準位置から(1/4)Lずれた位置の印字が行われる。

30

【0070】

更に、ストローク制御回路18より内部ストローク信号STB3が送出された後に内部ストローク信号STB4が送出されると、補正データt_dが与えられる出力端子DO15に設けられたANDゲートG14の出力がHIとなり、このANDゲートG14の出力がORゲートG15を介して、ANDゲートG7に与えられる。よって、出力端子DO15に対して設けられた電流増幅回路16aに、ラッチ回路12aに格納されたデータ信号が与えられ、発光部#15に電流供給されて、基準位置から(3/4)Lずれた位置の印字が行われる。このラインの印字が終了すると、ラッチ回路12aに格納されたデータ信号がラッチ回路12bに格納される。

40

【0071】

次に、基準位置から1ラインずれた位置の印字が行われるとき、ラッチ回路12bに格納されたデータ信号が、補正データd_bが与えられる出力端子DO1, DO2, DO13, DO14のそれぞれに対して設けられたANDゲートG2及びORゲートG6を介して、ANDゲートG7に与えられる。このとき、ストローク制御回路18より内部ストローク信号STB1が送出されると、補正データt_aが与えられる出力端子DO1, DO14に設けられたANDゲートG11の出力がHIとなり、このANDゲートG11の出力がORゲートG15を介して、ANDゲートG7に与えられる。よって、出力端子DO1, DO14に対して設けられた電流増幅回路16aに、ラッチ回路12bに格納されたデータ信号が与えられ、発光部#1, #14に電流供給されて、1ラインずれた位置の印字が行

50

われる。

【 0 0 7 2 】

又、ストロープ制御回路 1 8 より内部ストロープ信号 S T B 2 が送出された後に内部ストロープ信号 S T B 3 が送出されると、補正データ t c が与えられる出力端子 D O 2 , D O 1 3 それぞれに設けられた A N D ゲート G 1 3 の出力が H I となり、この A N D ゲート G 1 3 の出力が O R ゲート G 1 5 を介して、A N D ゲート G 7 に与えられる。よって、出力端子 D O 2 , D O 1 3 に対して設けられた電流増幅回路 1 6 a に、ラッチ回路 1 2 b に格納されたデータ信号が与えられ、発光部 # 2 , # 1 3 に電流供給されて、1 ラインずれた位置から更に (1 / 2) L ずれた位置の印字が行われる。

【 0 0 7 3 】

更に、ストロープ制御回路 1 8 より内部ストロープ信号 S T B 4 が送出されて、このラインの印字が終了すると、ラッチ回路 1 2 b に格納されたデータ信号がラッチ回路 1 2 c に格納される。

【 0 0 7 4 】

次に、基準位置から 2 ラインずれた位置の印字が行われるとき、ラッチ回路 1 2 c に格納されたデータ信号が、補正データ d c が与えられる出力端子 D O 3 , D O 4 , D O 1 1 , D O 1 2 のそれぞれに対して設けられた A N D ゲート G 3 及び O R ゲート G 6 を介して、A N D ゲート G 7 に与えられる。このとき、ストロープ制御回路 1 8 より内部ストロープ信号 S T B 1 が送出されると、補正データ t a が与えられる出力端子 D O 3 , D O 1 2 に設けられた A N D ゲート G 1 1 の出力が H I となり、この A N D ゲート G 1 1 の出力が O R ゲート G 1 5 を介して、A N D ゲート G 7 に与えられる。よって、出力端子 D O 3 , D O 1 2 に対して設けられた電流増幅回路 1 6 a に、ラッチ回路 1 2 c に格納されたデータ信号が与えられ、発光部 # 3 , # 1 2 に電流供給されて、2 ラインずれた位置の印字が行われる。

【 0 0 7 5 】

又、ストロープ制御回路 1 8 より内部ストロープ信号 S T B 2 が送出された後に内部ストロープ信号 S T B 3 が送出されると、補正データ t c が与えられる出力端子 D O 4 , D O 1 1 それぞれに設けられた A N D ゲート G 1 3 の出力が H I となり、この A N D ゲート G 1 3 の出力が O R ゲート G 1 5 を介して、A N D ゲート G 7 に与えられる。よって、出力端子 D O 4 , D O 1 1 に対して設けられた電流増幅回路 1 6 a に、ラッチ回路 1 2 c に格納されたデータ信号が与えられ、発光部 # 4 , # 1 1 に電流供給されて、2 ラインずれた位置から更に (1 / 2) L ずれた位置の印字が行われる。

【 0 0 7 6 】

更に、ストロープ制御回路 1 8 より内部ストロープ信号 S T B 4 が送出されて、このラインの印字が終了すると、ラッチ回路 1 2 c に格納されたデータ信号がラッチ回路 1 2 d に格納される。

【 0 0 7 7 】

次に、基準位置から 3 ラインずれた位置の印字が行われるとき、ラッチ回路 1 2 d に格納されたデータ信号が、補正データ d d が与えられる出力端子 D O 5 ~ D O 7 , D O 9 , D O 1 0 のそれぞれに対して設けられた A N D ゲート G 4 及び O R ゲート G 6 を介して、A N D ゲート G 7 に与えられる。このとき、ストロープ制御回路 1 8 より内部ストロープ信号 S T B 1 が送出されると、補正データ t a が与えられる出力端子 D O 5 , D O 1 0 に設けられた A N D ゲート G 1 1 の出力が H I となり、この A N D ゲート G 1 1 の出力が O R ゲート G 1 5 を介して、A N D ゲート G 7 に与えられる。よって、出力端子 D O 5 , D O 1 0 に対して設けられた電流増幅回路 1 6 a に、ラッチ回路 1 2 d に格納されたデータ信号が与えられ、発光部 # 5 , # 1 0 に電流供給されて、3 ラインずれた位置の印字が行われる。

【 0 0 7 8 】

又、ストロープ制御回路 1 8 より内部ストロープ信号 S T B 2 が送出されると、補正データ t b が与えられる出力端子 D O 6 に設けられた A N D ゲート G 1 2 の出力が H I となり

10

20

30

40

50

、このANDゲートG12の出力がORゲートG15を介して、ANDゲートG7に与えられる。よって、出力端子DO6に対して設けられた電流増幅回路16aに、ラッチ回路12dに格納されたデータ信号が与えられ、発光部#6に電流供給されて、3ラインずれた位置から更に(1/4)Lずれた位置の印字が行われる。

【0079】

又、ストローク制御回路18より内部ストローク信号STB3が送出されると、補正データtcが与えられる出力端子DO9に設けられたANDゲートG13の出力がHIとなり、このANDゲートG13の出力がORゲートG15を介して、ANDゲートG7に与えられる。よって、出力端子DO9に対して設けられた電流増幅回路16aに、ラッチ回路12dに格納されたデータ信号が与えられ、発光部#9に電流供給されて、3ラインずれた位置から更に(1/2)Lずれた位置の印字が行われる。

10

【0080】

更に、ストローク制御回路18より内部ストローク信号STB4が送出されると、補正データtdが与えられる出力端子DO7に設けられたANDゲートG14の出力がHIとなり、このANDゲートG14の出力がORゲートG15を介して、ANDゲートG7に与えられる。よって、出力端子DO7に対して設けられた電流増幅回路16aに、ラッチ回路12dに格納されたデータ信号が与えられ、発光部#7に電流供給されて、3ラインずれた位置から更に(3/4)Lずれた位置の印字が行われる。このラインの印字が終了すると、ラッチ回路12dに格納されたデータ信号がラッチ回路12eに格納される。

【0081】

20

最後に、基準位置から4ラインずれた位置の印字が行われるとき、ラッチ回路12eに格納されたデータ信号が、補正データdeが与えられる出力端子DO8に対して設けられたANDゲートG5及びORゲートG6を介して、ANDゲートG7に与えられる。このとき、ストローク制御回路18より内部ストローク信号STB1が送出されると、補正データtaが与えられる出力端子DO8に設けられたANDゲートG11の出力がHIとなり、このANDゲートG11の出力がORゲートG15を介して、ANDゲートG7に与えられる。よって、出力端子DO8に対して設けられた電流増幅回路16aに、ラッチ回路12eに格納されたデータ信号が与えられ、発光部#8に電流供給されて、4ラインずれた位置の印字が行われる。

【0082】

30

その後、内部ストローク信号STB2~STB4が送出されると、最終的に、補正後の印字イメージが図7(e)のようになり、図7(c)と比べて、その直線性が大幅に改善される。

【0083】

このように、発光部#15~#17に現在印字するラインのデータが、発光部#1, #2, #13, #14に現在印字するラインの1ライン前のデータが、発光部#3, #4, #11, #12に現在印字するラインの2ライン前のデータが、発光部#5~#7, #9, #10に現在印字するラインの3ライン前のデータが、発光部#8に現在印字するラインの4ライン前のデータが、それぞれ与えられる。

【0084】

40

更に、上述のように各発光部#1~#17に与えられようとする各データは、内部ストローク信号STB1が与えられたときに、発光部#1, #3, #5, #8, #10, #12, #14, #17に対して、内部ストローク信号STB2が与えられたときに、発光部#6, #16に対して、内部ストローク信号STB3が与えられたときに、発光部#2, #4, #9, #11, #13に対して、内部ストローク信号STB4が与えられたときに、発光部#7, #15に対して、それぞれ与えられる。

【0085】

次に、この光プリンタヘッドの詳細な動作について、図8のタイミングチャートにより説明する。Y位置補正データ記憶回路13には、上述した動作が行われることによって、既にメモリ5に格納された補正データが書き込まれると、まず、設定信号SETがローから

50

ハイとなって、Y位置補正データ記憶回路13への書き込みを禁止する。

【0086】

そして、端に位置する駆動用ICa26のデータ入力端子SI0～SI3に1ライン分(4992ビット)のデータ信号が4ビット毎に順次与えられ、これがクロックCLKに同期して、駆動用ICa1～ICa26のシフトレジスタ11に取り込まれる。即ち、1番目、5番目、9番目、...のデータ信号が駆動用ICa26のデータ入力端子SI0に、2番目、6番目、10番目、...のデータ信号が駆動用ICa26のデータ入力端子SI1に、3番目、7番目、11番目、...のデータ信号が駆動用ICa26のデータ入力端子SI2に、4番目、8番目、12番目、...のデータ信号が駆動用ICa26のデータ入力端子SI3に、それぞれ、与えられる。

10

【0087】

そして、1248回目のクロックCLKが入力されたとき、駆動用ICa1, ICa2, ..., ICa26のシフトレジスタ11に、それぞれ、1ライン目のデータ信号の内、1～192番目、193～384番目、...、4801～4992番目のデータ信号が格納される。このようにして、1ライン目のデータ信号が、駆動用ICa1～ICa26のシフトレジスタ11に格納されると、クロックCLKが停止し、ハイのロード信号LOADが与えられる。

【0088】

このロード信号LOADが与えられると、駆動用ICa1～ICa26において、シフトレジスタ11に格納された1ライン目のデータ信号が、ラッチ回路12aに書き込まれる。このラッチ回路12aに書き込まれたデータ信号は、補正データdaが与えられるANDゲートG1及びORゲートG6を介して、ANDゲートG7に入力される。よって、ラッチ回路12aに格納された1ライン目のデータ信号の内、補正データdaが与えられた位置(基準位置付近)の発光部に与えるデータ信号が、ラッチ回路12aよりANDゲートG7に入力される。

20

【0089】

そして、ロード信号LOADをローにした後、再び、クロックCLKの入力を開始するとともに、ローのパルス信号となる外部ストロブ信号(反転STB)を4回与える。このとき、図5で説明したように、内部ストロブ信号STB1～STB4が、STB1, STB2, STB3, STB4の順にストロブ制御回路18より出力される。

30

【0090】

よって、まず、内部ストロブ信号STB1が、補正データtaが与えられるANDゲートG11とORゲートG15を介してANDゲートG7に与えられるため、1ライン目の基準位置付近に存在する発光部に与えるデータ信号がドライブ回路16に与えられる。次に、内部ストロブ信号STB2が与えられて、補正データtbが与えられるANDゲートG12とORゲートG15を介してANDゲートG7に与えられるため、1ライン目の基準位置から(1/4)Lずれた位置に存在する発光部に与えるデータ信号がドライブ回路16に与えられる。

【0091】

次に、内部ストロブ信号STB3が与えられて、補正データtcが与えられるANDゲートG13とORゲートG15を介してANDゲートG7に与えられるため、1ライン目の基準位置から(1/2)Lずれた位置に存在する発光部に与えるデータ信号がドライブ回路16に与えられる。最後に、内部ストロブ信号STB4が与えられて、補正データtdが与えられるANDゲートG14とORゲートG15を介してANDゲートG7に与えられるため、1ライン目の基準位置から(3/4)Lずれた位置に存在する発光部に与えるデータ信号がドライブ回路16に与えられる。更に、このとき、クロックCLKに同期して、駆動用ICaのシフトレジスタ11に2ライン目のデータ信号が取り込まれる。

40

【0092】

その後、2ライン目のデータ信号が駆動用ICaのシフトレジスタ11に格納されると、ハイのロード信号LOADを与えることによって、ラッチ回路12aに格納された1ライ

50

ン目のデータ信号をラッチ回路12bに書き込むとともに、シフトレジスタ11に格納された2ライン目のデータ信号をラッチ回路12aに書き込む。ラッチ回路12aに書き込まれたデータ信号は、補正データdaが与えられるANDゲートG1及びORゲートG6を介して、ANDゲートG7に入力される。又、ラッチ回路12bに書き込まれたデータ信号は、補正データdbが与えられるANDゲートG2及びORゲートG6を介して、ANDゲートG7に入力される。

【0093】

よって、まず、内部ストローク信号STB1が、補正データtaが与えられるANDゲートG11とORゲートG15を介してANDゲートG7に与えられるため、2ライン目の基準位置付近に存在する発光部と1ライン目の基準位置から1ラインずれた位置に存在する発光部とに与えるデータ信号がドライブ回路16に与えられる。次に、内部ストローク信号STB2が与えられて、補正データtbが与えられるANDゲートG12とORゲートG15を介してANDゲートG7に与えられるため、2ライン目の基準位置から(1/4)Lずれた位置に存在する発光部と1ライン目の基準位置から1ライン及び(1/4)Lずれた位置に存在する発光部とに与えるデータ信号がドライブ回路16に与えられる。

10

【0094】

次に、内部ストローク信号STB3が与えられて、補正データtcが与えられるANDゲートG13とORゲートG15を介してANDゲートG7に与えられるため、2ライン目の基準位置から(1/2)Lずれた位置に存在する発光部と1ライン目の基準位置から1ライン及び(1/2)Lずれた位置に存在する発光部とに与えるデータ信号がドライブ回路16に与えられる。

20

【0095】

最後に、内部ストローク信号STB4が与えられて、補正データtdが与えられるANDゲートG14とORゲートG15を介してANDゲートG7に与えられるため、2ライン目の基準位置から(3/4)Lずれた位置に存在する発光部と1ライン目の基準位置から1ライン及び(3/4)Lずれた位置に存在する発光部とに与えるデータ信号がドライブ回路16に与えられる。更に、このとき、クロックCLKに同期して、駆動用ICaのシフトレジスタ11に3ライン目のデータ信号が取り込まれる。

【0096】

その後、クロックCLK、ロード信号LOAD、外部ストローク信号(反転STB)がそれぞれ、上述の動作を繰り返すことによって、まず、ラッチ回路12a, 12b, 12cのそれぞれに、3ライン目、2ライン目、1ライン目のデータ信号が格納される。そして、1ライン目の基準位置から略2ラインずれた位置の発光部、2ライン目の基準位置から略1ラインずれた位置の発光部、及び、3ライン目の基準位置付近に存在する発光部それぞれに対して、各ライン位置、各ラインから(1/4)Lずれた位置、各ラインから(1/2)Lずれた位置、各ラインから(3/4)Lずれた位置の順に、電流が供給される。

30

【0097】

次に、ラッチ回路12a, 12b, 12c, 12dのそれぞれに、4ライン目、3ライン目、2ライン目、1ライン目のデータ信号が格納される。そして、1ライン目の基準位置から略3ラインずれた位置の発光部、2ライン目の基準位置から略2ラインずれた位置の発光部、3ライン目の基準位置から略1ラインずれた位置の発光部、及び、4ライン目の基準位置付近に存在する発光部それぞれに対して、各ライン位置、各ラインから(1/4)Lずれた位置、各ラインから(1/2)Lずれた位置、各ラインから(3/4)Lずれた位置の順に、電流が供給される。

40

【0098】

次に、ラッチ回路12a, 12b, 12c, 12d, 12eのそれぞれに、5ライン目、4ライン目、3ライン目、2ライン目、1ライン目のデータ信号が格納される。そして、1ライン目の基準位置から略4ラインずれた位置の発光部、2ライン目の基準位置から略3ラインずれた位置の発光部、3ライン目の基準位置から略2ラインずれた位置の発光部、4ライン目の基準位置から略1ラインずれた位置の発光部、及び、5ライン目の基準位

50

置付近に存在する発光部それぞれに対して、各ライン位置、各ラインから(1/4)Lずれた位置、各ラインから(1/2)Lずれた位置、各ラインから(3/4)Lずれた位置の順に、電流が供給される。

【0099】

よって、このように5ライン分の発光が終了した時点で初めて、1ライン目の発光が完了する。その後、上述した動作が繰り返されることによって、2ライン目、3ライン目、...の発光が順次行われ、最終的に、静電写真型プリンタ1画面分の露光が行われる。

【0100】

このように、本実施形態では、駆動用IC a1~a26において、ライン毎のY位置のずれとライン間の領域毎のY位置のずれに対する補正が同時に行われる。即ち、駆動用IC a1~a26で、図7(a)のようなY位置のずれが、直接、図7(e)のように補正される。よって、高精度なY曲がり補正を行うことができる。

<第2の実施の形態>

本発明の第2の実施の形態について、図面を参照して説明する。図9は、本実施形態における光プリントヘッドに設けられた制御回路の要部の構成を示すブロック回路図である。図10は、本実施形態における光プリントヘッドに設けられた駆動用ICの内部構成を示すブロック回路図である。尚、図10において、図4に示す部分と同一の目的で使用する部分については、同一の符号を付し、その詳細な説明は省略する。

【0101】

本実施形態では、上述したように光プリントヘッドが図2のように構成されるとき、制御回路6に補正データda~deが与えられて、まず、制御回路6において、駆動用IC a1~a26に与えられるデータ信号に対するライン毎のY位置のずれに対する補正が行われる。そして、制御回路6で補正されたデータ信号は、更に、補正データta~tdが与えられる駆動用IC a1~a26において、ライン間の領域毎のY位置のずれに対する補正が行われる。

【0102】

この制御回路6は、図9のように構成される。尚、図9は、説明を簡単にするために発光部#1に基づいた回路ブロック図を示し、他の発光部#2~#4992については同様となるため省略する。

【0103】

図9に示す制御回路6は、データ入力端子SI0~SI3より入力される4ビットのデータ信号を取り込む4992ビットのシフトレジスタ21と、シフトレジスタ21で取り込まれたデータ信号を4992ビット単位毎に並列に取り込む5段のラッチ回路22と、Y方向の補正を行うための4992組の補正データを格納するY位置補正データ記憶回路23と、ラッチ回路22に格納されたデータ信号をY位置補正データ記憶回路23に格納された補正データに応じて選択する選択回路24と、選択回路24で選択されたデータ信号を取り込む4992ビットのシフトレジスタ25とを有する。

【0104】

そして、ラッチ回路22は、4992ビットのデータ信号を格納することができるラッチ回路22a~22eを有し、ラッチ回路22aにシフトレジスタ21に格納された4992ビットのデータ信号が、ラッチ回路22bにラッチ回路22aに格納された4992ビットのデータ信号が、ラッチ回路22cにラッチ回路22bに格納された4992ビットのデータ信号が、ラッチ回路22dにラッチ回路22cに格納された4992ビットのデータ信号が、ラッチ回路22eにラッチ回路22dに格納された4992ビットのデータ信号が、ロード信号LOADに応じてそれぞれ与えられる。

【0105】

又、このラッチ回路22a~22eのそれぞれに格納された4992×5ビットのデータ信号が、ロード信号LOADに応じて、選択回路24に同時に送出される。このように4992×5ビットのデータ信号が与えられる選択回路24は、駆動用IC a1~a26のそれぞれに与えるための4992ビットのデータ信号を選択するために、5つのANDゲ

10

20

30

40

50

ートG 1 ~ G 5 と1つのORゲートG 6 で構成されたゲート回路が4 9 9 2 組構成される。

【0 1 0 6】

そして、この選択回路2 4 で選択された4 9 9 2 ビットのデータ信号が、シフトレジスタ2 5 に与えられた後、一旦、格納される。又、シフトレジスタ2 5 は、格納した4 9 9 2 ビットのデータ信号を、データ出力端子S O 0 ~ S O 3 から、4 ビット毎に、駆動用I C a 2 6 に出力する。

【0 1 0 7】

即ち、発光部# 1 に対するデータ信号に基づいて説明すると、Y 位置補正データ記憶回路2 3 より出力される5 ビットの補正データd a ~ d e がそれぞれ、5 つのANDゲートG 1 ~ G 5 に入力される。又、このANDゲートG 1 ~ G 5 には、ラッチ回路2 2 a ~ 2 2 e からの発光部# 1 に対するデータ信号が1 ビット毎に入力される。ORゲートG 6 には、ANDゲートG 1 ~ G 5 からの出力が入力され、補正データd a ~ d e の内、ハイとなる補正データが入力されたANDゲートからの出力が出力となる。そして、このORゲートG 6 の出力が、シフトレジスタ2 5 に送出される。

10

【0 1 0 8】

クロック入力端子C I に入力されるクロックC L K がバッファB 1 を介してクロック出力端子C O より出力されて、駆動用I C a 2 6 のクロック入力端子C I に入力される。ロード信号入力端子L I に入力されるロード信号L O A D は、バッファB 2 を介してロード信号出力端子L O より出力されて、駆動用I C a 2 6 のロード信号入力端子L I に入力される。

20

【0 1 0 9】

又、Y 位置補正データ記憶回路2 3 は、5 ビットで構成される補正データを、データ信号に対応して4 9 9 2 個記憶することができるように、例えば、4 9 9 2 × 5 ビットのラッチ回路で構成することができる。そして、Y 位置補正データ記憶回路2 3 への補正データの書き込みは、シフトレジスタ2 1 から並列に供給される4 9 9 2 個単位の信号に基づいて、前もって行うことができる。

【0 1 1 0】

即ち、メモリ5 内に格納された補正データが、プリンタ本体の制御回路又はプリントヘッド内の制御回路6 により読み出されて制御回路6 に与えられるとき、Y 位置補正データ記憶回路2 3 のみを書き込み状態としてシフトレジスタ2 1 を介して補正データの各ビットを記憶する作業を5 回繰り返すことによって書き込まれる。

30

【0 1 1 1】

又、上述したように駆動用I C a が図3 のように構成されるとき、ラッチ回路1 2 は、第1 の実施形態と異なり、シフトレジスタ1 1 より出力される1 9 2 ビットのデータ信号が平行に入力される1 9 2 ビットの構成のラッチ回路1 段で構成される。そして、選択回路1 5 では、ラッチ回路1 2 より与えられる1 9 2 ビットのデータ信号を、Y 位置補正データ記憶回路より与えられる1 9 2 × 4 ビットの補正データで選択したタイミング制御回路1 4 より供給される内部ストローク信号S T B 1 ~ S T B 4 に応じてドライブ回路1 6 に出力する。

40

【0 1 1 2】

Y 位置補正データ記憶回路1 3 は、4 ビットで構成される補正データを、データ信号に対応して1 9 2 個記憶することができるように、例えば、1 9 2 × 4 ビットのラッチ回路で構成することができる。そして、Y 位置補正データ記憶回路1 3 への補正データの書き込みは、シフトレジスタ1 1 から並列に供給される1 9 2 個単位の信号に基づいて、前もって行うことができる。

【0 1 1 3】

即ち、メモリ5 内に格納された補正データt a ~ t d が、プリンタ本体の制御回路又はプリントヘッド内の制御回路6 により読み出されて駆動用I C a に与えられるとき、Y 位置補正データ記憶回路1 3 のみを書き込み状態としてシフトレジスタ1 1 を介して補正デー

50

タの各ビットを記憶する作業を4回繰り返すことによって書き込まれる。

【0114】

以下に図10を参照して、このように構成される駆動用ICaの詳細な構成について説明する。尚、図10は、説明を簡単にするために出力端子DO1に基づいた回路ブロック図を示し、他の出力端子DO2～DO192については同様となるため省略する。

【0115】

ラッチ回路12は、192ビットのデータ信号を格納することができるラッチ回路であり、シフトレジスタ11に格納された192ビットのデータ信号が、ロード信号LOADに応じて与えられる。又、このラッチ回路12に格納された192ビットのデータ信号が、ロード信号LOADに応じて、選択回路15に同時に送出される。そして、この選択回路15は、4つのANDゲートG11～G14と1つのORゲートG15で構成されたゲート回路がそれぞれ192組構成される。

10

【0116】

又、この選択回路15は、ストローク制御回路18で生成された内部ストローク信号STB1～STB4のいずれか1つの信号に応じてドライブ回路16にデータ信号を送出するために、ラッチ回路12から出力されるデータ信号とORゲートG15の出力とが入力されるANDゲートG7を192個有する。尚、シフトレジスタ11、ドライブ回路16、電流供給回路17、及びストローク制御回路18については、第1の実施形態(図4)と同様になる。

【0117】

即ち、Y位置補正データ記憶回路13より出力される4ビットの補正データta～tdがそれぞれ、4つのANDゲートG11～G14に入力される。そして、このANDゲートG11～G14には、ストローク制御回路18で生成された内部ストローク信号STB1～STB4がそれぞれ入力される。ORゲートG15には、ANDゲートG11～G14からの出力が入力され、補正データta～tdの内、ハイとなる補正データが入力されたANDゲートからの出力がORゲートG15の出力となる。そして、ラッチ回路12から出力されるデータ信号が、補正データta～tdによって選択された内部ストローク信号STB1～STB4に応じて、ANDゲートG7を介して電流増幅回路16aに送出される。

20

【0118】

このように構成される制御回路6及び駆動用ICa1～ICa26が設けられた光プリントヘッドの動作について、図7、図11及び図12を参照して説明する。図11は、制御回路の動作を示すタイミングチャートであり、図12は、駆動用ICの動作を示すタイミングチャートである。

30

【0119】

まず、制御回路6の動作について、図11のタイミングチャートを参照して、説明する。第1の実施形態と同様にして得られた補正データda～deが、例えば、電源投入されたときなどにおいて、プリンタ本体の制御回路又はプリントヘッド内の制御回路6によってメモリ5より読み出されて、シフトレジスタ21を介してY位置補正データ記憶回路23に格納される。このようにして、メモリ5に格納された補正データが書き込まれると、まず、設定信号SETがローからハイとなって、Y位置補正データ記憶回路23への書き込みを禁止する。

40

【0120】

そして、1ライン分(4992ビット)のデータ信号が4ビット毎に順次与えられ、これがクロックCLKに同期して、制御回路6のシフトレジスタ21に取り込まれる。このクロックCLKが1248回入力されたとき、シフトレジスタ21に、1ライン目のデータ信号が格納される。このようにして、1ライン目のデータ信号が、シフトレジスタ21に格納されると、クロックCLKが停止し、ハイのロード信号LOADが与えられる。

【0121】

このロード信号LOADが与えられると、シフトレジスタ21に格納された1ライン目の

50

データ信号が、ラッチ回路22aに書き込まれる。このラッチ回路22aに書き込まれたデータ信号は、補正データdaが与えられるANDゲートG1及びORゲートG6を介して、シフトレジスタ25に入力される。よって、ラッチ回路22aに格納された1ライン目のデータ信号の内、補正データdaが与えられた位置(基準位置付近)の発光部に与えるデータ信号が、ラッチ回路22aよりシフトレジスタ25に入力される。

【0122】

そして、ロード信号LOADをローにした後、再び、1248回分のクロックCLKの入力を開始すると、シフトレジスタ25に格納された1ライン目の基準位置付近の発光部に与えるデータ信号が、4ビット毎に、データ出力端子S00~S03より駆動用ICa26のデータ入力端子SI0~SI3に出力される。よって、駆動用ICa1, ICa2, ... , ICa26のシフトレジスタ11に、それぞれ、選択された1ライン目のデータ信号の内、1~192番目、193~384番目、...、4801~4992番目のデータ信号が格納される。又、このとき、シフトレジスタ21に2ライン目のデータ信号が与えられる。

10

【0123】

そして、再度、ハイのロード信号LOADを与えることで、ラッチ回路22aに格納された1ライン目のデータ信号をラッチ回路22bに書き込むとともに、シフトレジスタ11に格納された2ライン目のデータ信号をラッチ回路22aに書き込む。ラッチ回路22aに書き込まれた2ライン目のデータ信号は、補正データdaが与えられるANDゲートG1及びORゲートG6を介して、又、ラッチ回路22bに書き込まれた1ライン目のデータ信号は、補正データdbが与えられるANDゲートG2及びORゲートG6を介して、それぞれ、シフトレジスタ25に入力される。

20

【0124】

よって、2ライン目の基準位置付近に存在する発光部と1ライン目の基準位置から1ラインずれた位置に存在する発光部とに与えるデータ信号がシフトレジスタ25に格納される。このシフトレジスタ25に格納されたデータ信号は、再びクロックCLKが与えられたときに、4ビット毎に、データ出力端子S00~S03より駆動用ICa26のデータ入力端子SI0~SI3に出力される。

【0125】

その後、クロックCLK及びロード信号LOADがそれぞれ、上述の動作を繰り返すことによつて、まず、ラッチ回路22a, 22b, 22cのそれぞれに、3ライン目、2ライン目、1ライン目のデータ信号が格納される。そして、1ライン目の基準位置から略2ラインずれた位置の発光部、2ライン目の基準位置から略1ラインずれた位置の発光部、及び、3ライン目の基準位置付近に存在する発光部それぞれに対して与えられるデータ信号が、シフトレジスタ25に格納される。

30

【0126】

次に、シフトレジスタ25に格納されたデータ信号が、データ出力端子S00~S03より駆動用ICa26のデータ入力端子SI0~SI3に出力されると、ラッチ回路22a, 22b, 22c, 22dのそれぞれに、4ライン目、3ライン目、2ライン目、1ライン目のデータ信号が格納される。そして、1ライン目の基準位置から略3ラインずれた位置の発光部、2ライン目の基準位置から略2ラインずれた位置の発光部、3ライン目の基準位置から略1ラインずれた位置の発光部、及び、4ライン目の基準位置付近に存在する発光部それぞれに対して与えられるデータ信号が、シフトレジスタ25に格納される。

40

【0127】

次に、シフトレジスタ25に格納されたデータ信号が、データ出力端子S00~S03より駆動用ICa26のデータ入力端子SI0~SI3に出力されると、ラッチ回路12a, 12b, 12c, 12d, 12eのそれぞれに、5ライン目、4ライン目、3ライン目、2ライン目、1ライン目のデータ信号が格納される。そして、1ライン目の基準位置から略4ラインずれた位置の発光部、2ライン目の基準位置から略3ラインずれた位置の発光部、3ライン目の基準位置から略2ラインずれた位置の発光部、4ライン目の基準位置

50

から略1ラインずれた位置の発光部、及び、5ライン目の基準位置付近に存在する発光部それぞれに対して与えられるデータ信号が、シフトレジスタ25に格納される。

【0128】

制御回路6において、このような動作が繰り返されることによって、駆動用IC a1～a26に、補正データda～deに基づいたライン分毎のY曲がり補正が行われたデータ信号が与えられることとなる。即ち、発光部#1～#17において、図7(a)のようなY位置のずれがある場合に、発光部#8に与える1ライン目のデータ信号が制御回路6のシフトレジスタ25より出力されるとき、発光部#5～#7、#9、#10に与える2ライン目のデータ信号、発光部#3、#4、#11、#12に与える3ライン目のデータ信号、発光部#1、#2、#13、#14に与える4ライン目のデータ信号、及び発光部#15～#17に与える5ライン目のデータ信号がとも出力される。よって、この制御回路6より出力されるデータ信号を用いて発光部#1～#17を点灯させたとき、図7(c)のように、Y曲がり補正が成される。

10

【0129】

次に、駆動用IC a1～a26の動作について、図12のタイミングチャートを参照して、説明する。第1の実施形態と同様にして得られた補正データta～tdが、例えば、電源投入されたときなどにおいて、プリンタ本体の制御回路又はプリントヘッド内の制御回路6によってメモリ5より読み出されて、シフトレジスタ11を介してY位置補正データ記憶回路13に格納される。このようにして、メモリ5に格納された補正データが書き込まれると、まず、設定信号SETがローからハイとなって、Y位置補正データ記憶回路13への書き込みを禁止する。

20

【0130】

そして、端に位置する駆動用IC a26のデータ入力端子SI0～SI3に1ライン分(4992ビット)のデータ信号が4ビット毎に順次与えられ、これがクロックCLKに同期して、駆動用IC a1～IC a26のシフトレジスタ11に取り込まれる。そして、1248回目のクロックCLKが入力されたとき、駆動用IC a1、IC a2、…、IC a26のシフトレジスタ11に、それぞれ、5つの連続したラインから選択されたデータ信号の内、1～192番目、193～384番目、…、4801～4992番目のデータ信号が格納される。このようにして、5つの連続したラインから選択されたデータ信号が、駆動用IC a1～IC a26のシフトレジスタ11に格納されると、クロックCLKが停止し、ハイのロード信号LOADが与えられる。

30

【0131】

このロード信号LOADが与えられると、駆動用IC a1～IC a26において、シフトレジスタ11に格納されたデータ信号が、ラッチ回路12に書き込まれる。このラッチ回路12に書き込まれたデータ信号は、ANDゲートG7に入力される。そして、ロード信号LOADをローにした後、再び、クロックCLKの入力を開始するとともに、ローのパルス信号となる外部ストローク信号(反転STB)を4回与える。このとき、図5で説明したように、内部ストローク信号STB1～STB4が、STB1、STB2、STB3、STB4の順にストローク制御回路18より出力される。

【0132】

よって、まず、内部ストローク信号STB1が、補正データtaが与えられるANDゲートG11とORゲートG15を介してANDゲートG7に与えられるため、各ラインの基準位置付近に存在する発光部に与えるデータ信号がドライブ回路16に与えられる。次に、内部ストローク信号STB2が、補正データtbが与えられるANDゲートG12とORゲートG15を介してANDゲートG7に与えられるため、各ラインの基準位置から(1/4)Lずれた位置に存在する発光部に与えるデータ信号がドライブ回路16に与えられる。

40

【0133】

次に、内部ストローク信号STB3が、補正データtcが与えられるANDゲートG13とORゲートG15を介してANDゲートG7に与えられるため、各ラインの基準位置か

50

ら(1/2)Lずれた位置に存在する発光部に与えるデータ信号がドライブ回路16に与えられる。最後に、内部ストローク信号STB4が、補正データtdが与えられるANDゲートG14とORゲートG15を介してANDゲートG7に与えられるため、各ラインの基準位置から(3/4)Lずれた位置に存在する発光部に与えるデータ信号がドライブ回路16に与えられる。更に、このとき、クロックCLKに同期して、駆動用ICaのシフトレジスタ11に次に制御回路6より出力されるデータ信号が取り込まれる。

【0134】

駆動用ICa1～a26において、このような動作が繰り返されることによって、各ラインの領域毎のY曲がり補正を行って、各発光部#1～#4992の発光動作を制御することができる。

10

【0135】

即ち、図7(a)のように発光部#1～#17に与えられるデータ信号が制御回路6で補正された場合に、発光部#8に与える1ライン目のデータ信号が制御回路6より与えられてラッチ回路12に格納されると、まず、内部ストローク信号STB1がストローク制御回路18より出力されるとき、発光部#8に1ライン目のデータ信号が、発光部#5, #10に2ライン目のデータ信号が、発光部#3, #12に3ライン目のデータ信号が、発光部#1, #14に4ライン目のデータ信号が、発光部#17に5ライン目のデータ信号が、それぞれ与えられる。

【0136】

次に、内部ストローク信号STB2がストローク制御回路18より出力されるとき、発光部#6に2ライン目のデータ信号が、発光部#16に5ライン目のデータ信号が、それぞれ与えられる。次に、内部ストローク信号STB3がストローク制御回路18より出力されるとき、発光部#9に2ライン目のデータ信号が、発光部#4, #11に3ライン目のデータ信号が、発光部#2, #13に4ライン目のデータ信号が、それぞれ与えられる。最後に、内部ストローク信号STB4がストローク制御回路18より出力されるとき、発光部#7に2ライン目のデータ信号が、発光部#15に5ライン目のデータ信号が、それぞれ与えられる。

20

【0137】

よって、この制御回路6により図7(c)のようにY曲がり補正が成されたデータ信号を用いて、駆動用ICaによって発光部#1～#17を点灯させたとき、図7(e)のように、更に高精度なY曲がり補正が成される。又、制御回路でライン毎のY曲がり補正を行うことで、駆動用ICaの回路構成が簡単化されるため、第1の実施形態と比べて、駆動用ICaを小型化することができる。

30

【0138】

尚、第1及び第2の実施形態において、発光部の数を4992、駆動用ICの出力端子の数を192、Y位置の補正するライン数を5、各ライン間でY位置の補正を行う領域数を4としたが、それぞれの数量について限定するものではない。

【0139】

又、Y位置の補正するライン数及び領域数については、紙送り速度や発光素子の点滅スピードに応じて変化させる必要がある。又、紙送り速度や発光素子の点滅スピードに応じた異なる複数組の補正データをメモリ内に格納して、印字スピードの変更時などに適切な補正データの組を読み出して駆動用ICに転送するようにしても構わない。

40

【0140】

又、内部ストローク信号STB1～STB4は、その各々が時間的に重ならないように短い信号幅としているが、少なくとも隣接するストローク信号STB1～STB4が重なりを持つように長い信号幅とすることができる。信号幅を長くするために、ストローク制御信号発生回路14は、内部ストローク信号STB1～STB4を所定期間遅延して出力すると共に、遅延時間を任意に設定する構成とすることができ、そのための回路を内臓もしくは付属させることができる。このようにすることにより、発光時間を長くし照射エネルギーを増大することができ、印字速度を高めるのに有用となる。また、印字精度を高める

50

上でも有用となる。

【0141】

又、各発光部毎に点灯タイミングを変えることができるものとしたが、本発明はこれに限られるものでなく、複数の発光部群単位毎に、又は、駆動用IC単位毎に、点灯タイミングを変えることができるようにしても構わない。このように複数の発光部群毎に点灯タイミングが変えられるようにすることで、駆動用ICの回路構成を簡素なものとすることができる。

【0142】

又、Y位置補正データ記憶回路以外に、各発光部の光量を均一にするために、予め求めた光量補正データが格納される光量補正データ記憶回路を駆動用IC内に設けても構わない。このとき、各発光部毎にSビットの補正データが光量補正データ記憶回路に格納される
10
とき、駆動用ICにおいて、各発光部に電流を供給するための出力端子毎に、出力端子に電流供給するS個の電流増幅器を設けることで、Sビットの補正データに応じてS個の電流増幅器を動作させて、光量補正を行うことができる。

【0143】

又、駆動用ICの出力端子に対して発光部1つが接続された光プリントヘッドとしたが、例えば特開平6-163980号公報や特開平10-226102号公報などに示されるように、その一端が共通電極に接続されるn個の発光部を1群としてm群に分けるとともに、異なる群のm個の発光部の他端を個別電極に接続し、駆動用ICの出力端子を共通電極に接続されるものと、個別電極に接続されるものの2種類とすることで、時分割駆動
20
を行うことができるようにしても構わない。

【0144】

又、データ信号を複数ビットで構成する場合などにおいては、それに応じてシフトレジスタやラッチ回路などの構成を変更することもでき、例えば、シフトレジスタをアドレス指定方式のメモリで構成することもできる。

【0145】

【発明の効果】

以上のように本発明の駆動用ICによれば、光プリントヘッドに設けられた発光素子の複数の発光部の結像位置ずれに応じて、各発光部の点灯タイミングを変更することができる。そして、このような駆動用ICが設けられた光プリントヘッドが印字する際に、その直
30
線性を改善することができる。よって、本発明の光プリントヘッドを複数備えたカラータ
ンデム方式のプリンタにおいて、色ずれの少ないカラー印字を得ることができる。更に、
印字ライン周期毎に、異なるタイミングで発生するストローク信号が生成され、発光部の
結像位置ずれに応じて、各発光部の点灯タイミングをそれぞれのストローク信号に同期さ
せる。よって、その直線性の微調整を行うことが可能となり、高精度な補正を行うことが
できる。

【0146】

又、直線性を改善するために、従来のような機械的な調整や光学的な調整がほとんど不要となる。よって、組立工数が大幅に削減されるとともに、レンズや発光素子などの各部品
40
について大まかな良否判定でよくなるので、光プリントヘッド及びこれが設けられたプリ
ンタを高品質化で安価なものとすることができる。

【図面の簡単な説明】

【図1】光プリントヘッドの外観上面図。

【図2】本発明の光プリントヘッドの内部構成を示すブロック図。

【図3】本発明の光プリントヘッド内に設けられた駆動用ICの内部構成を示すブロック
図。

【図4】第1の実施形態の光プリントヘッド内に設けられた駆動用ICの内部構成を示す
ブロック回路図。

【図5】ストローク制御回路の動作を示すタイミングチャート。

【図6】ストローク制御回路の内部構成を示すブロック回路図。

10

20

30

40

50

【図7】発光部の結像位置とY位置補正後の印字イメージの関係を示す図。

【図8】図4の駆動用ICの動作を示すタイミングチャート。

【図9】第2の実施形態の光プリントヘッド内に設けられた制御回路の要部構成を示すブロック回路図。

【図10】第2の実施形態の光プリントヘッド内に設けられた駆動用ICの内部構成を示すブロック回路図。

【図11】図9の制御回路の動作を示すタイミングチャート。

【図12】図10の駆動用ICの動作を示すタイミングチャート。

【図13】従来の駆動用ICの内部構成を示すブロック図。

【図14】従来の光プリントヘッドの内部構成を示すブロック図。

10

【図15】従来の光プリントヘッドの動作を示すタイミングチャート。

【図16】従来の光プリントヘッドで印字後のY位置のずれを示す図。

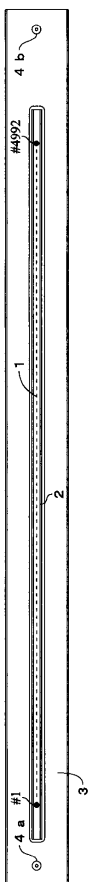
【図17】従来の光プリントヘッドで印字後のY位置のずれを示す図。

【符号の説明】

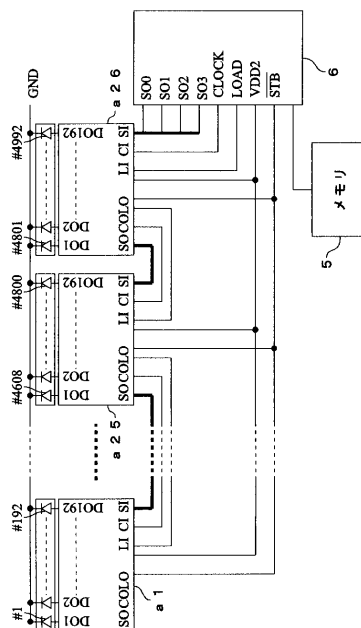
- 1 発光素子
- 2 S L A
- 3 レンズホルダ
- 4 a , 4 b 位置決めピン
- 5 メモリ
- 6 制御回路
- a 1 ~ a 2 6 駆動用 I C

20

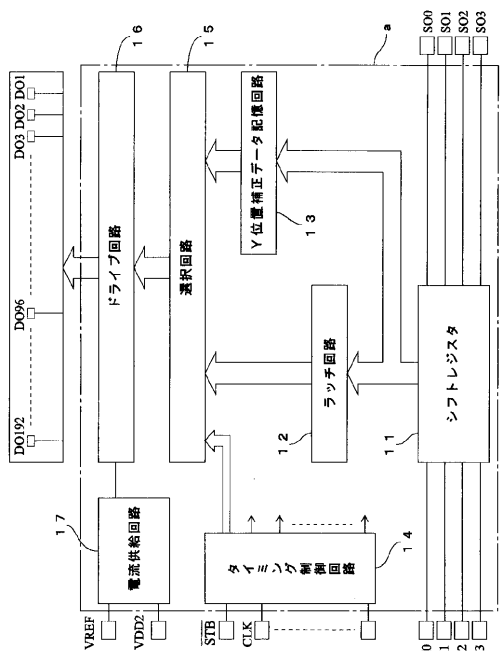
【図1】



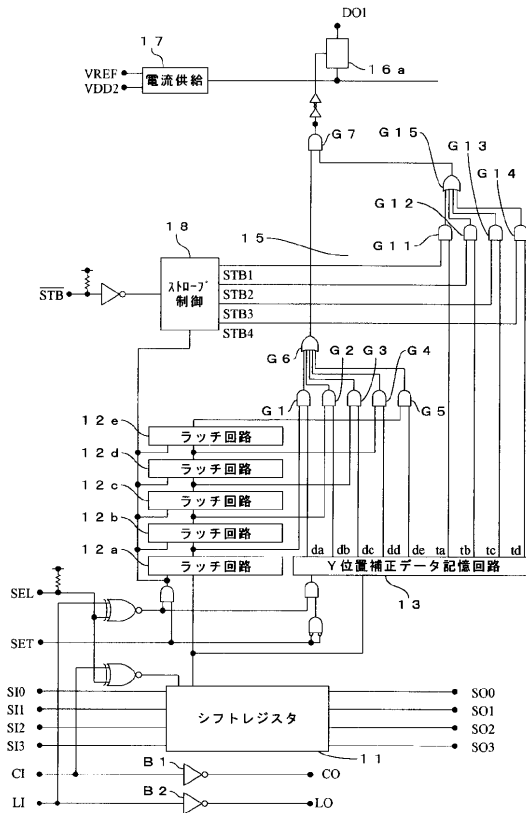
【図2】



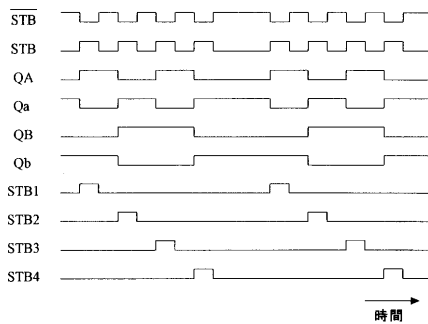
【 図 3 】



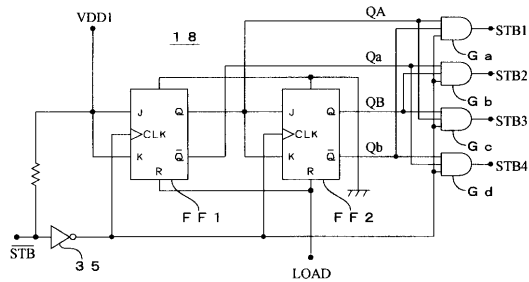
【 図 4 】



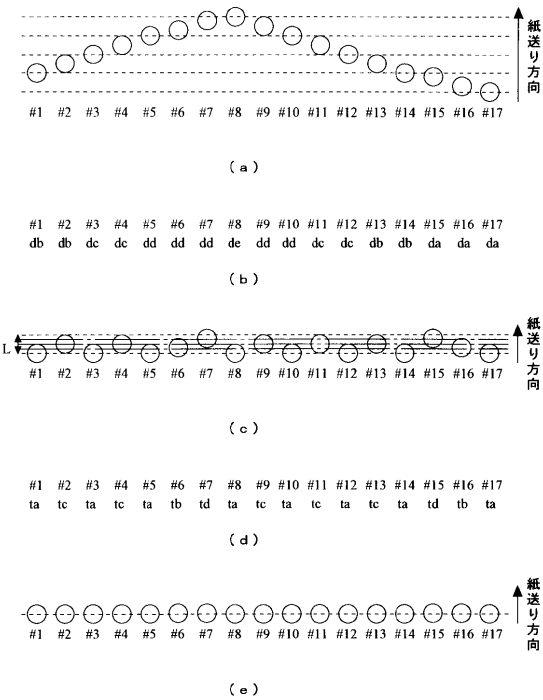
【 図 5 】



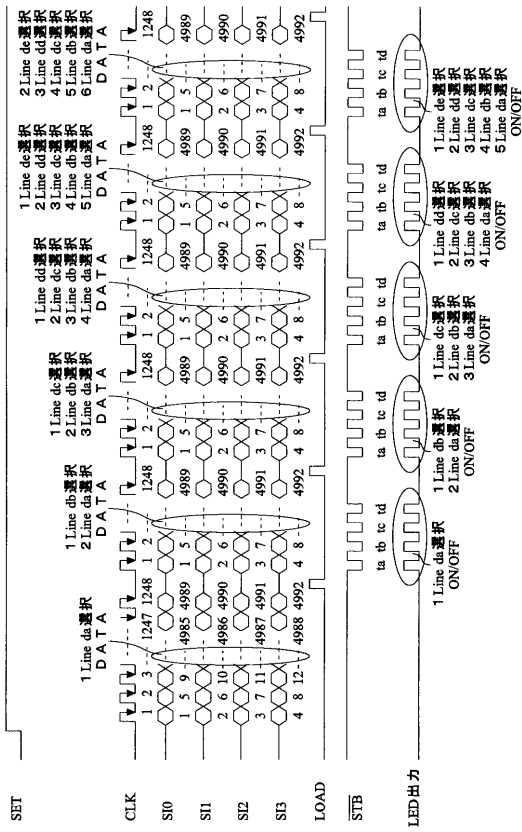
【 図 6 】



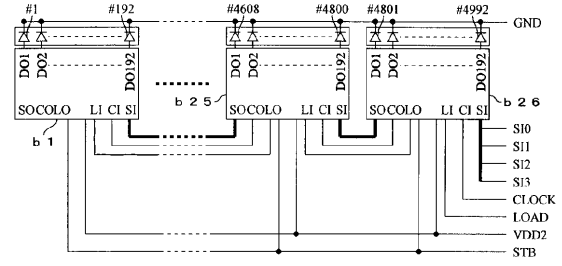
【 図 7 】



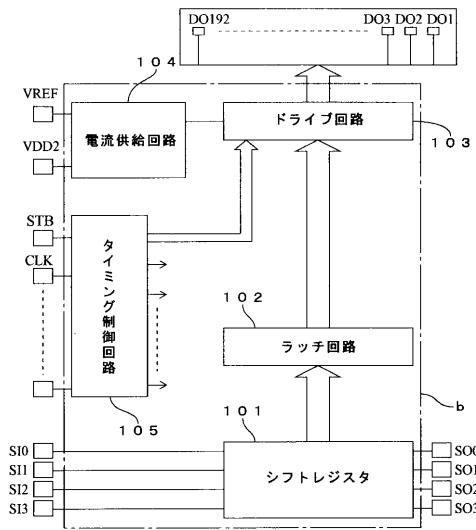
【 図 1 2 】



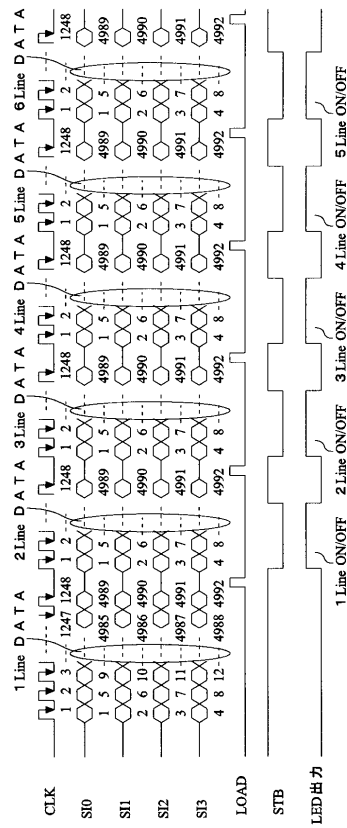
【 図 1 3 】



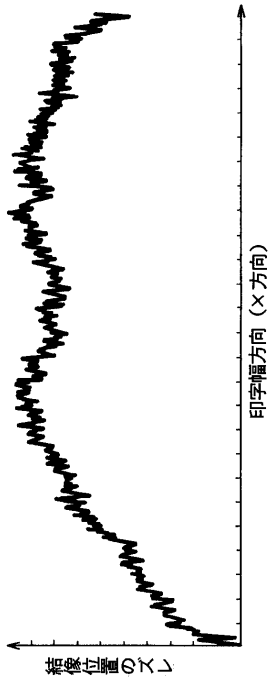
【 図 1 4 】



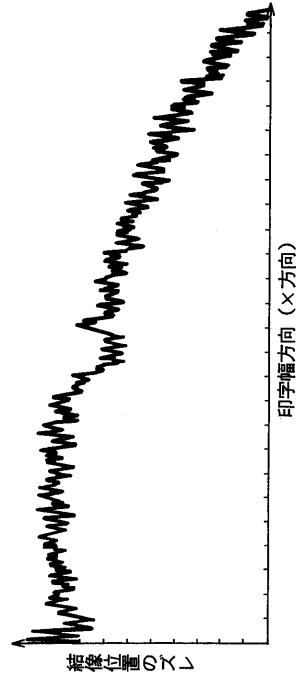
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

(56)参考文献 特開平04 - 291372 (JP, A)
特開平07 - 304211 (JP, A)

(58)調査した分野(Int.Cl., DB名)

B41J 2/44-455

B41J 2/515

B41J 2/32

H01L 33/00