



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년10월30일
(11) 등록번호 10-2038488
(24) 등록일자 2019년10월24일

(51) 국제특허분류(Int. Cl.)
H01L 23/48 (2006.01)
(21) 출원번호 10-2013-0020632
(22) 출원일자 2013년02월26일
심사청구일자 2018년02월26일
(65) 공개번호 10-2014-0106279
(43) 공개일자 2014년09월03일
(56) 선행기술조사문헌
KR1020120094712 A*
JP2005217205 A*
US20120187568 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자 주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
박재용
충남 천안시 동남구 서부대로 226-11, 302동 703호 (신방동, 향촌현대아파트)
고준영
충남 천안시 서북구 불당1로 82, 604동 402호 (불당동, 대원칸타빌)
김상준
충남 아산시 탕정면 탕정면로 37, 101동 505호 (탕정삼성트라펠리스아파트)
(74) 대리인
특허법인가산

전체 청구항 수 : 총 10 항

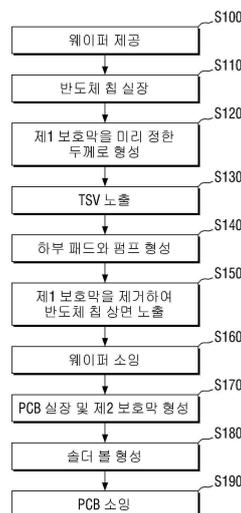
심사관 : 정구원

(54) 발명의 명칭 반도체 패키지의 제조 방법

(57) 요약

반도체 패키지의 제조 방법이 제공된다. 반도체 패키지의 제조 방법은, TSV를 포함하는 상부 영역과 TSV를 미포함하는 하부 영역을 포함하는 웨이퍼를 제공하고, 웨이퍼의 상부 영역 상에 반도체 칩을 실장하고, 반도체 칩을 덮는 보호막을 미리 정한 두께로 형성하고, 웨이퍼에 지지체(supporter)를 부착하지 않은 상태에서 웨이퍼의 하부 영역을 제거하여 TSV를 노출시킨 후, 보호막의 일부를 제거하여 반도체 칩의 상면을 노출시키는 것을 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

TSV(Through Silicon Via)를 포함하는 제1 영역과 상기 TSV를 미포함하는 제2 영역을 포함하는 웨이퍼를 제공하고,

상기 웨이퍼의 제1 영역 상에 반도체 칩을 실장하되 상기 반도체 칩은 상기 웨이퍼보다 넓어 그 측면을 넘어 연장되고,

상기 웨이퍼를 덮는 보호막을 미리 정한 두께로 형성하여 상기 웨이퍼의 측면을 넘어 연장된 반도체 칩의 부분을 노출하고,

상기 웨이퍼에 지지체를 부착하지 않은 상태에서 상기 웨이퍼의 제2 영역과 이에 대응하는 보호막을 제거하여 상기 TSV를 노출하는 것을 포함하는 반도체 패키지의 제조 방법.

청구항 2

제 1항에 있어서,

상기 제1 영역 내의 TSV가 노출될 때 남아있는 보호막 내에 상기 반도체 칩의 전원/접지 패드와 전기적으로 접속되는 관통 비아를 형성하는 것을 더 포함하는 반도체 패키지의 제조 방법.

청구항 3

제 2항에 있어서,

상기 웨이퍼의 하면에 상기 노출된 TSV와 전기적으로 접속되는 연결단자를 형성하고, 상기 보호막 내의 관통 비아와 전기적으로 접속되는 연결단자를 형성하는 것을 더 포함하는 반도체 패키지의 제조 방법.

청구항 4

제 3항에 있어서,

상기 보호막의 일부를 제거하여 상기 반도체 칩의 상면을 노출시킬 시, 상기 연결단자는 보호 테이프에 의해 보호되는 반도체 패키지의 제조 방법.

청구항 5

제 4항에 있어서,

상기 반도체 칩의 상면을 노출시킨 후,

상기 웨이퍼를 단위 웨이퍼로 소잉(sawing)하여 서브 패키지를 형성하고,

상기 서브 패키지를 PCB에 실장하는 것을 더 포함하는 반도체 패키지의 제조 방법.

청구항 6

제 5항에 있어서,

상기 서브 패키지를 상기 PCB에 실장한 후,

상기 PCB를 소잉하여 반도체 패키지를 형성하는 것을 더 포함하는 반도체 패키지의 제조 방법.

청구항 7

제 1항에 있어서,

상기 반도체 칩을 실장하는 것은,

상기 반도체 칩을 플립 칩(flip chip) 형태로 실장하는 것을 포함하는 반도체 패키지의 제조 방법.

상기 웨이퍼는 복수의 단위 웨이퍼를 포함하고,

상기 단위 웨이퍼의 폭은 상기 반도체 칩의 폭보다 작은 반도체 패키지의 제조 방법.

청구항 8

TSV를 포함하는 상부 영역과 상기 TSV를 미포함하는 하부 영역을 포함하는 웨이퍼를 제공하고,

상기 웨이퍼의 상부 영역 상에 반도체 칩을 실장하되 상기 반도체 칩은 상기 웨이퍼보다 넓어 그 측면을 넘어 연장되고,

상기 반도체 칩을 덮는 보호막을 미리 정한 두께로 형성하고,

상기 웨이퍼에 지지체를 부착하지 않은 상태에서 상기 웨이퍼의 하부 영역을 제거하여 상기 TSV를 노출시키고,

상기 웨이퍼의 하면에 상기 노출된 TSV와 전기적으로 연결되는 하부 패드 및 범프 볼을 형성한 후,

상기 보호막의 일부를 제거하여 상기 반도체 칩의 상면을 노출시키는 것을 포함하는 반도체 패키지의 제조 방법.

청구항 9

제 8항에 있어서,

상기 웨이퍼는,

제1 간격으로 배치된 상부 패드와, 그 내부에 포함된 재배선(re-distribution line)을 통해 상기 TSV와 상기 상부 패드를 전기적으로 접속시키는 재배선층을 더 포함하고,

상기 TSV는 상기 제1 간격과 다른 제2 간격으로 배치되는 반도체 패키지의 제조 방법.

청구항 10

제 9항에 있어서,

상기 제1 간격은 상기 제2 간격보다 작은 반도체 패키지의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 패키지의 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 산업의 화두 중 하나는 소형화, 다기능화 및 고용량화되고 높은 신뢰성을 갖는 반도체 제품을 저렴하게 제조하는 것이다. 이와 같은 복합적인 목표를 달성 가능하게 하는 중요한 기술중의 하나가 반도체 패키지 기술이다. 패키지 기술 중에서 앞서 설명한 같은 복합적인 목표를 달성하는 위한 방법으로, 칩들을 복수개 적층하는 칩 적층 반도체 패키지가 제안되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 해결하고자 하는 기술적 과제는 제조 원가를 절감시킬 수 있고, 공정 속도가 개선된 반도체 패키지의 제조 방법을 제공하는 것이다.

[0004] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0005] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 패키지의 제조 방법은, TSV를 포함하는 상부 영역과 TSV를 미포함하는 하부 영역을 포함하는 웨이퍼를 제공하고, 웨이퍼의 상부 영역 상에 반도체 칩을 실장하고, 반도체 칩을 덮는 보호막을 미리 정한 두께로 형성하고, 웨이퍼에 지지체(supporter)를 부착하지 않은 상태에서 웨이퍼의 하부 영역을 제거하여 TSV를 노출시킨 후, 보호막의 일부를 제거하여 반도체 칩의 상면을 노출시키는 것을 포함한다.
- [0006] 본 발명의 몇몇 실시예에서, 상기 반도체 패키지의 제조 방법은, 상기 보호막의 일부를 제거하여 상기 반도체 칩의 상면을 노출시키기 전에, 상기 웨이퍼의 하면에 상기 노출된 TSV와 전기적으로 접속되는 연결단자를 형성하는 것을 더 포함할 수 있다. 이 때, 상기 연결단자는 하부 패드와 범프 볼을 포함할 수 있다. 또한, 본 발명의 몇몇 실시예에서, 상기 보호막의 일부를 제거하여 상기 반도체 칩의 상면을 노출시킬 시, 상기 연결단자는 보호 테이프에 의해 보호될 수 있다.
- [0007] 본 발명의 몇몇 실시예에서, 상기 반도체 패키지의 제조 방법은 상기 반도체 칩의 상면을 노출시킨 후, 상기 웨이퍼를 단위 웨이퍼로 소잉(sawing)하여 서브 패키지를 형성하고, 상기 서브 패키지를 PCB에 실장하는 것을 더 포함할 수 있다.
- [0008] 본 발명의 몇몇 실시예에서, 상기 반도체 패키지의 제조 방법은 상기 패키지 칩을 상기 PCB에 실장한 후, 상기 PCB를 소잉하여 반도체 패키지를 형성하는 것을 더 포함할 수 있다.
- [0009] 본 발명의 몇몇 실시예에서, 상기 반도체 칩을 실장하는 것은, 상기 반도체 칩을 플립 칩(flip chip) 형태로 실장하는 것을 포함할 수 있다. 이 때, 상기 웨이퍼는, 상기 반도체 칩과 전기적으로 접속되는 상부 패드와, 그 내부에 포함된 재배선(re-distribution line)을 통해 상기 TSV와 상기 상부 패드를 전기적으로 접속시키는 재배선층을 더 포함할 수 있다.
- [0010] 본 발명의 몇몇 실시예에서, 상기 웨이퍼는 복수의 단위 웨이퍼를 포함하고, 상기 단위 웨이퍼의 폭은 상기 반도체 칩의 폭보다 클 수 있다.
- [0011] 본 발명의 몇몇 실시예에서, 상기 웨이퍼는 복수의 단위 웨이퍼를 포함하고, 상기 단위 웨이퍼의 폭은 상기 반도체 칩의 폭보다 작을 수 있다.
- [0012] 본 발명의 몇몇 실시예에서, 상기 반도체 패키지의 제조 방법은, 상기 보호막을 관통하며 상기 반도체 칩에 전기적으로 접속되는 관통 비아를 형성하는 것을 더 포함할 수 있다.
- [0013] 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 패키지의 제조 방법은, TSV를 포함하는 상부 영역과 TSV를 미포함하는 하부 영역을 포함하는 웨이퍼를 제공하고, 웨이퍼의 상부 영역 상에 반도체 칩을 실장하고, 반도체 칩을 덮는 보호막을 미리 정한 두께로 형성하고, 웨이퍼의 하부 영역을 제거하여 TSV를 노출시키고, 웨이퍼의 하면에 노출된 TSV와 전기적으로 연결되는 하부 패드 및 범프 볼을 형성한 후, 보호막의 일부를 제거하여 반도체 칩의 상면을 노출시키는 것을 포함한다.
- [0014] 본 발명의 몇몇 실시예에서, 상기 웨이퍼의 하부 영역을 제거하여 상기 TSV를 노출시키는 것은, 상기 웨이퍼에 지지체(supporter)를 부착하지 않은 상태에서 상기 웨이퍼의 하부 영역을 제거하여 상기 TSV를 노출시키는 것을 포함할 수 있다.
- [0015] 본 발명의 몇몇 실시예에서, 상기 웨이퍼는, 상기 제1 간격으로 배치된 상부 패드와, 그 내부에 포함된 재배선(re-distribution line)을 통해 상기 TSV와 상기 상부 패드를 전기적으로 접속시키는 재배선층을 더 포함하고, 상기 TSV는 상기 제1 간격과 다른 제2 간격으로 배치될 수 있다. 이 때, 본 발명의 다른 몇몇 실시예에서, 상기 제1 간격은 상기 제2 간격보다 작을 수 있다.
- [0016] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

- [0017] 도 1은 본 발명의 일 실시예에 따른 반도체 패키지의 제조 방법을 설명하기 위한 순서도이다.
- 도 2 내지 도 13은 본 발명의 일 실시예에 따른 반도체 패키지의 제조 방법을 설명하기 위한 중간단계 도면들이다.

도 14 내지 도 17은 본 발명의 다른 실시예에 따른 반도체 패키지의 제조 방법을 설명하기 위한 중간단계 도면들이다.

도 18 및 도 19는 본 발명의 또 다른 실시예에 따른 반도체 패키지의 제조 방법을 설명하기 위한 중간단계 도면들이다.

도 20은 본 발명의 몇몇 실시예에 따른 반도체 패키지가 적용되는 메모리 카드를 보여주는 개략도이다.

도 21은 본 발명의 몇몇 실시예에 따른 반도체 패키지가 적용되는 전자 시스템을 보여주는 블록도이다.

도 22는 도 21의 전자 시스템이 스마트 폰에 적용되는 예를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 표시된 구성요소의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭하며, "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0019] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.
- [0020] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- [0021] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소 외에 하나 이상의 다른 구성요소의 존재 또는 추가를 배제하지 않는다.
- [0022] 비록 제1, 제2 등이 다양한 소자나 구성요소들을 서술하기 위해서 사용되나, 이들 소자나 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자나 구성요소를 다른 소자나 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자나 구성요소는 본 발명의 기술적 사상 내에서 제2 소자나 구성요소 일 수도 있음은 물론이다.
- [0023] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0024] 도 1은 본 발명의 일 실시예에 따른 반도체 패키지의 제조 방법을 설명하기 위한 순서도이다. 도 2 내지 도 13은 본 발명의 일 실시예에 따른 반도체 패키지의 제조 방법을 설명하기 위한 중간단계 도면들이다. 도 3은 도 2의 III-III' 선을 따라 절단한 단면도이고, 도 5는 도 4의 V-V' 선을 따라 절단한 단면도이고, 도 12는 도 11의 XII -XII' 선을 따라 절단한 단면도이다.
- [0025] 먼저 도 1을 참조하면, 웨이퍼를 제공한다(S100). 구체적으로, 도 2를 참조하면, 복수의 단위 웨이퍼(UW)를 포함하는 웨이퍼(10)을 제공한다. 이 때, 복수의 단위 웨이퍼(UW)는 스크라이빙 라인(12)에 의해 서로 구분되어 웨이퍼(10) 상에 배치될 수 있다.

- [0026] 도 3을 참조하면, 웨이퍼(10)(또는 복수의 단위 웨이퍼(UW))는 하부 영역(30)과, 하부 영역(30) 상에 배치되는 상부 영역(40)과, 상부 영역(40) 상에 배치되는 재배선층(50)을 포함할 수 있다.
- [0027] 본 실시예에서, 웨이퍼(10)의 상부 영역(40)은 TSV(Through Silicon Via)(42)을 포함하고, 하부 영역(30)은 도시된 것과 같이 TSV(42)를 미포함할 수 있다.
- [0028] TSV(42)는 절연층, 시드층, 및 도전층이 순차적으로 형성된 구조일 수 있다. 절연층은 도전층을 전기적으로 절연할 수 있다. 절연층은 산화물, 질화물, 또는 산질화물을 포함할 수 있다. 구체적으로, 절연층은 예를 들어 실리콘 산화물, 실리콘 질화물, 또는 실리콘 산질화물을 포함할 수 있다. 도전층은 도전 물질을 포함할 수 있고, 예를 들어 금속을 포함할 수 있다. 이렇게 TSV(42)를 구성하는 금속의 예로는, 알루미늄(Al), 금(Au), 베릴륨(Be), 비스무트(Bi), 코발트(Co), 구리(Cu), 하프늄(Hf), 인듐(In), 망간(Mn), 몰리브덴(Mo), 니켈(Ni), 납(Pb), 팔라듐(Pd), 백금(Pt), 로듐(Rh), 레늄(Re), 루테튬(Ru), 탄탈륨(Ta), 텔루륨(Te), 티타늄(Ti), 텅스텐(W), 아연(Zn), 지르코늄(Zr) 등을 들 수 있으나, 본 발명이 이에 제한되는 것은 아니다.
- [0029] TSV(42)를 구성하는 절연층, 시드층, 및 도전층은 화학기상 증착법(CVD), 플라즈마 강화 CVD(PECVD), 고밀도 플라즈마 CVD(HDP-CVD), 스퍼터링, 유기금속 화학기상 증착법(metal organic CVD, MOCVD), 또는 원자층 증착법(ALD) 등을 이용하여 형성할 수 있으나, 본 발명이 이에 제한되는 것은 아니다.
- [0030] 웨이퍼(10)의 하부 영역(30) 및 상부 영역(40)은 반도체 물질 또는 절연 물질로 구성될 수 있다. 즉 본 발명의 몇몇 실시예에서, 하부 영역(30) 및 상부 영역(40)은 예를 들어 실리콘, 게르마늄, 실리콘-게르마늄, 갈륨-비소(GaAs), 유리, 세라믹 등을 포함할 수 있다.
- [0031] 재배선층(50)은 상부 패드(56)를 포함할 수 있다. 이러한 상부 패드(56)는 재배선층(50) 내부에 포함된 재배선(re-distribution line)을 통해 TSV(42)와 전기적으로 접속될 수 있다. 본 발명의 몇몇 실시예에서, 상부 패드(56) 간의 간격인 제1 간격(P1)과 TSV(42) 간의 간격인 제2 간격(P2)은 서로 다를 수 있다. 구체적으로, 제1 간격(P1)은 도시된 것과 같이 제2 간격(P2) 보다 작을 수 있다. 이처럼 서로 다른 간격을 갖는 상부 패드(56)와 TSV(42)는 재배선층(50)에 포함된 재배선을 통해 서로 독립적으로 전기적으로 접속될 수 있다.
- [0032] 재배선층(50)은 그 내부에 포함된 재배선들 간의 절연을 위해 절연층을 더 포함할 수 있다. 이러한 절연층은 산화물, 질화물, 또는 산질화물을 포함할 수 있고, 예를 들어 실리콘 산화물, 실리콘 질화물, 또는 실리콘 산질화물을 포함할 수 있다.
- [0033] 한편, 재배선은 예를 들어, 금속을 포함할 수 있다. 본 발명의 몇몇 실시예에서, 재배선은 TSV(42)를 형성하는 물질과 동일한 물질로 형성될 수 있으나, 본 발명이 이에 제한되는 것은 아니다.
- [0034] 다시 도 1을 참조하면, 웨이퍼 상에 반도체 칩을 실장한다(S110). 구체적으로, 도 4 및 도 5를 참조하면, 웨이퍼(10)의 상부 영역(40) 상에 반도체 칩(130)을 실장한다. 이 때, 반도체 칩(130)은 도 4에 도시된 것과 같이 단위 웨이퍼(UW) 각각 상에 실장될 수 있다.
- [0035] 본 발명의 몇몇 실시예에서, 반도체 칩(130)은 도 5에 도시된 것과 같이 플립 칩(flip chip) 형태로 웨이퍼(10) 상에 실장될 수 있다. 이 때, 재배선층(50)에 배치된 상부 패드(56)는 반도체 칩(130)에 형성된 볼 등을 통해 전기적으로 접속될 수 있다.
- [0036] 본 발명의 몇몇 실시예에서, 이러한 반도체 칩(130)은 예를 들어, 로직 반도체 칩, 또는 메모리 반도체 칩일 수 있다. 여기서, 로직 반도체 칩은 마이크로 프로세서(micro-processor)일 수 있고, 예를 들어 중앙처리장치(central processing unit, CPU), 컨트롤러(controller), 또는 주문형 반도체(application specific integrated circuit, ASIC) 등일 수 있다. 한편, 메모리 반도체 칩은 DRAM, SRAM 등과 같은 휘발성 메모리, 또는 플래시 메모리 등과 같은 비휘발성 메모리일 수 있다. 또한, 본 발명의 다른 몇몇 실시예에서, 이러한 반도체 칩(130)은 앞서 설명한 로직 반도체 칩, 또는 메모리 반도체 칩이 조합되어 패키징된 반도체 칩일 수도 있다. 즉, 앞서 설명한 예시들로 본 실시예에 따른 반도체 칩(130)의 종류가 제한되는 것은 아니다.
- [0037] 반도체 칩(130)과 웨이퍼(10) 사이에는 도시된 것과 같은 언더필 물질(132)이 형성될 수 있다. 이러한 언더필 물질(132)은 반도체 칩(130)의 하부에 형성된 볼과 재배선층(50)의 상부 패드(56)를 외부로부터 보호함으로써, 반도체 칩(130)의 하부에 형성된 볼과 재배선층(50)의 상부 패드(56)간의 전기적 연결의 신뢰성을 높이는 역할을 할 수 있다.
- [0038] 한편, 본 실시예에서, 반도체 칩(130)의 크기는 단위 웨이퍼(UW)의 크기보다 작을 수 있다. 즉, 반도체 칩(130)

0)의 폭(W2)은 단위 웨이퍼(UW)의 폭(W1)보다 작을 수 있다.

- [0039] 다시 도 1을 참조하면, 제1 보호막을 미리 정한 두께로 형성한다(S120). 구체적으로 도 6을 참조하면, 웨이퍼(10) 상에 제1 보호막(150)을 미리 정한 제1 두께(T1)으로 형성한다. 이 때, 제1 두께(T1)는, 반도체 칩(130)을 완전히(entirely) 덮으며 후속 공정에서 별도의 지지체(supporter)를 부착하지 않은 상태에서 웨이퍼(10)의 하부 영역(30)을 제거할 수 있기에 충분한 두께로 결정될 수 있다.
- [0040] 이러한 제1 보호막(150)에 의해 반도체 칩(130)은 완전히 밀봉될 수 있으며, 본 발명의 몇몇 실시예에서, 제1 보호막(150)은 앞서 설명한 언더필 물질(132)과 다른 물질을 포함할 수 있다. 하지만, 본 발명이 이에 제한되는 것은 아니며, 본 발명의 다른 몇몇 실시예에서, 제1 보호막(150)은 앞서 설명한 언더필 물질(132)과 서로 동일한 물질을 포함하는 것으로 변형될 수도 있다.
- [0041] 다시 도 1을 참조하면, 웨이퍼의 상부 영역에 배치된 TSV를 노출시킨다(S130). 구체적으로, 도 7을 참조하면, 웨이퍼(10)의 하부 영역(30)을 제거함으로써 웨이퍼(10)의 상부 영역(40)에 배치된 TSV(42)를 노출시킨다. 이 때, 본 실시예에서는, 웨이퍼(10)에 별도의 지지체를 부착하지 않은 상태에서 웨이퍼(10)의 하부 영역(30)을 제거한다. 이렇게 웨이퍼(10)에 별도의 지지체를 부착하지 않은 상태에서 웨이퍼(10)의 하부 영역(30)을 제거할 수 있는 것은, 앞서 공정에서, 제1 보호막(150)을 별도 지지체가 필요 없을 정도의 충분한 제1 두께(도 6의 T1)로 형성하였기 때문이다.
- [0042] 이렇게, 웨이퍼(10)의 하부 영역(30)을 제거하여 TSV(42)를 노출시키는 공정에서, 별도의 지지체가 필요 없을 경우, 지지체와 웨이퍼(10)를 접촉시키는데 필요한 글루 등도 필요하지 않게된다. 따라서, 반도체 패키지(도 13의 1)를 제조하는 공정에서 원가가 절감되고, 공정 속도가 개선될 수 있다.
- [0043] 한편, 이러한 웨이퍼(10)의 하부 영역(30) 제거에는, 예를 들어 기계적 연마, 화학적 기계적 연마(CMP; Chemical Mechanical Polishing), 또는 웨이퍼(10) 내에 연약층을 형성하여 분리하는 분리법인 예를 들어 스마트 컷(Smart Cut) 등의 방법 등이 수행될 수 있으나, 본 발명이 이에 제한되는 것은 아니다.
- [0044] 다시 도 1을 참조하면, 웨이퍼의 하면에 하부 패드와 범프를 포함하는 연결단자를 형성한다(S140). 구체적으로, 도 8을 참조하면, 먼저, 웨이퍼(10) 하면의 TSV(42)가 노출된 영역에 TSV(42)와 전기적으로 접속되는 하부 패드(123)를 형성한다. 이어서 형성된 하부 패드(123)와 전기적으로 접속되는 범프(128)를 형성한다. 여기서, 범프(128)는 예를 들어, 솔더 볼(solder ball)일 수 있고, 열 압착 공정 및/또는 리플로우 공정을 이용하여 하부 패드(123)에 부착될 수 있다.
- [0045] 다시 도 1을 참조하면, 제1 보호막을 제거하여 반도체 칩의 상면을 노출시킨다(S150). 구체적으로, 도 9를 참조하면, 반도체 칩(130)의 상면에 위치한 제1 보호막(150)을 제거함으로써, 반도체 칩(130)의 상면을 노출시킬 수 있다.
- [0046] 이러한 제1 보호막(150) 제거 공정으로는, 예를 들어 화학적 기계적 연마(CMP; Chemical Mechanical Polishing)가 사용될 수 있다. 이 때, 웨이퍼(10)의 하면에 형성된 하부 패드(123)와 범프(128)는 보호 테이프에 의해 보호될 수 있다. 즉, 웨이퍼(10)의 하면에 형성된 하부 패드(123)와 범프(128)에 보호 테이프를 부착함으로써, 하부 패드(123)와 범프(128)를 보호한 상태에서, 예를 들어 화학적 기계적 연마(CMP; Chemical Mechanical Polishing)를 이용하여 제1 보호막(150)을 제거할 수 있다.
- [0047] 이러한 제1 보호막(150) 제거에 의해, 제1 보호막(150)의 두께는 앞서 제1 두께(도 6의 T1)보다 작은 제2 두께(T2)가 될 수 있다.
- [0048] 본 발명의 몇몇 실시예에서, 이렇게 제1 보호막(150)이 제거되는 과정에서, 반도체 칩(130)의 상부 영역이 일부 제거됨으로써 반도체 칩(130)이 박형화될 수도 있다. 또한 본 발명의 다른 몇몇 실시예에서, 이러한 제1 보호막(150)의 제거에 의해, 반도체 칩(130)의 최상면은 제1 보호막(150)의 최상면과 동일 평면이 될 수도 있고 아닐 수 있다.
- [0049] 다시 도 1을 참조하면, 웨이퍼를 소잉(sawing)한다(S160). 구체적으로, 도 10을 참조하면, 웨이퍼(10)를 스크라이빙 라인(12)을 따라 소잉(sawing)함으로써, 단위 웨이퍼(UW)를 서로 분리시킬 수 있다. 이렇게 서로 분리된 단위 웨이퍼(UW) 각각은 그 상부에 반도체 칩(130)이 각각 실장된 하나의 서브 패키지가 될 수 있다. 이러한 소잉 공정은 도시된 것과 같은 커터(60) 또는 레이저를 이용하여 수행할 수 있다.
- [0050] 다시 도 1을 참조하면, 서브 패키지를 PCB(Printed Circuit Board)에 실장하고, 제2 보호막을 형성한다(S170). 구체적으로, 도 11 및 도 12를 참조하면, 소잉된 서브 패키지의 범프(128)가 PCB(110)의 상부 패드(112)와 전기

적으로 접속되도록 서브 패키지를 PCB(110) 상에 실장할 수 있다. 이러한 상부 패드(112)는 PCB(110) 내부에 포함된 배선에 의해 하부 패드(114)에 전기적으로 접속될 수 있다.

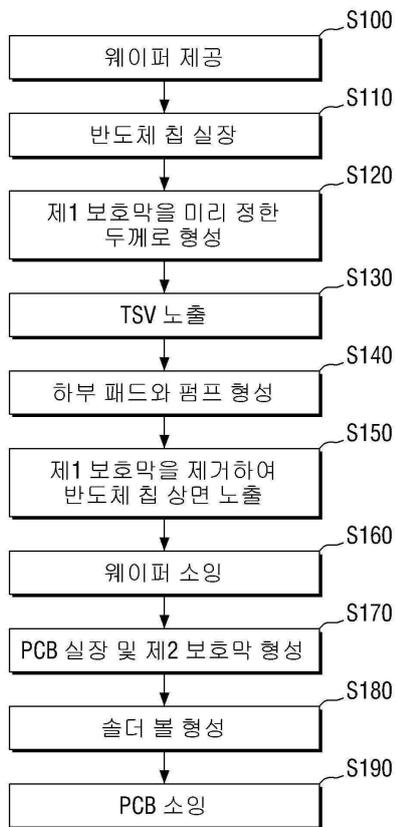
- [0051] PCB(110) 상에는 서브 패키지를 밀봉하는 제2 보호막(170)이 형성될 수 있다. 이러한 제2 보호막(170)은 도시된 것과 같이 서브 패키지의 하부, 측면, 및 상부를 모두 덮도록 형성될 수 있다.
- [0052] 이러한 제2 보호막(170)은 절연 물질을 포함할 수 있다. 본 발명의 몇몇 실시예에서, 제2 보호막(170)은 제1 보호막(150)과 서로 다른 물질을 포함할 수 있다. 하지만, 본 발명이 이에 제한되는 것은 아니며, 본 발명의 다른 몇몇 실시예에서, 제2 보호막(170)은 제1 보호막(150)과 서로 동일한 물질을 포함하는 것으로 변형될 수도 있다.
- [0053] 한편, PCB(110)는 도 11에 도시된 것과 같이 복수의 단위 PCB(UP)를 포함할 수 있으며, 각 단위 PCB(UP) 상에는 각각 하나의 서브 패키지가 실장될 수 있다. 이러한 PCB(110)는 예를 들어, 유리(glass), 세라믹(ceramic), 또는 플라스틱(plastic) 등으로 이루어진 기판에 미리 정한 형상의 인쇄회로가 형성된 것일 수 있으나, 본 발명이 이러한 예시에 제한되는 것은 아니다.
- [0054] 다시 도 1을 참조하면, PCB에 솔더 볼을 형성한다(S180). 구체적으로, 도 13을 참조하면, PCB(110)의 하부 패드(114)와 전기적으로 접속되는 솔더 볼(116)을 PCB(110)의 하면에 형성할 수 있다. 이러한 솔더 볼(116)은 핀 그리드 어레이, 볼 그리드 어레이, 랜드 그리드 어레이와 같은 그리드 어레이로 형성될 수 있다.
- [0055] 이렇게 PCB(110)의 하면에 솔더 볼(116)이 형성됨에 따라, 반도체 칩(130)은 재배선층(50)에 포함된 상부 패드(56), 재배선층(50)에 포함된 재배선, TSV(42), 웨이퍼(10) 하면에 형성된 하부 패드(123), 범프(128), PCB(110)의 상부 패드(112) 및 하부 패드(114), 솔더 볼(116)을 통해 외부와 전기적으로 접속될 수 있다.
- [0056] 다시 도 1을 참조하면, PCB를 소잉한다(S190). 이렇게 PCB(110)가 단위 PCB(UP)로 소잉되면, 도 13에 도시된 것과 같은 반도체 패키지(1)가 제조될 수 있다.
- [0057] 이하, 도 14 내지 도 16을 참조하여, 본 발명의 다른 실시예에 따른 반도체 패키지의 제조 방법에 대해 설명하도록 한다.
- [0058] 도 14 내지 도 16은 본 발명의 다른 실시예에 따른 반도체 패키지의 제조 방법을 설명하기 위한 중간단계 도면들이다. 이하에서는, 앞서 설명한 내용과 중복된 사항에 대해서는 자세한 설명을 생략하고 차이점을 위주로 설명하도록 한다.
- [0059] 도 14를 참조하면, 본 실시예에 따른 반도체 패키지의 제조 방법에서는 반도체 칩(130)의 크기가 단위 웨이퍼(UW)의 크기보다 클 수 있다. 즉, 반도체 칩(130)의 폭(W2)이 단위 웨이퍼(UW)의 폭(W1)보다 클 수 있다.
- [0060] 이럴 경우, 언더필 물질(132)은 도시된 것과 같이 단위 웨이퍼(UW)의 폭(W1)보다 큰 폭으로 형성될 수 있다. 이 때에도, 이러한 언더필 물질(132)은 반도체 칩(130)의 하부에 형성된 볼과 재배선층(50)의 상부 패드(56)를 외부로부터 보호함으로써, 반도체 칩(130)의 하부에 형성된 볼과 재배선층(50)의 상부 패드(56)간의 전기적 연결의 신뢰성을 높이는 역할을 할 수 있다.
- [0061] 한편, 본 실시예에서는 단위 웨이퍼(UW)의 배향이 변경됨에 따라, 앞서 설명한 실시예의 상부 영역(40)과 하부 영역(30)은 그 상대적인 위치가 변경되게 된다. 즉, 본 실시예에서는 하부 영역(30)이 상대적으로 상부 영역(40) 상에 배치될 수 있다.
- [0062] 다음 도 15를 참조하면, 본 실시예에서는 반도체 칩(130)의 크기가 단위 웨이퍼(UW)의 크기보다 크므로, 제1 보호막(150)이 단위 웨이퍼(UW)를 완전히 덮도록 형성될 수 있다. 이 때 제1 보호막(150)의 두께(T3)는, 후속 공정에서 별도의 지지체(supporter)를 부착하지 않은 상태에서 단위 웨이퍼(UW)의 하부 영역(30)을 제거할 수 있기에 충분한 두께로 결정될 수 있다.
- [0063] 다음 도 16을 참조하면, 웨이퍼(10)의 하부 영역(30)을 제거함으로써 웨이퍼(10)의 상부 영역(40)에 배치된 TSV(42)를 노출시킨다. 이 때, 본 실시예에서는, 웨이퍼(10)에 별도의 지지체를 부착하지 않은 상태에서 웨이퍼(10)의 하부 영역(30)을 제거한다. 이렇게 웨이퍼(10)에 별도의 지지체를 부착하지 않은 상태에서 웨이퍼(10)의 하부 영역(30)을 제거할 수 있는 것은, 앞서 공정에서, 제1 보호막(150)을 별도 지지체가 필요 없을 정도의 충분한 제3 두께(도 15의 T3)로 형성하였기 때문이다.
- [0064] 이후 앞서 설명한 실시예에 따른 제조 공정을 수행하면, 도 17에 도시된 것과 같은 반도체 패키지(2)를 제조할 수 있게 된다. 여기서, 수행되는 공정들은 본 기술 분야의 통상의 지식을 가진자라면, 앞서 설명한 실시예로부

터 충분히 유추가 가능한바, 중복된 설명은 생략하도록 한다.

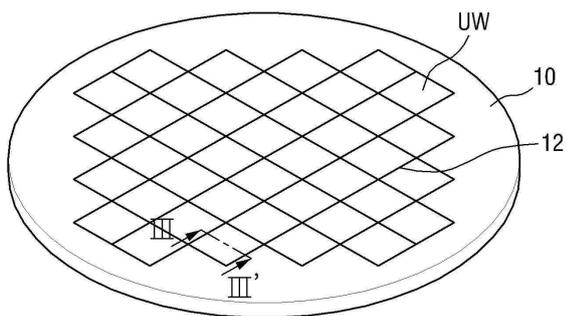
- [0065] 이하, 도 18 및 도 19를 참조하여, 본 발명의 또 다른 실시예에 따른 반도체 패키지의 제조 방법에 대해 설명하도록 한다.
- [0066] 도 18 및 도 19는 본 발명의 또 다른 실시예에 따른 반도체 패키지의 제조 방법을 설명하기 위한 중간단계 도면들이다. 이하에서도, 앞서 설명한 내용과 중복된 사항에 대해서는 자세한 설명을 생략하고 차이점을 위주로 설명하도록 한다.
- [0067] 도 18을 참조하면, 본 실시예와 앞서 설명한 실시예 간의 차이점은 웨이퍼(10)의 하부 영역(30)을 제거함으로써 웨이퍼(10)의 상부 영역(40)에 배치된 TSV(42)를 노출시킬 시, 본 실시예에서는 반도체 칩(130)의 전원/접지 패드(136)와 전기적으로 접속되는 관통 비아(200)를 추가로 형성한다는 점이다.
- [0068] 한편 비록 도 18에는 반도체 칩(130)의 전원/접지 패드(136)와 전기적으로 접속되는 관통 비아(200)가 형성된 것만 도시되어 있으나, 본 발명이 이에 제한되는 것은 아니며, 본 발명의 몇몇 실시예에서 관통 비아(200)는 조인트 볼(joint ball) 등으로 변형되어 실시될 수도 있다.
- [0069] 이후 앞서 설명한 실시예들에 따른 제조 공정을 수행하면, 도 19에 도시된 것과 같은 반도체 패키지(3)를 제조할 수 있게 된다. 이 때 관통 비아(200)는 도시된 것과 같이 솔더 볼(116)등과 전기적으로 접속되어 반도체 패키지(3)의 외부(예를 들어, 전원/접지단)에 전기적으로 접속될 수 있다. 이 밖에 본 실시예에 따른 반도체 패키지(3)를 제조하는데 필요한 공정들은 본 기술 분야의 통상의 지식을 가진 자라면, 앞서 설명한 실시예들로부터 충분히 유추가 가능한바, 중복된 설명은 생략하도록 한다.
- [0070] 도 20은 본 발명의 몇몇 실시예에 따른 반도체 패키지가 적용되는 메모리 카드를 보여주는 개략도이다.
- [0071] 도 20을 참조하면, 메모리 카드(800)는 하우징(810) 내에 제어기(820)와 메모리(830)를 포함할 수 있다. 제어기(820)와 메모리(830)는 전기적인 신호를 교환할 수 있다. 예를 들어, 제어기(820)의 명령에 따라서, 메모리(830)와 제어기(820)는 데이터를 주고받을 수 있다. 이에 따라, 메모리 카드(800)는 메모리(830)에 데이터를 저장하거나 또는 메모리(830)로부터 데이터를 외부로 출력할 수 있다.
- [0072] 이러한 제어기(820) 또는 메모리(830)는 본 발명의 실시예들에 따른 반도체 반도체 패키지를 포함할 수 있다. 예를 들어, 제어기(820)는 시스템 인 패키지(SIP; System In Package)를 포함하고, 메모리(830)는 멀티 칩 패키지(MCP; Multi Chip Package)를 포함할 수 있다. 한편, 제어기(820) 및/또는 메모리(830)는 스택 패키지(SP; Stack Package)로 제공될 수도 있다.
- [0073] 이러한 메모리 카드(800)는 다양한 휴대용 기기의 데이터 저장 매체로 이용될 수 있다. 예를 들어, 카드(800)는 멀티미디어 카드(multi media card; MMC) 또는 보안 디지털(secure digital; SD) 카드를 포함할 수 있다.
- [0074] 도 21은 본 발명의 몇몇 실시예에 따른 반도체 패키지가 적용되는 전자 시스템을 보여주는 블록도이다.
- [0075] 도 21을 참조하면, 전자 시스템(900)은 앞서 설명한 본 발명의 실시예들에 따른 반도체 패키지를 채용할 수 있다. 구체적으로, 전자 시스템(900)은 메모리 시스템(912), 프로세서(914), 램(916), 및 유저인터페이스(918)를 포함할 수 있다.
- [0076] 이러한, 메모리 시스템(912), 프로세서(914), 램(916), 및 유저인터페이스(918)는 버스(Bus, 920)를 이용하여 서로 데이터 통신을 할 수 있다.
- [0077] 프로세서(914)는 프로그램을 실행하고 전자 시스템(900)을 제어하는 역할을 할 수 있으며, 램(916)은 프로세서(914)의 동작 메모리로서 사용될 수 있다. 이러한, 프로세서(914) 및 램(916)은 앞서 설명한 본 발명의 실시예들에 따른 반도체 패키지의 제조 방법에 따라 하나의 반도체 소자 또는 반도체 패키지로 패키징되어 구현될 수 있다.
- [0078] 유저 인터페이스(918)는 전자 시스템(900)에 데이터를 입력 또는 출력하는데 이용될 수 있다. 메모리 시스템(912)은 프로세서(914)의 동작을 위한 코드, 프로세서(914)에 의해 처리된 데이터 또는 외부에서 입력된 데이터를 저장할 수 있다.
- [0079] 이러한 메모리 시스템(912)은 구동을 위한 별도의 컨트롤러를 포함할 수 있으며, 오류 정정 블록을 추가적으로 포함하도록 구성될 수도 있다. 오류 정정 블록은 오류 정정 코드(ECC)를 이용하여 메모리 시스템(912)에 저장된 데이터의 오류를 검출하고, 정정하도록 구성될 수 있다.

도면

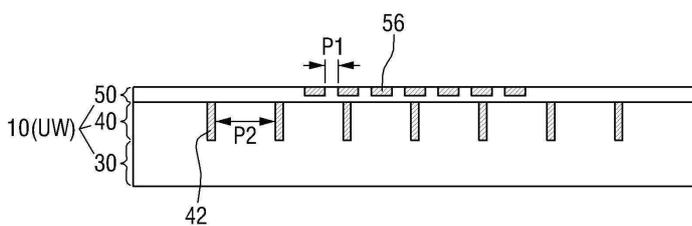
도면1



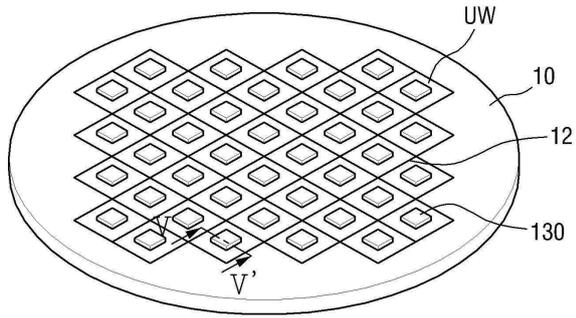
도면2



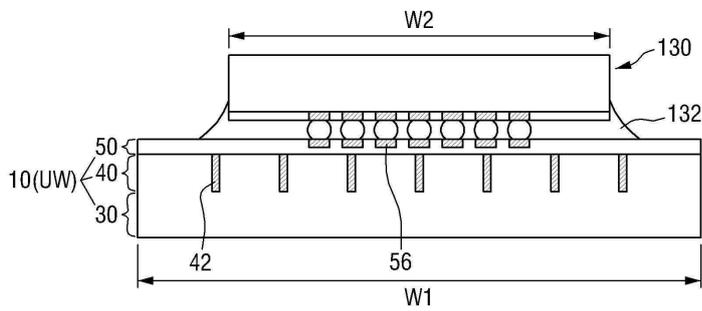
도면3



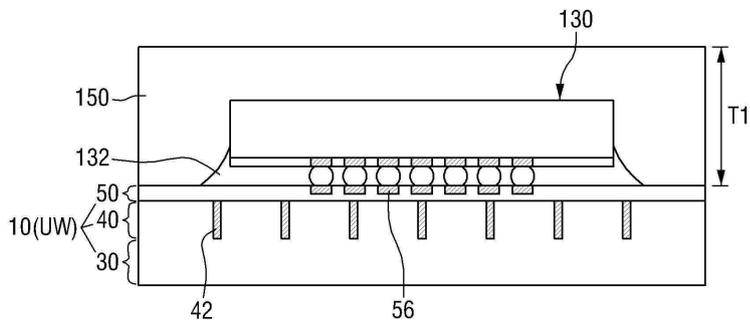
도면4



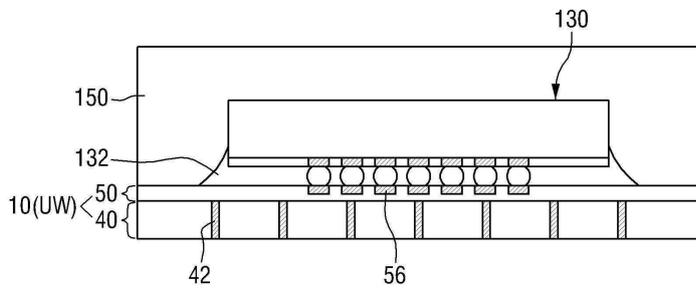
도면5



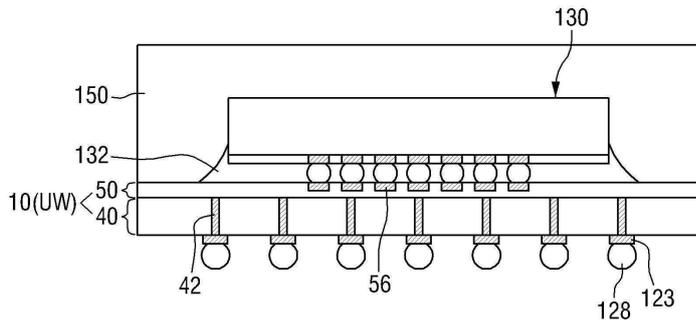
도면6



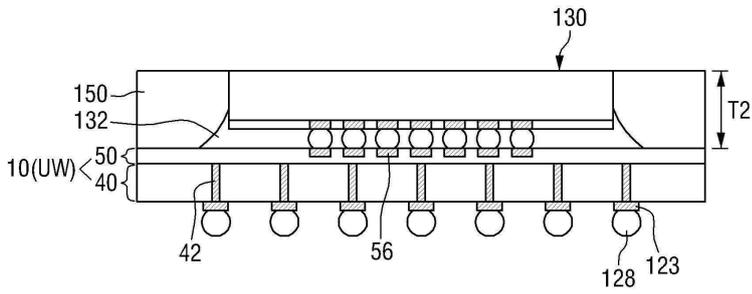
도면7



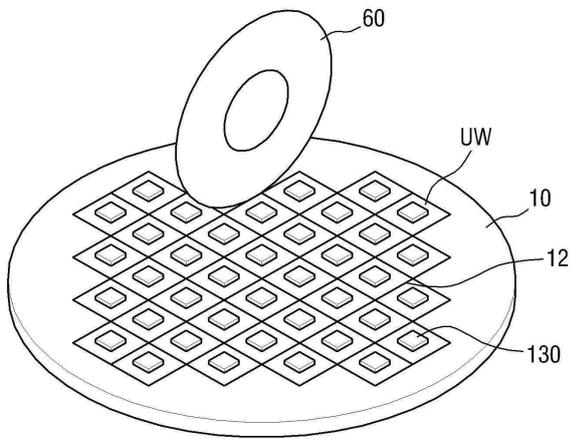
도면8



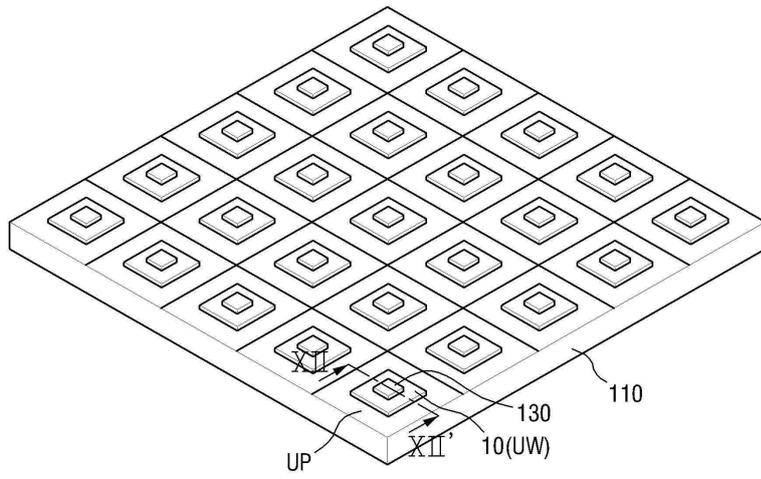
도면9



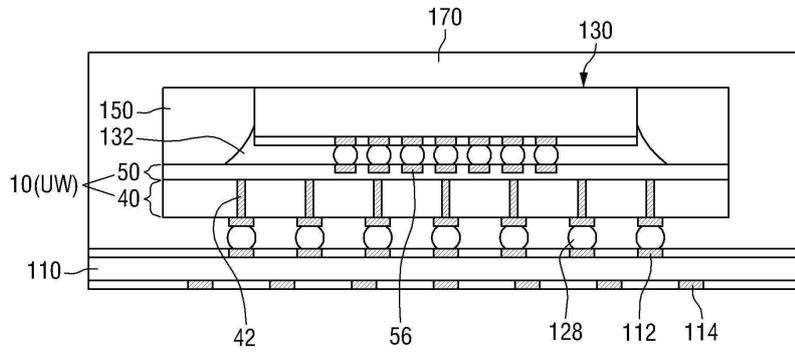
도면10



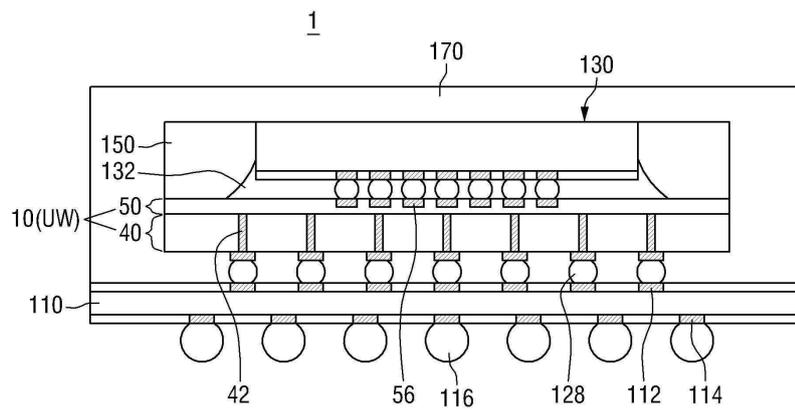
도면11



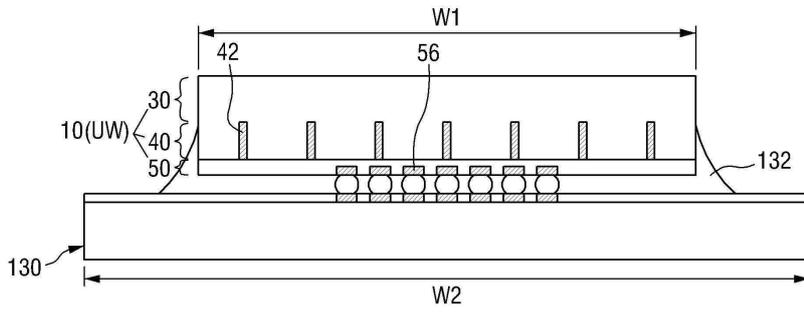
도면12



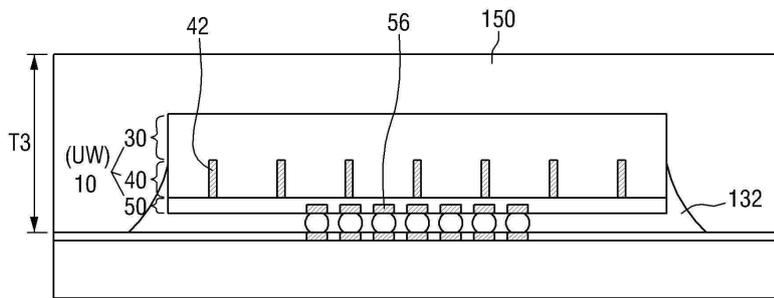
도면13



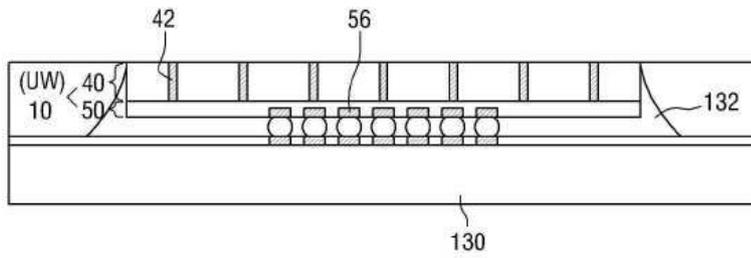
도면14



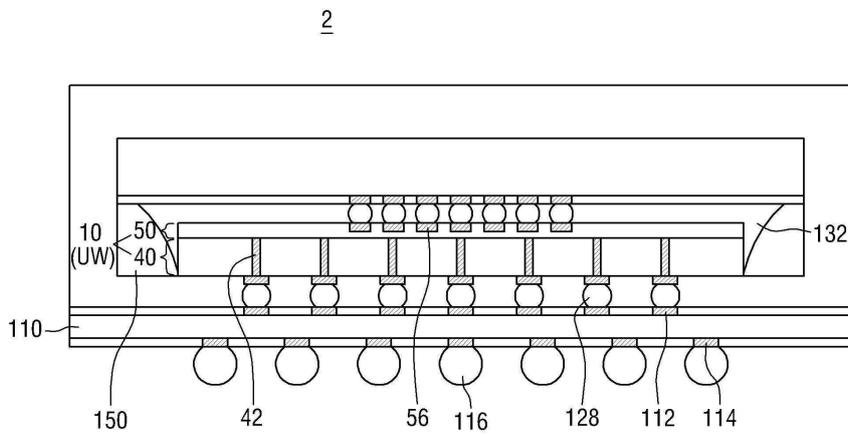
도면15



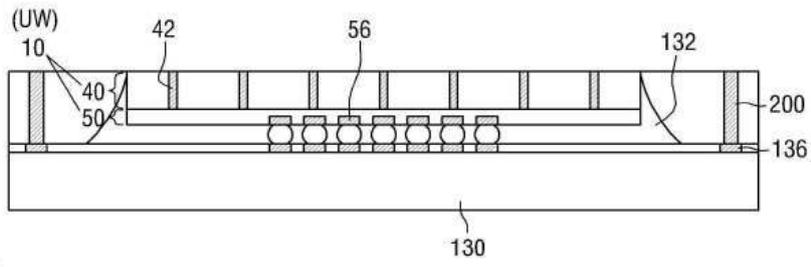
도면16



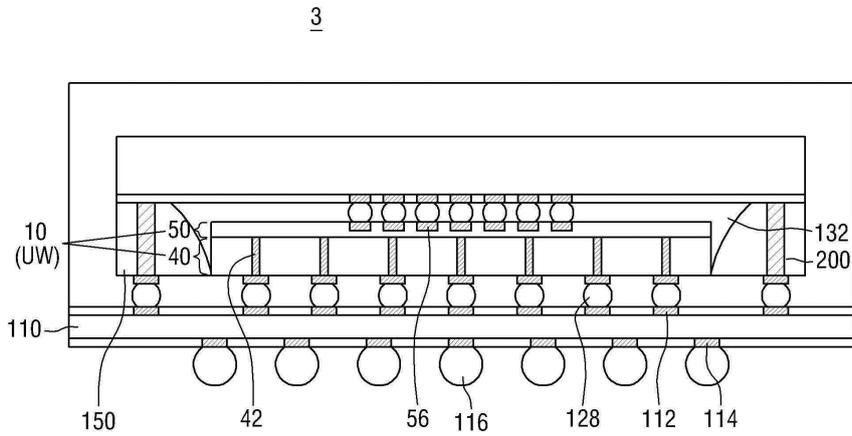
도면17



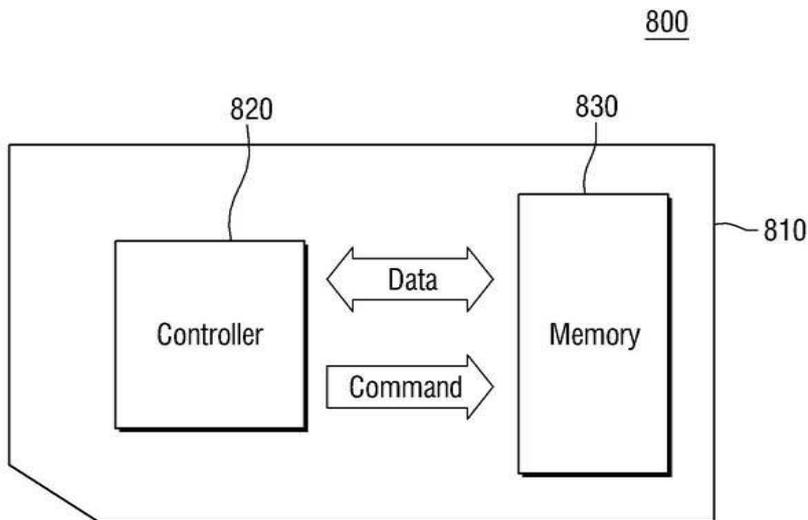
도면18



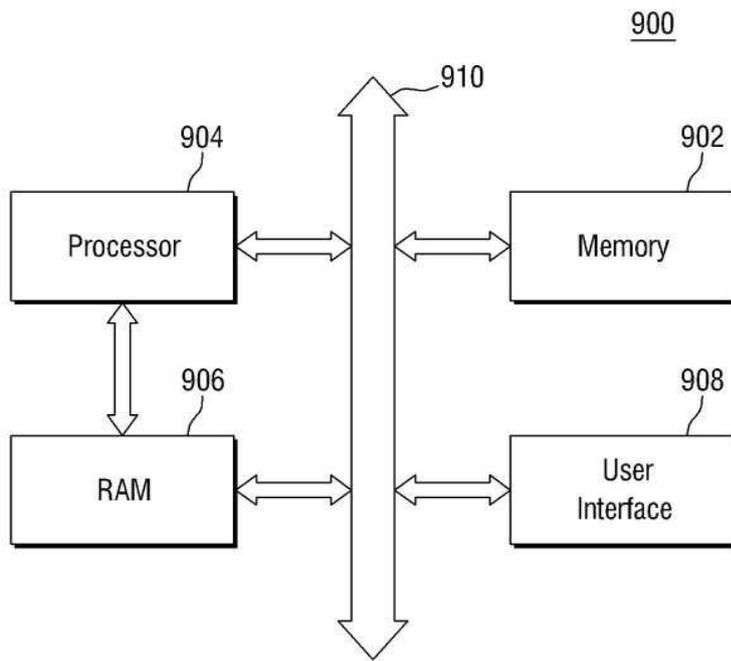
도면19



도면20



도면21



도면22

