

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7271057号
(P7271057)

(45)発行日 令和5年5月11日(2023.5.11)

(24)登録日 令和5年4月28日(2023.4.28)

(51)国際特許分類

F I

C 0 3 C	3/32	(2006.01)	C 0 3 C	3/32	
C 0 1 B	33/06	(2006.01)	C 0 1 B	33/06	
C 0 1 B	35/04	(2006.01)	C 0 1 B	35/04	Z
C 0 1 F	7/00	(2022.01)	C 0 1 F	7/00	
C 2 2 C	30/00	(2006.01)	C 2 2 C	30/00	

請求項の数 16 外国語出願 (全21頁) 最終頁に続く

(21)出願番号 特願2018-218076(P2018-218076)
 (22)出願日 平成30年11月21日(2018.11.21)
 (65)公開番号 特開2020-83683(P2020-83683A)
 (43)公開日 令和2年6月4日(2020.6.4)
 審査請求日 平成30年12月5日(2018.12.5)
 審判番号 不服2021-14028(P2021-14028/J
 1)
 審判請求日 令和3年10月15日(2021.10.15)

(73)特許権者 595168543
 マイクロン テクノロジー, インク .
 アメリカ合衆国, アイダホ州 8 3 7 1
 6 - 9 6 3 2 , ボイズ, サウス フェデ
 ラル ウェイ 8 0 0 0
 (74)代理人 100121083
 弁理士 青木 宏義
 (74)代理人 100138391
 弁理士 天田 昌行
 (74)代理人 100074099
 弁理士 大菅 義之
 (72)発明者 パオロ ファンティーニ
 アメリカ合衆国, アイダホ州 8 3 7 1
 6 9 6 3 2 , ボイズ, サウス フェデ
 ラル ウェイ 8 0 0 0 , マイクロン テ
 最終頁に続く

(54)【発明の名称】 カルコゲナイドメモリデバイスの構成要素及び組成物

(57)【特許請求の範囲】

【請求項 1】

材料の組成物であって、
 前記組成物の総重量に対して40重量%以上の量のセレンと、
 前記組成物の前記総重量に対して10重量%から35重量%の範囲の量のヒ素と、
 前記組成物の前記総重量に対して0.15重量%から35重量%の範囲の量のタリウム
 と、
 ゲルマニウムと、
 ケイ素と、
 を含み、

前記タリウムと、前記ゲルマニウムと、前記ケイ素とが、合計で、前記組成物の前記総重量に対して20重量%以上の量である、組成物。

【請求項 2】

前記ゲルマニウムは、前記組成物の前記総重量に対して1重量%から20重量%の範囲の量である、請求項1に記載の組成物。

【請求項 3】

前記ケイ素は、前記組成物の前記総重量に対して1重量%から15重量%の範囲の量である、請求項1に記載の組成物。

【請求項 4】

前記セレンの量が、前記組成物の前記総重量に対して45重量%以上である、請求項1

に記載の組成物。

【請求項 5】

前記ヒ素の量が、前記組成物の前記総重量に対して 12 重量% から 32 重量% の範囲である、請求項 1 に記載の組成物。

【請求項 6】

前記タリウムが、前記組成物の前記総重量に対して 0.15 重量% から 2.4 重量% の範囲の量である、請求項 1 に記載の組成物。

【請求項 7】

前記組成物の閾値電圧ドリフトが、摂氏 90 度の温度で 3 日後に、250 ミリボルト以下である、請求項 1 に記載の組成物。

10

【請求項 8】

前記組成物のガラス転移温度が摂氏 280 度を越えている、請求項 1 に記載の組成物。

【請求項 9】

メモリ素子と、
前記メモリ素子に結合されたセクタデバイスと、
を含む装置であって、
前記セクタデバイスが組成物を有し、前記組成物が、
前記組成物の総重量に対して 40 重量% 以上の量のセレンと、
前記組成物の前記総重量に対して 10 重量% から 35 重量% の範囲の量のヒ素と、
前記組成物の前記総重量に対して 0.15 重量% から 35 重量% の範囲の量のタリウムと、

20

ゲルマニウムと、

ケイ素と、

を含み、

前記タリウムと、前記ゲルマニウムと、前記ケイ素とが、合計で、前記組成物の前記総重量に対して 20 重量% 以上の量である、装置。

【請求項 10】

前記セクタデバイスの前記組成物は、前記組成物の前記総重量に対して 1 重量% から 20 重量% の範囲の量の前記ゲルマニウムを含む、請求項 9 に記載の装置。

【請求項 11】

前記セクタデバイスの前記組成物は、前記組成物の前記総重量に対して 1 重量% から 1.5 重量% の範囲の量の前記ケイ素を含む、請求項 9 に記載の装置。

30

【請求項 12】

第 1 アクセス線と、

第 2 アクセス線と、

タリウムと、セレンと、ヒ素とからなる組成物を含む第 1 のカルコゲナイド材料を含むメモリセルと、

を含み、

前記第 1 アクセス線が前記メモリセルを介して前記第 2 アクセス線と電子通信し、前記メモリセルは自己選択ストレージ素子を含む、装置。

40

【請求項 13】

前記第 1 のカルコゲナイド材料の前記組成物は、

前記組成物の総重量に対して 40 重量% 以上の量の前記セレンと、

前記組成物の前記総重量に対して 10 重量% から 35 重量% の範囲の量の前記ヒ素と、

前記組成物の前記総重量に対して 0.15 重量% から 35 重量% の範囲の量の前記タリウムと、

を含む、請求項 12 に記載の装置。

【請求項 14】

前記第 1 のカルコゲナイド材料の前記組成物は、

前記組成物の前記総重量に対して 1 重量% から 20 重量% の範囲の量のゲルマニウムを

50

含む、請求項 1 3 に記載の装置。

【請求項 1 5】

前記第 1 のカルコゲナイド材料の前記組成物は、

前記組成物の前記総重量に対して 1 重量% から 1 5 重量% の範囲の量のケイ素を含む、請求項 1 3 に記載の装置。

【請求項 1 6】

それぞれがメモリ素子及びセレクトデバイスを含む複数のメモリセルであって、各セレクトデバイスは、タリウムと、セレンと、ヒ素と、ゲルマニウムと、ケイ素とを含む組成物を有するカルコゲナイド材料を含む、複数のメモリセルと、

前記複数のメモリセルと電子通信する複数のアクセス線であって、前記複数のアクセス線が、第 1 の平面内にある複数の第 1 のアクセス線と、前記第 1 の平面とは垂直方向に異なる位置にある第 2 の平面内にある複数の第 2 のアクセス線と、を含み、前記複数の第 1 のアクセス線が、前記複数の第 2 のアクセス線と交差する方向に伸びており、前記複数の第 1 のアクセス線と前記複数の第 2 のアクセス線との各交差部分に前記複数のメモリセルのうちの 1 つが配置されている、複数のアクセス線と、

10

を含む装置であって、

前記タリウムと、前記ゲルマニウムと、前記ケイ素との組み合わせが、合計で、前記組成物の総重量に対して 2 0 重量% 以上の量である、装置。

【発明の詳細な説明】

【技術分野】

20

【0 0 0 1】

以下は、全般に亘ってメモリデバイスに関連し、より具体的には、カルコゲナイド（カルコゲナイドガラス）メモリデバイスの構成要素及び化学構造に関連する。

【背景技術】

【0 0 0 2】

メモリデバイスは、コンピュータ、無線通信機器、カメラ、デジタルディスプレイ、及びそのようなものなどの様々な電子機器に情報を記憶するために広く使用されている。情報は、メモリデバイスの異なる状態をプログラミングすることによって記憶される。例えば、バイナリデバイスには 2 つの状態があり、多くの場合、論理「1」又は論理「0」で表される。他のシステムでは、2 つよりも多い状態が記憶されることがある。記憶された情報にアクセスするために、電子デバイスの構成要素は、メモリデバイスの記憶状態を読み出し、又は検知することができる。情報を記憶するために、電子デバイスの構成要素は、メモリデバイス内の状態を、書込み、又はプログラムすることができる。

30

【0 0 0 3】

磁気ハードディスク、ランダムアクセスメモリ（RAM）、ダイナミック RAM（DRAM）、同期ダイナミック RAM（SDRAM）、強誘電体 RAM（FeRAM）、磁気 RAM（MRAM）、抵抗 RAM（RRAM）、読み出し専用メモリ（ROM）、フラッシュメモリ、相変化メモリ（PCM）、およびその他のものなど、様々な種類のメモリデバイスが存在する。メモリデバイスは、揮発性又は不揮発性であってよい。不揮発性メモリ、例えば FeRAM は、外部電源がない場合でも、記憶された論理状態を長時間維持することができる。揮発性メモリデバイス、例えば DRAM は、外部電源によって定期的に取りフレッシュされない限り、時間の経過とともに保存状態が失われることがある。メモリデバイスの進歩は、数ある指標の中で、メモリセル密度の増加、読み出し/書込み速度の向上、信頼性の向上、データ保持力の向上、消費電力の削減、又は製造コストの削減を含む。

40

【0 0 0 4】

カルコゲナイド材料組成物は、PCM デバイスの構成部品又は素子に使用することができる。これらの組成物は、それらが導電性になる閾値電圧を持つことができる（即ち、それらはスイッチオンして通電させる）。閾値電圧は時間の経過とともに変化し、ドリフトと呼ばれることがある。電圧ドリフトの傾向が高い組成物は、これらの組成物を用いたデバイスの有用性と性能を制限する可能性がある。

50

【図面の簡単な説明】**【 0 0 0 5 】**

【図 1】本開示の実施形態による、カルコゲナイドメモリデバイスの構成要素をサポート又は採用する一つのメモリアレイの一例を示している。

【図 2】本開示の実施形態による、カルコゲナイドメモリデバイスの構成要素をサポート又は採用するメモリアレイ例を示している。

【図 3】本開示の実施形態による、カルコゲナイドメモリデバイスの構成要素及び組成物の特性のプロットを示す。

【図 4】本開示の実施形態による、カルコゲナイドメモリデバイスの構成要素及び組成物の特性のプロットを示す。

【図 5】本開示の実施形態による、カルコゲナイドメモリデバイスの構成要素をサポート又は採用しているメモリアレイを含むシステムを示す。

【発明を実施するための形態】**【 0 0 0 6 】**

メモリセル内のセクタデバイスにおける電圧ドリフトの効果は、セクタデバイスの組成物中に安定性を高める元素を導入することによって、軽減されるようにすることができる。例えば、周期表の III 族（ホウ素属及び第 13 族とも称する）からの元素は、そのような元素を含まない組成物に対して、セクタデバイスの電圧ドリフトを安定化又は制限することができる。III 族（又はホウ素属）元素は、ホウ素（B）、アルミニウム（Al）、ガリウム（Ga）、インジウム（In）、及びタリウム（Tl）を含む。

【 0 0 0 7 】

例えば、セクタデバイス（又は他のメモリエlement）のためのカルコゲナイド材料組成物は、セレン（Se）、ヒ素（As）、及びゲルマニウム（Ge）を含むことができる。この組合せ又は素子は、SAG と呼ばれることがある。メモリストレージ素子及びセクタデバイスを含むことができるメモリセル内においては、カルコゲナイド組成物又はカルコゲナイド材料は、記憶保持素子又はセクタデバイスの、何れか又は両方に使用できる。セクタデバイスは、安定した閾値電圧及び比較的望ましいリーク特性を有していてもよい、SAG 組成物を有することができる。いくつかのケースでは、ケイ素（Si）が SAG 組成物中に導入されて、ドリフトや閾値電圧漏洩を損なわずに、セクタデバイスの熱安定性を高めることができる。しかし、SAG システム中への Si の実装は、その技術の規模を拡大できるのに十分なだけドリフトを改善することはできない可能性がある。

【 0 0 0 8 】

セクタデバイス中での Ge のより高い濃度は、閾値電圧を上昇させ、セクタデバイスの安定性を損なわせる可能性がある。例えば、Ge 原子は、ピラミッド型結合の構成から四面体結合の構成に遷移することがある。この遷移は、バンドギャップの拡大を促進し、セクタデバイスの閾値電圧を増加させる可能性がある。

【 0 0 0 9 】

ここで説明したように、III 族元素は、カルコゲナイド材料組成物中に導入されて、セクタデバイスにおける Ge の存在感を制限することができる。例えば、III 族元素は、セクタデバイスの組成において、Ge の一部又は全部を置換することができる。いくつかのケースでは、III 族元素は、安定した、III 族元素中心の既存の要素（即ち Se、As、及び / 又は Si）との四面体結合構造を形成することができる。カルコゲナイド材料組成物に III 族元素を組み込むことは、セクタデバイスを安定化させて、技術規模の拡大と、増加したクロスポイント技術開発（例えば、3次元クロスポイントのアーキテクチャ、RAM の開発、ストレージの開発、又はそのようなもの）を可能にすることができる。

【 0 0 1 0 】

上記で紹介した機能と技法については、メモリアレイの説明で後述する。次に、他のデバイスや組成物に対して低い電圧ドリフトを提供するカルコゲナイドメモリデバイスの構成要素及び組成物について、具体例を示す。開示のこれら及びその他の機能は、更に、装

10

20

30

40

50

置図、システム図、及び不揮発性メモリセルの読出し又は書込みに関連するフローチャートによって示され、またそれらを参照して説明される。

【0011】

図1は、本開示の種々の実施形態による、メモリアレイ100の一例を示している。メモリアレイ100は、電子メモリ装置とも称することがある。メモリアレイ100には、異なる状態を記憶するためにプログラム可能なメモリセル105が含まれている。各メモリセル105は、論理「0」と論理「1」で示される2つの状態を記憶するようにプログラム可能である。いくつかのケースでは、メモリセル105は、2つよりも多い論理状態を記憶するように構成されている。メモリセル105は、キャパシタにプログラム可能な状態を表す電荷を記憶することができ、例えば、充電されたキャパシタ及び充電されていないキャパシタはそれぞれ2つの論理状態を表すことができる。DRAMのアーキテクチャは、一般的にこのような設計を使用することができ、それに採用されるキャパシタは絶縁体として線形又は常誘電性の電気分極特性を持つ誘電体材料を含むことができる。これに対して、強誘電体メモリセルは、絶縁材料として、強誘電性を有するキャパシタを含んでいてもよい。強誘電体キャパシタの電荷の異なるレベルは、異なる論理状態を表すことができる。強誘電体材料は非線形な分極特性を有する。強誘電体メモリセル105のいくつかの詳細と利点については、以下で説明する。また、いくつかのケースでは、カルコゲナイドベース及び/又はPCMが採用されてもよい。ここで説明するカルコゲナイドは、PCM記憶装置又はセクタデバイスの何れか又はその両方に使用することができる。

【0012】

メモリアレイ100は、2次元(2D)メモリアレイが互いの上に形成される3次元(3D)メモリアレイであるようにすることができる。これは、2Dアレイと比較して、1つのダイ又は基板上に形成されるメモリセルの数を増加させることができ、これによって今度は、生産コストを削減し、メモリアレイのパフォーマンスを向上させることの何れか又はその両方を行うことが可能となる。図1に示される例によれば、メモリアレイ100は、2つのレベルのメモリセル105を含み、従って3次元メモリアレイとみなすことができる。ただし、レベルの数は2つに限定されない。各レベルは、メモリセル105は、メモリセルスタック145を形成し、各レベルにわたって互いにほぼ整列することができるように、整列又は配置することができる。メモリアレイ100は、Se、As、Ge、Si、B、Al、Ga、In、又はTl、或いはこれらの元素の組合せの組成物を含むことができる。

【0013】

メモリセル105の各口ウ(行)はアクセス線110に接続され、メモリセル105の各カラムはビットライン115に接続されている。アクセス線110はワードライン110として、またビットライン115はデジットライン115として知られていてもよい。ワードライン及びビットライン等についての呼称は、理解や操作を損なうことなく交換可能である。ワードライン110及びビットライン115は、アレイを生成するために、互いにほぼ垂直になる場合がある。メモリセルスタック145における2つのメモリセル105は、デジットライン115などの共通の導電性線を共有してもよい。即ち、デジットライン115は、下側メモリセル105の上部電極と上側メモリセル105の底部電極との電子通信を行うことができる。例えば第3の層が下位層とワードライン110を共有する可能性がある、他の構成も可能である。

【0014】

一般に、1つのメモリセル105は、ワードライン110やビットライン115などの2つの導電性線の交点に配置されていてもよい。この交点は、メモリセルのアドレスと呼ばれてよい。対象となるメモリセル105は、通電されたワードライン110とビットライン115の交点に位置するメモリセル105であってもよい。即ち、ワードライン110とビットライン115は、それらの交点でメモリセル105を読み書きするために通電されてもよい。同じワードライン110又はビットライン115で電子通信を行っている(例えば、接続されている)他のメモリセル105は、対象外のメモリセル105と称す

10

20

30

40

50

ることがある。

【 0 0 1 5 】

上記で説明したように、電極は、メモリセル 1 0 5 と、ワードライン 1 1 0 又はビットライン 1 1 5 に結合されるようにすることができる。電極という用語は、電気導体を指してよく、いくつかのケースでは、メモリセル 1 0 5 への電氣的接点として用いられてよい。電極は、メモリアレイ 1 0 0 の素子又は構成要素間に導通経路を提供する、トレース、ワイヤ、導電性線、導電層等を含むことができる。

【 0 0 1 6 】

読み書きなどの操作は、ワードライン 1 1 0 とビットライン 1 1 5 を活性化又は選択することによってメモリセル 1 0 5 に対して実行され、それぞれのラインに電圧又は電流を印加することを含んでよい。ワードライン 1 1 0 及びビットライン 1 1 5 は、金属（例えば、銅（C u）、アルミニウム（A l）、金（A u）、タングステン（W）、チタン（T i）など）、金属合金、炭素、導電的にドーブされた半導体、又はその他の導電性材料、合金、又は化合物のような、導電性材料からなるものであってよい。メモリセル 1 0 5 を選択すると、その結果として得られる信号を、記憶されている論理状態を判定するために利用することができる。例えば、電圧が印加されるようにすることができ、得られた電流が相変化材料の抵抗状態を区別するために使用されるようにすることができる。セクタデバイスがバイアスされたときに、セル 1 0 5 が選択されるようにすることができる。セル 1 0 5 の選択はセクタデバイスの閾値電圧の関数であるようにすることができ、このことは今度は、セクタデバイスが I I I 族元素を含む組成物を有する場合にはより予測可能な値を有するようにならなければならない。これにより、セクタデバイスが、純粋に S A G 組成物又は S i - S A G 組成物を有している場合よりも、I I I 族元素を含む組成物を有する場合には、セル 1 0 5 のセクタデバイスの電圧ドリフトが少ないようにすることができる。

【 0 0 1 7 】

メモリセル 1 0 5 へのアクセスは、ロウデコーダ 1 2 0 及びカラムデコーダ 1 3 0 を介して制御することができる。例えば、ロウデコーダ 1 2 0 は、メモリコントローラ 1 4 0 からロウアドレスを受け取り、受信したロウアドレスに基づいて適切なワードライン 1 1 0 をアクティブにすることができる。同様に、カラムデコーダ 1 3 0 は、メモリコントローラ 1 4 0 からカラムアドレスを受け取り、適切なビットライン 1 1 5 をアクティブにする。このように、ワードライン 1 1 0 とビットライン 1 1 5 を活性化することにより、メモリセル 1 0 5 にアクセスすることができる。

【 0 0 1 8 】

アクセスにおいて、メモリセル 1 0 5 は、センスコンポーネント 1 2 5 によって読出し又は検知が行われるようにすることができる。例えば、センスコンポーネント 1 2 5 は、メモリセル 1 0 5 にアクセスすることにより生成された信号に基づいて、メモリセル 1 0 5 の記憶された論理状態を判定するように構成されるようにすることができる。その信号は電圧又は電流を含み、センスコンポーネント 1 2 5 は、電圧検知アンプ又は電流検知アンプ、或いはその両方を含むことができる。例えば、電圧が（対応するワードライン 1 1 0 及びビットライン 1 1 5 を使用して）メモリセル 1 0 5 に印加されるようにし、得られた電流の大きさがメモリセル 1 0 5 の電氣的抵抗に依存するようにならなければならない。同様に、電流がメモリセル 1 0 5 に印加されるようにし、その電流を生成する電圧の大きさがメモリセル 1 0 5 の電氣的抵抗に依存するようにならなければならない。センスコンポーネント 1 2 5 は、信号を検出及び増幅するために各種のトランジスタ又はアンプを含んでもよく、これはラッチ（latching）と呼ばれることがある。メモリセル 1 0 5 の検出された論理状態が出力 1 3 5 として出力されるようにすることができる。いくつかのケースでは、センスコンポーネント 1 2 5 は、カラムデコーダ 1 3 0 又はロウデコーダ 1 2 0 の一部であってもよい。又は、センスコンポーネント 1 2 5 は、カラムデコーダ 1 3 0 又はロウデコーダ 1 2 0 に接続され、又はそれらと電子通信を行って接続してもよい。

【 0 0 1 9 】

10

20

30

40

50

メモリセル105は、関連するワードライン110及びビットライン115を同様に活性化することによって、設定又は書込みが行われるようにすることができる。例えば、論理値がメモリセル105に記憶されるようにすることができる。コラムデコーダ130又はロウデコーダ120は、メモリセル105に書き込まれる、例えば入力/出力135であるデータを受け付けることができる。相変化メモリのケースでは、メモリセル105は、例えばメモリ素子を介して電流を流してメモリ素子を加熱することによって、書込みが行われる。このプロセスについては、以下で詳しく説明する。

【0020】

メモリセル105はそれぞれ、各セクタデバイスが、セレン、ヒ素、並びに、B、Al、Ga、In、及びTlのうちの少なくとも1つの組成物を有するカルコゲナイド材料を含む、メモリ素子及びセクタデバイスを有することができる。いくつかのケースでは、カルコゲナイド材料の組成物は、ゲルマニウム又はケイ素、或いはその両方を含む。

10

【0021】

いくつかのメモリアーキテクチャでは、メモリセル105にアクセスすることが、記憶されている論理状態を低下させ又は破壊することがあり、元の論理状態を上記メモリセル105に戻すために、再書込み又は更新操作が実行されるようにすることができる。例えば、DRAMでは、論理記憶キャパシタがある検知動作中に部分的又は完全に放電され、記憶された論理状態が破損する可能性がある。従って、論理状態は、検知動作の後に再書込みされるようにすることができる。更に、1つのワードライン110をアクティブにすると、そのロウ内の全てのメモリセルが放電される結果になる可能性があるため、上記ロウ内の全てのメモリセル105が再書込みされる必要がある可能性がある。しかし、カルコゲナイドベースやPCMなどの不揮発性メモリでは、メモリセル105にアクセスすることが論理状態を破壊しないようにすることができ、従って、メモリセル105はアクセス後に再書込みを必要としないようにすることができる。

20

【0022】

DRAMを含む一部のメモリアーキテクチャでは、外部電源によって定期的リフレッシュされない限り、時間の経過とともにそれらの記憶状態を失う可能性がある。例えば、充電されたキャパシタは、リーク電流によって時間の経過とともに放電し、記憶情報が失われることがある。これらのいわゆる揮発性メモリデバイスのリフレッシュレートは比較的高い可能性があり、例えば、DRAMに対して毎秒10回のリフレッシュ操作が行われるため、大幅な消費電力が発生する可能性がある。メモリアレイの増大に伴い、電力消費の増加により、特にバッテリーなどの有限電源に依存するモバイルデバイスのためのメモリアレイのデプロイメント又は操作が阻害される可能性がある(例えば、電源、発熱、材料限界など)。後述するように、不揮発性カルコゲナイドベース又はPCMセルは、他のメモリアーキテクチャに比べて、パフォーマンスが改善する可能性がある有益な特性を有することができる。例えば、カルコゲナイドベース又はPCMは、DRAMと同等の読出し/書込み速度を提供できるが、不揮発性であり、増加されたセル密度を可能にする。

30

【0023】

メモリコントローラ140は、例えば、ロウデコーダ120、コラムデコーダ130、及びセンスコンポーネント125である、種々の構成要素を介してメモリセル105の動作(読出し、書込み、再書込み、リフレッシュ、放電等)を制御することができる。いくつかのケースでは、1つ以上のロウデコーダ120、コラムデコーダ130、及びセンスコンポーネント125が、メモリコントローラ140と共に配置されていてもよい。メモリコントローラ140は、所望のワードライン110及びビットライン115をアクティブにするために、ロウアドレス信号及びコラムアドレス信号を生成することができる。メモリコントローラ140はまた、メモリアレイ100の動作中に使用される様々な電位又は電流を生成及び制御することができる。例えばそれは、1つ又は複数のメモリセル105にアクセスした後に、ワードライン110又はビットライン115に放電電圧を印加することができる。

40

【0024】

50

一般に、本明細書に記載されている印加される電圧又は電流の振幅、形状、又は持続時間は、メモリアレイ 100 の操作において論じられる種々の操作に対して、調整又は変化させることができ、異なるようにすることができる。更に、メモリアレイ 100 内の 1 つ、複数、又は全てのメモリセル 105 が、同時にアクセスされるようにすることができる。例えば、メモリアレイ 100 中の複数又は全てのセルは、全てのメモリセル 105 又は或るグループのメモリセル 105 が単一の論理状態に設定されるというリセット操作中に、同時にアクセスされるようにすることができる。セル 105 にアクセスするために必要な電圧がセル 105 の寿命において比較的一定のままであるため、各セル 105 のセクタデバイスの閾値電圧ドリフトが減少するにつれて、メモリコントローラ 140 がセル 105 にアクセスすることができる信頼性は増加するようにすることができる。

10

【0025】

図 2 は、本開示の種々の実施形態による、カルコゲナイドメモリデバイスの構成要素及び組成物をサポートするメモリアレイ 200 の例を示している。メモリアレイ 200 は、図 1 を参照して説明したメモリアレイ 100 の一例であってもよい。

【0026】

メモリアレイ 200 は、メモリセル 105 - a、第 1 アクセス線 110 - a (例えば、ワードライン 110 - a)、及び第 2 アクセス線 115 - a (例えば、ビットライン 115 - a) を含み、これらは、図 1 を参照して説明したメモリセル 105、ワードライン 110、及びビットライン 115 の例であってもよい。メモリセル 105 - a は、電極 205、電極 205 - a、及びメモリ素子 220 を含み、これらは強誘電体材料であってもよい。メモリセル 105 - a の電極 205 - a は、中間電極 205 - a と称されてもよい。メモリアレイ 200 はまた、底部電極 210 やセクタデバイス 215 を含んでいてもよく、これらはまた選択コンポーネントとも称されてもよい。いくつかのケースでは、複数のメモリアレイ 200 を互いに積み重ねて、3次元(3D)メモリアレイが形成されるようにすることができる。2つの積層アレイは、いくつかの例では、各レベルが図 1 を参照して説明したようにワードライン 110 又はビットライン 115 を共有することができるような共通の導電性線を有することができる。メモリセル 105 - a は、対象となるメモリセルであってもよい。

20

【0027】

メモリアレイ 200 は、クロスポイントアーキテクチャと呼ばれることがある。それはまた、ピラー構造と称されることもある。例えば、図 2 に示すように、ピラーは、第 1 導電性線(第 1 アクセス線 110 - a)及び第 2 導電性線(第 2 アクセス線 115 - a)と接するようにことができ、ここで、そのピラーは、第 1 電極(底部電極 210)、セクタデバイス 215、及び強誘電体メモリセル 105 - a を備え、強誘電体メモリセル 105 - a は、第 2 電極(電極 205 - a)、メモリ素子 220、及び第 3 電極(電極 205)を備えている。いくつかのケースでは、電極 205 - a を中間電極と称する場合がある。いくつかのケースでは、第 1 アクセス線 110 - a は、メモリセル 105 - a を介して第 2 アクセス線 115 - a と電子通信することができる。第 1 アクセス線 110 - a 及び第 2 アクセス線 115 - a は、3次元のクロスポイント構成で配置されるようにことができ、複数のメモリセル 105 - a と電子通信することができる。

30

40

【0028】

そのようなピラーアーキテクチャは、他のメモリアーキテクチャに比べて低生産コストで比較的高密度のデータストレージを提供することができる。例えば、クロスポイントアーキテクチャは、他のアーキテクチャに比べて、縮小された領域を有しその結果として増大したメモリセル密度を有する、メモリセルを有することができる。例えば、そのアーキテクチャは、F を最小加工寸法として、3端子選択を有するような $6F^2$ のメモリセル領域を有する他のアーキテクチャと比較して、 $4F^2$ のメモリセル領域を有することができる。例えば、DRAM は、各メモリセルの選択コンポーネントとして 3端子デバイスであるトランジスタを使用することがあり、ピラーアーキテクチャに比べてより大きなメモリセル領域を有することができる。

50

【 0 0 2 9 】

セクタデバイス 2 1 5 は、いくつかのケースでは、メモリセル 1 0 5 と導電性線との間、例えば、メモリセル 1 0 5 - a と第 1 アクセス線 1 1 0 - a 又は第 2 アクセス線 1 1 5 - a の少なくとも 1 つとの間で、直列に接続されるようにすることができる。例えば、図 2 に示されるように、セクタデバイス 2 1 5 は、電極 2 0 5 - a と底部電極 2 1 0 の間に配置されていてもよい。このように、セクタデバイス 2 1 5 は、メモリセル 1 0 5 - a と第 1 アクセス線 1 1 0 - a との間に直列に配置されている。他の構成も可能である。例えば、セクタデバイス 2 1 5 は、メモリセル 1 0 5 - a と第 2 アクセス線 1 1 5 - a との間に直列に配置されていてもよい。その選択コンポーネントは、特定のメモリセル 1 0 5 - a を選択するのを助けるか、又は選択されたメモリセル 1 0 5 - a に隣接する選択されていないメモリセル 1 0 5 - a を介して浮遊電流が流れるのを防ぐのを助けることができる。例えば、セクタデバイス 2 1 5 は、閾値電圧が満たされたとき又は超えたときにセクタデバイス 2 1 5 に電流が流れるような閾値電圧を有することができる。

10

【 0 0 3 0 】

セクタデバイス 2 1 5 は、メモリ素子 2 2 0 と結合されていてもよい。セクタデバイス 2 1 5 及びメモリ素子 2 2 0 は、第 1 アクセス線 1 1 0 - a と第 2 アクセス線 1 1 5 - a との間で直列構成で配置されるようにすることができる。セクタデバイス 2 1 5 は、Se、As、並びに、B、Al、Ga、In、及びTlの少なくとも1つを含む組成物からなる第1のカルコゲナイド材料を含むことができる。いくつかのケースでは、セクタデバイス 2 1 5 は、第1のカルコゲナイド材料を備えていてよく、メモリ素子 2 2 0 は、セクタデバイス 2 1 5 とは異なる組成物（例えば、第2のカルコゲナイド材料）を備えていてもよい。ただし、示さないが、いくつかのケースでは、セル 1 0 5 は、分かれたメモリ素子及びセクタデバイスを使用しなくてもよい。このタイプのメモリアーキテクチャは自己選択メモリ（SSM）と呼ぶことができ、セクタデバイス 2 1 5 はメモリストレージ素子として機能することができる。従って、メモリデバイスは、自己選択メモリデバイスを備えるメモリセルを含んでいてもよい。例えば、カルコゲナイド材料を含む単一の素子は、分離されたセクタデバイスが不要であるような、メモリ素子とセクタデバイスの両方として機能されるようにすることができる。いくつかのケースでは、メモリ素子 2 2 0 は、相変化材料ではなく、強誘電体キャパシタ又はメモリストを備えていてもよい。

20

30

【 0 0 3 1 】

セクタデバイス 2 1 5 は、中間電極 2 0 5 - a によってメモリ素子 2 2 0 から分離されていてもよい。このように、中間電極 2 0 5 - a は電氣的に浮遊することがあり、即ち、電氣的アース又は電氣的に接地することができる構成要素に直結しないことがあるため、電荷が蓄積することがある。メモリ素子 2 2 0 は、セクタデバイス 2 1 5 を介してアクセスされるようにすることができる。例えば、セクタデバイス 2 1 5 の両端の電圧が閾値に達すると、メモリ素子 2 2 0 を介してアクセス線 1 1 0 - a と 1 1 5 - a の間に、電流が流れるようにすることができる。この電流の流れは、メモリ素子 2 2 0 に記憶されている論理値を読み取るために使用することができる。電流が流れ始めるセクタデバイス 2 1 5 の両端の閾値電圧は、セクタデバイス 2 1 5 の組成物の関数とすることができる。同様に、セクタデバイス 2 1 5 の組成物は、セクタデバイス 2 1 5 の閾値電圧が経時的に変化する可能性があるか否か及びその大きさに影響を及ぼす可能性がある。

40

【 0 0 3 2 】

ここで説明したように、時間の経過による閾値電圧の変化は、閾値電圧ドリフトと呼ばれることがある。閾値電圧ドリフトは、セクタデバイスの閾値電圧が変化するので好ましくない場合があり、操作（例えば、セクタデバイスを介して電流を流させるために必要な電圧の印加）が変化することがある。これは、デバイスの読出し又は書込みを複雑にする可能性があり、不正確な読出し又は書込みにつながる可能性があり、メモリ素子の読出し又は書込みに必要な電力の増加を引き起こす可能性がある等である。ここで説明したように、セクタデバイス 2 1 5 にとって閾値電圧ドリフトの可能性又は程度を制限する

50

材料の組成を採用することが、デバイス性能の改善に役立つようにすることができる。このように、セクタデバイス 215 は、以下に説明するように閾値電圧ドリフトを制限できる、1 つ以上の III 族元素を含む組成物を具備することができる。

【0033】

メモリアレイ 200 は、材料の形成と除去の様々な組合せによって作製することができる。例えば、第 1 のアクセス線 110 - a、底部電極 210、セクタデバイス 215、電極 205 - a、メモリ素子 220、及び電極 205 に対応する材料層が、堆積されるようにすることができる。その後、図 2 に示すピラー構造などの所望の機能を作成するために、材料を選択的に除去することができる。例えば、フォトリソグラフィ技術を用いてフォトレジストをパターン化することで機能が定義されるようにすることができ、それで、エッチングなどの技法によって材料が除去されるようにすることができる。第 2 アクセス線 115 - a は、例えば材料層を堆積し選択的にエッチングして図 2 に示される線構造を形成することにより、その後形成されるようにすることができる。いくつかのケースでは、電氣的に絶縁された領域又は層が、形成され又は堆積されてもよい。電氣的に絶縁された領域には、酸化ケイ素、窒化珪素、又はその他の電気絶縁性材料などの、酸化物又は窒化物材料が含まれていてもよい。

10

【0034】

様々な技法が、メモリアレイ 200 の材料又は組成物を形成するために使用されるようにすることができる。これらは、数ある薄膜成長技法の中で、例えば、化学気相成長法 (CVD)、有機金属気相成長法 (MOCVD)、物理気相成長法 (PVD)、スパッタ堆積法、原子層堆積法 (ALD)、分子線エピタキシー法 (MBE) を含むことができる。材料は、例えば、化学エッチング (「ウェットエッチング」とも呼ばれる)、プラズマエッチング (「ドライエッチング」とも呼ばれる)、又は化学機械平坦化を含むことができる、多くの技法を用いて除去されるようにすることができる。

20

【0035】

図 3 は、本開示の実施形態による、カルコゲナイドメモリデバイスの構成要素及び組成物の特性のプロット 300 を示す。本明細書で説明されるように、図 3 は、III 族元素を含んだ組成物を含む、カルコゲナイド材料組成物の比較を示している。図 3 はこのように、組成物 3 (Comp. 3) として描かれている、Se、As、及び III 族元素からなる組成物の比較的低い電圧ドリフトを示している。

30

【0036】

例えば、組成物 3 は、組成物の総重量に対して、約 53 重量%の Se、約 23 重量%の As、約 13 重量%の Ge、及び約 11 重量%の In であるようにすることができる。ポイント 305 における組成物 3 は、摂氏 90 度で 3 日後に、250 ミリボルト未満の電圧ドリフトを有することができる。

【0037】

組成物 3 の電圧ドリフトは、一定期間にわたって総電圧ドリフトが少ないようにすることができるため、セクタデバイスの改善された性能を可能にすることができる。このように、カルコゲナイド組成物への In (又は他の III 族元素) の添加は、他のカルコゲナイド材料組成物と比較して、電圧ドリフトを最小化することができる。例えば、組成物 1 及び 2 は、純粋な SAG 組成物 (即ち、Se、As、Ge のみを含む) であってよい。組成物 4 及び 5 は、純粋な Si-SAG 合金 (即ち、Se、As、Ge、Si のみを含む) であってよい。いくつかの例では、組成物 4 及び 5 は、組成物の総重量に対して、約 30 重量%の As、約 12 重量%の Ge、及び約 8 重量%の Si の量を有することができる。いくつかのケースでは、カルコゲナイド材料組成物 (即ち、ポイント 310 における組成物 1、ポイント 315 における組成物 2、ポイント 320 における組成物 4、ポイント 325 における組成物 5) が、摂氏 90 度で 3 日後に、500 ミリボルト以上ドリフトすることがある。

40

【0038】

本明細書に記載されるように、カルコゲナイド混合物中への In (又は他の III 族元

50

素)の添加は、セレクトラデバイスの安定性を高めることができる。カルコゲナイド材料組成物(例えば組成物3)は、表1に示される結果を得ることができる。

【表1】

Vth_FF [V]	Vth_SF [V]	Vform [V]	Vth_1000 [V]	I @ 0.85 Vt (@ 1e3) [nA]	STDrift [mV/dec] WT<1 s
5.00	4.77	0.06	4.25	35	0

【0039】

表1に示すように、列見出しVth_FFとVth_SFは、組成物3を有するセレクトラデバイスの、第1アクティベーション(即ち「第1発火」)及びその後のアクティベーション(即ち「第2発火」)において読み出される閾値電圧を、それぞれ表すことができる。列見出しVformは、第1発火と第2発火の間の閾値の電圧差を表すことができる。いくつかの例では、列見出しVth_1000は1000サイクル後の閾値電圧を表すことができる。列見出しI@0.85Vtは、セレクトラデバイスにおけるサブ閾値電圧リーク電流を表すことができる。列見出しSTDriftは、セレクトラデバイスのドリフトを表すことができる。表1に示されるように、In又は別のIII族元素(例えば組成物3)を含むカルコゲナイド組成物は、周期動作の間の安定した閾値電圧と一定期間にわたる低いドリフトの結果をもたらすことができる。

【0040】

図4は、本開示の実施形態による、カルコゲナイドメモリデバイスの構成要素及び組成物の特性のプロット400を示す。例えば、領域405は、III族元素をドープしてもよいSe、As、及びGeの組成を示す。点線410は、As₂Se₃-GeSe₂組成ラインを示している。ここで説明するように、低電圧ドリフトを有する組成物は、セレクトラデバイス又は他のメモリ素子に有用であるようにすることができ、Se、As、Ge、Si、又はIII族元素のいくつかの組合せを含むことができる。カルコゲナイド材料組成物は、XをIII族元素の一つとして、一般式Se_xAs_yGe_zSi_wX_uに帰着させることができる。例えば、カルコゲナイド材料組成物は、InをIII族元素の一つとして、式Se₄As₂GeSiInに帰着させることができる。他の例では、カルコゲナイド材料組成物は、BをIII族元素の一つとして、一般式Se₃As₂GeSi₂Bに帰着させることができる。カルコゲナイド材料組成物は、表2に示される組成物から構成されるようにすることができ、それはSe、As、Ge、Si、及びIII族元素の重量百分率により組成範囲を提供することができる。

【表2】

	Se	As	Ge	Si	III族元素
1番目(%)	>40	10-35	1-20	1-15	0.15-35
2番目(%)	>45	12-32	1-20	1-15	0.15-24

【0041】

いくつかのケースでは、Seが、組成物の総重量に対して40重量%以上の量であってもよい。いくつかのケースでは、Seの量が、組成物の総重量に対して45重量%以上であってもよい。ヒ素は、組成物の総重量に対して10重量%から35重量%の範囲の量であってもよい。いくつかのケースでは、Asの量が、組成物の総重量に対して12重量%から32重量%の範囲である。いくつかの例では、Geは、組成物の総重量に対して、1重量%から20重量%の範囲の量であってもよい。

【0042】

いくつかの例では、Siは、組成物の総重量に対して、1重量%から15重量%の範囲の量であってもよい。Si、Ge、並びに、B、Al、Ga、In、及びTlからなる群

10

20

30

40

50

から選択された少なくとも1つの元素の組合せは、組成物の総重量に対して20重量%以上の量とすることができる。

【0043】

III族元素は、B、Al、Ga、In、及びTlからなる群から選択される少なくとも1つの元素であってもよく、組成物の総重量に対して0.15重量%から35重量%の範囲の量であってよい。いくつかのケースでは、III族元素は、B、Al、Ga、In、及びTlからなる群から選択される少なくとも1つの元素であってもよく、組成物の総重量に対して0.15重量%から24重量%の範囲であってよい。

【0044】

表2のカルコゲナイド材料組成物は、摂氏90度で3日後に250ミリボルト以下の閾値電圧ドリフトを有するようにすることができる。いくつかの例では、表2のカルコゲナイド材料組成物は、ガラス転移温度が摂氏280度を超えることがある。ガラス転移温度及びガラス加工条件は、表2によって与えられる範囲内の組成選択に影響を及ぼす可能性がある。

10

【0045】

本明細書に記載されるように、III族元素は、Se及びAs、又はSAG、又はSi-SAGの組成物のような材料の組成物に組み入れられて、純粋なSAG又はSi-SAGの組成物を有するセクタデバイスに関連する種々の問題を緩和するようにすることができる。いくつかのケースでは、少なすぎるGeは、カルコゲナイド材料組成物の熱安定性を損なう可能性がある。一方、15%を超えるGe組成物を有するSAGシステムは、熱的に不安定すぎて、クロスポイントアレイに吸収されてしまう可能性がある。いくつかの例では、Seの高い組成は、高閾値電圧とリークのトレードオフを持続するかもしれない高いバンドギャップエネルギーをもたらす可能性がある。

20

【0046】

前述のように、III族元素は、強力で安定した結合の形成を介して、セクタデバイスの安定性を高めることができる。いくつかの例では、III族元素は、ドリフトを低下させない可能性がある四面体結合を形成する。低電圧ドリフトは、図3に示されるように、結合構造に直接関係していてもよい。例えば、Al-Se結合解離エネルギーは $318 \text{ kJ} \cdot \text{mol}^{-1}$ であってよく、また、In-Se結合解離エネルギーは、 $245 \text{ kJ} \cdot \text{mol}^{-1}$ であってよい。より高い結合解離エネルギーは、より強く及びより安定した結合に相関するようにすることができる。

30

【0047】

III族元素はまた、セクタデバイスにおける増加した熱安定性を提供することもできる。例えば、 Al_2Se_3 は3.1eVのバンドギャップエネルギーを有することができる、 In_2Se_3 は2.1eVのバンドギャップエネルギーを有することができる。バンドギャップが広いと、時間の経過に伴って閾値電圧が増加し、セクタデバイスが高温で動作する可能性がある。例えば、 Al_2Se_3 は、1220Kの融解温度を有することができる、 In_2Se_3 は933Kの融解温度を有することができる。高い融解温度は、セクタデバイスの熱安定性を増加させることができる。いくつかの例では、カルコゲナイド材料組成物の転移温度が、上昇することもある。

40

【0048】

本明細書に記載されるように、セクタデバイスにおいてカルコゲナイド材料組成物にIII族元素を添加することは、付加的な利点を提供し得る。例えば、セクタデバイスへのBの導入は、絶縁体としての役目を果たすことができる。従って、B-SAGシステムを備えるセクタデバイスは、リークの問題を防ぐことができる。いくつかの例では、Alの導入は、クロスポイントアレイへの吸収を容易にする可能性がある。他の例では、Inの導入は、電圧ドリフトを最小限に抑えることができる。カルコゲナイド材料組成物へのIII族元素(例えばB、Al、Ga、In、Tl)の導入は、セクタデバイスの安定性を増加させることができる。

【0049】

50

図5は、本開示の実施形態による、カルコゲナイドメモリデバイスの構成要素をサポート又は採用するメモリアレイを含むシステム500を示す。システム500は、様々な部品を接続又は物理的に支持するプリント回路板であるか又はそれを含む、デバイス505を含むことができる。デバイス505は、メモリアレイ100-aを含むことができ、メモリアレイ100-aは図1に記載のメモリアレイ100の一例であってよい。メモリアレイ100-aは、メモリコントローラ140-a及びメモリセル105-bを含むことができ、これらは、図1を参照して説明したメモリコントローラ140及び図1、図2を参照して説明したメモリセル105の例であってよい。

【0050】

メモリアレイ100-aは、それぞれメモリ素子とセクタデバイスを有する複数のメモリセル105-aを含むことができ、各セクタデバイスは、ホウ素、アルミニウム、ガリウム、インジウム、又はタリウムのうちの少なくとも1つと、セレンと、ヒ素とからなる組成を有するカルコゲナイド材料を含むことができる。いくつかの例では、カルコゲナイド材料の組成物は、ゲルマニウム又はケイ素、或いはその両方を含む。いくつかのケースでは、カルコゲナイド材料の組成物は、ホウ素、アルミニウム、ガリウム、インジウム、又はタリウムのうちの少なくとも1つと、ケイ素と、ゲルマニウムとの組合せを、組成物の総重量に対して20重量%以上の量で含む。メモリアレイ100-aはまた、3次元のクロスポイント構成で配置され、複数のメモリセル105-aと電子通信するように配置された、複数のアクセス線を含んでいてもよい。

【0051】

デバイス505はまた、プロセッサ510、BIOSコンポーネント515、周辺コンポーネント520、及び入力/出力制御コンポーネント525を含むこともできる。デバイス505のコンポーネントは、バス530を介して相互に電子通信することができる。

【0052】

プロセッサ510は、メモリコントローラ140-aを介してメモリアレイ100-aを操作するように構成されるようにすることができる。いくつかのケースでは、プロセッサ510は、図1を参照して説明したメモリコントローラ140の機能を実行する。他のケースでは、メモリコントローラ140-aは、プロセッサ510に統合されてよい。プロセッサ510は、汎用プロセッサ、デジタル信号プロセッサ(DSP)、アプリケーション固有集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)又はその他のプログラマブル論理デバイス、離散ゲート又はトランジスタ論理、離散ハードウェアコンポーネントであってよく、又はそれはこれらのタイプのコンポーネントの組合せでもよいし、そして、プロセッサ510は、ここで説明する種々の機能を実行してもよい。プロセッサ510は、例えば、メモリアレイ100-aに記憶されたコンピュータ読出し可能命令を実行するように構成することができ、デバイス505に様々な機能やタスクを実行させる。

【0053】

BIOSコンポーネント515は、ファームウェアとして動作する基本入力/出力システム(BIOS)を含むソフトウェアコンポーネントであってよく、システム500の様々なハードウェアコンポーネントを初期化して実行することができる。BIOSコンポーネント515はまた、プロセッサ510と、例えば、周辺コンポーネント520、入力/出力制御コンポーネント525などの様々なコンポーネント間のデータフローを管理することもできる。BIOSコンポーネント515には、読出し専用メモリ(ROM)、フラッシュメモリ、又はその他の不揮発性メモリに記憶されているプログラム又はソフトウェアが含まれていてもよい。

【0054】

(複数の)周辺コンポーネント520は、デバイス505に統合された任意の入出力デバイス又はそのようなデバイス用のインタフェースであってもよい。その例は、ディスクコントローラ、サウンドコントローラ、グラフィックスコントローラ、イーサネットコントローラ、モデム、ユニバーサルシリアルバス(USB)コントローラ、シリアル又はパ

10

20

30

40

50

ラレルポート、或いは、周辺コンポーネント相互接続（PCI）スロット又はアクセラレーテッドグラフィックスポート（AGP）スロットのような周辺カードスロットを含むことができる。

【0055】

入力/出力制御コンポーネント525は、プロセッサ510と周辺コンポーネント520、入力535デバイス、又は出力540デバイス間のデータ通信を管理することができる。入力/出力制御コンポーネント525は、デバイス505に統合されていない周辺機器を管理することもできる。いくつかのケースでは、入力/出力制御コンポーネント525は、外部周辺機器への物理的な接続又はポートを表す場合がある。

【0056】

入力535は、デバイス505又はそのコンポーネントへの入力を提供するデバイス505の外部のデバイス又は信号を表すことができる。これは、ユーザインタフェース又は他のデバイス間のインタフェースを含むことができる。いくつかのケースでは、入力535は、周辺コンポーネント520を介してデバイス505とインタフェースする周辺機器であってもよいし、入力/出力制御コンポーネント525によって管理されていてもよい。

【0057】

出力540は、デバイス505又はそのコンポーネントの何れかからの出力を受信するように構成された、デバイス505の外部のデバイス又は信号を表すことができる。出力540の例は、ディスプレイ、オーディオスピーカ、印刷装置、別のプロセッサ又はプリント回路板などに送信されるデータ又は信号を含むことができる。いくつかのケースでは、出力540は、周辺コンポーネント520を介してデバイス505とインタフェースする周辺機器であってもよいし、入力/出力制御コンポーネント525によって管理されていてもよい。

【0058】

メモリコントローラ140-a、デバイス505、及びメモリアレイ100-aのコンポーネントは、それらの機能を実行するように設計された回路で構成されていてもよい。これは、例えば、導電性線、トランジスタ、キャパシタ、インダクタ、抵抗器、アンプ、又はその他のアクティブ又は非アクティブな素子のような、本明細書で説明する機能を実行するように構成された様々な回路素子を含むことができる。

【0059】

本明細書の説明は、例であり、請求項に記載されている範囲、適用性、又は例を制限するものではない。変更は、開示の範囲を逸脱することなく、議論された要素の機能及び組合せにおいて行うことができる。種々の実施例では、必要に応じてさまざまなプロセスやコンポーネントを省略、代用、又は追加できる。また、幾つかの実施例に関して説明した特徴は、他の実施例で組み合わせられてもよい。

【0060】

ここに記載されている説明は、添付図面と合わせて、構成例を示し、実装可能な全ての実施例、又はクレームの範囲内にある全ての実施例を表すものではない。本明細書において「実施例」、「例示的な」、及び「実施形態」という用語は、「実施例、インスタンス、又は例示として役立つ」という意味であり、「好ましい」又は「他の例より有利な」ではない。詳細な説明には、表された技術の理解を提供する目的での特定の詳細が含まれる。これらの技術は、しかし、これらの特定の詳細なしに実施することができる。いくつかのインスタンス（例）では、説明された実施例の概念をあいまいにしないようにするために、よく知られている構造やデバイスはブロックダイアグラム形式で示されている。

【0061】

添付の図では、同様のコンポーネント又はフィーチャーが同じ参照ラベルを持つ場合がある。更に、同じタイプの様々なコンポーネントは、参照ラベルの後に同様のコンポーネントの中で区別をつけるダッシュ及び第2のレベルを付けることにより、区別が付けられている。第1の参照ラベルが明細書で使用される場合、その説明は第2の参照ラベルに関係なく同じ第1の参照ラベルを持つ類似のコンポーネントのいずれかに適用される。

10

20

30

40

50

【 0 0 6 2 】

本明細書において、「結合する」とは、互いに実質的に接触している構成要素を示す。いくつかのケースでは、3番目の材料又は構成要素が物理的に分離しても、2つの構成要素が結合されることがある。この3番目の構成要素は、2つの構成要素又はその機能を実質的に変更できない。代わりに、この3番目のコンポーネントは、最初の2つの構成要素の接続を助け又は有効にすることができる。例えば、或る材料は、基板材料に堆積した場合に、しっかりと付着しないことがある。ラミナ層のような、（例えば、数ナノメートル以下のオーダーで）薄い層は、2つの材料の間でそれらの形成や接続を強化するために使用されることがある。他のケースでは、3番目の材料は、2つの構成要素を化学的に分離するためのバッファとして立ち振る舞うことができる。

10

【 0 0 6 3 】

本明細書で使用される「層(layer)」という用語は、幾何学的構造の層(stratum)又はシートをいう。各層は、3次元(例えば、高さ、幅、及び奥行き)を有し、表面の一部又は全部を覆うことができる。例えば、層は、2つの次元が3番目の次元よりも大きい3次元構造、例えば、薄いフィルムであってよい。層は、様々な元素、構成要素、及び/又は材料を含むことができる。いくつかのケースでは、1つの層が2つ以上のサブレイヤで構成される場合がある。一部の添付図面では、説明の目的のために、3次元の層の2つの次元が描かれている。しかし、当業者は、層が自然界において3次元であることを認識するだろう。

【 0 0 6 4 】

本明細書において、「実質的に」という用語は、修飾された特性(例えば、用語によって実質的に改変された動詞又は形容詞)が絶対的である必要はなく、特性の利点を達成するために十分に近いことを意味する。

20

【 0 0 6 5 】

本明細書において、「電極」という用語は、電気導体を指すことがあり、いくつかのケースでは、メモリアレイのメモリセル又はその他の構成要素への電氣的接触として用いられてもよい。電極は、メモリアレイ100の素子又は構成要素間に導通経路を提供する、トレース、ワイヤ、導電性線、導電層、又はそのようなものを含むことができる。

【 0 0 6 6 】

本明細書で使用される「フォトリソグラフィ」という用語は、フォトレジスト材料を用いてパターンニングし、電磁波を利用してそのような材料を露光する工程を指すことができる。例えば、フォトレジスト材料は、基材上にフォトレジストをスピンコートするなどして、基材上に形成されてもよい。パターンは、フォトレジストを放射線にさらすことで、フォトレジスト内に作成されるようにすることができる。パターンは、例えば放射線がフォトレジストを露光する場所に空間的に写すフォトマスクによって、定義されるようにすることができる。露光されたフォトレジスト領域は、例えば化学的処理によって、所望のパターンを残して除去することができる。いくつかのケースでは、露光した領域が残り、未露光領域が除去されるようにすることができる。

30

【 0 0 6 7 】

本明細書に記載される情報及び信号は、種々の異なる技術及び技法のいずれを用いても表すことができる。例えば、上記の説明を通して参照される可能性があるデータ、命令、コマンド、情報、信号、ビット、シンボル、及びチップは、電圧、電流、電磁波、磁場や粒子、光波場や光子、又はそれらの任意の組み合わせによって表される。或る図面は、信号群を1つの信号として示す。しかしそれは、当業者ならば、それは信号群の様々なビット幅を持つことができるバスを表してよいことを理解するだろう。

40

【 0 0 6 8 】

「電子通信」という用語は、コンポーネント間の電子の流れをサポートするコンポーネント間の関係を指す。これは、コンポーネント間の直接接続を含んでもよく、又は中間コンポーネントを含んでもよい。電子通信のコンポーネントは(例えば、通電回路で)、アクティブに電子や信号を交換できる、又は(例えば、非通電回路で)、アクティブに電子

50

や信号を交換はできないが、通電されている回路上では電子又は信号を交換できるように構成され動作可能としてよい。例として、スイッチ（例えば、トランジスタ）を介して物理的に接続された2つのコンポーネントは、スイッチの状態（つまり、オープン又はクローズ）に関係なく、電子的な通信になっている。

【0069】

メモリアレイ100を含む本明細書で説明しているデバイスは、ケイ素（Si）、ゲルマニウム、ケイ素ゲルマニウム合金、ガリウムヒ素（GaAs）、窒化ガリウム（GaN）等の半導体基板上に形成することができる。いくつかのケースでは、基板は、半導体ウェーハである。その他のケースでは、基板は、シリコン（ケイ素）・オン・ガラス（SiO₂）又はシリコン（ケイ素）・オン・サファイア（SiO₂/AlN）などの、シリコン・オン・インシュレータ（SOI）基板であってもよいし、又は他の基板上に形成される半導体材料のエピタキシャル層であってもよい。基板又は基板のサブ領域の導電率は、限定されるものではないが、リン、ホウ素、又はヒ素を含む種々の化学種を用いたドーピングを通して制御することができる。ドーピングは、基板の初期形成又は成長の間に、イオン注入、又は他のドーピング手段により実行することができる。メモリアレイ又はメモリ回路を含む基板の一部又は切れ分けたものは、ダイと呼ばれてもよい。

【0070】

カルコゲナイド材料は、元素S、Se、及びTeの少なくとも1つを含む材料又は合金であってもよい。本明細書で論じた相変化材料は、カルコゲナイド材料であってもよい。カルコゲナイド材料は、S、Se、Te、Ge、As、Al、Sb、Au、インジウム（In）、ガリウム（Ga）、スズ（Sn）、ビスマス（Bi）、パラジウム（Pd）、コバルト（Co）、酸素（O）、銀（Ag）、ニッケル（Ni）、白金（Pt）の合金を含むことができる。カルコゲナイド材料及び合金の例は、これらに限られるものではないが、Ge-Te、In-Se、Sb-Te、Ga-Sb、In-Sb、As-Te、Al-Te、Ge-Sb-Te、Te-Ge-As、In-Sb-Te、Te-Sn-Se、Ge-Se-Ga、Bi-Se-Sb、Ga-Se-Te、Sn-Sb-Te、In-Sb-Ge、Te-Ge-Sb-S、Te-Ge-Sn-O、Te-Ge-Sn-Au、Pd-Te-Ge-Sn、In-Se-Ti-Co、Ge-Sb-Te-Pd、Ge-Sb-Te-Co、Sb-Te-Bi-Se、Ag-In-Sb-Te、Ge-Sb-Se-Te、Ge-Sn-Sb-Te、Ge-Te-Sn-Ni、Ge-Te-Sn-Pd、又はGe-Te-Sn-Ptを含むことができる。

【0071】

本明細書で使用されるハイフン付き化学組成表記は、特定の化合物又は合金に含まれる元素を示し、示されている元素に含まれる全てのストイキオメトリを表すものである。例えば、Ge-Teは、xとyを任意の正の整数であってよいとして、Ge_xTe_yを含むことができる。可変抵抗材料のその他の例は、2種以上の例えば、遷移金属、アルカリ土類金属、及び/又は希土類金属等の金属を含む2成分の金属酸化物材料又は混合原子価酸化物を含むことができる。実施形態は、メモリセルのメモリ素子に関連する特定の1つの可変抵抗材料又は複数の材料に限定されるものではない。例えば、可変抵抗材料の他の例は、メモリ素子を形成するために使用することができ、とりわけカルコゲナイド材料、巨大磁気抵抗材料、又はポリマーベースの材料を含むことができる。

【0072】

本明細書で説明するトランジスタは、電界効果トランジスタ（FET）を表し、ソース、ドレイン、及びゲートを含む3端子デバイスから構成される。端子は、金属などの導電性材料を介して他の電子素子に接続することができる。ソースとドレインは導電性であり、例えば縮退等、高濃度にドーブされた、半導体領域を含むことができる。ソースとドレインは、低濃度にドーブされた半導体領域又はチャネルによって分離することができる。チャネルがn型（すなわち、大半のキャリアが電子）の場合、FETはn型FETと呼ぶことができる。同様に、チャネルがpタイプの場合（すなわち、大半のキャリアがホールである場合）、FETはp型FETと呼ぶことができる。チャネルは、絶縁ゲート酸化

10

20

30

40

50

物によって覆うことができる。チャネルの導電率は、ゲートに電圧を印加することによって制御することができる。例えば、n型FET又はp型FETにそれぞれ正の電圧又は負の電圧を印加すると、チャネルが導電性になり得る。トランジスタの閾値電圧以上の電圧がトランジスタゲートに印加されると、トランジスタは「オン」又は「アクティブ」になることができる。トランジスタの閾値電圧よりも小さい電圧がトランジスタゲートに印加されると、トランジスタは「オフ」又は「非アクティブ」になることができる。

【0073】

本明細書の開示に関連して説明されている様々な例示のブロック、コンポーネント、及びモジュールは、汎用プロセッサ、DSP、ASIC、FPGA若しくはその他のプログラマブル論理デバイス、離散ゲート若しくはトランジスタ論理、離散ハードウェアコンポーネント、又は本明細書で説明した機能を実行するように設計されたこれらの任意の組合せを用いて、実装又は実行することができる。汎用プロセッサは、マイクロプロセッサであってもよいが、その代わりに、プロセッサは任意の従来プロセッサ、コントローラ、マイクロコントローラ、又はステートマシンであってもよい。また、プロセッサは、コンピューティングデバイスの組合せ（例えば、DSPとマイクロプロセッサの組合せ、複数のマイクロプロセッサ、DSPコアと組み合わせた1つ以上のマイクロプロセッサ、又は任意の他のそのような構成など）として実装することもできる。

10

【0074】

本明細書で説明する機能は、ハードウェア、プロセッサにより実行されるソフトウェア、ファームウェア、又はそれらの任意の組合せに実装することができる。プロセッサにより実行されるソフトウェアに実装される場合、その機能は、コンピュータ読取り可能媒体上に1つ以上の命令又はコードとして保存又は転送することができる。その他の例と実装は、開示及び添付したクレームの範囲内にある。例えば、ソフトウェアの性質上、上記の機能は、プロセッサによって実行されるソフトウェア、ハードウェア、ファームウェア、ハードワイヤ接続、又はこれらの任意の組合せによって実行されるソフトウェアを用いて実装することができる。機能の実装はまた、機能の各部分が異なる物理的な場所に実装されるように配置されることを含み、様々な場所に物理的に配置されてよい。また、本明細書で用いられているように、請求項に含まれるものとして、項目のリスト（例えば、「少なくとも1つの」又は「1つ以上」のような語句によって始まる項目のリスト）で使用される「又は」は、例えば、A、B、又はCの少なくとも1つのリストがA又はB又はC又はAB又はAC又はBC又はABC（すなわち、A及びB及びC）を意味するように、すべてを含むリストを指している。

20

30

【0075】

コンピュータ読取り可能な媒体には、非一過性コンピュータ記憶媒体と、コンピュータプログラムを1か所から別の場所へ移すことを容易にする任意の媒体を含む通信媒体が含まれている。非一過性記憶媒体は、汎用又は特定目的のコンピュータによってアクセスできる任意の利用可能な媒体であってもよい。例として、これらに制限されないが、非一過性コンピュータ読取り可能媒体は、RAM、ROM、電氣的消去可能プログラマブル読取り専用メモリ（EEPROM）、コンパクトディスク（CD）ROM若しくはその他の光ディスク記憶装置、磁気ディスク記憶装置、若しくはその他の磁気記憶デバイス、又は命令又はデータ構造形式の所望のプログラムコード手段を運搬又は記憶するために使用可能で、汎用又は特定目的のコンピュータ又は汎用又は特定目的のプロセッサによってアクセス可能な任意の他の非一過性媒体を含むことができる。

40

【0076】

また、任意の接続が適切にコンピュータ読取り可能媒体と呼ばれている。例えば、同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者線（DSL）、又は赤外線、無線、及びマイクロ波等のワイヤレス技術を使用して、WEBサイト、サーバ、又はその他のリモートソースからソフトウェアを送信する場合、同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者線（DSL）、又は赤外線、無線、及びマイクロ波等のワイヤレス技術は、媒体の定義に含まれている。ディスク（disk and disc）は、

50

本明細書で使用されるように、CD、レーザーディスク、光ディスク、デジタル多用途ディスク(DVD)、フロッピーディスク、及びブルーレイディスクを含む。ディスク(disk)は通常、磁気的にデータを再生する。また、ディスク(disc)は、レーザーで光学的にデータを再現する。上記の組合せも、コンピュータ読取り可能媒体の範囲に含まれている。

【0077】

本明細書は、当業者が当該開示のものを製造する又は利用することを可能とするために提供される。開示に対する種々の変更は当業者にとって容易に明らかであり、本明細書で定義される一般的な原則は、開示の範囲を逸脱することなく他のバリエーションに適用することができる。このように、開示は、本明細書に記載された例及び設計に限定されるものではないが、本明細書に開示されている原理及び新規な特徴に合致した最も広い範囲に合致するものである。

10

20

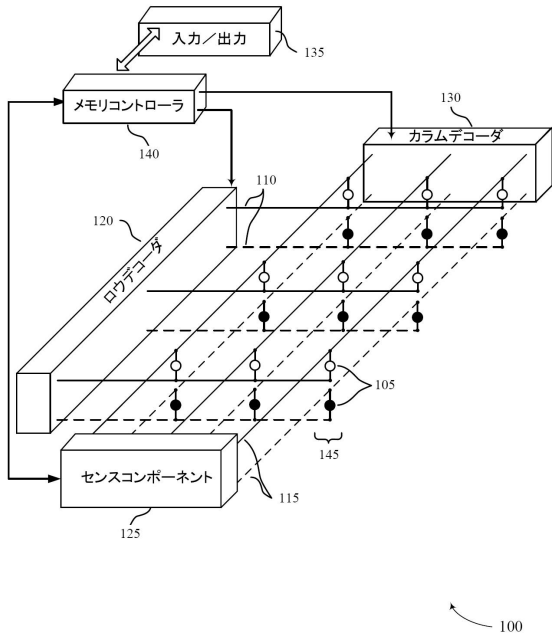
30

40

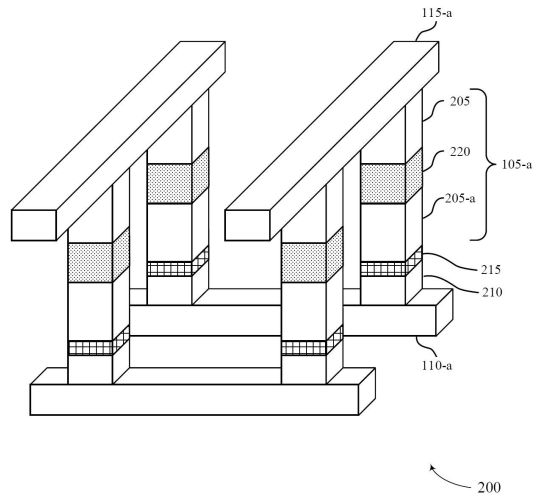
50

【図面】

【図 1】



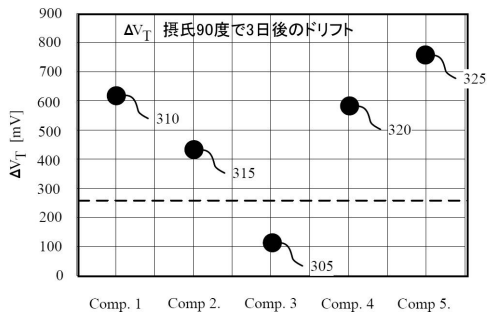
【図 2】



10

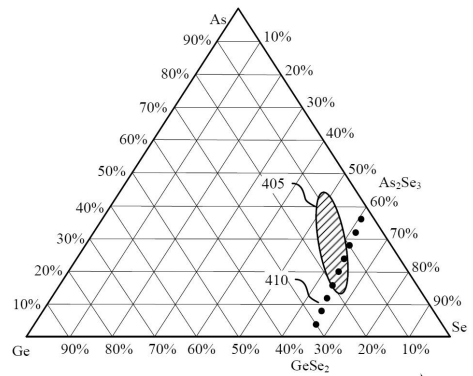
20

【図 3】



300

【図 4】

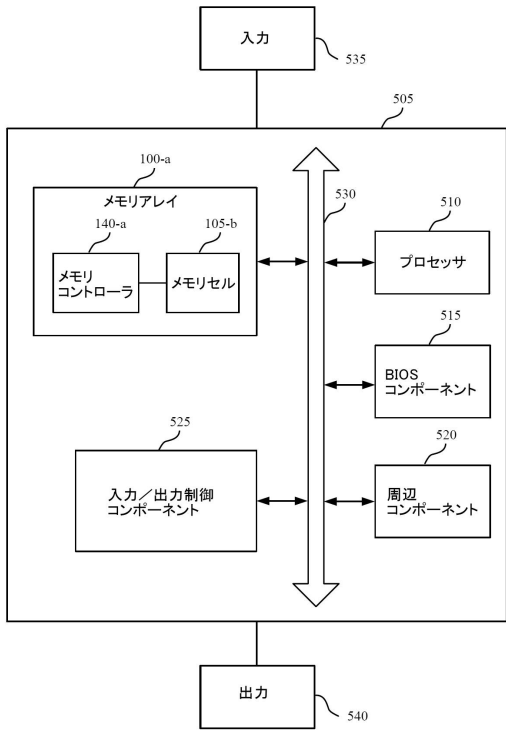


400

30

40

【図5】



10

20

500

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 1 0 B 63/10 (2023.01)

H 1 0 B 63/10

H 1 0 N 70/00 (2023.01)

H 1 0 N 70/00

A

クノロジー，インク．内

(72)発明者

エフ．ダニエル ギーリー

アメリカ合衆国，アイダホ州 8 3 7 1 6 9 6 3 2 ，ボイズ，サウス フェデラル ウェイ 8 0 0 0 ，マイクロン テクノロジー，インク．内

(72)発明者

エンリコ ヴァレーシ

アメリカ合衆国，アイダホ州 8 3 7 1 6 9 6 3 2 ，ボイズ，サウス フェデラル ウェイ 8 0 0 0 ，マイクロン テクノロジー，インク．内

(72)発明者

スワプニル エー．レンガーデ

アメリカ合衆国，アイダホ州 8 3 7 1 6 9 6 3 2 ，ボイズ，サウス フェデラル ウェイ 8 0 0 0 ，マイクロン テクノロジー，インク．内

合議体

審判長 池淵 立

審判官 井上 猛

審判官 土屋 知久

(56)参考文献

国際公開第 2 0 1 8 / 6 6 3 2 0 (W O , A 1)

米国特許出願公開第 2 0 1 5 / 3 8 3 1 4 (U S , A 1)

特表 2 0 0 1 - 5 1 4 1 4 8 (J P , A)

米国特許第 4 6 5 2 7 9 4 (U S , A)

特公昭 3 6 - 1 2 6 7 6 (J P , B 1)

特開 2 0 1 1 - 1 3 9 0 5 7 (J P , A)

米国特許第 9 6 1 3 6 7 6 (U S , B 1)

国際公開第 2 0 1 9 / 1 6 7 5 3 8 (W O , A 1)

国際公開第 2 0 1 8 / 2 0 0 3 1 2 (W O , A 1)

(58)調査した分野

(Int.Cl. , D B 名)

C03C 1/00-14/00

H01L 27/10-27/11597

H01L 21/8239

G11C 11/22

INTERGLAD