



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2014년04월21일  
 (11) 등록번호 10-1387203  
 (24) 등록일자 2014년04월14일

(51) 국제특허분류(Int. Cl.)  
 H03F 3/45 (2006.01) H03F 1/26 (2006.01)  
 (21) 출원번호 10-2012-0058291  
 (22) 출원일자 2012년05월31일  
 심사청구일자 2012년05월31일  
 (65) 공개번호 10-2013-0134641  
 (43) 공개일자 2013년12월10일  
 (56) 선행기술조사문헌  
 KR1020110028830 A  
 KR1020080045825 A

(73) 특허권자  
 삼성전기주식회사  
 경기도 수원시 영통구 매영로 150 (매탄동)  
 (72) 발명자  
 황현석  
 경기도 수원시 영통구 매영로 150 삼성전기  
 나유삼  
 경기도 수원시 영통구 매영로 150 삼성전기  
 (뒷면에 계속)  
 (74) 대리인  
 김창달

전체 청구항 수 : 총 13 항

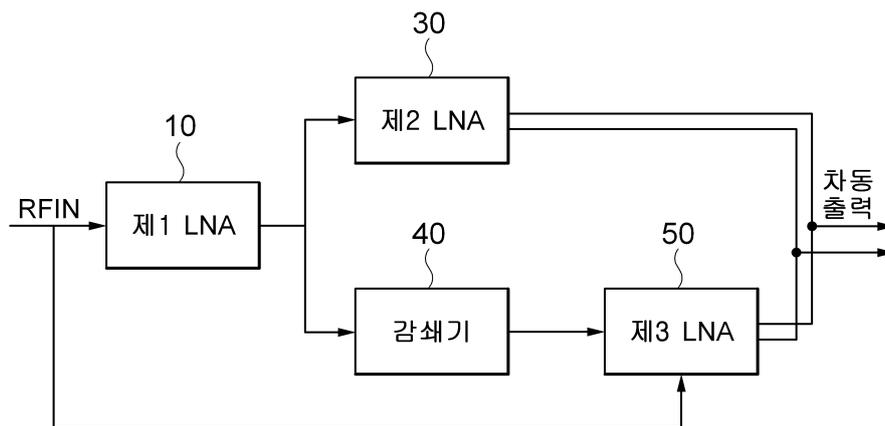
심사관 : 김남인

(54) 발명의 명칭 **광대역 저잡음 증폭기 및 그를 이용한 증폭 방법**

**(57) 요약**

본 발명은 광대역 저잡음 증폭기 및 그를 이용한 증폭 방법에 관한 것이다. 본 발명의 하나의 실시예에 따라, 단일의 RF신호를 입력받아 노이즈 특성(NF)을 개선하도록 증폭하는 제1 LNA; 고이득 모드 시 동작하되, 제1 LNA의 출력을 제1 입력으로 받고 제2 입력측은 제1 커패시터를 통해 그라운드에 연결되어, 고이득 모드 동작시 고이득으로 증폭하여 제1 차동신호를 출력하는 제2 LNA; 제1 LNA의 출력을 받아 감쇄하여 출력하는 감쇄부; 및 저이득 모드 시 동작하되, 감쇄부의 출력을 제3 입력으로 받고 단일의 RF신호를 제2 커패시터를 통해 제4 입력으로 받아, 저이득으로 차동 증폭하여 제2 차동신호를 출력하는 제3 LNA; 를 포함하는, 광대역 저잡음 증폭기가 제안된다. 또한, 그를 이용한 광대역 저잡음 증폭 방법이 제안된다.

**대표도** - 도1



(72) 발명자

**김규석**

경기도 수원시 영통구 매영로 150 삼성전기

**유현환**

경기도 수원시 영통구 매영로 150 삼성전기

**김유환**

경기도 수원시 영통구 매영로 150 삼성전기

**특허청구의 범위**

**청구항 1**

단일의 RF신호를 입력받아 노이즈 특성(NF)을 개선하도록 증폭하는 제1 LNA;

고이득 모드 시 동작하되, 상기 제1 LNA의 출력을 제1 입력으로 받고 제2 입력측은 제1 커패시터를 통해 그라운드에 연결되어, 상기 고이득 모드 동작시 고이득으로 증폭하여 제1 차동신호를 출력하는 제2 LNA;

상기 제1 LNA의 출력을 받아 감쇄하여 출력하는 감쇄부; 및

저이득 모드 시 동작하되, 상기 감쇄부의 출력을 제3 입력으로 받고 상기 단일의 RF신호를 제2 커패시터를 통해 제4 입력으로 받아, 저이득으로 차동 증폭하여 제2 차동신호를 출력하는 제3 LNA; 를 포함하는,

광대역 저잡음 증폭기.

**청구항 2**

청구항 1에 있어서,

상기 제3 LNA는 상기 저이득 모드 시 온-동작하여 상기 단일의 RF신호를 받아 상기 제2 커패시터를 통해 상기 제3 LNA의 제4 입력측으로 출력하는 제1 트랜지스터를 포함하는,

광대역 저잡음 증폭기.

**청구항 3**

청구항 1에 있어서,

상기 제1 LNA는 상기 단일의 RF신호를 공통 게이트신호로 입력받아 증폭하되 증폭된 신호를 게이트전극으로 피드백하는 피드백저항을 구비하는 인버터형 CMOS 증폭기를 포함하는,

광대역 저잡음 증폭기.

**청구항 4**

청구항 1에 있어서,

상기 제1 LNA는:

제1 바이어스 신호에 따라 온-동작하며 소스전극이 전원전압단(VDD)에 연결된 제1 PMOS 트랜지스터;

상기 제1 PMOS 트랜지스터에 캐스코드 연결되고 공통 게이트 신호로 상기 단일의 RF신호를 입력받고 출력단과 게이트전극 사이에 피드백저항이 구비된 인버터형 CMOS 증폭기; 및

드레인전극이 상기 전원전압단(VDD)에 연결되고 소스전극이 정전류원에 연결되어 상기 인버터형 CMOS 증폭기의 출력을 게이트신호로 받아 증폭하여 출력하는 제3 NMOS 트랜지스터; 를 포함하는,

광대역 저잡음 증폭기.

**청구항 5**

청구항 1에 있어서,

상기 제2 LNA는:

상기 고이득 모드 시 상기 제1 LNA의 출력을 게이트신호로 인가받아 증폭하는 제4 NMOS 트랜지스터;

제1 부하를 통해 전원전압단(VDD)과 드레인전극이 연결되고 상기 제4 NMOS 트랜지스터와 캐스코드 연결되어, 상기 고이득 모드 시 상기 제1 차동신호의 하나를 출력하는 제7 NMOS 트랜지스터;

게이트전극에 상기 제1 커패시터가 연결되고 상기 고이득 모드 시 온-동작하여 증폭하는 제5 NMOS 트랜지스터;

제2 부하를 통해 상기 전원전압단(VDD)과 드레인전극이 연결되고 상기 제5 NMOS 트랜지스터와 캐스코드 연결되어, 상기 고이득 모드 시 상기 제1 차동신호의 다른 하나를 출력하는 제8 NMOS 트랜지스터; 및

상기 고이득 모드 시 온-동작하되, 드레인전극이 상기 제4 및 제5 NMOS 트랜지스터의 소스전극과 연결되고 소스전극이 그라운드에 연결된 제6 NMOS 트랜지스터; 를 포함하는,

광대역 저잡음 증폭기.

### 청구항 6

청구항 5에 있어서,

상기 고이득 모드 시 상기 제4 및 제5 NMOS 트랜지스터의 게이트 전극들은 각각 바이어스 저항을 통해 제2 바이어스 신호를 인가받고,

저이득 모드 시 상기 제1 LNA의 출력 및 상기 제1 커패시터에 저장된 신호는 상기 제4 및 제5 NMOS 트랜지스터의 게이트 전극들에 연결된 상기 바이어스 저항을 통하여 그라운드로 빼내지는,

광대역 저잡음 증폭기.

### 청구항 7

청구항 1에 있어서,

상기 제3 LNA는:

드레인전극에 상기 제2 커패시터가 연결되고 상기 저이득 모드 시 온-동작하여 소스전극으로 상기 단일의 RF신호를 받아 상기 제2 커패시터로 전달하는 제1 NMOS 트랜지스터;

상기 저이득 모드 시 상기 감쇄부의 출력을 게이트신호로 인가받아 증폭하는 제9 NMOS 트랜지스터;

제1 부하를 통해 전원전압단(VDD)과 드레인전극이 연결되고 상기 제9 NMOS 트랜지스터와 캐스코드 연결되어, 상기 저이득 모드 시 상기 제2 차동신호의 하나를 출력하는 제12 NMOS 트랜지스터;

상기 저이득 모드 시 온-동작하되, 상기 제1 NMOS 트랜지스터로 입력된 상기 단일의 RF신호를 상기 제2 커패시터를 통해 게이트신호로 입력받아 증폭하는 제10 NMOS 트랜지스터;

제2 부하를 통해 상기 전원전압단(VDD)과 드레인전극이 연결되고 상기 제10 NMOS 트랜지스터와 캐스코드 연결되어, 상기 저이득 모드 시 상기 제2 차동신호의 다른 하나를 출력하는 제13 NMOS 트랜지스터; 및

상기 저이득 모드 시 온-동작하되, 드레인전극이 상기 제9 및 제10 NMOS 트랜지스터의 소스전극과 연결되고 소스전극이 그라운드에 연결된 제11 NMOS 트랜지스터; 를 포함하는,

광대역 저잡음 증폭기.

### 청구항 8

청구항 7에 있어서,

상기 저이득 모드 시 상기 제9 및 제10 NMOS 트랜지스터의 게이트 전극들은 각각 바이어스 저항을 통해 제3 바이어스 신호를 인가받고,

고이득 모드 시 상기 감쇄부의 출력 및 상기 제2 커패시터에 저장된 신호는 상기 제9 및 제10 NMOS 트랜지스터의 게이트 전극들에 연결된 상기 바이어스 저항을 통하여 그라운드로 빼내지는, 광대역 저잡음 증폭기.

**청구항 9**

청구항 1 내지 8 중의 어느 하나에 있어서,  
 상기 고이득 모드에 따른 상기 제1 차동신호 또는 상기 저이득 모드에 따른 상기 제2 차동신호를 입력받아 증폭하여 차동증폭신호를 출력하는 차동증폭부를 더 포함하는,  
 광대역 저잡음 증폭기.

**청구항 10**

청구항 9에 있어서,  
 상기 차동증폭부는:  
 전원전압단(VDD)에 드레인전극이 연결되고 소스전극에 정전류원이 연결되되, 상기 고이득 모드에 따른 상기 제1 차동신호 중의 하나 또는 상기 저이득 모드에 따른 상기 제2 차동신호 중의 하나를 게이트신호로 입력받아 증폭하여 상기 차동증폭신호의 하나를 출력하는 제14 NMOS 트랜지스터; 및  
 상기 전원전압단(VDD)에 드레인전극이 연결되고 소스전극에 정전류원이 연결되되, 상기 고이득 모드에 따른 상기 제1 차동신호 중의 다른 하나 또는 상기 저이득 모드에 따른 상기 제2 차동신호 중의 다른 하나를 게이트신호로 입력받아 증폭하여 상기 차동증폭신호의 다른 하나를 출력하는 제15 NMOS 트랜지스터; 를 포함하는,  
 광대역 저잡음 증폭기.

**청구항 11**

제1 LNA에서 단일의 RF신호를 입력받아 노이즈 특성(NF)을 개선하도록 증폭하는 제1 증폭단계;  
 상기 단일의 RF신호가 약한 신호인지 강한 신호인지 판단하여, 약한 신호인 경우 고이득 모드로 동작하며, 제2 LNA에서 상기 제1 LNA의 출력을 제1 입력으로 받고 제2 입력측은 제1 커패시터를 통해 그라운드에 연결되어, 고이득으로 증폭하여 제1 차동신호를 출력하는 고이득 증폭단계;  
 상기 단일의 RF신호가 강한 신호인 경우 저이득 모드로 동작하며 상기 제1 LNA의 출력을 받아 감쇄하여 출력하는 감쇄단계; 및  
 상기 저이득 모드 시, 제3 LNA에서 상기 감쇄단계의 출력을 제3 입력으로 받고 상기 단일의 RF신호를 제2 커패시터를 통해 제4 입력으로 받아, 저이득으로 차동 증폭하여 제2 차동신호를 출력하는 저이득 증폭단계; 를 포함하는,  
 광대역 저잡음 증폭 방법.

**청구항 12**

청구항 11에 있어서,  
 상기 저이득 증폭단계는 제1 트랜지스터에서 상기 저이득 모드 시 온-동작하여 상기 단일의 RF신호를 받아 상기 제2 커패시터를 통해 상기 제3 LNA의 제4 입력측으로 출력하는 단계를 포함하는,

광대역 저잡음 증폭 방법.

**청구항 13**

청구항 11 또는 청구항 12에 있어서,

상기 고이득 증폭단계에서의 상기 제1 차동신호 또는 상기 저이득 증폭단계에서의 상기 제2 차동신호를 입력받아 증폭하여 차동증폭신호를 출력하는 차동 증폭단계를 더 포함하는,

광대역 저잡음 증폭 방법.

**명세서**

**기술분야**

[0001] 본 발명은 광대역 저잡음 증폭기 및 그를 이용한 증폭 방법에 관한 것이다. 구체적으로는 IIP2 선형성이 개선된 광대역 저잡음 증폭기 및 그를 이용한 증폭 방법에 관한 것이다.

**배경기술**

[0002] 하나의 무선 통신 칩으로 다양한 응용 분야(DMB, GPS, GSM, WCDMA 등등)에 이용할 수 있도록 하는 노력이 끊임 없이 이루어 지고 있으며, 이들 응용분야는 각각의 주파수 밴드와 규격이 존재한다. 다양한 주파수 특성을 커버하기 위해서는 우선 광대역의 수신기 설계가 중요하게 된다. 위성방송 수신기(DVB)나, UWB 같은 경우는 1GHz가 넘는 주파수 대역폭을 가지고 있어 광대역 수신기 설계를 적용하고 있다.

[0003] 넓은 주파수를 커버하기 위해 각 응용분야만 커버할 수 있는 LNA를 여러 개 사용하게 된다면, 소비전력과 면적에서 별로 효율적이지 못하다. 광대역 특성을 만족하는 수신기 구조를 설계하게 되면 무엇보다 광대역의 LNA의 구조가 중요하게 되며 노이즈 성능과 함께 하모닉 왜곡(harmonic distortion)에 의한 왜곡 성능을 만족하여야 한다.

[0004] 협대역의 응용분야에서는 3차 하모닉에 의한 특성을 중요하게 여기지만, 광대역이 되면 2차 하모닉에 의해 왜곡이 생기게 되며 이 또한 어느 레벨 이하의 특성을 갖도록 요구된다.

[0005] 도 4a를 참조하면, 협대역에서는 2C-D와 같은 인접 신호에 의해서만 왜곡이 발생하지만, 광대역에서는 A+E-B의 인밴드(in band) 신호들의 조합에 의해 다른 3차 왜곡 현상이 나타난다.

[0006] 도 4b를 참조하면, 도 4b와 같이 2차 왜곡 특성은 광대역 신호에서만 나타나는 왜곡 특성이다. 예를 들어 950~2150MHz의 주파수 특성을 갖는 위성방송 수신기의 경우, 1027MHz와 1028MHz의 주파수의 신호가 믹싱(Mixing)되어 2055MHz에 나타나게 되는데, 이 신호의 레벨이 수십 dBc 이하가 되도록 요구한다.

[0007] 광대역 수신기 구조에서, 저잡음 증폭기(LNA)는 안테나 다음에 위치하게 되며, 디모듈레이터(Demodulator)에 신호를 전달하기 위해 노이즈를 최대한 억제하며 신호를 증폭하게 된다. 이때, 저잡음 증폭기는 RF자동이득제어회로(RFAGC)나 믹서(Mixer) 등의 회로와 연결되면서 차동 출력을 갖도록 설계하는 경우가 많다.

[0008] 싱글-투-디퍼렌셜(Single to differential) LNA를 구현하는 세가지 방법을 살펴본다.

[0009] 첫번째 방법으로, 트랜스미터(Transformer)를 안테나 다음에 삽입하여 차동(differential) 구조를 구현하는 방법인데, 트랜스미터 자체의 사이즈가 커서 일반적으로 회로 내부에 구현하기 힘들다. 이 경우 하모닉 왜곡과 잡음 특성을 살펴보면, 전반적인 특성이 우수하지만, 벌키(bulky) 소자를 사용하게 되어 소형화와 집적화하기에 한계가 있다.

[0010] 두번째 방법으로는, 싱글입력-차동출력의 LNA를 구현하는 것이다. 저잡음 특성과 함께 차동 구조를 갖는다. 이

때, 공통 게이트(CG) 회로를 입력에 사용하는 경우 NF 특성이 보통 2dB 이상으로 높은 저잡음 특성을 요구하는 경우에는 사용하기 힘들다. 한편, 차동 입력의 한 쪽을 그라운드 처리하여 의사 차동(pseudo differential) 동작을 하도록 하는 경우, 보통 OP 앰프에서 구현하며, CMRR(Common Mode Rejection Ratio) 문제로 인해 노이즈 특성이나, 선형성(linearity) 특성이 좋지 않다. 이러한 두번째 방법은 NF 특성이 좋지 않다. 저잡음 증폭기의 특성상 NF의 요구조건이 높지 않은 회로에 응용될 수 있다.

[0011] 세번째 방법으로는, 저잡음 특성이 좋은 싱글타입 LNA를 싱글-투-디퍼렌셜(single to differential) LNA 앞에 놓아서 저잡음 특성과 차동(differential) 특성을 동시에 만족하는 구조이다. 이 경우 광대역 싱글-투-디퍼렌셜(single to differential) LNA 구조에 적합한 구조이지만, 초단 LNA의 선형성 특성의 한계로 하모닉 왜곡(harmonic distortion)에 취약하다.

[0012] 일반적으로 하모닉에 의한 왜곡현상에 대해 고려해야 하는 경우는 입력 파워가 높을 때이다. 이 경우 디모듈레이터가 원하는 레벨의 출력을 내기 위해서는 상대적으로 이득을 낮춰 하모닉 왜곡에 대한 마진을 확보해야 한다. 저잡음 특성이 요구되는 경우는 이와 반대로 입력 파워가 낮은 경우이다. 이 경우 신호를 증폭하게 되면, 노이즈도 같이 증폭하게 되므로 최대한 노이즈 성분을 억제하며 증폭해야 한다.

[0013] 전술한 싱글-투-디퍼렌셜(Single to differential) LNA를 구현하는 두번째 방법의 발전된 구조로 입력 파워에 따라 이득모드(Gain mode)를 변경하여 하모닉 특성과 NF 특성을 만족하는 한가지 방법이 있다. 이 방법은 고이득 모드(High gain mode) 동작시에는 RF 입력신호를 병렬로 입력받으며 저이득모드에서 동작하는 제2 LNA가 동작하지 않으며, RF 입력신호를 제2 LNA와 병렬로 입력받으며 고이득 모드에서 동작하는 제1 LNA만이 동작하고 노이즈를 억제하며 증폭하게 된다. 반대로, 저이득 모드(Low gain mode)에서는 고이득 모드에서 동작하는 제1 LNA이 오프되며 감쇄기를 통해 입력 레벨을 줄이고 감쇄기에서 입력레벨이 감소되어 제2 LNA에서 저이득으로 증폭하게 된다. 이때, RF 입력신호에 병렬로 연결된 제1 및 제2 LNA는 전술한 싱글-투-디퍼렌셜(Single to differential) LNA를 구현하는 두번째 방법에 따른 구조를 이용하게 된다. 따라서 앞서 설명한 대로 구조적인 특성상 NF 특성이 좋지 않으며, 2차 하모닉에 대해서는 고려되어 있지 않다.

**선행기술문헌**

**특허문헌**

- [0014] (특허문헌 0001) 미국 공개특허공보 US2006103468(2006년 5월 18일 공개)
- (특허문헌 0002) 대한민국 공개특허공보 제10-2006-0046963호(2006년 5월 18일 공개)

**발명의 내용**

**해결하려는 과제**

[0015] 본 발명은 전술한 문제를 해결하기 위한 것으로, 노이즈 특성을 유지하면서 2차 하모닉 신호의 왜곡을 개선할 수 있는 광대역 저잡음 증폭기 및 그 증폭 방법을 제안하고자 한다.

[0016]

**과제의 해결 수단**

[0017] 전술한 문제를 해결하기 위하여, 본 발명의 제1 실시예에 따라, 단일의 RF신호를 입력받아 노이즈 특성(NF)을 개선하도록 증폭하는 제1 LNA; 고이득 모드 시 동작하되, 제1 LNA의 출력을 제1 입력으로 받고 제2 입력측은 제1 커패시터를 통해 그라운드에 연결되어, 고이득 모드 동작시 고이득으로 증폭하여 제1 차동신호를 출력하는 제2 LNA; 제1 LNA의 출력을 받아 감쇄하여 출력하는 감쇄부; 및 저이득 모드 시 동작하되, 감쇄부의 출력을 제3 입력으로 받고 단일의 RF신호를 제2 커패시터를 통해 제4 입력으로 받아, 저이득으로 차동 증폭하여 제2 차동신호를 출력하는 제3 LNA; 를 포함하는, 광대역 저잡음 증폭기가 제안된다.

- [0018] 또한, 하나의 예에서, 제3 LNA는 저이득 모드 시 온-동작하여 단일의 RF신호를 받아 제2 커패시터를 통해 제3 LNA의 제4 입력측으로 출력하는 제1 트랜지스터를 포함할 수 있다.
- [0019] 또 하나의 예에 따르면, 제1 LNA는 단일의 RF신호를 공통 게이트신호로 입력받아 증폭하되 증폭된 신호를 게이트전극으로 피드백하는 피드백저항을 구비하는 인버터형 CMOS 증폭기를 포함할 수 있다.
- [0020] 또한, 하나의 예에 있어서, 제1 LNA는: 제1 바이어스 신호에 따라 온-동작하며 소스전극이 전원전압단(VDD)에 연결된 제1 PMOS 트랜지스터; 제1 PMOS 트랜지스터에 캐스코드 연결되고 공통 게이트 신호로 단일의 RF신호를 입력받고 출력단과 게이트전극 사이에 피드백저항이 구비된 인버터형 CMOS 증폭기; 및 드레인전극이 전원전압단(VDD)에 연결되고 소스전극이 정전류원에 연결되어 인버터형 CMOS 증폭기의 출력을 게이트신호로 받아 증폭하여 출력하는 제3 NMOS 트랜지스터; 를 포함할 수 있다.
- [0021] 또 하나의 예에 있어서, 제2 LNA는: 고이득 모드 시 제1 LNA의 출력을 게이트신호로 인가받아 증폭하는 제4 NMOS 트랜지스터; 제1 부하를 통해 전원전압단(VDD)과 드레인전극이 연결되고 제4 NMOS 트랜지스터와 캐스코드 연결되어, 고이득 모드 시 제1 차동신호의 하나를 출력하는 제7 NMOS 트랜지스터; 게이트전극에 제1 커패시터가 연결되고 고이득 모드 시 온-동작하여 증폭하는 제5 NMOS 트랜지스터; 제2 부하를 통해 전원전압단(VDD)과 드레인전극이 연결되고 제5 NMOS 트랜지스터와 캐스코드 연결되어, 고이득 모드 시 제1 차동신호의 다른 하나를 출력하는 제8 NMOS 트랜지스터; 및 고이득 모드 시 온-동작하되, 드레인전극이 제4 및 제5 NMOS 트랜지스터의 소스전극과 연결되고 소스전극이 그라운드에 연결된 제6 NMOS 트랜지스터; 를 포함할 수 있다.
- [0022] 이때, 고이득 모드 시 제4 및 제5 NMOS 트랜지스터의 게이트 전극들은 각각 바이어스 저항을 통해 제2 바이어스 신호를 인가받고, 저이득 모드 시 제1 LNA의 출력 및 제1 커패시터에 저장된 신호는 제4 및 제5 NMOS 트랜지스터의 게이트 전극들에 연결된 바이어스 저항을 통하여 그라운드로 빼낼 수 있다.
- [0023] 또한, 하나의 예에 있어서, 제3 LNA는: 드레인전극에 제2 커패시터가 연결되고 저이득 모드 시 온-동작하여 소스전극으로 단일의 RF신호를 받아 제2 커패시터로 전달하는 제1 NMOS 트랜지스터; 저이득 모드 시 감쇄부의 출력을 게이트신호로 인가받아 증폭하는 제9 NMOS 트랜지스터; 제1 부하를 통해 전원전압단(VDD)과 드레인전극이 연결되고 제9 NMOS 트랜지스터와 캐스코드 연결되어, 저이득 모드 시 제2 차동신호의 하나를 출력하는 제12 NMOS 트랜지스터; 저이득 모드 시 온-동작하되, 제1 NMOS 트랜지스터로 입력된 단일의 RF신호를 제2 커패시터를 통해 게이트신호로 입력받아 증폭하는 제10 NMOS 트랜지스터; 제2 부하를 통해 전원전압단(VDD)과 드레인전극이 연결되고 제10 NMOS 트랜지스터와 캐스코드 연결되어, 저이득 모드 시 제2 차동신호의 다른 하나를 출력하는 제13 NMOS 트랜지스터; 및 저이득 모드 시 온-동작하되, 드레인전극이 제9 및 제10 NMOS 트랜지스터의 소스전극과 연결되고 소스전극이 그라운드에 연결된 제11 NMOS 트랜지스터; 를 포함할 수 있다.
- [0024] 이때, 저이득 모드 시 제9 및 제10 NMOS 트랜지스터의 게이트 전극들은 각각 바이어스 저항을 통해 제3 바이어스 신호를 인가받고, 고이득 모드 시 감쇄부의 출력 및 제2 커패시터에 저장된 신호는 제9 및 제10 NMOS 트랜지스터의 게이트 전극들에 연결된 바이어스 저항을 통하여 그라운드로 빼낼 수 있다.
- [0025] 또 하나의 예에 있어서, 고이득 모드에 따른 제1 차동신호 또는 저이득 모드에 따른 제2 차동신호를 입력받아 증폭하여 차동증폭신호를 출력하는 차동증폭부를 더 포함할 수 있다.
- [0026] 이때, 차동증폭부는: 전원전압단(VDD)에 드레인전극이 연결되고 소스전극에 정전류원이 연결되되, 고이득 모드에 따른 제1 차동신호 중의 하나 또는 저이득 모드에 따른 제2 차동신호 중의 하나를 게이트신호로 입력받아 증폭하여 차동증폭신호의 하나를 출력하는 제14 NMOS 트랜지스터; 및 전원전압단(VDD)에 드레인전극이 연결되고 소스전극에 정전류원이 연결되되, 고이득 모드에 따른 제1 차동신호 중의 다른 하나 또는 저이득 모드에 따른 제2 차동신호 중의 다른 하나를 게이트신호로 입력받아 증폭하여 차동증폭신호의 다른 하나를 출력하는 제15 NMOS 트랜지스터; 를 포함할 수 있다.

[0027] 다음으로, 전술한 문제를 해결하기 위하여, 본 발명의 제2 실시예에 따라, 제1 LNA에서 단일의 RF신호를 입력받아 노이즈 특성(NF)을 개선하도록 증폭하는 제1 증폭단계; 단일의 RF신호가 약한 신호인지 강한 신호인지 판단하여, 약한 신호인 경우 고이득 모드로 동작하며, 제2 LNA에서 제1 LNA의 출력을 제1 입력으로 받고 제2 입력측은 제1 커패시터를 통해 그라운드에 연결되어, 고이득으로 증폭하여 제1 차동신호를 출력하는 고이득 증폭단계; 단일의 RF신호가 강한 신호인 경우 저이득 모드로 동작하며 제1 LNA의 출력을 받아 감쇄하여 출력하는 감쇄단계; 및 저이득 모드 시, 제3 LNA에서 감쇄단계의 출력을 제3 입력으로 받고 단일의 RF신호를 제2 커패시터를 통해 제4 입력으로 받아, 저이득으로 차동 증폭하여 제2 차동신호를 출력하는 저이득 증폭단계; 를 포함하는, 광대역 저잡음 증폭 방법이 제안된다.

[0028] 또 하나의 예에서, 저이득 증폭단계는 제1 트랜지스터에서 저이득 모드 시 온-동작하여 단일의 RF신호를 받아 제2 커패시터를 통해 제3 LNA의 제4 입력측으로 출력하는 단계를 포함할 수 있다.

[0029] 또한, 하나의 예에 있어서, 고이득 증폭단계에서의 제1 차동신호 또는 저이득 증폭단계에서의 제2 차동신호를 입력받아 증폭하여 차동증폭신호를 출력하는 차동 증폭단계를 더 포함할 수 있다.

**발명의 효과**

[0030] 본 발명의 실시예에 따라, 노이즈 특성을 유지하면서 2차 하모닉 신호의 왜곡을 개선할 수 있다.

[0031] 즉, 고이득 모드에서는 충분히 낮은 노이즈특성(NF, Noise figure)을, 저이득모드에서는 IIP2 특성을 만족하여 광대역에 적합한 LNA를 구현할 수 있고, NF 특성과 선형성 특성을 만족할 수 있다.

[0032] 본 발명의 다양한 실시예에 따라 직접적으로 언급되지 않은 다양한 효과들이 본 발명의 실시예들에 따른 다양한 구성들로부터 당해 기술분야에서 통상의 지식을 지닌 자에 의해 도출될 수 있음은 자명하다.

**도면의 간단한 설명**

- [0033] 도 1은 본 발명의 하나의 실시예에 따른 광대역 저잡음 증폭기를 개략적으로 나타낸 블럭도이다.
- 도 2는 본 발명의 또 하나의 실시예에 따른 광대역 저잡음 증폭기를 개략적으로 나타낸 회로도이다.
- 도 3a는 도 2에 따른 광대역 저잡음 증폭기의 고이득 모드 시의 동작 상태를 개략적으로 나타낸 회로도이다.
- 도 3b는 도 2에 따른 광대역 저잡음 증폭기의 저이득 모드 시의 동작 상태를 개략적으로 나타낸 회로도이다.
- 도 4a는 3차 하모닉 신호에 의한 왜곡을 설명하는 도면이다.
- 도 4b는 2차 하모닉 신호에 의한 왜곡을 설명하는 도면이다.
- 도 5a는 본 발명의 하나의 실시예에 따른 광대역 저잡음 증폭기와 비교예의 S 파라미터 이득의 비교를 나타내는 그래프이다.
- 도 5b는 본 발명의 하나의 실시예에 따른 광대역 저잡음 증폭기와 비교예의 NF 특성의 비교를 나타내는 그래프이다.
- 도 6a는 본 발명의 하나의 실시예에 따른 광대역 저잡음 증폭기의 IIP2의 시뮬레이션 결과를 나타내는 그래프이다.
- 도 6b는 비교예에 따른 광대역 저잡음 증폭기의 IIP2의 시뮬레이션 결과를 나타내는 그래프이다.
- 도 7은 본 발명의 다른 하나의 실시예에 따른 광대역 저잡음 증폭 방법을 개략적으로 나타내는 흐름도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0034]    전술한 과제를 달성하기 위한 본 발명의 실시예들이 첨부된 도면을 참조하여 설명될 것이다. 본 설명에 있어서, 동일부호는 동일한 구성을 의미하고, 당해 분야의 통상의 지식을 가진 자에게 본 발명의 이해를 도모하기 위하여 부차적인 설명은 생략될 수도 있다.
- [0035]    본 명세서에서 하나의 구성요소가 다른 구성요소와 연결, 결합 또는 배치 관계에서 '직접'이라는 한정 없이, '직접 연결, 결합 또는 배치'되는 형태뿐만 아니라 그들 사이에 또 다른 구성요소가 개재됨으로써 연결, 결합 또는 배치되는 형태로도 존재할 수 있다.
- [0036]    본 명세서에 비록 단수적 표현이 기재되어 있을지라도, 발명의 개념에 반하거나 명백히 다르거나 모순되게 해석되지 않는 이상 복수의 구성 전체를 대표하는 개념으로 사용될 수 있음에 유의하여야 한다. 본 명세서에서 '포함하는', '갖는', '구비하는', '포함하여 이루어지는' 등의 기재는 하나 또는 그 이상의 다른 구성요소 또는 그들의 조합의 존재 또는 부가 가능성이 있는 것으로 이해되어야 한다.
- [0037]    또한, 본 명세서에서 구성요소들에 부가된 제1, 제2 등의 한정어구는 유사한 구성요소들을 구분하기 위한 것이지, 해당 구성요소의 순서나 수량을 한정하기 위한 것이 아니다.
- [0038]    우선, 본 발명의 제1 실시예에 따른 광대역 저잡음 증폭기를 도면을 참조하여 구체적으로 살펴본다. 이때, 참조되는 도면에 기재되지 않은 도면부호는 동일한 구성을 나타내는 다른 도면에서의 도면부호일 수 있다.
- [0039]    도 1은 본 발명의 하나의 실시예에 따른 광대역 저잡음 증폭기를 개략적으로 나타낸 블록도이고, 도 2는 본 발명의 또 하나의 실시예에 따른 광대역 저잡음 증폭기를 개략적으로 나타낸 회로도이고, 도 3a는 도 2에 따른 광대역 저잡음 증폭기의 고이득 모드 시의 동작 상태를 개략적으로 나타낸 회로도이고, 도 3b는 도 2에 따른 광대역 저잡음 증폭기의 저이득 모드 시의 동작 상태를 개략적으로 나타낸 회로도이다. 도 4a는 3차 하모닉 신호에 의한 왜곡을 설명하는 도면이고, 도 4b는 2차 하모닉 신호에 의한 왜곡을 설명하는 도면이다. 도 5a는 본 발명의 하나의 실시예에 따른 광대역 저잡음 증폭기와 비교예의 S 파라미터 이득의 비교를 나타내는 그래프이고, 도 5b는 본 발명의 하나의 실시예에 따른 광대역 저잡음 증폭기와 비교예의 NF 특성의 비교를 나타내는 그래프이다. 도 6a는 본 발명의 하나의 실시예에 따른 광대역 저잡음 증폭기의 IIP2의 시뮬레이션 결과를 나타내는 그래프이고, 도 6b는 비교예에 따른 광대역 저잡음 증폭기의 IIP2의 시뮬레이션 결과를 나타내는 그래프이다.
- [0040]    도 1을 참조하면, 하나의 예에 따른 광대역 저잡음 증폭기(LNA)는 제1 LNA(10), 제2 LNA(30), 감쇄부(40) 및 제3 LNA(50)를 포함하여 이루어진다.
- [0041]    도 1에서, 제1 LNA(10)는 단일의 RF신호를 입력받아 노이즈 특성(NF)을 개선하도록 증폭한다. 예컨대, 제1 LNA(10)는 인버터 타입으로 구현되며, 싱글입력-싱글출력 구조를 갖는다. 제1 LNA(10)는 노이즈 특성을 가능한 크게 향상하도록 설계될 수 있다.
- [0042]    이때, RF신호가 약한 신호인지 강한 신호인지 판단하게 된다. 만일, RF신호가 약한 신호이면 고이득 증폭을 위해 고이득 모드가 수행되어 다음의 제2 LNA(30)가 동작하고, RF신호가 강한 신호이면 저이득 증폭을 위해 저이득 모드가 수행되어 다음의 제3 LNA(50)가 동작하게 된다.
- [0043]    이때, 도 2를 참조하여 하나의 예를 살펴보면, 제1 LNA(10)는 단일의 RF신호를 공통 게이트신호로 입력받아 증폭되 증폭된 신호를 게이트전극으로 피드백하는 피드백저항을 구비하는 인버터형 CMOS 증폭기(12)를 포함할 수 있다.
- [0044]    도 2, 3a 및 3b를 참조하여, 더 구체적으로 살펴본다. 하나의 예에 있어서, 제1 LNA(10)는 제1 PMOS 트랜지스터(11), 인버터형 CMOS 증폭기(12) 및 제3 NMOS 트랜지스터(N3)(13)를 포함할 수 있다. 이때, 제1 PMOS 트랜지스터(P1)(11)는 제1 바이어스 신호에 따라 온-동작하며 소스전극이 전원전압단(VDD)에 연결되고, 소스전극에 인버

터형 CMOS 증폭기(12)가 캐스코드 연결된다.

- [0045] 인버터형 CMOS 증폭기(12)는 제1 PMOS 트랜지스터(P1)(11)에 캐스코드 연결되고 공통 게이트 신호로 단일의 RF 신호를 입력받는다. 인버터형 CMOS 증폭기(12)는 제1 PMOS 트랜지스터(P1)(11)에 제2 PMOS 트랜지스터(P2)(121)가 캐스코드 연결되고, 제2 PMOS 트랜지스터(P2)(121)의 드레인전극에 제2 NMOS 트랜지스터(N2)(123)의 드레인전극이 연결된다. 이때, 인버터형 CMOS 증폭기(12)의 출력단, 즉, 제2 PMOS 트랜지스터(P2)(121)와 제2 NMOS 트랜지스터(N2)(123)의 연결노드와 제2 PMOS 트랜지스터(P2)(121)와 제2 NMOS 트랜지스터(N2)(123)의 게이트전극 사이에 피드백저항(Rf)(125)이 구비된다. 단일의 RF신호는 인버터형 CMOS 증폭기(12)의 게이트전극으로 입력되어 증폭되어 출력단에서 출력된다.
- [0046] 제3 NMOS 트랜지스터(N3)(13)는 드레인전극이 전원전압단(VDD)에 연결되고 소스전극이 정전류원에 연결되어 인버터형 CMOS 증폭기(12)의 출력을 게이트신호로 입력 받는다. 제3 NMOS 트랜지스터(N3)(13)는 인버터형 CMOS 증폭기(12)의 출력을 입력받아 증폭하여 출력한다.
- [0047] 다음으로, 도 1의 제2 LNA(30)는 고이득 모드 시 동작한다. 제2 LNA(30)는 제1 LNA(10)의 출력을 제1 입력으로 받고 제2 입력측은 제1 커패시터(C1)(35)를 통해 그라운드에 연결되어 있다. 이에 따라, 제2 LNA(30)는 고이득 모드 동작시 제1 입력 및 제2 입력을 고이득으로 증폭하여 제1 차동신호를 출력한다.
- [0048] 이때, 예컨대, 도 2와 같은 구성을 통해, 고이득 모드에서는 제3 LNA(50)의 제1 트랜지스터(51)인 제1 NMOS 트랜지스터(N1)(51)가 동작하지 않고 제2 LNA(30)만 동작하므로, 입력 노이즈 특성에 영향을 줄일 수 있다.
- [0049] 이때, 도 2 및 3a를 참조하여 구체적으로 살펴본다. 하나의 예에서, 제2 LNA(30)는 제4 NMOS 트랜지스터(N4)(32), 제5 NMOS 트랜지스터(N5)(33) 및 제6 NMOS 트랜지스터(N6)(34)를 포함하여 이루어질 수 있다. 이때, 제4 NMOS 트랜지스터(N4)(32)는 고이득 모드 시 동작하며 제1 LNA(10)의 출력을 게이트신호로 인가받아 증폭한다. 구체적으로 제4 NMOS 트랜지스터(N4)(32)는 제1 LNA(10)의 제3 NMOS 트랜지스터(N3)(13)의 출력을 게이트전극에서 입력받는다. 또한, 도 2 및 3a를 참조하면, 제4 NMOS 트랜지스터(N4)(32)의 드레인전극과 게이트전극은 피드백부하로 연결될 수 있다. 이때, 제4 NMOS 트랜지스터(N4)(32)의 드레인전극과 게이트전극 사이의 피드백 부하는 커패시터(C3)와 저항(R3)의 직렬 연결일 수 있다. 피드백 회로를 이용하여 약간의 이득 감소를 통해 안정성과 주파수 특성을 확보할 수 있다.
- [0050] 도 2 및 3a에서, 제5 NMOS 트랜지스터(N5)(33)는 게이트전극에 제1 커패시터(C1)(35)가 연결되되 고이득 모드 시 온-동작하여 증폭한다. 이때, 제5 NMOS 트랜지스터(N5)(33)의 게이트 전극은 제1 커패시터(C1)(35)를 통해 그라운드에 연결된다. 이에 따라, 제4 NMOS 트랜지스터(N4)(32)와 제5 NMOS 트랜지스터(N5)(33)는 의사(pseudo) 차동증폭회로를 구성한다. 또한, 도 2 및 3a를 참조하면, 제5 NMOS 트랜지스터(N5)(33)의 드레인전극과 게이트전극은 피드백부하로 연결될 수 있다. 이때, 제5 NMOS 트랜지스터(N5)(33)의 드레인전극과 게이트전극 사이의 피드백 부하는 커패시터(C4)와 저항(R4)의 직렬 연결일 수 있다.
- [0051] 다음으로, 제6 NMOS 트랜지스터(N6)(34)는 고이득 모드 시 온-동작하며 드레인전극이 제4 및 제5 NMOS 트랜지스터(N4, N5)(32, 33)의 소스전극과 연결되고 소스전극이 그라운드에 연결된다.
- [0052] 이때, 도 2 및 3a를 참조하면, 하나의 예에서, 고이득 모드 시 제4 및 제5 NMOS 트랜지스터(N4, N5)(32, 33)의 게이트 전극들은 각각 바이어스 저항(R1, R2)을 통해 제2 바이어스 신호를 인가받는다. 저이득 모드 시에는, 제4 NMOS 트랜지스터(N4)(32)의 게이트 전극로 인가되던 제2 바이어스 신호가 차단되고, 제1 LNA(10)의 출력은 제4 NMOS 트랜지스터(N4)(32)의 게이트전극과 연결된 바이어스 저항(R1)을 통해 그라운드로 빠져나간다. 이에 따라, 제4 NMOS 트랜지스터(N4)(32)는 오프-동작한다. 또한, 저이득 모드 시, 제5 NMOS 트랜지스터(N5)(33)의 게이트 전극로 인가되던 제2 바이어스 신호가 차단되고, 제5 NMOS 트랜지스터(N5)(33)의 게이트 전극에 연결된 제1 커패시터(C1)(35)에 저장된 신호는 제5 NMOS 트랜지스터(N5)(33)의 게이트 전극에 연결된 바이어스 저항(R2)을 통하여 그라운드로 빠져나간다. 이에 따라, 제5 NMOS 트랜지스터(N5)(33)는 오프-동작한다.
- [0053] 도 2 및 3a를 참조하여, 제2 LNA(30)를 더 구체적으로 살펴본다. 제2 LNA(30)는 제7 NMOS 트랜지스터(N7)(36) 및 제8 NMOS 트랜지스터(N8)(37)를 더 포함할 수 있다. 이때, 제7 NMOS 트랜지스터(N7)(36)는 제1 부하(인덕터 L1과 저항 R9의 직렬 부하)를 통해 전원전압단(VDD)과 드레인전극이 연결되고 제4 NMOS 트랜지스터(N4)(32)와

캐스코드 연결되어 있다. 이때, 제7 NMOS 트랜지스터(N7)(36)는 고이득 모드 시 제4 NMOS 트랜지스터(N4)(32)와 함께 캐스코드 증폭하여 제1 차동신호의 하나를 출력할 수 있다. 제2 LNA(30)는 예컨대, 일반적인 캐스코드 특성을 이용한 차동 증폭기로, 캐스코드 회로를 이용하여 출력신호가 입력 특성에 영향을 미치는 효과를 줄여서, 모드 전환시 생기는 미스매치(mismatch)를 줄일 수 있다.

[0054] 도 2 및 3a에서, 제8 NMOS 트랜지스터(N8)(37)는 제2 부하(인덕터 L2와 저항 R10의 직렬 부하)를 통해 전원전압단(VDD)과 드레인전극이 연결되고 제5 NMOS 트랜지스터(N5)(33)와 캐스코드 연결되어 있다. 이때, 제8 NMOS 트랜지스터(N8)(37)는 고이득 모드 시 동작하며 제5 NMOS 트랜지스터(N5)(33)와 함께 캐스코드 증폭하여 제1 차동신호의 다른 하나를 출력할 수 있다.

[0055] 이때, 도 2 및 3a를 참조하면, 제2 LNA(30)와 다음의 제2 LNA(30)는 전원전압단(VDD)과 사이에서 부하를 같이 공유하도록 되어 있다.

[0056] 계속하여, 도 1, 2 및 3b를 참조하여 감쇄부(40)를 살펴본다. 도 1, 2 및 3b의 감쇄부(40)는 제1 LNA(10)의 출력을 받아 감쇄하여 출력한다. 감쇄부(40)는 예컨대 저이득 모드 시에 동작하며 제1 LNA(10)의 출력을 받아 감쇄한다.

[0057] 그리고, 도 1의 제3 LNA(50)는 저이득 모드 시 동작한다. 제3 LNA(50)는 감쇄부(40)의 출력을 제3 입력으로 받고 단일의 RF신호를 제2 커패시터(C2)(55)를 통해 제4 입력으로 받는다. 이에 따라, 제3 LNA(50)는 제3 입력 및 제4 입력을 저이득으로 차동 증폭하여 제2 차동신호를 출력한다. 제3 LNA(50)의 제4 입력측은 저이득 모드에서만 온(ON)되는 공통 게이트 증폭기를 통해 RF신호(RFIN)에 연결되어 있다.

[0058] 예컨대, 도 2와 같은 구성을 통해, 고이득 모드에서는 제3 LNA(50)의 제1 트랜지스터(51)인 제1 NMOS 트랜지스터(N1)(51)가 동작하지 않으므로, 입력 노이즈 특성에 영향을 줄일 수 있고, 저이득 모드에서는 제3 LNA(50)의 커먼모드(common mode) 동작을 강화하여 제1 LNA(10)에 의해 열화된 IIP2의 선형성 특성을 개선할 수 있다. 이상적인 차동회로(Ideal differential circuit)의 경우 커먼모드 리젝션(common mode rejection)으로 이븐(even) 하모닉 특성이 좋다. 예컨대, 제3 LNA(50)가 최대한 이상적인 차동회로로 동작할 수 있도록 제1 NMOS 트랜지스터(N1)(51)의 사이즈를 최적화할 수 있다.

[0059] 또한, 도 2 및 3b를 참조하면, 하나의 예에서, 제3 LNA(50)는 제1 트랜지스터(51)를 포함할 수 있다. 제1 트랜지스터(51)는 저이득 모드 시 온-동작하여 단일의 RF신호(RFIN)를 받아 제2 커패시터(C2)(55)를 통해 제3 LNA(50)의 제4 입력측으로 출력한다. 이때, 제1 트랜지스터(51)는 소스전극에 단일의 RF신호가 전달되고 드레인전극에 제2 커패시터(C2)(55)가 연결된 NMOS 트랜지스터일 수 있다.

[0060] 계속하여, 도 2 및 3b를 참조하여 제3 LNA(50)를 더 살펴본다. 하나의 예에서, 제3 LNA(50)는 제1 NMOS 트랜지스터(N1)(51), 제9 NMOS 트랜지스터(N9)(52), 제10 NMOS 트랜지스터(N10)(53) 및 제11 NMOS 트랜지스터(N11)(54)를 포함하여 이루어질 수 있다. 이때, 제1 NMOS 트랜지스터(N1)(51)는 드레인전극에 제2 커패시터(C2)(55)가 연결되고 저이득 모드 시 온-동작하여 소스전극으로 단일의 RF신호(RFIN)를 받아 제2 커패시터(C2)(55)로 전달한다.

[0061] 제9 NMOS 트랜지스터(N9)(52)는 저이득 모드 시 동작하며 감쇄부(40)의 출력을 게이트신호로 인가받아 증폭한다. 나아가, 도 2 및 3b를 참조하면, 제9 NMOS 트랜지스터(N9)(52)의 드레인전극과 게이트전극은 커패시터(C7)와 저항(R7)의 직렬 부하에 의해 피드백 연결될 수 있다.

[0062] 다음, 제10 NMOS 트랜지스터(N10)(53)는 저이득 모드 시 온-동작하되, 제1 NMOS 트랜지스터(N1)(51)로 입력된 단일의 RF신호를 제2 커패시터(C2)(55)를 통해 게이트신호로 입력받아 증폭한다. 나아가, 도 2 및 3b를 참조하면, 제10 NMOS 트랜지스터(N10)(53)의 드레인전극과 게이트전극은 커패시터(C8)와 저항(R8)의 직렬 부하에 의해 피드백 연결될 수 있다.

[0063] 다음으로, 제11 NMOS 트랜지스터(N11)(54)는 저이득 모드 시 온-동작하되, 드레인전극이 제9 및 제10 NMOS 트랜지스터(N9, N10)(52, 53)의 소스전극과 연결되고 소스전극이 그라운드에 연결된다.

- [0064] 이때, 도 2 및 3b를 참조하면, 하나의 예에서, 저이득 모드 시, 제9 및 제10 NMOS 트랜지스터(N9, N10)(52, 53)의 게이트 전극들은 각각 바이어스 저항(R5, R6)을 통해 제3 바이어스 신호를 인가받는다. 한편, 고이득 모드 시에는, 제9 NMOS 트랜지스터(N9)(52)의 게이트 전극으로 인가되던 제3 바이어스 신호가 차단되고 감쇄부(40)의 출력은 제9 NMOS 트랜지스터(N9)(52)의 게이트전극과 연결된 바이어스 저항(R5)을 통해 그라운드로 빠져나간다. 이에 따라, 제9 NMOS 트랜지스터(N9)(52)는 오프-동작한다. 또한, 고이득 모드 시, 제10 NMOS 트랜지스터(N10)(53)의 게이트 전극으로 인가되던 제3 바이어스 신호는 차단되고, 제10 NMOS 트랜지스터(N10)(53)의 게이트 전극에 연결된 제2 커패시터(C2)(55)에 저장된 신호는 제10 NMOS 트랜지스터(N10)(53)의 게이트 전극에 연결된 바이어스 저항(R6)을 통하여 그라운드로 빠져나간다. 이에 따라, 제10 NMOS 트랜지스터(N10)(53)는 오프-동작한다.
- [0065] 도 2 및 3b를 참조하여, 제3 LNA(50)를 더 구체적으로 살펴본다. 제3 LNA(50)는 제12 NMOS 트랜지스터(N12)(56) 및 제13 NMOS 트랜지스터(N13)(57)를 더 포함할 수 있다. 이때, 제12 NMOS 트랜지스터(N12)(56)는 제1 부하(인덕터 L1과 저항 R9의 직렬 부하)를 통해 전원전압단(VDD)과 드레인전극이 연결되고 제9 NMOS 트랜지스터(N9)(52)와 캐스코드 연결되어 있다. 제12 NMOS 트랜지스터(N12)(56)는 저이득 모드 시 동작하며 제9 NMOS 트랜지스터(N9)(52)와 함께 캐스코드 증폭하여 제2 차동신호의 하나를 출력할 수 있다. 또한, 제13 NMOS 트랜지스터(N13)(57)는 제2 부하(인덕터 L2와 저항 R10의 직렬 부하)를 통해 전원전압단(VDD)과 드레인전극이 연결되고 제10 NMOS 트랜지스터(N10)(53)와 캐스코드 연결된다. 이때, 제13 NMOS 트랜지스터(N13)(57)는 저이득 모드 시 동작하며 제10 NMOS 트랜지스터(N10)(53)와 함께 캐스코드 증폭하여 제2 차동신호의 다른 하나를 출력할 수 있다.
- [0066] 이때, 도 2 및 3b를 참조하면, 제3 LNA(50)와 제2 LNA(30)는 전원전압단(VDD)과 사이에서 부하를 같이 공유하도록 되어 있다.
- [0067] 다음으로, 도 2, 3a 및 3b를 참조하여 하나의 예를 살펴본다. 도 2, 3a 및 3b를 참조하면, 하나의 예에서, 광대역 저잡음 증폭기는 차동증폭부(70)를 더 포함할 수 있다. 이때, 차동증폭부(70)는 고이득 모드에 따른 제1 차동신호 또는 저이득 모드에 따른 제2 차동신호를 입력받아 증폭하여 차동증폭신호를 출력한다.
- [0068] 이때, 도 2, 3a 및 3b를 참조하여 구체적으로 살펴보면, 하나의 예에서, 차동증폭부(70)는 제14 NMOS 트랜지스터(N14)(71) 및 제15 NMOS 트랜지스터(N15)(73)를 포함할 수 있다. 이때, 제14 NMOS 트랜지스터(N14)(71)는 전원전압단(VDD)에 드레인전극이 연결되고 소스전극에 정전류원이 연결된다. 이때, 제14 NMOS 트랜지스터(N14)(71)는 고이득 모드에 따른 제1 차동신호 중의 하나 또는 저이득 모드에 따른 제2 차동신호 중의 하나를 게이트신호로 입력받아 증폭하여 차동증폭신호의 하나를 출력할 수 있다.
- [0069] 또한, 제15 NMOS 트랜지스터(N15)(73)는 전원전압단(VDD)에 드레인전극이 연결되고 소스전극에 정전류원이 연결된다. 이때, 제15 NMOS 트랜지스터(N15)(73)는 고이득 모드에 따른 제1 차동신호 중의 다른 하나 또는 저이득 모드에 따른 제2 차동신호 중의 다른 하나를 게이트신호로 입력받아 증폭하여 차동증폭신호의 다른 하나를 출력할 수 있다.
- [0070] 다음으로, 도 5a 내지 6b를 참조하여, 본 발명의 하나의 실시예에 따른 광대역 저잡음 증폭기의 시뮬레이션 결과를 살펴본다. 이때, 도 5a, 5b 및 6b의 비교예는 도 2에서 제3 LNA(50)에 제1 트랜지스터(51)가 없는 구조이다. 즉, 비교예는 제2 LNA 및 제3 LNA가 모두 도 2의 제2 LNA(30)와 같은 의사 차동(pseudo differential) 구조를 가지고 있다.
- [0071] 도 5a는 본 발명의 하나의 실시예에 따른 광대역 저잡음 증폭기와 비교예의 S 파라미터 이득의 비교를 나타내는 그래프이고, 도 5b는 본 발명의 하나의 실시예에 따른 광대역 저잡음 증폭기와 비교예의 NF 특성의 비교를 나타내는 그래프이다.
- [0072] 도 5a 및 5b는 제3 LNA(50)에서 제1 트랜지스터(51) 유무에 따른 고이득 모드 동작을 시뮬레이션을 통해 검증한 것이다. 도 5a 및 5b에서 점선은 제3 LNA에 제1 트랜지스터가 없이 도 2의 제2 LNA(30)와 같이 의사 차동(pseudo differential) 구조를 가질 경우의 S 파라미터 이득과 NF 특성을 나타낸다. 도 5a 및 5b에서 실선은 도

2와 같은 본 발명의 일 실시예에 따른 경우의 시뮬레이션 결과이다. 시뮬레이션은 위성방송 수신기를 타겟으로 하였으며, 이때, 주파수 특성은 950MHz에서 2150MHz까지 만족하여야 한다. 주어진 주파수 밴드에서, 도 5a에 도시된 바와 같이 S 파라미터 이득은 양자 모두 28dB 정도를 나타내고, 도 5b에 도시된 바와 같이 NF는 양자 모두 2dB 이하의 특성을 나타내고 있다. 즉, 도 5b를 참조하면, 제3 LNA(50)에 제1 트랜지스터(51)의 삽입으로 인한 NF의 증가는 0.1dB 이하이다. 이는 제3 LNA(50)에 삽입된 제1 트랜지스터(51)가 고이득 모드에 미치는 영향이 미미함을 의미한다.

[0073] 반면, 도 6a 및 6b를 비교해보면, 저이득 모드에서는 본 발명의 일 실시예와 비교예가 IIP2의 개선효과가 현저한 차이를 나타내고 있다. 도 6a는 본 발명의 하나의 실시예에 따른 광대역 저잡음 증폭기의 IIP2의 시뮬레이션 결과를 나타내는 그래프이고, 도 6b는 비교예에 따른 광대역 저잡음 증폭기의 IIP2의 시뮬레이션 결과를 나타내는 그래프이다.

[0074] 도 6a 및 6b은 -30dBm의 1027MHz, 1028MHz 두개의 신호를 입력하였을 경우 2055MHz에서 발생하는 IM2의 특성을 비교한 것이다. 본 발명의 일 실시예로 도 2에 에 따른 구조의 IIP2는 9.44dBm이고, 비교예의 IIP2는 2.30dB로 7dB 이상의 개선 효과를 나타낼 수 있다.

[0075] 따라서, 본 발명의 실시예에 따르면, 고이득 모드에서는 충분히 낮은 노이즈특성(NF, noise figure)을 나타내고, 저이득 모드에서는 IIP2 특성을 만족함을 알 수 있다. 즉, 본 발명의 실시예에 따라 광대역에 적합한 저잡음 증폭기(LNA)의 구조로 요구하는 NF 특성과 선형성(Linearity) 특성을 만족할 수 있다.

[0076] 다음으로, 본 발명의 제2 실시예에 따른 광대역 저잡음 증폭 방법을 도면을 참조하여 구체적으로 살펴본다. 이때, 전술한 제1 실시예에 따른 광대역 저잡음 증폭기들 및 도 1에서 도 6b가 참조될 수 있고, 그에 따라 중복되는 설명들은 생략될 수도 있다.

[0077] 도 7은 본 발명의 다른 하나의 실시예에 따른 광대역 저잡음 증폭 방법을 개략적으로 나타내는 흐름도이다.

[0078] 도 7을 참조하면, 하나의 예에 따른 광대역 저잡음 증폭 방법은 제1 증폭단계(S100), 고이득 증폭단계(S200), 감쇄단계(S300) 및 저이득 증폭단계(S400)를 포함하여 이루어질 수 있다.

[0079] 먼저, 제1 증폭단계(S100)에서는, 제1 LNA(10)에서 단일의 RF신호를 입력받아 노이즈 특성(NF)을 개선하도록 증폭한다.

[0080] 다음으로, 제1 증폭단계(S100)에서의 단일의 RF신호가 약한 신호인지 강한 신호인지 판단하게 된다.

[0081] 만일, RF신호가 약한 신호인 경우, 도 7의 고이득 증폭단계(S200)가 수행된다. 고이득 증폭단계(S200)는 고이득 모드로 동작한다. 이때, 제2 LNA(30)에서 제1 LNA(10)의 출력을 제1 입력으로 받고 제2 입력측은 제1 커패시터(C1)(35)를 통해 그라운드에 연결되어, 고이득으로 증폭하여 제1 차동신호를 출력한다.

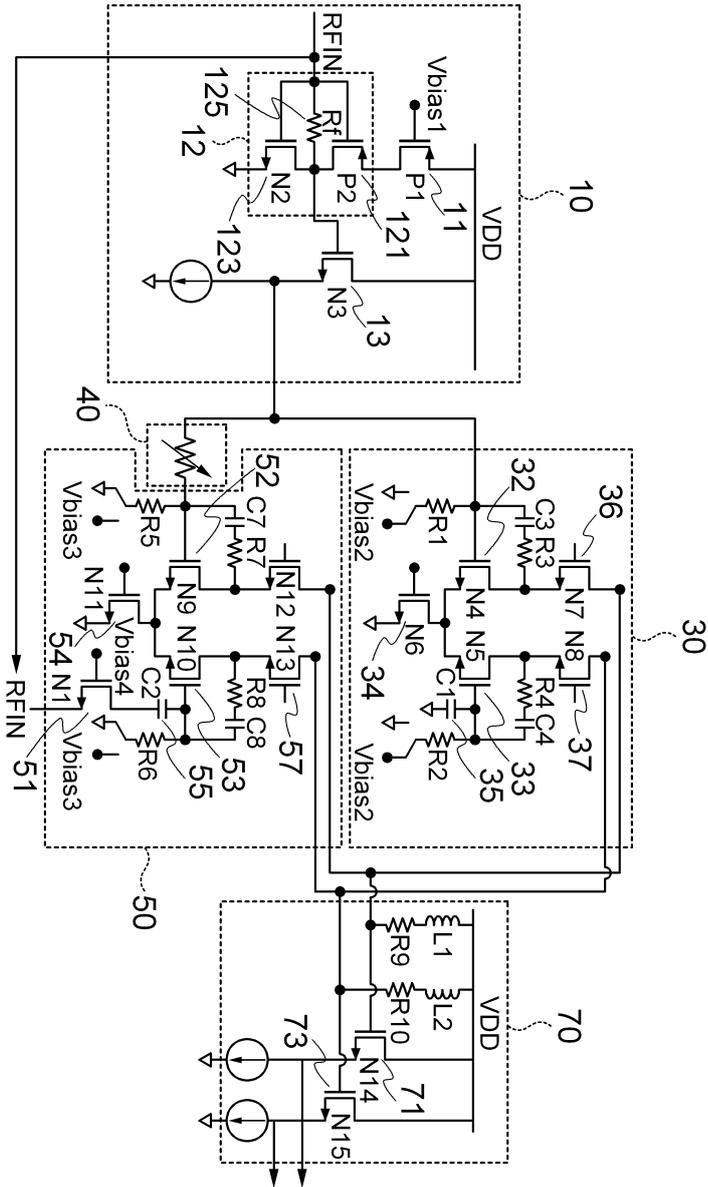
[0082] 한편, RF신호가 강한 신호인 경우, 도 7의 감쇄단계(S300)에서, 저이득 모드로 동작하며 제1 LNA(10)의 출력을 받아 감쇄하여 출력한다.

[0083] 다음으로, 저이득 모드 시, 도 7의 저이득 증폭단계(S400)에서, 제3 LNA(50)에서 감쇄단계(S300)의 출력을 제3 입력으로 받고 단일의 RF신호를 제2 커패시터(C2)(55)를 통해 제4 입력으로 받는다. 이때, 제3 LNA(50)는 제3 입력 및 제4 입력 신호를 저이득으로 차동 증폭하여 제2 차동신호를 출력한다.

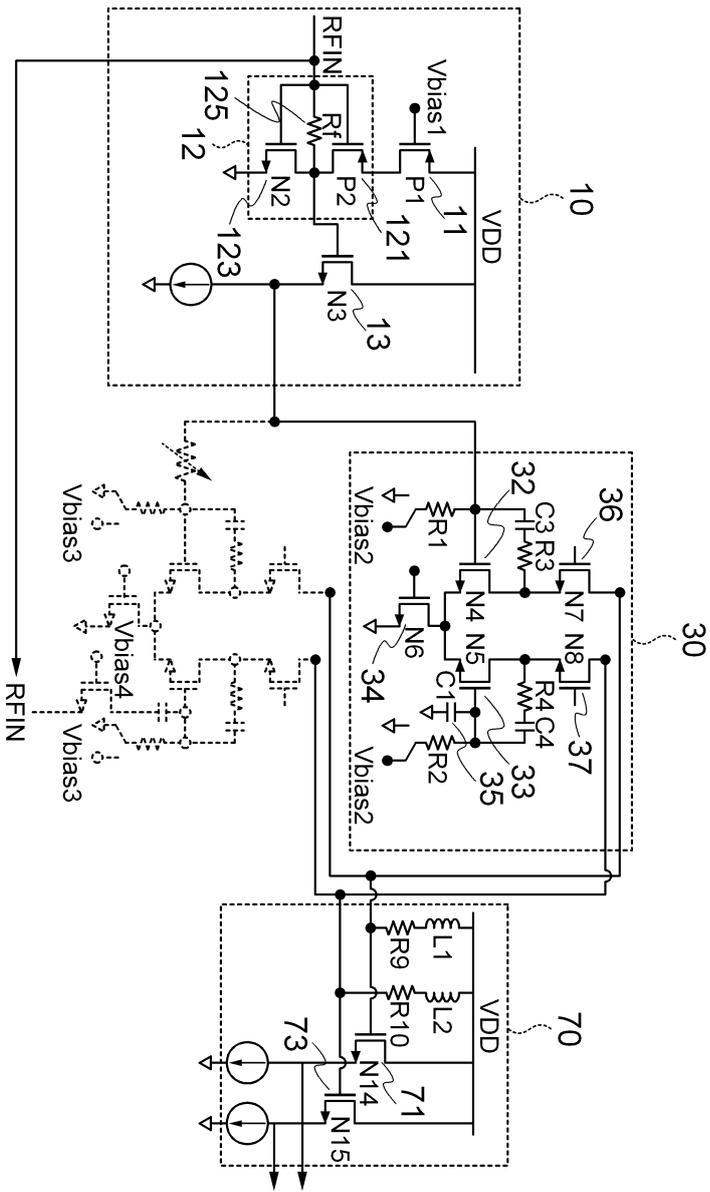
[0084] 도 3b를 참조하면, 또 하나의 예에서, 도 7의 저이득 증폭단계(S400)는 제1 트랜지스터(51)에서 저이득 모드 시 온-동작하여 단일의 RF신호를 받아 제2 커패시터(C2)(55)를 통해 제3 LNA(50)의 제4 입력측으로 출력하는 단계를 포함할 수 있다. 제1 트랜지스터(51)는 제2 커패시터(C2)(55)에 드레인전극이 연결되고 소스전극으로 단일 RF신호를 입력받는 NMOS 트랜지스터일 수 있다. 이때, 도 3b를 참조하면, 제1 NMOS 트랜지스터(N1)(51)로 입력되는 단일의 RF신호는 예컨대 제10 NMOS 트랜지스터(N10)(53)와 제13 NMOS 트랜지스터(N13)(57)의 캐스코드 증



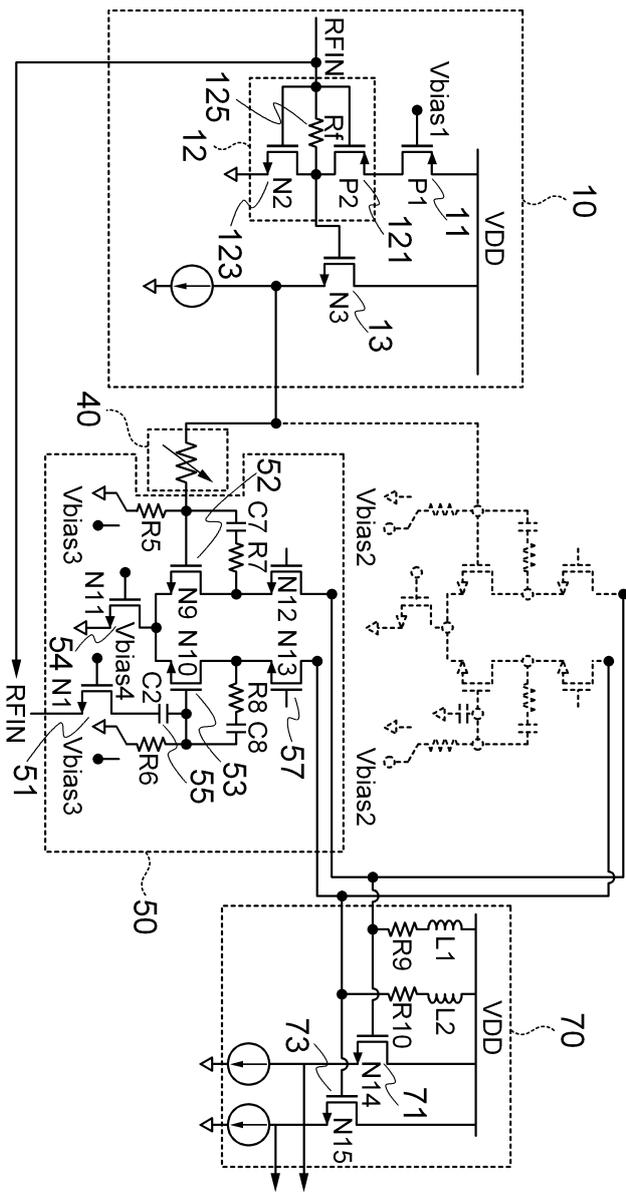
도면2



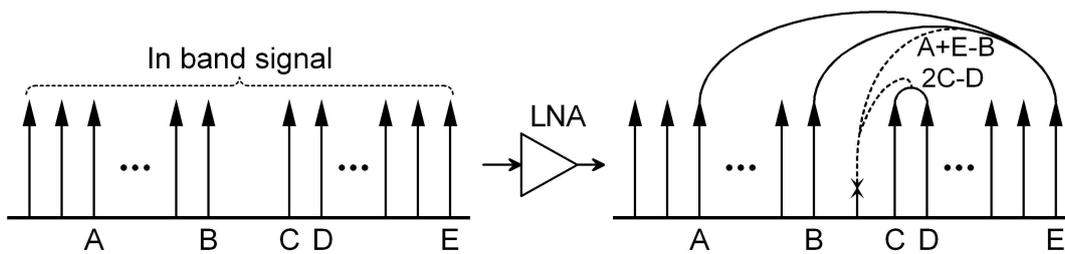
도면3a



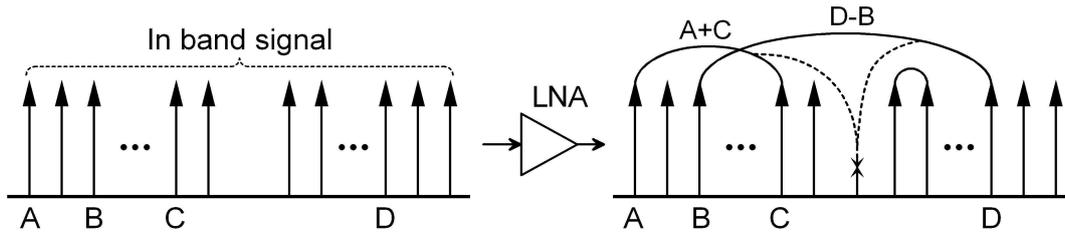
도면3b



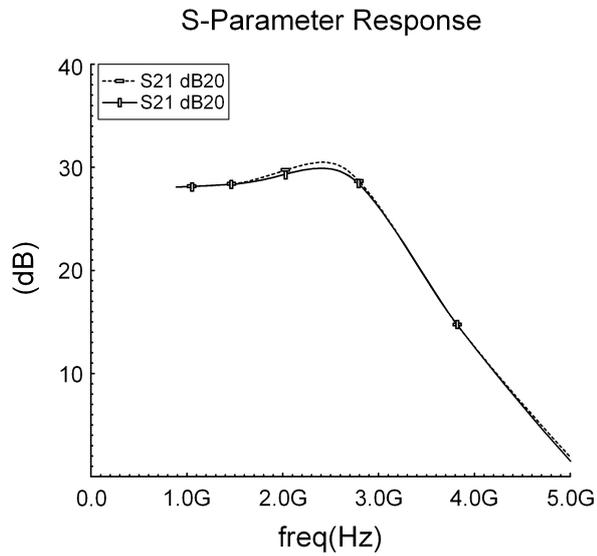
도면4a



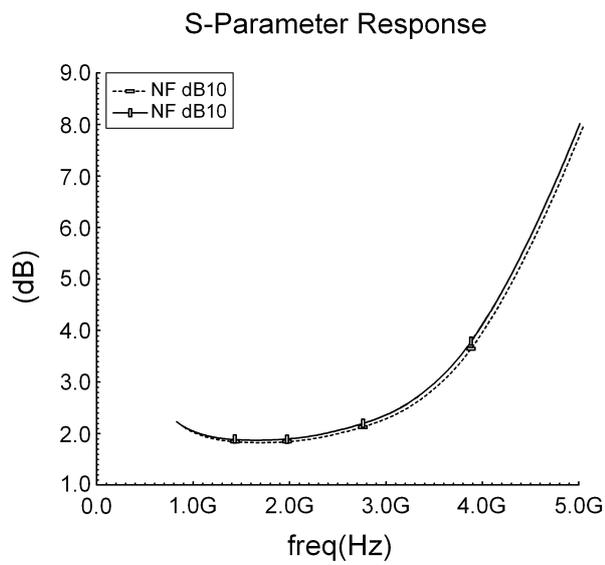
도면4b



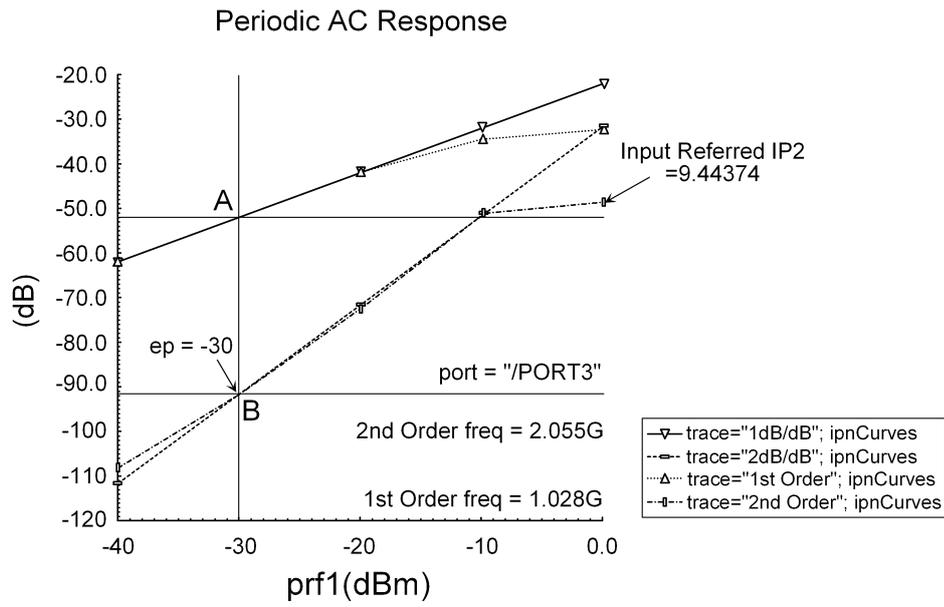
도면5a



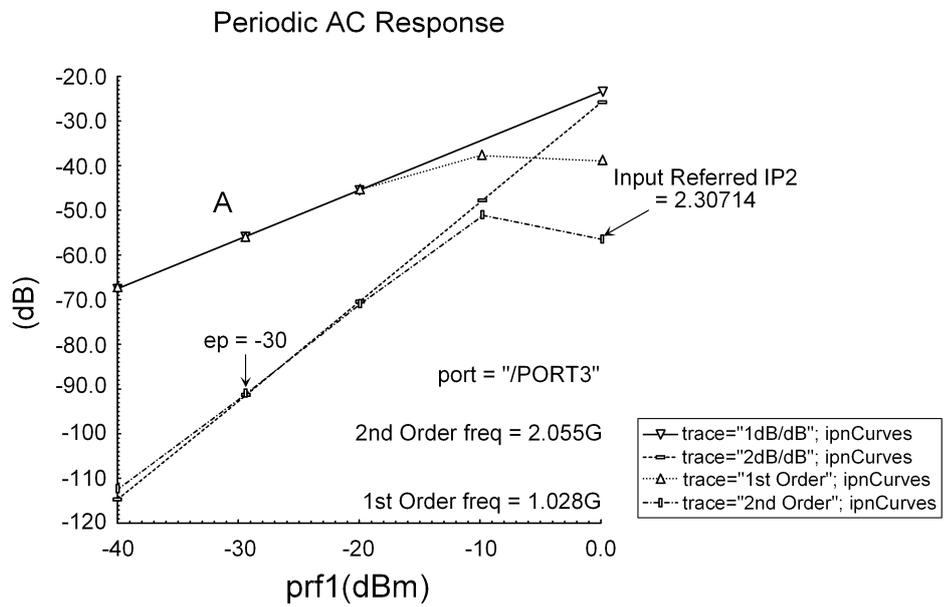
도면5b



도면6a



도면6b



도면7

