

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-9922

(P2011-9922A)

(43) 公開日 平成23年1月13日(2011.1.13)

(51) Int.Cl. F I テーマコード(参考)  
 H03L 7/081 (2006.01) H03L 7/08 J 5J106

審査請求 未請求 請求項の数 20 O L (全 21 頁)

(21) 出願番号	特願2009-149751 (P2009-149751)	(71) 出願人	500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1
(22) 出願日	平成21年6月24日(2009.6.24)	(74) 代理人	100115738 弁理士 鷲頭 光宏
		(74) 代理人	100121681 弁理士 緒方 和文
		(74) 代理人	100130982 弁理士 黒瀬 泰之
		(74) 代理人	100127199 弁理士 三谷 拓也
		(72) 発明者	高橋 弘樹 東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内
		Fターム(参考)	5J106 AA03 CC59 DD09 DD19 GG10 KK03

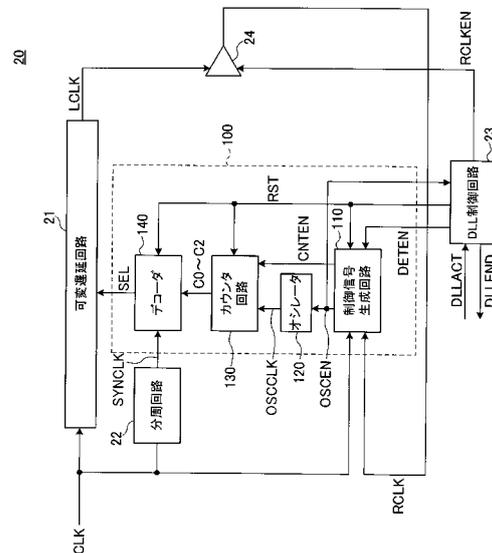
(54) 【発明の名称】 D L L回路及びこれを備える半導体装置

(57) 【要約】

【課題】 D L L回路のロックに要する時間を短縮する。

【解決手段】 外部クロック信号 C L Kとレプリカクロック信号 R C L Kの位相差量を検出する位相差量検出回路 1 0 0と、位相差量に基づいて外部クロック信号 C L Kを遅延させることにより内部クロック信号 L C L Kを生成する可変遅延回路 2 1と、内部クロック信号 L C L Kを遅延させることによりレプリカクロック信号 R C L Kを生成するレプリカバッファ 2 4とを備える。本発明によれば、外部クロック信号 C L Kに対してレプリカクロック信号 R C L Kの位相が進んでいるか或いは遅れているのではなく、その位相差量に基づいて可変遅延回路 2 1が制御されることから、位相差量が多い場合であっても、高速に D L L回路をロックさせることが可能となる。

【選択図】 図 2



**【特許請求の範囲】****【請求項 1】**

第 1 のクロック信号と第 2 のクロック信号の位相差量を検出する位相差量検出回路と、前記位相差量に基づいて前記第 1 のクロック信号を遅延させることにより第 3 のクロック信号を生成する可変遅延回路と、

前記第 3 のクロック信号に基づいて前記第 2 のクロック信号を生成するレプリカバッファと、を備えることを特徴とする D L L 回路。

**【請求項 2】**

前記位相差量検出回路は、前記第 1 及び第 2 のクロック信号の一方のアクティブエッジに  
10 応答して計時を開始し、前記第 1 及び第 2 のクロック信号の他方のアクティブエッジに  
応答して計時を終了することによって、前記位相差量を検出することを特徴とする請求項  
1 に記載の D L L 回路。

**【請求項 3】**

前記位相差量検出回路は、第 4 のクロック信号を生成するオシレータ回路と、前記第 1  
及び第 2 のクロック信号の一方のアクティブエッジに  
20 応答して前記第 4 のクロック信号の  
カウントを開始し、前記第 1 及び第 2 のクロック信号の他方のアクティブエッジに  
応答して前記第 4 のクロック信号のカウントを終了するカウンタ回路とを含み、

前記可変遅延回路は、前記カウンタ回路のカウント値に基づいて前記第 1 のクロック信号を遅延させることを特徴とする請求項 2 に記載の D L L 回路。

**【請求項 4】**

前記第 4 のクロック信号の周波数は、前記第 1 乃至第 3 のクロック信号の周波数よりも  
20 高いことを特徴とする請求項 3 に記載の D L L 回路。

**【請求項 5】**

前記可変遅延回路は、所定のピッチで遅延量の調整が可能であり、

前記位相差量検出回路は、前記位相差量に基づいて前記可変遅延回路による遅延量を 1  
又は 2 ピッチ以上変化させることにより、1 回の調整で前記位相差量を最小値とすることを  
25 特徴とする請求項 1 乃至 4 のいずれか一項に記載の D L L 回路。

**【請求項 6】**

前記可変遅延回路は、遅延量の調整ピッチが相対的に粗い粗調用可変遅延回路と、遅延  
30 量の調整ピッチが相対的に細かい微調用可変遅延回路とを含んでおり、

前記位相差量検出回路は、前記粗調用可変遅延回路による遅延量を調整することを特徴  
とする請求項 1 乃至 5 のいずれか一項に記載の D L L 回路。

**【請求項 7】**

前記第 1 のクロック信号と前記第 2 のクロック信号の位相に基づいて、前記微調用可変  
遅延回路による遅延量を調整する位相制御回路をさらに備え、

前記位相制御回路は、前記微調用可変遅延回路による遅延量を 1 ピッチずつ変化させる  
ことを特徴とする請求項 6 に記載の D L L 回路。

**【請求項 8】**

前記第 3 のクロック信号は、データを外部に出力するための出力バッファの動作タイミ  
40 ングを定めるものであり、前記レプリカバッファは、前記出力バッファと実質的に同じ回  
路構成を有していることを特徴とする請求項 1 乃至 7 のいずれか一項に記載の D L L 回路  
。

**【請求項 9】**

前記第 1 のクロック信号が外部クロックであることを特徴とする請求項 1 乃至 8 のい  
ずれか一項に記載の D L L 回路。

**【請求項 10】**

外部から供給される前記第 1 のクロック信号に同期してデータを出力する半導体装置で  
あって、請求項 9 に記載の D L L 回路と、前記第 3 のクロック信号に同期してデータを  
出力する出力バッファとを備えることを特徴とする半導体装置。

**【発明の詳細な説明】**

10

20

30

40

50

**【技術分野】****【0001】**

本発明はDLL (Delay Locked Loop) 回路及びこれを備える半導体装置に関し、特に、ロックに要する時間が短縮されたDLL回路及びこれを備える半導体装置に関する。

**【背景技術】****【0002】**

近年、パーソナルコンピュータなどのメインメモリとして、クロックに同期した動作を行うシンクロナスメモリが広く使用されている。中でも、DDR (Double Data Rate) 型のシンクロナスメモリでは、入出力データを外部クロックに対して正確に同期させる必要があることから、外部クロックに同期した内部クロックを生成するDLL (Delay Locked Loop) 回路が用いられる (特許文献1参照)。

10

**【0003】**

DLL回路は、外部クロック信号に対してレプリカクロック信号が進んでいるか或いは遅れているかを検出し、その結果に基づいて可変遅延回路の遅延量を調整することにより、両者の位相を一致させる。

**【先行技術文献】****【特許文献】****【0004】**

**【特許文献1】**特開2008-217947号公報

**【発明の概要】**

20

**【発明が解決しようとする課題】****【0005】**

しかしながら、従来のDLL回路では、可変遅延回路の遅延量調整が1ピッチずつ行われることから、外部クロック信号とレプリカクロック信号の位相差量、すなわち、外部クロック信号のアクティブエッジとレプリカクロック信号のアクティブエッジとの時間差が大きいケースでは、遅延量の調整回数が多くなるため、DLL回路のロックに要する時間が長くなるという問題があった。

**【課題を解決するための手段】****【0006】**

本発明によるDLL回路は、第1のクロック信号と第2のクロック信号の位相差量を検出する位相差量検出回路と、前記位相差量に基づいて前記第1のクロック信号を遅延させることにより第3のクロック信号を生成する可変遅延回路と、前記第3のクロック信号に基づいて前記第2のクロック信号を生成するレプリカバッファと、を備えることを特徴とする。

30

**【0007】**

また、本発明による半導体装置は、外部から供給される第1のクロック信号に同期してデータを出力する半導体装置であって、上記のDLL回路と、前記第3のクロック信号に同期してデータを出力する出力バッファとを備えることを特徴とする。

**【発明の効果】****【0008】**

40

本発明によれば、外部クロック信号に対してレプリカクロック信号の位相が進んでいるか或いは遅れているかではなく、その位相差量に基づいて可変遅延回路が制御されることから、位相差量が大きい場合であっても、高速にDLL回路をロックさせることが可能となる。

**【図面の簡単な説明】****【0009】**

**【図1】**本発明の好ましい第1の実施形態による半導体装置10の構成を示すブロック図である。

**【図2】**DLL回路20のより詳細なブロック図である。

**【図3】**制御信号生成回路110の回路図である。

50

- 【図４】オシレータ１２０の回路図である。
- 【図５】（ａ）はカウンタ回路１３０の回路図であり、（ｂ）はカウンタ回路１３０の動作を示す波形図である。
- 【図６】デコーダ回路１４０の回路図である。
- 【図７】可変遅延回路２１の回路図である。
- 【図８】ＤＬＬ回路２０の動作を説明するためのタイミング図である。
- 【図９】変形例による可変遅延回路２１の回路図である。
- 【図１０】（ａ）は変形例によるカウンタ回路１３０の回路図であり、（ｂ）は変形例によるカウンタ回路１３０の動作を示す波形図である。
- 【図１１】本発明の好ましい第２の実施形態による半導体装置３０の構成を示すブロック図である。 10
- 【図１２】ＤＬＬ回路４０のより詳細なブロック図である。
- 【図１３】微調用可変遅延回路４２の一例を示す回路図である。
- 【図１４】微調用可変遅延回路４２の他の例を示す回路図である。
- 【図１５】本発明の好ましい第３の実施形態によるＤＬＬ回路５０の構成を示すブロック図である。
- 【図１６】デコーダ回路１５０の回路図である。
- 【図１７】粗調用可変遅延回路５１の回路図である。
- 【図１８】（ａ）は微調用可変遅延回路５２の回路図であり、（ｂ）はその動作を説明するための波形図である。 20
- 【発明を実施するための形態】
- 【００１０】  
以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。
- 【００１１】  
図１は、本発明の好ましい第１の実施形態による半導体装置１０の構成を示すブロック図である。
- 【００１２】  
図１に示すように、本実施形態による半導体装置１０は、内部出力信号ＲＤを出力する内部回路１１と、内部出力信号ＲＤに基づいて外部出力信号ＤＱ（又はストロープ信号ＤＱＳ）を出力する出力バッファ１２と、出力バッファ１２の動作タイミングを制御するＤＬＬ回路２０と、ＤＬＬ回路２０及び内部回路１１の動作を制御する制御回路１５を備えている。内部回路１１については、半導体装置１０の種類によって異なり、例えば、本実施形態による半導体装置１０がＤＲＡＭであれば、メモリセルアレイ、カラムスイッチ、リードアンプなどが含まれる。
- 【００１３】  
出力バッファ１２は、出力端子１３を介して外部出力信号ＤＱ（又はストロープ信号ＤＱＳ）を外に出力する回路であり、外部出力信号ＤＱ（又はストロープ信号ＤＱＳ）の出力タイミングは、クロック端子１４を介して入力される外部クロック信号ＣＬＫ（第１のクロック信号）と同期している必要がある。出力バッファ１２の動作タイミングは、Ｄ 40  
ＬＬ回路２０によって制御される。以下、ＤＬＬ回路２０の構成について説明する。
- 【００１４】  
図１に示すように、ＤＬＬ回路２０は、可変遅延回路２１、分周回路２２、ＤＬＬ制御回路２３、レプリカバッファ２４及び位相差量検出回路１００を備えている。
- 【００１５】  
可変遅延回路２１は、外部クロック信号ＣＬＫを遅延させることによって内部クロック信号ＬＣＬＫ（第３のクロック信号）を生成する回路である。可変遅延回路２１の具体的な回路構成については後述する。
- 【００１６】  
図１に示すように、内部クロック信号ＬＣＬＫは、出力バッファ１２及びレプリカバッ 50

ファ24に供給される。出力バッファ12は、上述の通り、内部回路11より供給される内部出力信号RDを受け、これを外部出力信号DQ（又はストロブ信号DQS）として出力端子13に供給する回路である。一方、レプリカバッファ24は、出力バッファ12と実質的に同一の回路構成を有しており、内部クロック信号CLKに同期してレプリカクロック信号RCLK（第2のクロック信号）を出力する回路である。これにより、レプリカクロック信号RCLKの位相は、外部出力信号DQ（又はストロブ信号DQS）の位相と正確に一致することになる。但し、レプリカバッファ24を構成するトランジスタのサイズとしては、出力バッファ12を構成するトランジスタのサイズと同一である必要はなく、インピーダンスが実質的に同じである限り、シュリンクしたトランジスタを用いても構わない。

10

**【0017】**

分周回路22は、外部クロック信号CLKを分周することによりサンプリングクロック信号SYNCLKを生成する回路である。サンプリングクロック信号SYNCLKは、位相差量検出回路100に供給され、可変遅延回路21の遅延量を変化させるタイミングを示す同期信号として用いられる。分周回路22を用いている理由は、位相差量検出回路100による検知動作にはある程度の時間が必要だからである。また、可変遅延回路21の遅延量変更を必要以上に高頻度に行うと、消費電力が大幅に増大することも理由の一つである。特に限定されるものではないが、分周回路22の分周数としては8程度に設定することが好ましい。

20

**【0018】**

DLL制御回路23は、位相差量検出回路100及びレプリカバッファ24の動作を制御する回路であり、制御回路15の指示に基づき動作する。具体的には、制御回路15より供給されるDLL開始信号DLLACTが活性化すると、リセット信号RST、イネーブル信号DETEN、レプリカバッファ制御信号RCKENを発生し、これらによってDLL回路20による位相調整動作を開始する。一方、制御回路15より供給されるDLL終了信号DLENDが活性化すると、DLL回路20は停止し、半導体装置10は非同期モードとなる。制御回路15の動作は外部コマンドCMDによって定められ、内部回路11の動作についても制御する。制御回路15は、外部クロック信号CLKに同期した動作を行う。

30

**【0019】**

位相差量検出回路100は、外部クロック信号CLKとレプリカクロック信号RCLKの位相差量を検出する回路であり、検出結果を示す選択信号SELは可変遅延回路21に供給される。ここで、「位相差量」とは、外部クロック信号CLKに対するレプリカクロック信号RCLKの進み時間又は遅れ時間を示す。したがって、可変遅延回路21は、外部クロック信号CLKに対するレプリカクロック信号RCLKの進み時間又は遅れ時間に基づいて、その遅延量が制御される。以下、位相差量検出回路100を中心にDLL回路20の回路構成をより詳細に説明する。

40

**【0020】**

図2は、DLL回路20のより詳細なブロック図であり、位相差量検出回路100の内部をより具体的に示している。

**【0021】**

図2に示すように、位相差量検出回路100は、制御信号生成回路110、オシレータ120、カウンタ回路130及びデコーダ回路140を備えている。以下、位相差量検出回路100を構成する各回路の具体的な回路構成について説明する。

**【0022】**

図3は、制御信号生成回路110の回路図である。

**【0023】**

図3に示すように、制御信号生成回路110は、データラッチ回路111～116と、2入力のアンドゲート117、118によって構成されている。データラッチ回路111～116のうち、データラッチ回路111、112は従属接続されており、いずれもレブ

50

リカクロック信号 R C L K に同期したラッチ動作を行う。初段のデータラッチ回路 1 1 1 のデータ入力端 D にはイネーブル信号 D E T E N が入力され、最終段のデータラッチ回路 1 1 2 のデータ出力端 Q からは、アンドゲート 1 1 7 , 1 1 8 への入力信号が出力される。データラッチ回路 1 1 1 , 1 1 2 は、いずれもリセット入力端 R を有している。リセット入力端 R にはリセット信号 R S T が供給される。

【 0 0 2 4 】

データラッチ回路 1 1 1 ~ 1 1 6 のうち、データラッチ回路 1 1 3 ~ 1 1 6 も従属接続されており、いずれも外部クロック信号 C L K に同期したラッチ動作を行う。初段のデータラッチ回路 1 1 3 のデータ入力端 D には、データラッチ回路 1 1 1 の出力が供給される。また、2 段目のデータラッチ回路 1 1 4 のデータ出力端 Q からは、アンドゲート 1 1 7 への入力信号が出力され、最終段のデータラッチ回路 1 1 6 のデータ出力端 Q からは、アンドゲート 1 1 8 への入力信号が出力される。データラッチ回路 1 1 3 ~ 1 1 6 は、いずれもセット入力端 S を有している。セット入力端 S にはリセット信号 R S T が供給される。

10

【 0 0 2 5 】

かかる構成により、リセット信号 R S T が活性化した後、イネーブル信号 D E T E N がハイレベルに変化すると、レプリカクロック信号 R C L K の 2 回目の立ち上がりエッジに 응답してアンドゲート 1 1 7 , 1 1 8 の出力がハイレベルに変化する。アンドゲート 1 1 7 の出力はカウンタ制御信号 C N T E N として用いられ、カウンタ回路 1 3 0 に供給される。また、アンドゲート 1 1 8 の出力はオシレータ制御信号 O S C E N として用いられ、オシレータ 1 2 0 に供給される。

20

【 0 0 2 6 】

また、リセット信号 R S T が活性化した後、イネーブル信号 D E T E N がハイレベルに変化すると、レプリカクロック信号 R C L K が 1 回立ち上がった後、外部クロック信号 C L K の 2 回目の立ち上がりエッジに 응답してアンドゲート 1 1 7 の出力がローレベルに変化し、外部クロック信号 C L K の 4 回目の立ち上がりエッジに 응답してアンドゲート 1 1 8 の出力がローレベルに変化する。

【 0 0 2 7 】

このように、カウンタ制御信号 C N T E N 及びオシレータ制御信号 O S C E N のハイレベルへの変化はレプリカクロック信号 R C L K に同期する一方、これら信号のローレベルへの変化は外部クロック信号 C L K に同期する。

30

【 0 0 2 8 】

図 4 は、オシレータ 1 2 0 の回路図である。

【 0 0 2 9 】

図 4 に示すように、オシレータ 1 2 0 は、遅延回路 1 2 1 と複合ゲート 1 2 2 がインバータ 1 2 3 を介して循環接続された構成を有している。複合ゲート 1 2 2 にはオシレータ制御信号 O S C E N が入力されており、これがハイレベルになると遅延回路 1 2 1 の出力を通過させる。これにより、オシレータ 1 2 0 は非安定マルチバイブレータを構成することになるため、出力であるオシレータクロック信号 O S C C L K は、遅延回路 1 2 1、複合ゲート 1 2 2 及びインバータ 1 2 3 の遅延量で決まる周期で発振する。これに対し、オシレータ制御信号 O S C E N がローレベルである場合には、複合ゲート 1 2 2 の出力はローレベルに固定されることから、オシレータクロック信号 O S C C L K の発振は停止する。ここで、オシレータクロック信号 O S C C L K の周波数は、外部クロック信号 C L K の周波数よりも十分に高くなるよう、遅延回路 1 2 1 の遅延量が設計される。

40

【 0 0 3 0 】

図 5 ( a ) はカウンタ回路 1 3 0 の回路図であり、図 5 ( b ) はカウンタ回路 1 3 0 の動作を示す波形図である。

【 0 0 3 1 】

図 5 ( a ) に示すように、カウンタ回路 1 3 0 は、3 つのデータラッチ回路 1 3 1 ~ 1 3 3 を備えている。これらデータラッチ回路 1 3 1 ~ 1 3 3 は、いずれもリセット信号 R

50

S Tが供給されるリセット入力端Rを有している。データラッチ回路131は、データ入力端Dにオシレータクロック信号O S C C L Kが供給され、クロック入力端C Kに反転されたカウンタ制御信号C N T E Nが供給される。データラッチ回路131の反転出力端Q Bからはカウント値の最下位ビットC 0が出力される。

【0032】

一方、データラッチ回路132, 133はバイナリカウンタを構成しており、それぞれビットC 1, C 2を出力する。ビットC 1はカウント値の下位2ビット目であり、ビットC 2はカウント値の最上位ビットである。データラッチ回路132のクロック入力端C Kには、S Rラッチ回路134の出力が供給される。S Rラッチ回路134のリセット入力端Rにはオシレータクロック信号O S C C L Kが供給され、セット入力端Sには反転されたカウンタ制御信号C N T E Nが供給される。

10

【0033】

かかる構成により、カウンタ回路130の出力であるカウント値C 2 ~ C 0は、図5 ( b ) に示すように、カウンタ制御信号C N T E Nがハイレベルになると、オシレータクロック信号O S C C L Kの立ち上がりエッジ及び立ち上がりエッジの両方に応答してインクリメントされる。つまり、オシレータクロック信号O S C C L Kの半周期ごとにインクリメントされる。本実施形態では、カウント値C 2 ~ C 0が3ビットであることから、カウント値は十進数で0 ~ 7の値を取る。

【0034】

図6は、デコーダ回路140の回路図である。

20

【0035】

図6に示すように、デコーダ回路140は、3つのデータラッチ回路141 ~ 143と、3ビットのカウント値をデコードするデコード部144を備えている。データラッチ回路141 ~ 143のデータ入力端Dには、それぞれカウント値の対応するビットC 0, C 1, C 2が入力される。また、データラッチ回路141 ~ 143のクロック入力端C Kにはサンプリングクロック信号S Y N C L Kが共通に入力され、リセット入力端Rにはリセット信号R S Tが共通に入力される。

【0036】

かかる構成により、サンプリングクロック信号S Y N C L Kに同期してカウント値C 2 ~ C 0をラッチし、ラッチしたカウント値がデコード部144によってデコードされる。これにより、デコード部144の出力である8つの選択信号S E L 0 ~ S E L 7のいずれかが一つが活性化する。

30

【0037】

以上が位相差量検出回路100の具体的な回路構成である。このようにして生成される選択信号S E L ( S E L 0 ~ S E L 7 ) は、図1及び図2に示す可変遅延回路21に供給される。

【0038】

図7は、可変遅延回路21の回路図である。

【0039】

図7に示すように、可変遅延回路21は、従属接続された8つの遅延回路200 ~ 207と、これらにそれぞれ対応する複合ゲート210 ~ 217によって構成されている。遅延回路200 ~ 207には外部クロック信号C L Kが入力されており、これにより、1つの遅延回路を経由するごとに外部クロック信号C L Kが1ピッチずつ遅延される。遅延された外部クロック信号C L Kは対応する複合ゲート210 ~ 217にそれぞれ入力される。複合ゲート210 ~ 217には、それぞれ対応する選択信号S E L 0 ~ S E L 7が入力されており、対応する選択信号S E L 0 ~ S E L 7が活性化されている複合ゲートの出力については対応する遅延回路200 ~ 207の出力と一致し、その他の複合ゲートの出力はパスされる。

40

【0040】

これにより、いずれか一つ活性化される選択信号S E L 0 ~ S E L 7に基づいて、最終

50

的に出力される内部クロック信号 L C L K の位相が決まる。本例では、選択信号 S E L 0 が活性化した場合に外部クロック信号 C L K と内部クロック信号 L C L K の位相差量は最小となり、選択信号 S E L 7 が活性化した場合に外部クロック信号 C L K と内部クロック信号 L C L K の位相差量は最大となる。

【 0 0 4 1 】

ここで、遅延回路 2 0 0 ~ 2 0 7 の 1 段分の遅延量は、オシレータ 1 2 0 に含まれる遅延回路 1 2 1 の遅延量と一致するよう設計される。また、複合ゲート 2 1 0 ~ 2 1 7 の遅延量も、オシレータ 1 2 0 に含まれる複合ゲート 1 2 2 の遅延量と一致するよう設計される。これにより、インバータ 1 2 3 の遅延量が相対的に十分小さいとすれば、可変遅延回路 2 1 の調整ピッチは、オシレータクロック信号 O S C C L K の半周期と一致する。より具体的には、選択信号 S E L n ( n = 0 ~ 7 ) を選択すると、可変遅延回路 2 1 の遅延量は、オシレータクロック信号 O S C C L K の半周期を A と定義した場合、 $A \times ( n + 1 )$  で与えられる。

10

【 0 0 4 2 】

以上が本実施形態による D L L 回路 2 0 の構成である。次に、D L L 回路 2 0 の動作について説明する。

【 0 0 4 3 】

図 8 は、D L L 回路 2 0 の動作を説明するためのタイミング図である。

【 0 0 4 4 】

図 8 に示すように、まず時刻  $t_1 \sim t_2$  の期間に D L L 開始信号 D L L A C T が活性化すると、D L L 制御回路 2 3 はこれにตอบสนองしてレプリカバッファ制御信号 R C L K E N を一定期間非活性化させるとともに、ワンショットのリセット信号 R S T を生成する。これにより、レプリカバッファ 2 4 の動作が一定期間停止するとともに、位相差量検出回路 1 0 0 がリセットされる。図 8 に示す例では、時刻  $t_3$  の直後から時刻  $t_9$  の直前までの期間に亘りレプリカバッファ制御信号 R C L K E N が非活性化され、時刻  $t_4$  の前後においてリセット信号 R S T が活性化している。位相差量検出回路 1 0 0 がリセットされると、カウンタ回路 1 3 0 のカウント値は 0 0 0 ( 2 進数 ) に初期化される。

20

【 0 0 4 5 】

次に、D L L 制御回路 2 3 は、レプリカバッファ制御信号 R C L K E N の活性化と同時にイネーブル信号 D E T E N を活性化させ、これを一定期間維持する。図 8 に示す例では、時刻  $t_9$  の直前から時刻  $t_{14}$  までの期間に亘りイネーブル信号 D E T E N が活性化されている。イネーブル信号 D E T E N の活性化により、図 3 に示した制御信号生成回路 1 1 0 が動作を開始し、カウンタ制御信号 C N T E N 及びオシレータ制御信号 O S C E N が生成される。

30

【 0 0 4 6 】

具体的には、時刻  $t_{10}$  に対応するレプリカクロック信号 R C L K の立ち上がりエッジ  $t_{10}'$  にตอบสนองして、カウンタ制御信号 C N T E N 及びオシレータ制御信号 O S C E N が同時に活性化するとともに、時刻  $t_{11}$  ,  $t_{13}$  に同期してこれらがそれぞれ非活性化する。ここで、時刻  $t_{10}'$  とは、イネーブル信号 D E T E N がハイレベルに変化した後、レプリカクロック信号 R C L K の 2 回目の立ち上がりエッジに相当する。また、時刻  $t_{11}$  ,  $t_{13}$  とは、イネーブル信号 D E T E N がハイレベルに変化した後、外部クロック信号 C L K の 2 回目の立ち上がりエッジ及び 4 回目の立ち上がりエッジにそれぞれ相当する。かかる動作については、図 3 を参照しながら説明した通りである。

40

【 0 0 4 7 】

これにより、オシレータ 1 2 0 は時刻  $t_{10}'$  から発振動作を開始し、それと同時にカウンタ回路 1 3 0 はオシレータクロック信号 O S C C L K のカウント動作を開始する。カウンタ回路 1 3 0 によるカウント動作は、時刻  $t_{11}$  にて終了する。つまり、カウンタ回路 1 3 0 は、時刻  $t_{10}' \sim$  時刻  $t_{11}$  までの期間、オシレータクロック信号 O S C C L K をカウントする。

【 0 0 4 8 】

50

ここで、時刻  $t_{10}$  はレプリカクロック信号 RCLK の立ち上がりエッジによって定義され、時刻  $t_{11}$  とは外部クロック信号 CLK の立ち上がりエッジによって定義される。その結果、カウンタ回路 130 のカウント値は、外部クロック信号 CLK とレプリカクロック信号 RCLK との位相差量を示すことになる。図 8 に示す例では、カウント値が 100 (2進数) であり、これが検出された位相差量となる。これは、オシレータクロック信号 OSCCLK の半周期を A と定義した場合、位相差量が  $4A \sim 5A$  の間であることを意味する。

【0049】

かかるカウント値 (100) は、サンプリングクロック信号 SYNCCLK に同期してデコード回路 140 に取り込まれ、デコードされる。その結果、カウント値 = 100 に対応する選択信号 SEL4 が活性化し、可変遅延回路 21 に含まれる複合ゲート 214 が選択される。これにより、可変遅延回路 21 の遅延量は、5つの遅延回路 200 ~ 204 と5つの複合ゲート 210 ~ 214 によって決まる遅延量 (=  $5A$ ) に設定される。

10

【0050】

以上によって、内部クロック信号 LCLK の位相調整動作が完了する。このように本実施形態では、位相差量に基づいて遅延量を 1 又は 2 ピッチ以上一度に変化させていることから、内部クロック信号 LCLK の位相調整が常に 1 回の位相調整動作で完了する。このため、従来に比べ DLL 回路 20 のロックを高速に行うことが可能となる。

【0051】

図 9 は、変形例による可変遅延回路 21 の回路図である。

20

【0052】

図 9 に示す可変遅延回路 21 は、複数段 (本例では 4 段) のインバータからなるインバータ列 220 と、インバータ列 220 を構成する P チャンネル型 MOS トランジスタのソースに動作電流を与える定電流回路 231 と、インバータ列 220 を構成する N チャンネル型 MOS トランジスタのソースに動作電流を与える定電流回路 232 と、定電流回路 231, 232 の電流値  $I$  を決める電流調整回路 240 とを備えている。

【0053】

電流調整回路 240 は、並列接続された 4 つの選択トランジスタ 241 ~ 244 を含んでいる。選択トランジスタ 241 ~ 244 の電流供給能力には重み付けがされており、図 9 に示すように、選択トランジスタ 241, 244 のチャネル幅を  $W$  とした場合、選択トランジスタ 242 のチャネル幅は  $W \times 2$ 、選択トランジスタ 243 のチャネル幅は  $W \times 4$  に設計されている。また、選択トランジスタ 241 ~ 243 のゲートには、カウンタ回路 130 のカウント値  $C_0, C_1, C_2$  の反転信号がそれぞれ供給される。これにより、3 ビットのカウント値に基づいて 8 種類の電流値のいずれかが選択されることになる。

30

【0054】

尚、選択トランジスタ 244 は、選択トランジスタ 241 ~ 243 が全てオフ (カウント値 = 111) である場合に最小の電流を流すためのトランジスタであり、DLL オンの状態では、パワーダウン信号 PWRDNB = H により常時オンである。パワーダウンモードにエントリした場合には、パワーダウン信号 PWRDNB が L となり、選択トランジスタ 244 がオフする。これにより、電流値がゼロとなる。

40

【0055】

カウント値に基づいて電流調整回路 240 により生成される電流  $I$  は、定電流回路 231, 232 に含まれるカレントミラー回路によって複製され、インバータ列 220 に動作電流として与えられる。そして、インバータ列 220 の遅延量は動作電流によって変化することから、カウント値によって内部クロック信号 LCLK の位相を制御することが可能となる。

【0056】

図 10 (a) は変形例によるカウンタ回路 130 の回路図であり、図 10 (b) は変形例によるカウンタ回路 130 の動作を示す波形図である。

【0057】

50

図10(a)に示すカウンタ回路130は、3つのデータラッチ回路135~137を備えている。これらデータラッチ回路135~137は3ビットのバイナリカウンタを構成しており、それぞれビットC0, C1, C2を出力する。これらデータラッチ回路135~137は、いずれもリセット信号RSTが供給されるリセット入力端Rを有している。データラッチ回路135のクロック入力端CKには、SRラッチ回路138の出力が供給される。SRラッチ回路138のリセット入力端Rにはオシレータクロック信号OSCCLOCKが供給され、セット入力端Sには反転されたカウンタ制御信号CNTENが供給される。

【0058】

かかる構成により、カウンタ回路130の出力であるカウント値C2~C0は、図10(b)に示すように、カウンタ制御信号CNTENがハイレベルになると、オシレータクロック信号OSCCLOCKの立ち上がりエッジに应答してインクリメントされる。つまり、オシレータクロック信号OSCCLOCKの1周期ごとにインクリメントされる。

10

【0059】

このようなカウンタ回路130を用いる場合、可変遅延回路21に含まれる遅延回路200~207の1段分の遅延量を、オシレータ120に含まれる遅延回路121の遅延量の2倍とすればよい。

【0060】

次に、本発明の好ましい第2の実施形態について説明する。

【0061】

図11は、本発明の好ましい第2の実施形態による半導体装置30の構成を示すブロック図である。

20

【0062】

本実施形態による半導体装置30は、DLL回路20がDLL回路40に置き換えられている点において、図1に示した第1の実施形態による半導体装置10と異なる。DLL回路40は、可変遅延回路21の代わりに2つの可変遅延回路41, 42が用いられている点、位相制御回路300が追加されている点、並びに、DLL制御回路23の代わりにDLL制御回路43が用いられている点において、DLL回路20と相違する。その他の要素については、図1に示したDLL回路20と同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。

30

【0063】

上述の通り、本実施形態では2つの可変遅延回路41, 42が用いられており、これらが従属接続されている。一つ目は、前段に接続された粗調用可変遅延回路41であり、相対的に粗い調整ピッチを有している。粗調用可変遅延回路41の動作は、位相差量検出回路100によって制御される。位相差量検出回路100の回路構成及び動作については既に説明したとおりである。したがって、粗調用可変遅延回路41については、第1の実施形態と同様の動作を行う。二つ目は、後段に接続された微調用可変遅延回路42であり、相対的に細かい調整ピッチを有している。微調用可変遅延回路42の動作は、位相制御回路300によって制御される。位相制御回路300は、位相差量検出回路100とは異なり、1回の調整動作によって1ピッチの位相制御を行う。位相制御回路300の詳細については後述する。

40

【0064】

DLL制御回路43は、位相差量検出回路100、位相制御回路300及びレプリカバッファ24の動作を制御する回路であり、制御回路15の指示に基づき動作する。具体的には、第1の実施形態において用いたDLL制御回路23の動作に加え、粗調用可変遅延回路41の調整動作が完了すると、位相制御回路300に対して開始信号STARTを出力するとともに、位相制御回路300から終了信号ENDが入力されると、一連の調整動作を終了する。

【0065】

図12は、DLL回路40のより詳細なブロック図であり、位相差量検出回路100及

50

び位相制御回路 300 の内部をより詳細に示している。但し、位相差量検出回路 100 の説明については省略する。

【0066】

図 12 に示すように、位相制御回路 300 は、位相検知回路 310、アップダウンカウンタ回路 320、デコーダ回路 330 及び終了判定回路 340 によって構成されている。

【0067】

位相検知回路 310 は、外部クロック信号 CLK 及びレプリカクロック信号 RCLK を受け、その位相を検知する回路である。つまり、位相検知回路 310 は、外部クロック信号 CLK に対してレプリカクロック信号 RCLK の位相が進んでいるか遅れているかを検知する回路であり、位相差量検出回路 100 のように「位相差量」を検知するものではない。検知結果である位相検知信号 PD は、アップダウンカウンタ回路 320 に供給される。

10

【0068】

アップダウンカウンタ回路 320 は、位相検知信号 PD に基づいてカウント値がカウントアップ又はカウントダウンされる回路である。例えば、位相検知信号 PD がハイレベルであればカウントアップを行い、位相検知信号 PD がローレベルであればカウントダウンを行う。アップダウンカウンタ回路 320 のカウント動作は、DLL 制御回路 43 より供給される開始信号 START が活性化すると許可される。また、カウントアップ又はカウントダウンのタイミングは、サンプリングクロック信号 SYNCCLK に同期して行われる。アップダウンカウンタ回路 320 には、リセット信号 RST も供給されており、これが活性化するとカウント値が初期化される。アップダウンカウンタ回路 320 のカウント値 CV はデコーダ回路 330 及び終了判定回路 340 に供給される。

20

【0069】

デコーダ回路 330 は、アップダウンカウンタ回路 320 のカウント値 CV を受けてこれをデコードし、デコード結果である選択信号 SELa を微調用可変遅延回路 42 に供給する回路である。これにより、微調用可変遅延回路 42 の遅延量は、アップダウンカウンタ回路のカウント値 CV によって定められる。

【0070】

終了判定回路 340 は、カウント値 CV の変化が所定のパターンを示した場合に終了信号 END を活性化させる回路である。所定のパターンとは、DLL 回路 40 がロックした場合に得られるカウント値 CV の変化パターンを指す。具体的なパターンについては特に限定されないが、カウント値 CV の更新方向が変化した場合や（例えばカウントアップが続いた後、カウントダウンした場合）、カウント値 CV の更新方向が 2 回連続変化した場合など（例えばカウントアップが続いた後、カウントダウンし、次にカウントアップした場合）が挙げられる。終了信号 END は DLL 制御回路 43 に供給され、これにより、DLL 制御回路 43 は DLL 回路 40 がロックしたことを知ることが可能となる。

30

【0071】

かかる構成により、本実施形態では、微調用可変遅延回路 42 については、1 回の調整動作で遅延量が 1 ピッチずつ変化する。これによって、外部クロック信号 CLK とレプリカクロック信号 RCLK の位相をより厳密に一致させることが可能となる。また、微調用可変遅延回路 42 においては、1 ピッチ分の遅延量が小さいことから、位相差量を検出し、これに基づいて微調用可変遅延回路 42 を制御することが容易ではないという点も、1 ピッチずつ変化させている理由の一つである。

40

【0072】

本実施形態において、粗調用可変遅延回路 41 としては、図 7 又は図 9 に示した可変遅延回路 21 と同じ回路を用いることができる。これにより、粗調用可変遅延回路 41 に関連する部分は、第 1 の実施形態と同じ動作を行う。

【0073】

図 13 は、微調用可変遅延回路 42 の一例を示す回路図である。図 13 に示す微調用可変遅延回路 42 は、図 7 に示した可変遅延回路 21（粗調用可変遅延回路 41）と同様の

50

回路構成を有しているが、遅延回路 400 ~ 407 の 1 段当たりの遅延量が遅延回路 200 ~ 207 の 1 段当たりの遅延量よりも小さく設計されている。これにより、調整ピッチが粗調用可変遅延回路 41 よりも小さくなることから、より細かい位相制御を行うことができる。

【0074】

図 14 は、微調用可変遅延回路 42 の他の例を示す回路図である。図 14 に示す微調用可変遅延回路 42 は、図 9 に示した可変遅延回路 21 (粗調用可変遅延回路 41) と同様の回路構成を有しているが、電流調整回路 440 を構成する選択トランジスタ 441 ~ 443 のチャンネル幅が W から W2 に拡大されている。これにより、調整ピッチが粗調用可変遅延回路 41 よりも小さくなることから、より細かい位相制御を行うことができる。

10

【0075】

このように、本実施形態による DLL 回路 40 は、遅延量の調整ピッチが相対的に粗い粗調用可変遅延回路 41 と、遅延量の調整ピッチが相対的に細かい微調用可変遅延回路 42 を有しており、粗調用可変遅延回路 41 については 1 回の調整動作で遅延量を 1 又は 2 ピッチ以上変化させる位相差量検出回路 100 を用いて制御し、微調用可変遅延回路 42 については 1 回の調整動作で遅延量を 1 ピッチずつ変化させる位相制御回路 300 を用いて制御している。このため、DLL 回路 40 を高速且つ正確にロックさせることが可能となる。

【0076】

次に、本発明の好ましい第 3 の実施形態について説明する。

20

【0077】

図 15 は、本発明の好ましい第 3 の実施形態による DLL 回路 50 の構成を示すブロック図である。

【0078】

本実施形態による DLL 回路 50 は、図 12 に示した DLL 回路 40 に対し、可変遅延回路 41, 42 がそれぞれ可変遅延回路 51, 52 に置き換えられている点、並びに、位相差量検出回路 100 に含まれるデコーダ回路 140 がデコーダ回路 150 に置き換えられている点において相違する。その他の要素については、図 12 に示した DLL 回路 40 と同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。

【0079】

30

図 16 は、デコーダ回路 150 の回路図である。図 16 に示すデコーダ回路 150 は、図 6 に示したデコーダ回路 140 の後段に論理回路 151 が付加された構成を有している。これにより、活性化する選択信号 SEL0 ~ SEL7 は、1 つだけでなく隣り合う 2 つとなる。

【0080】

図 17 は、粗調用可変遅延回路 51 の回路図である。図 17 に示す粗調用可変遅延回路 51 は、複合ゲートが 2 系統設けられている。具体的には、複合ゲート 500 ~ 507 は偶数番号が割り当てられた遅延回路 200, 202, 204, 206 に接続されており、その出力は中間クロック信号 DCLK0 として出力される。さらに、複合ゲート 510 ~ 517 は奇数番号が割り当てられた遅延回路 201, 203, 205, 207 に接続されており、その出力は中間クロック信号 DCLK1 として出力される。つまり、粗調用可変遅延回路 51 からは、2 つの中間クロック信号 DCLK0, DCLK1 が出力される。そして、上述の通り、デコーダ回路 150 から出力される選択信号 SEL0 ~ SEL7 は、隣り合う 2 つが同時に活性化することから、これら中間クロック信号 DCLK0, DCLK1 は、位相が必ず 1 ピッチ異なることになる。

40

【0081】

図 18 (a) は微調用可変遅延回路 52 の回路図であり、図 18 (b) はその動作を説明するための波形図である。

【0082】

図 18 (a) に示す微調用可変遅延回路 52 は、中間クロック信号 DCLK0 が入力さ

50

れるインバータ600と、中間クロック信号DCLK1が入力されるインバータ601を有しており、その合成出力が内部クロック信号LCLKとして用いられる。インバータ600には、それぞれバイアス電圧VPEO, VNEOを受けるトランジスタ611, 612が直接接続されており、これにより、インバータ600の能力はバイアス電圧VPEO, VNEOによって調整される。同様に、インバータ601には、それぞれバイアス電圧VPM, VNMを受けるトランジスタ621, 622が直接接続されており、これにより、インバータ601の能力はバイアス電圧VPM, VNMによって調整される。

#### 【0083】

かかる構成により、図18(b)に示すように、中間クロック信号DCLK0, DCLK1の合成比は、これらバイアス電圧のレベル配分によって決まる。例えば、配分がバイアス電圧VPEO, VNEOが100%、バイアス電圧VPM, VNMが0%であれば、生成される内部クロック信号LCLKの位相は、中間クロック信号DCLK0の位相とほぼ一致する。逆に、配分がバイアス電圧VPEO, VNEOが0%、バイアス電圧VPM, VNMが100%であれば、生成される内部クロック信号LCLKの位相は、中間クロック信号DCLK1の位相とほぼ一致する。さらに、配分がバイアス電圧VPEO, VNEOが50%、バイアス電圧VPM, VNMが50%であれば、生成される内部クロック信号LCLKの位相は、中間クロック信号DCLK0, DCLK1の位相のほぼ中間となる。

10

#### 【0084】

このようにして、位相が1ピッチ異なる2つの中間クロック信号DCLK0, DCLK1を任意の割合で合成することができ、これにより、内部クロック信号LCLKの微調整が実現される。バイアス電圧の生成は、デコーダ回路330の出力をD/A変換することにより得られる。

20

#### 【0085】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

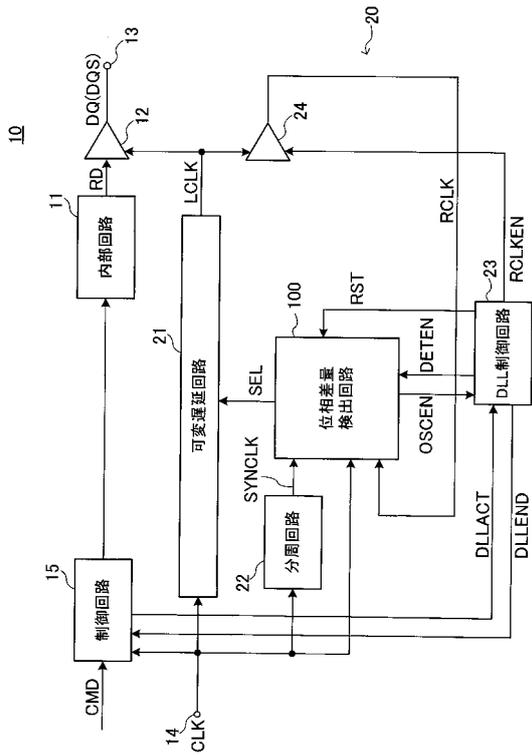
#### 【符号の説明】

#### 【0086】

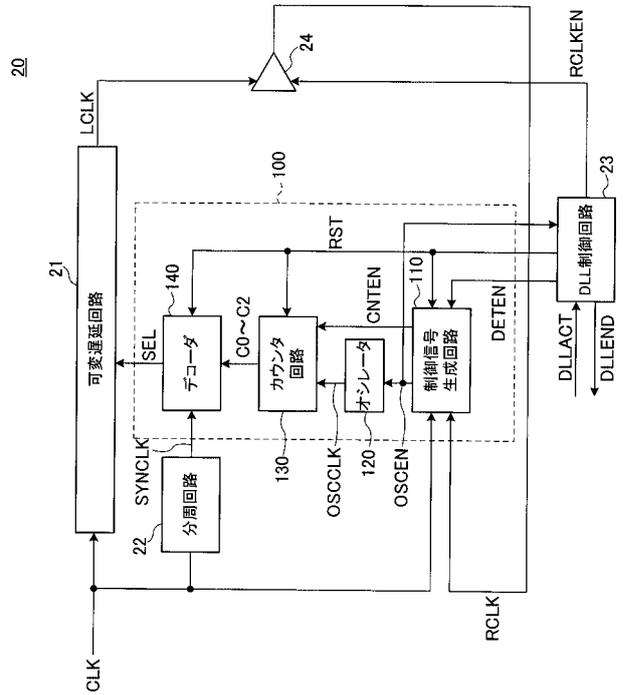
10, 30	半導体装置	30
11	内部回路	
12	出力バッファ	
13	出力端子	
14	クロック端子	
15	制御回路	
20, 40, 50	DLL回路	
21	可変遅延回路	
22	分周回路	
23, 43	DLL制御回路	
24	レプリカバッファ	40
41, 51	粗調用可変遅延回路	
42, 52	微調用可変遅延回路	
100	位相差量検出回路	
110	制御信号生成回路	
120	オシレータ	
130	カウンタ回路	
140, 150	デコーダ回路	
200 ~ 207, 300 ~ 307	遅延回路	
300	位相制御回路	
310	位相検知回路	50

- 3 2 0 アップダウンカウンタ回路
- 3 3 0 デコーダ回路
- 3 4 0 終了判定回路
- CLK 外部クロック信号 (第1のクロック信号)
- RCLK レプリカクロック信号 (第2のクロック信号)
- LCLK 内部クロック信号 (第3のクロック信号)

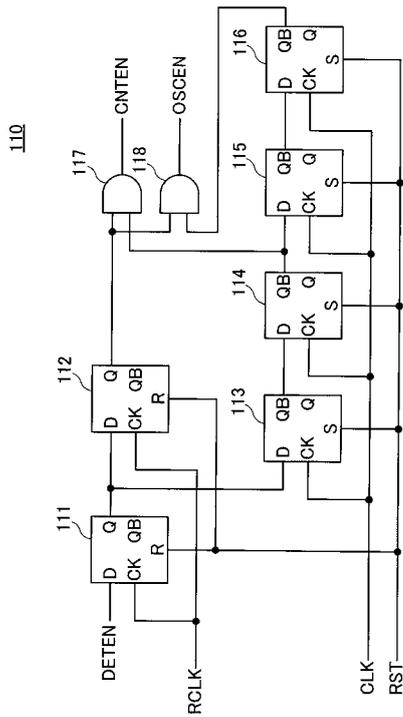
【 図 1 】



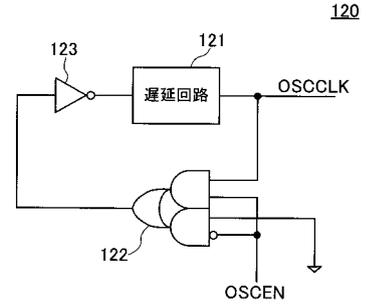
【 図 2 】



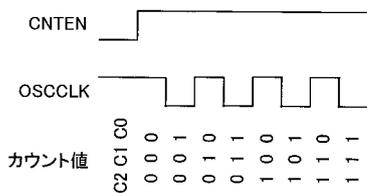
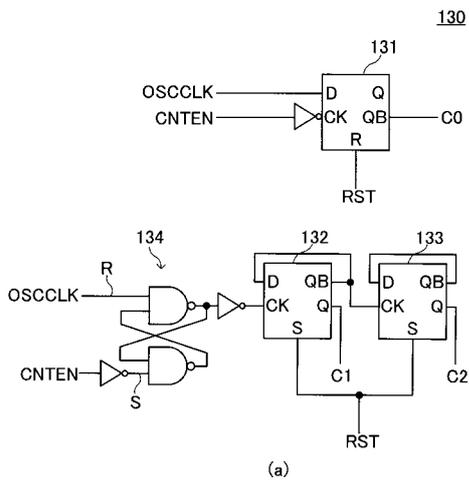
【 図 3 】



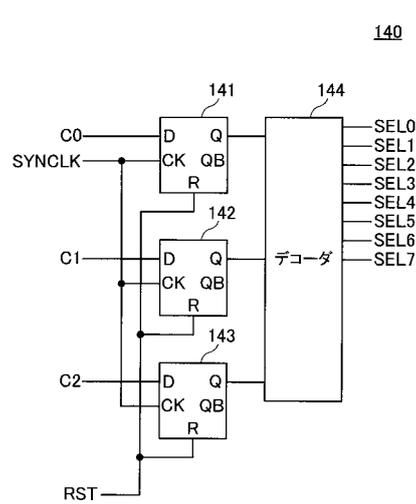
【 図 4 】



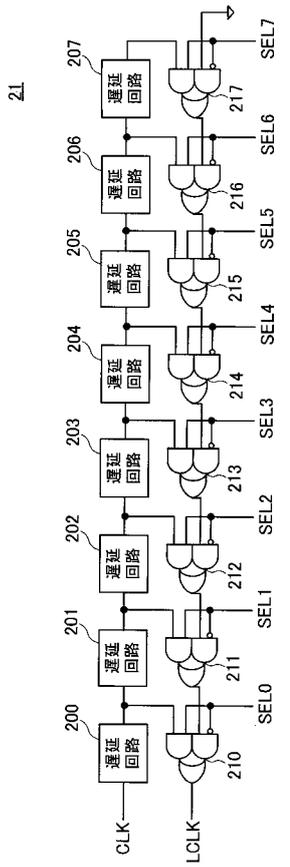
【 図 5 】



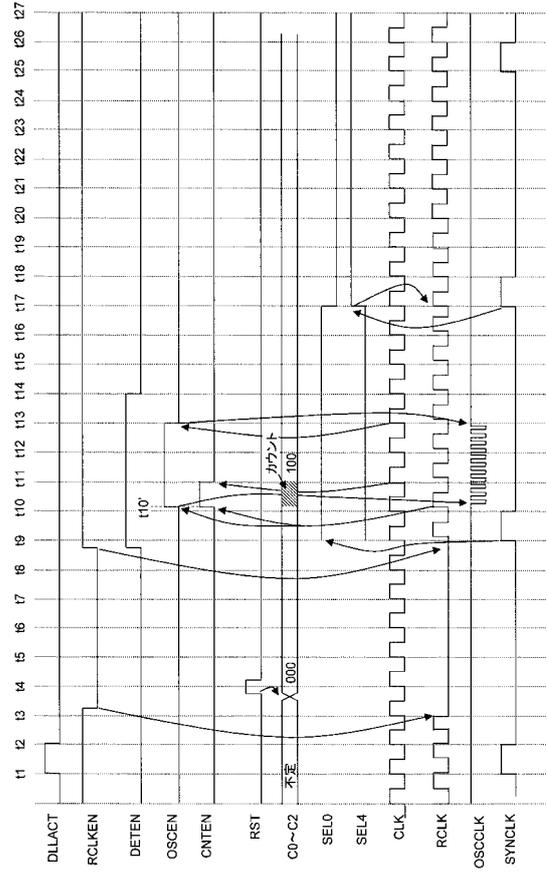
【 図 6 】



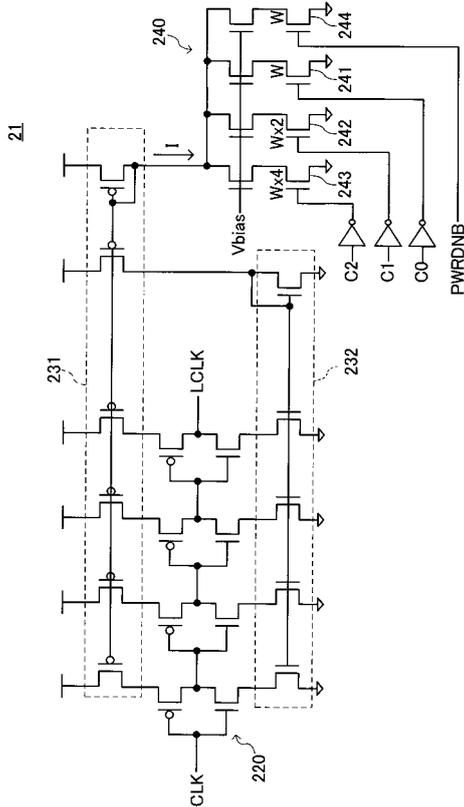
【 図 7 】



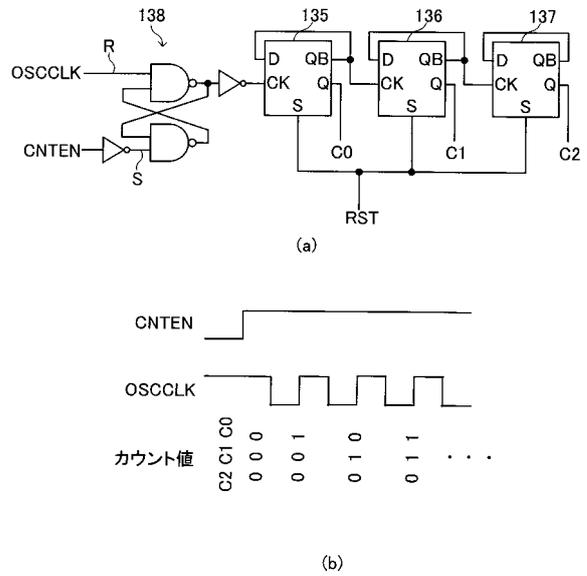
【 図 8 】



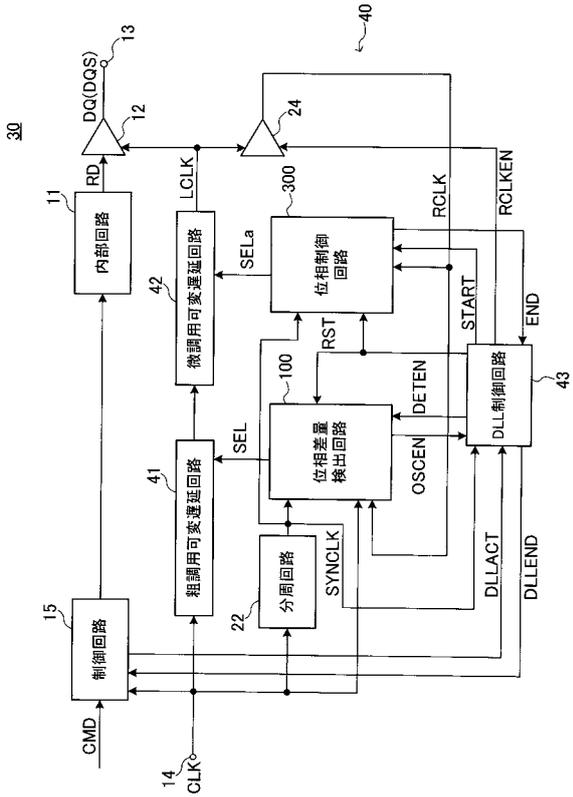
【 図 9 】



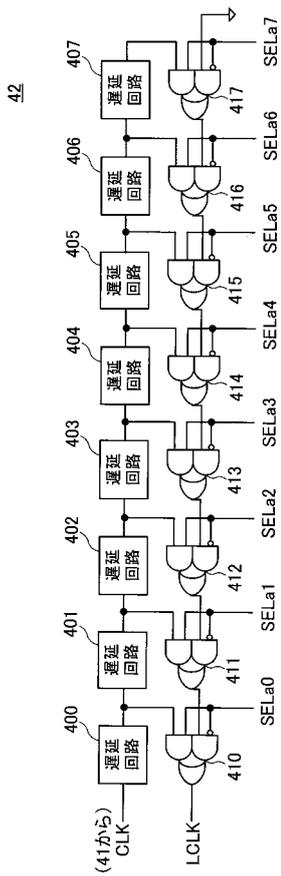
【 図 10 】



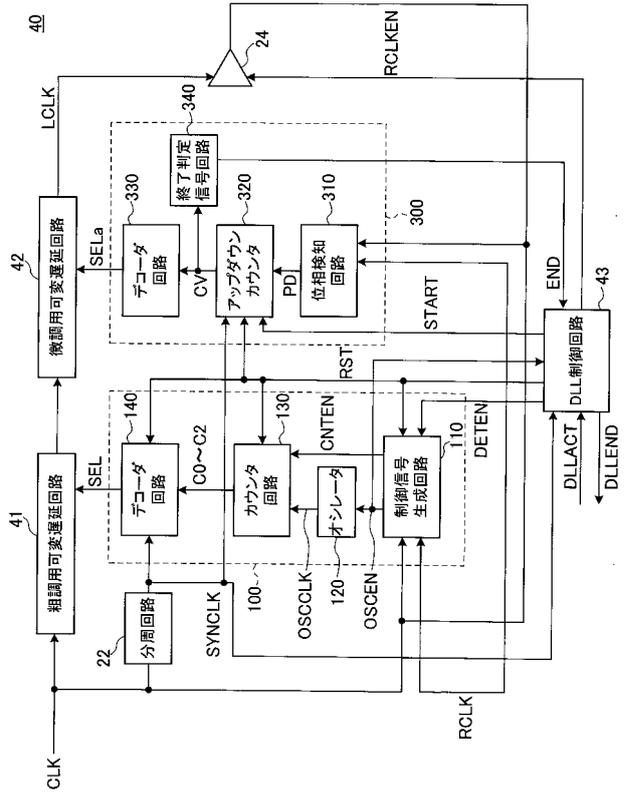
【図 1 1】



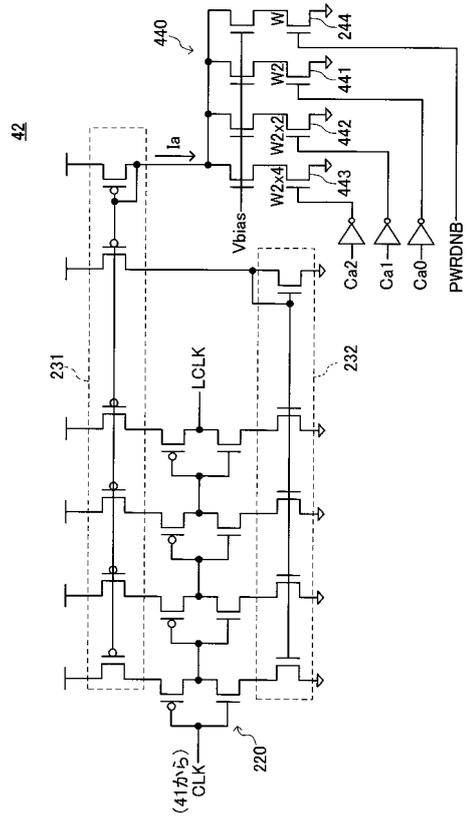
【図 1 3】



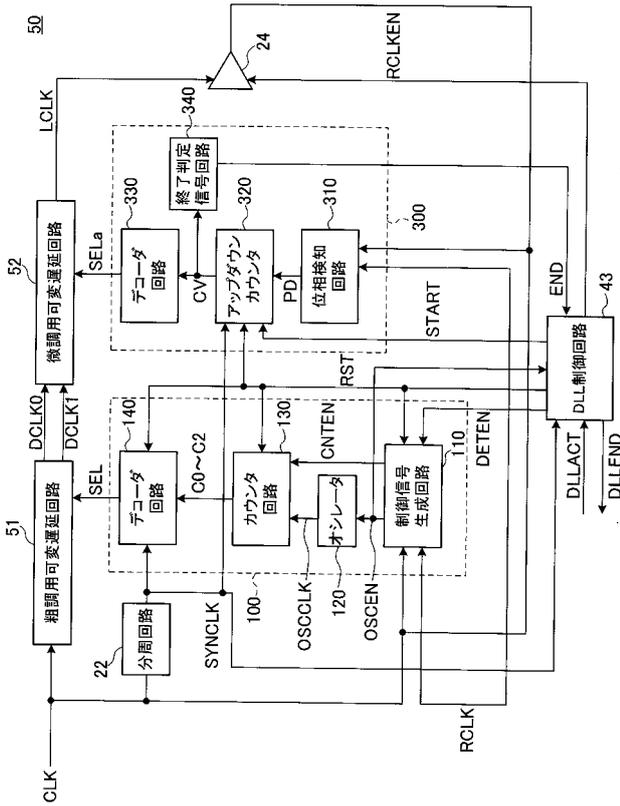
【図 1 2】



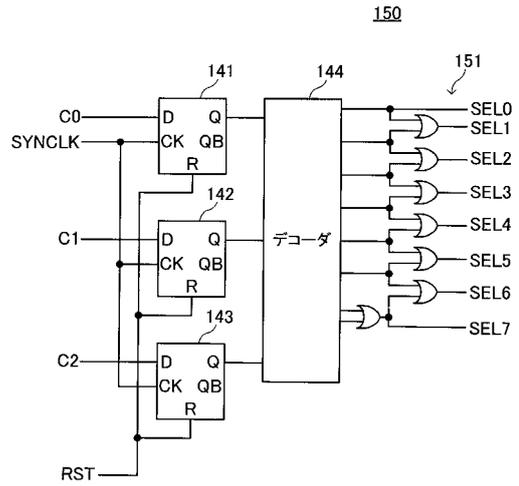
【図 1 4】



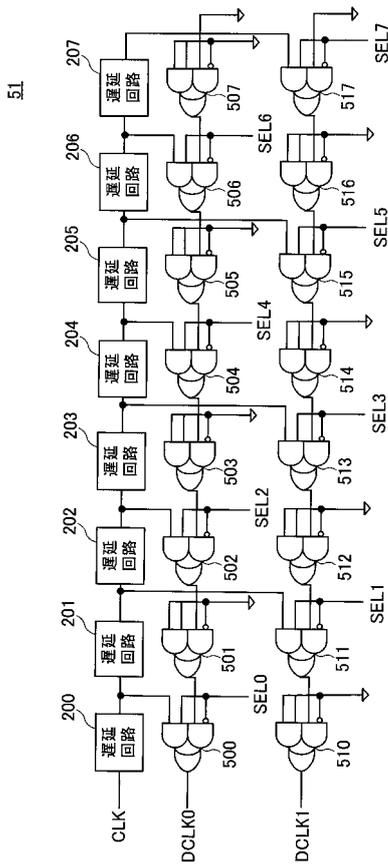
【図 15】



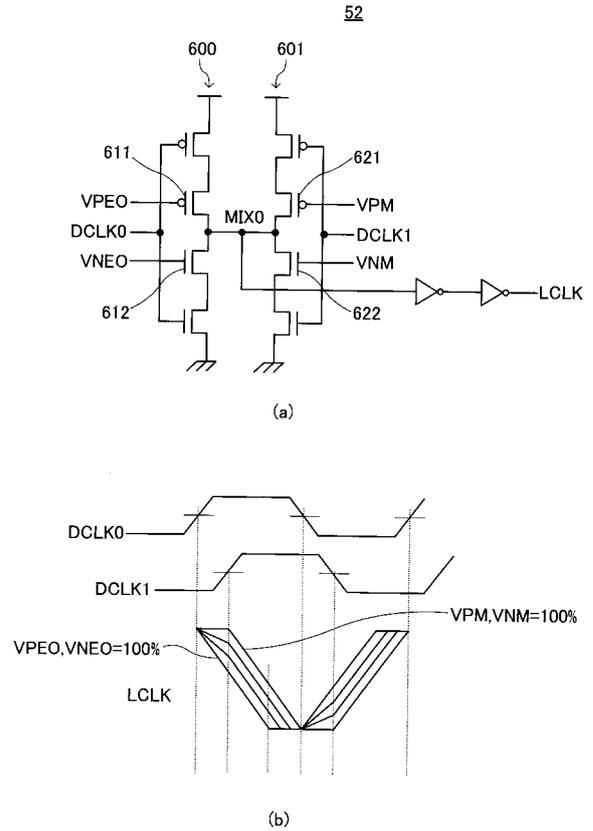
【図 16】



【図 17】



【図 18】



【手続補正書】【提出日】平成22年7月15日(2010.7.15)【手続補正1】【補正対象書類名】特許請求の範囲【補正対象項目名】全文【補正方法】変更【補正の内容】【特許請求の範囲】【請求項1】

第1のクロック信号と第2のクロック信号の位相差の量を示す可変な値を出力する位相差量検出回路と、

前記可変な値に基づいて前記第1のクロック信号を遅延させることにより第3のクロック信号を生成する可変遅延回路と、

前記第3のクロック信号に基づいて前記第2のクロック信号を生成するレプリカバッファと、を備えることを特徴とするDLL回路。

【請求項2】

前記可変遅延回路は、前記可変な値に基づいて、一回の遅延制御における前記第1のクロック信号の遅延量を変化させる、ことを特徴とする請求項1に記載のDLL回路。

【請求項3】

前記位相差は、前記一回の遅延制御が行われることにより、前記可変遅延回路によって調整される最小分解能よりも小さくなる、ことを特徴とする請求項2に記載のDLL回路。

【請求項4】

前記位相差量検出回路は、

前記第1及び第2のクロック信号の一方の第1のエッジに応答して計時を開始し、前記第1及び第2のクロック信号の他方の第2のエッジに応答して前記計時を終了することによって、前記計時の開始から終了までの時間の長さに対応する前記可変な値を生成する、ことを特徴とする請求項1に記載のDLL回路。

【請求項5】

前記位相差量検出回路は、

第4のクロック信号を生成するオシレータ回路と、

前記第1のエッジに応答して前記第4のクロック信号の遷移のカウントを開始し、前記第2のエッジに応答して前記カウントを終了するカウンタ回路と、を含み、

前記可変な値は、前記カウンタ回路がカウントしたカウント値である、ことを特徴とする請求項4に記載のDLL回路。

【請求項6】

前記第4のクロック信号の周波数は、前記第1乃至第3のクロック信号の周波数よりも高い、ことを特徴とする請求項5に記載のDLL回路。

【請求項7】

前記可変遅延回路は、変更可能な時間ピッチで遅延量の調整が可能であり、

前記位相差量検出回路は、前記可変な値に基づいて前記可変遅延回路による一回の遅延量を1又は2時間ピッチ以上変化させることにより、一回の遅延制御で前記位相差の量を前記変更可能な時間ピッチよりも小さくする、ことを特徴とする請求項1乃至6のいずれか一項に記載のDLL回路。

【請求項8】

前記可変遅延回路は、

前記第1のクロック信号が供給され、遅延量の調整ピッチが相対的に粗い粗調用可変遅延回路と、

前記粗調用可変遅延回路の出力信号が供給され、前記第3のクロック信号を出力する遅延量の調整ピッチが相対的に細かい微調用可変遅延回路と、を含み、

前記粗調用可変遅延回路は、前記可変な値に基づいて、一回の遅延制御の前記第1のクロック信号の遅延量を異ならせる、ことを特徴とする請求項1乃至7のいずれか一項に記載のDLL回路。

【請求項9】

前記第1のクロック信号と前記第2のクロック信号の位相に基づいて、前記微調用可変遅延回路による遅延量を調整する位相制御回路をさらに備え、

前記位相制御回路は、前記第1と第2のクロック信号の一方のクロックを基準に、他方のクロックが進んでいるか遅れているかの2値を判定し、前記2値の判定の結果によって前記微調用可変遅延回路の遅延量を調整する、ことを特徴とする請求項8に記載のDLL回路。

【請求項10】

前記微調整用可変遅延回路は、前記2値の判定の結果により、前記微調整用可変遅延回路が調整可能な最小分解能を示すピッチを一つずつ調整する、ことを特徴とする請求項9に記載のDLL回路。

【請求項11】

前記可変遅延回路は、それぞれ電源が制御された複数の論理ゲートが縦続接続された論理バッファと、前記電源を制御する電源制御回路を含み、

前記論理バッファの入力端子に前記第1のクロック信号が供給され、前記論理バッファの出力端子から前記第3のクロック信号が出力され、

前記電源制御回路は、前記可変な値に基づいて、前記論理バッファの信号伝達速度の量を異ならせる、ことを特徴とする請求項1乃至7のいずれか一項に記載のDLL回路。

【請求項12】

前記電源制御回路は、前記論理ゲートに流す電流の量を制御する、ことを特徴とする請求項11に記載のDLL回路。

【請求項13】

前記粗調用可変遅延回路は、それぞれ第1の電源が制御された複数の第1の論理ゲートが縦続接続された第1の論理バッファと、前記第1の電源を制御する第1の電源制御回路を含み、

前記第1の論理バッファの入力端子に前記第1のクロック信号が供給され、前記第1の論理バッファの出力端子と前記微調用可変遅延回路を介して前記第3のクロック信号が出力され、

前記第1の電源制御回路は、前記可変な値に基づいて、前記第1の論理バッファの信号伝達速度の量を異ならせる、ことを特徴とする請求項8乃至10のいずれか一項に記載のDLL回路。

【請求項14】

前記微調用可変遅延回路は、それぞれ第2の電源が制御された複数の第2の論理ゲートが縦続接続された第2の論理バッファと、前記第2の電源を制御する第2の電源制御回路を含み、

前記第1のクロック信号が前記粗調用可変遅延回路を介して前記第2の論理バッファの入力端子に供給され、前記第2の論理バッファの出力端子から前記第3のクロック信号が出力され、

前記第2の電源制御回路は、前記2値の判定の結果に基づいて、前記第2の論理バッファの信号伝達速度の量を異ならせる、ことを特徴とする請求項8乃至10及び13のいずれか一項に記載のDLL回路。

【請求項15】

前記第1の電源制御回路は、前記第1の論理ゲートに流す電流の量を制御する、ことを特徴とする請求項13に記載のDLL回路。

【請求項16】

前記第2の電源制御回路は、前記第2の論理ゲートに流す電流の量を制御する、ことを特徴とする請求項14に記載のDLL回路。

## 【請求項 17】

前記第2の電源制御回路は、累積する前記2値の判定の結果に基づいて、前記第2の論理ゲートに流す電流の量を2進数で制御する、ことを特徴とする請求項16に記載のDLL回路。

## 【請求項 18】

前記微調用可変遅延回路は、  
複数の第3の論理ゲートが縦続接続された第3の論理バッファ、  
複数の奇数段の前記第3の論理ゲートの出力を合成して第1の内部信号を生成する第1の複合ゲート、  
複数の偶数段の前記第3の論理ゲートの出力を合成して第2の内部信号を生成する第2の複合ゲート、  
前記第1と第2の内部信号を合成して前記第3のクロック信号を生成する合成回路を含む、ことを特徴とする請求項8乃至10、13乃至17のいずれか一項に記載のDLL回路。

## 【請求項 19】

請求項1乃至18のいずれか一項に記載の前記DLL回路及び出力バッファを備える半導体装置であって、  
前記第1のクロック信号は、前記半導体装置の外部から供給され、  
前記出力バッファは、前記第3のクロック信号に同期してデータを前記半導体装置の外部へ出力する、ことを特徴とする半導体装置。

## 【請求項 20】

前記レプリカバッファは、前記出力バッファと実質的に同じ回路構成を有している、ことを特徴とする請求項19に記載の半導体装置。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

本発明によるDLL回路は、第1のクロック信号と第2のクロック信号の位相差の量を示す可変な値を出力する位相差量検出回路と、前記可変な値に基づいて前記第1のクロック信号を遅延させることにより第3のクロック信号を生成する可変遅延回路と、前記第3のクロック信号に基づいて前記第2のクロック信号を生成するレプリカバッファと、を備えることを特徴とする。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

また、本発明による半導体装置は、上記のDLL回路及び出力バッファを備える半導体装置であって、前記第1のクロック信号は、前記半導体装置の外部から供給され、前記出力バッファは、前記第3のクロック信号に同期してデータを前記半導体装置の外部へ出力する、ことを特徴とする。