

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5235814号
(P5235814)

(45) 発行日 平成25年7月10日(2013.7.10)

(24) 登録日 平成25年4月5日(2013.4.5)

(51) Int. Cl. F I
 HO4N 5/378 (2011.01) HO4N 5/335 780
 HO4N 5/374 (2011.01) HO4N 5/335 740

請求項の数 6 (全 12 頁)

<p>(21) 出願番号 特願2009-181784 (P2009-181784) (22) 出願日 平成21年8月4日(2009.8.4) (65) 公開番号 特開2011-35787 (P2011-35787A) (43) 公開日 平成23年2月17日(2011.2.17) 審査請求日 平成24年7月30日(2012.7.30)</p>	<p>(73) 特許権者 000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号 (74) 代理人 100090273 弁理士 園分 孝悦 (72) 発明者 菊池 伸 東京都大田区下丸子3丁目30番2号 キ ヤノン株式会社内 審査官 若林 治男</p>
---	---

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項 1】

光電変換素子を有し、画素信号を出力する画素と、
 前記画素により出力される画素信号を増幅する増幅器とを有し、
 前記増幅器は、
 オペアンプと、
 前記オペアンプの入力端子及び前記画素間に接続される入力容量と、
 前記オペアンプの入力端子及び出力端子間に接続される帰還容量と、
 前記オペアンプの入力端子及び出力端子間に接続される初期化スイッチと、
 前記帰還容量と並列に接続される第1の容量と、
 前記帰還容量と並列に接続される第2の容量と、
 前記帰還容量の一端と前記第1の容量の一端との間に接続される第1のスイッチと、
 前記第1の容量の一端と前記第2の容量の一端との間に接続される第2のスイッチとを
 有し、
 前記帰還容量の一端は、前記第1のスイッチ及び前記第2のスイッチを介して前記第2
 の容量の一端に接続されることを特徴とする固体撮像装置。

【請求項 2】

前記オペアンプの出力端子は、前記第1のスイッチ及び前記第2のスイッチを介して前
 記第2の容量の一端に接続されることを特徴とする請求項1記載の固体撮像装置。

【請求項 3】

前記オペアンプの入力端子は、前記第 1 のスイッチ及び前記第 2 のスイッチを介して前記第 2 の容量の一端に接続されることを特徴とする請求項 1 記載の固体撮像装置。

【請求項 4】

さらに、前記帰還容量の他端と前記第 1 の容量の他端との間に接続される第 3 のスイッチと、

前記第 1 の容量の他端と前記第 2 の容量の他端との間に接続される第 4 のスイッチとを有し、

前記オペアンプの出力端子は、前記第 1 のスイッチ及び前記第 2 のスイッチを介して前記第 2 の容量の一端に接続され、

前記オペアンプの入力端子は、前記第 3 のスイッチ及び前記第 3 のスイッチを介して前記第 2 の容量の他端に接続されることを特徴とする請求項 1 記載の固体撮像装置。

10

【請求項 5】

光電変換素子を有し、画素信号を出力する画素と、

前記画素により出力される画素信号を増幅する増幅器とを有し、

前記増幅器は、

オペアンプと、

前記オペアンプの入力端子及び前記画素間に接続される入力容量と、

前記オペアンプの入力端子及び出力端子間に接続される帰還容量と、

前記オペアンプの入力端子及び出力端子間に接続される初期化スイッチと、

前記入力容量と並列に接続される第 1 の容量と、

20

前記入力容量と並列に接続される第 2 の容量と、

前記入力容量の一端と前記第 1 の容量の一端との間に接続される第 1 のスイッチと、

前記第 1 の容量の一端と前記第 2 の容量の一端との間に接続される第 2 のスイッチとを有し、

前記入力容量の一端は、前記第 1 のスイッチ及び前記第 2 のスイッチを介して前記第 2 の容量の一端に接続されることを特徴とする固体撮像装置。

【請求項 6】

さらに、前記第 1 の容量の一端を固定電位ノードに接続するための第 1 の固定電位ノードスイッチと、

前記第 2 の容量の一端を固定電位ノードに接続するための第 2 の固定電位ノードスイッチとを有することを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の固体撮像装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置に関する。

【背景技術】

【0002】

CMOS センサなどのように光電変換素子を有する画素が 1 次元および 2 次元に配列され、画素からの電圧出力を列毎に設けた回路で読み出す固体撮像装置においては、列毎の読み出し回路で電圧増幅を行う事により S/N 比を改善できる。

40

【0003】

電圧増幅を行うための読み出し回路毎のアンプ（以後、列アンプと略す）は光電変換素子の出力信号のダイナミックレンジを損なわない範囲で増幅する事が S/N 比の面から重要である。また、非常に低輝度の被写体を撮像する場合は、列アンプで信号を増幅することで S/N 比を向上する事が出来る。

【0004】

撮像システムにおいて列アンプの増幅率は、被写体の照度に応じて可変とするのが通例である。可変増幅率を有する列アンプ回路の関し、特許文献 1 がある。

【先行技術文献】

【特許文献】

50

【 0 0 0 5 】

【特許文献 1】特開 2 0 0 5 - 1 7 5 5 1 7 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

しかしながら、画素ピッチが小さくなると、特許文献 1 では寄生容量が無視できなくなり、特に高いゲイン設定時に所望の増幅率にならない誤差を生じていた。固体撮像装置としての課題は以下の 3 つである。

【 0 0 0 7 】

(1) 寄生容量の影響による増幅率の低下を補うために、入力容量を大きくする必要があり、チップ面積の増大を招く。

(2) 寄生容量の原因となる配線間容量、スイッチの端子間容量は、絶縁膜の膜厚ばらつき、金属配線層の膜厚などの製造ばらつきの影響を受けるため、増幅率も製造ばらつきの影響を受けやすい。

(3) 寄生容量を通じて外乱が混入しやすく、特に高増幅率の時に顕著となる。

【 0 0 0 8 】

本発明の目的は、寄生容量の影響による増幅器の増幅率の変動（低下）を防止することができる固体撮像装置を提供することである。

【課題を解決するための手段】

【 0 0 0 9 】

本発明の固体撮像装置は、光電変換素子を有し、画素信号を出力する画素と、前記画素により出力される画素信号を増幅する増幅器とを有し、前記増幅器は、オペアンプと、前記オペアンプの入力端子及び前記画素間に接続される入力容量と、前記オペアンプの入力端子及び出力端子間に接続される帰還容量と、前記オペアンプの入力端子及び出力端子間に接続される初期化スイッチと、前記帰還容量と並列に接続される第 1 の容量と、前記帰還容量と並列に接続される第 2 の容量と、前記帰還容量の一端と前記第 1 の容量の一端との間に接続される第 1 のスイッチと、前記第 1 の容量の一端と前記第 2 の容量の一端との間に接続される第 2 のスイッチとを有し、前記帰還容量の一端は、前記第 1 のスイッチ及び前記第 2 のスイッチを介して前記第 2 の容量の一端に接続されることを特徴とする。

【発明の効果】

【 0 0 1 0 】

寄生容量の影響による増幅器の増幅率の変動（低下）を防止することができる。

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】本発明の第 1 の実施形態による固体撮像装置の構成例を示す図である。

【図 2】第 1 の実施形態による増幅器の構成例を示す回路図である。

【図 3】図 2 の固体撮像装置に対応する回路レイアウトの図である。

【図 4】本発明の第 2 の実施形態による増幅器の構成例を示す回路図である。

【図 5】本発明の第 3 の実施形態による増幅器の構成例を示す回路図である。

【図 6】本発明の第 4 の実施形態による増幅器の構成例を示す回路図である。

【図 7】本発明の第 5 の実施形態による増幅器の構成例を示す回路図である。

【発明を実施するための形態】

【 0 0 1 2 】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態による固体撮像装置の構成例を示す図である。図中の各構成は同一の半導体基板上に設けられている。画素部 1 0 1 は、CMOS センサなどの電圧出力型光電変換素子を有する複数の画素 5 1 が 2 次元行列状に配列されている。同じ行の画素 5 1 は、制御線 V 1、V 2、・・・、V n によって共通に接続されており、垂直走査回路 6 0 からの信号を受けて、同じタイミングで垂直信号線 V S 1、V S 2、・・・、V S n に画素信号を出力する。ゲイン回路 2 0 は、各垂直信号線 V S 1、V S 2、・・・

10

20

30

40

50

・、 $V S n$ 毎に設けられた増幅率可変の増幅器を有し、垂直信号線 $V S 1$ 、 $V S 2$ 、 \dots 、 $V S n$ に出力された画素信号を増幅する。増幅器の増幅率は、外部から入力される増幅率制御信号である信号 G によって設定される。ゲイン回路 20 の各増幅器に対応して設けられたメモリを含むメモリ回路 30 は、ゲイン回路 20 の増幅器で増幅された信号を一時的に保持する。メモリ回路 30 のメモリは、水平走査回路 40 によって順次走査され、出力部である出力アンプ 50 を介して固体撮像装置から出力される。図中の $V 1$ 、 G 、 M 、 H はそれぞれ、対応する回路の駆動を制御するための信号である。実際には複数の信号からなるものもあるが、簡単のために 1 つの信号として表している。

【0013】

図 2 は、本実施形態によるゲイン回路 20 の各列に設けられる増幅器の構成例を示す回路図である。図中、1 は初期化スイッチ $S W 0$ であり、オンすることで帰還容量 3 ~ 6 を初期化する。2 は入力容量 $C 0$ であり、3 は帰還容量 a であり、4 は帰還容量 (第 1 の容量) b であり、5 は帰還容量 (第 2 の容量) c であり、6 は帰還容量 (第 3 の容量) d である。容量 a 、 b 、 c 、 d は、 $a < b < c < d$ の関係を有する。7 は増幅率切替スイッチ (第 1 のスイッチ) $S W 1 0$ であり、8 は第 2 の増幅率切替スイッチ (第 2 のスイッチ) $S W 2 0$ であり、9 は第 3 の増幅率切替スイッチ $S W 3 0$ である。10 はオペアンプである。増幅率切替スイッチ 7、8、9 は、図 1 の増幅率制御信号 G によりオン/オフされる。また、増幅率切替スイッチ 7、8、9 は、出力線 993 に対して寄生容量を切断し、寄生容量を低減させる事ができる。

【0014】

オペアンプ 10 は、正入力端子には電位 $V r e f$ が入力され、負入力端子 992 が入力容量 2 を介して入力端子 $i n$ に接続され、出力端子が出力端子 $O U T$ に接続される。入力端子 $i n$ は、図 1 の垂直信号線 $V S 1$ 、 $V S 2$ 、 \dots 、 $V S n$ に接続される。出力端子 $O U T$ は、図 1 のメモリ回路 30 に接続される。991 は入力端子 $i n$ であり、993 は出力端子 $O U T$ である。初期化スイッチ 1 は、オペアンプ 10 の負入力端子 992 及び出力端子 993 間に接続される。帰還容量 3 ~ 6 は、オペアンプ 10 の負入力端子 992 及び出力端子 993 間に並列に接続される。増幅率切替スイッチ 7 は、帰還容量 3 及び 4 の右端子 (一端) 間に接続される。増幅率切替スイッチ 8 は、帰還容量 4 及び 5 の右端子間に接続される。増幅率切替スイッチ 9 は、帰還容量 5 及び 6 の右端子間に接続される。帰還容量 3 の右端子は、出力端子 993 に接続される。オペアンプ 10 の出力端子 993 は、増幅率切替スイッチ 7 及び 8 を介して帰還容量 5 の右端子に接続され、増幅率切替スイッチ 7、8 及び 9 を介して帰還容量 6 の右端子に接続される。

【0015】

以下、寄生容量を考慮した増幅率を求める。図中、13 は帰還容量 3 に付随する寄生容量 $C p 0 a$ であり、14 は帰還容量 4 に付随する寄生容量 $C p 0 b$ であり、15 は帰還容量 5 に付随する寄生容量 $C p 0 c$ であり、16 は帰還容量 6 に付随する寄生容量 $C p 0 d$ である。17、18、19 は、それぞれ、増幅率切替スイッチ 7 に付随する寄生容量、増幅率切替スイッチ 8 に付随する寄生容量、増幅率切替スイッチ 9 に付随する寄生容量であり、いずれも容量値 $C p 1$ を有するものとする。

【0016】

スイッチ 7 のみをオンすると、帰還容量値が $a + b$ となり、増幅率を小さくする事ができる。さらに、スイッチ 8 をオンすると、帰還容量値が $a + b + c$ となり、増幅率をより小さくする事ができる。さらに、スイッチ 9 をオンすることで、最小の増幅率を設定できる。スイッチ 7 をオフとしたまま、スイッチ 8 及び 9 をオンしても、増幅率を変化させることはできない。同様に、スイッチ 8 をオフとした状態で、スイッチ 9 をオンしても、増幅率を変えることはできない。つまり、スイッチ 7 ~ 9 のオンとオフを組み合わせる際には、必ずスイッチ 7、8、9 の順でスイッチをオンする。そのため、増幅率の設定は、スイッチ 7 ~ 9 のすべてをオフとした増幅率が 1 の状態、スイッチ 7 だけをオンとした増幅率が 2 の状態、スイッチ 7 及び 8 だけをオンした増幅率が 4 の状態、スイッチ 7 ~ 9 のすべてをオンとした増幅率が 8 の状態の 4 通りとなる。固体撮像装置における増幅率の設定

10

20

30

40

50

は、被写体照度に応じて設定する為、細微な設定を必要とせず、通例×1、×2、×4、×8などの特定の倍数值だけで充分である。そのため、本実施形態の構成は充分に実用に供するものである。

【0017】

図3は、図2の固体撮像装置に対応する回路レイアウトの図である。1～10は既に説明したため割愛する。991は入力端子、992はオペアンプ10の負入力端子である。994は出力端子、995はスイッチ7及び8間の電極、996はスイッチ8及び9間の電極、997はスイッチ9及び帰還容量6間の電極である。

【0018】

電極994～997は、出力端子994に対してスイッチ7～9により切断される事で、オペアンプ10の負入力端子992及び出力端子994間の寄生容量が小さくなっている。寄生容量を含めた図2の帰還容量は以下の様に計算される。

【0019】

図2において、寄生容量13の容量値は C_{p0a} 、寄生容量14の容量値は C_{p0b} 、寄生容量15の容量値は C_{p0c} 、寄生容量16の容量値は C_{p0d} である。寄生容量17～19の各容量値は C_{p1} である。

【0020】

容量15(C_{p0c})より下側の等価容量を C_{xd} とすると、容量 C_{xd} は次式(1)で表わされる。

$$C_{xd} = \frac{1}{\frac{1}{d + C_{p0d}} + \frac{1}{C_{p1}}} \dots (1)$$

【0022】

また、容量14(C_{p0b})より下側の等価容量を C_{xc} とすると、容量 C_{xc} は次式(2)で表わされる。

【0023】

【数2】

$$C_{xc} = \frac{1}{\frac{1}{c + C_{xd} + C_{p0c}} + \frac{1}{C_{p1}}} \dots (2)$$

【0024】

また、容量13(C_{p0a})より下側の等価容量を C_{xb} とすると、容量 C_{xb} は次式(3)で表わされる。

【0025】

10

20

30

40

【数3】

$$Cxb = \frac{1}{\frac{1}{b + Cxc + Cp0b} + \frac{1}{Cp1}} \dots (3)$$

【0026】

よって、図2の増幅器の増幅率Gainは、次式(4)で表わされる。

10

【0027】

【数4】

$$Gain = \frac{C0}{a + Cp0a + Cxb} \dots (4)$$

【0028】

20

帰還容量3の容量値a、帰還容量4の容量値b、帰還容量5の容量値c及び帰還容量6の容量値dは、寄生容量17～19の各容量値Cp1より大きいので、以下のように近似できる。

【0029】

$$\begin{aligned} d + Cp0d &>> Cp1 \\ c + Cxd + Cp0c &>> Cp1 \\ b + Cxc + Cp0b &>> Cp1 \end{aligned}$$

【0030】

これを式(1)～(4)に当てはめると、次式が成立する。

【0031】

30

$$\begin{aligned} Cxd & Cp1 \\ Cxc & Cp1 / 2 \\ Cxb & Cp1 / 3 \end{aligned}$$

【0032】

これにより、式(4)は、次式(5)のように簡略化できる。

【0033】

【数5】

$$Gain = \frac{C0}{a + Cp0a + \frac{1}{3}Cp1} \dots (5)$$

40

【0034】

式(5)より、増幅率Gainは、寄生容量の影響が低減されることがわかる。これらより、増幅率Gainは製造ばらつきにより変動する要因が低減される。また、寄生容量の影響による増幅率Gainの低下を防止することができる。

【0035】

(第2の実施形態)

50

図4は、本発明の第2の実施形態によるゲイン回路20の各列に設けられる増幅器の構成例を示す回路図である。図4は寄生容量を考慮した回路となっている。以下、本実施形態が第1の実施形態と異なる点を説明する。図中、121は増幅率切替スイッチ(第1のスイッチ)SW1であり、122は増幅率切替スイッチ(第2のスイッチ)SW2であり、123は増幅率切替スイッチSW3である。また、124, 125, 126は、それぞれ、増幅率切替スイッチ121に付随する寄生容量、増幅率切替スイッチ122に付随する寄生容量、増幅率切替スイッチ123に付随する寄生容量であり、容量値Cp1を有するものとする。容量a, b, c, dは、a b c dの関係性を有する。

【0036】

増幅率切替スイッチ121は、帰還容量a及びbの左端子間に接続される。増幅率切替スイッチ122は、帰還容量b及びcの左端子間に接続される。増幅率切替スイッチ123は、帰還容量c及びdの左端子間に接続される。帰還容量aの左端子は、オペアンプ10の負入力端子に接続される。オペアンプ10の負入力端子は、増幅率切替スイッチ121及び122を介して帰還容量cの左端子に接続され、増幅率切替スイッチ121、122及び123を介して帰還容量dの左端子に接続される。

【0037】

本実施形態が第1の実施形態と異なる点は、増幅率切替スイッチ121~123をオペアンプ10の入力端子側に配した点である。寄生容量を考慮した増幅率の計算式は、第1の実施形態と全く同じとなる。

【0038】

本実施形態においては、オペアンプ10の帰還端に増幅率切替スイッチ121, 122, 123を設ける為、各々増幅率切替スイッチ121~123の端子の電位は正入力端子電位Vrefから大きく変化しない。そのため、増幅率切替スイッチ121~123は電位Vref近傍の信号電圧を両端子に伝達できる単極性のトランジスタスイッチを用いる事ができる。

【0039】

具体的には、電源電圧VDD=5V、電位Vref=1Vの際、増幅率切替スイッチ121, 122, 123はNMOSトランジスタを用いればよい。第1の実施形態の場合、増幅率切替スイッチ7, 8, 9は、電位変動が大きいオペアンプ10の出力端子側にあるため、増幅率切替スイッチ7, 8, 9をCMOS型のスイッチとする必要がある。

【0040】

(第3の実施形態)

図5は、本発明の第3の実施形態によるゲイン回路20の各列に設けられる増幅器の構成例を示す回路図である。図5は寄生容量を考慮した回路となっている。以下、本実施形態が第1の実施形態と異なる点を説明する。本実施形態では、オペアンプ10の入力端子側と出力端子側の両方にスイッチを入れた構成を示す。具体的には、図4の構成に加えて、出力端子側にスイッチ7, 8, 9を第1の実施形態と同様に配置している。スイッチ7は第1のスイッチ、スイッチ8は第2のスイッチ、スイッチ121は第3のスイッチ、スイッチ122は第4のスイッチである。図中の番号は既に記述したものと同一であるため、その説明を割愛する。

【0041】

本実施形態で増幅率を最大にする際には、増幅率切替スイッチ7, 8, 9, 121, 122, 123の全てをオフとする。オペアンプ10の負入力端子と出力端子の間に発生する寄生容量は、帰還容量b, c, dより小さい寄生容量17(Cp1o)、寄生容量18(Cp2o)、寄生容量19(Cp3o)が直列に入ることによって、第1の実施形態及び第2の実施形態より更に低減する。これは他の増幅率設定を行った場合も同様である。

【0042】

(第4の実施形態)

図6は、本発明の第4の実施形態によるゲイン回路20の各列に設けられる増幅器の構成例を示す回路図である。図6は寄生容量を考慮した回路となっている。以下、本実施形

10

20

30

40

50

態が第1の実施形態と異なる点を説明する。図中、209はオペアンプ、210は入力容量a、211は入力容量(第1の容量)bである。211pは入力容量211に付随する寄生容量、212は入力容量(第2の容量)c、212pは入力容量212に付随する寄生容量、213は入力容量(第3の容量)d、213pは入力容量213に付随する寄生容量である。214、215、216は、それぞれ、第1の増幅率切替スイッチSW1、第2の増幅率切替スイッチSW2、第3の増幅率切替スイッチSW3である。また、214pは増幅率切替スイッチ214に付随する寄生容量、215pは増幅率切替スイッチ215に付随する寄生容量、216pは増幅率切替スイッチ216に付随する寄生容量であり、全て同じ値Cp1を有するものとする。また、217は帰還容量CFであり、218は帰還容量初期化スイッチSW0である。

10

【0043】

オペアンプ209は、正入力端子には電位Vrefが入力され、負入力端子が入力容量210を介して入力端子inに接続され、出力端子が出力端子OUTに接続される。帰還容量初期化スイッチ218及び帰還容量217は、オペアンプ209の負入力端子及び出力端子間に並列に接続される。入力容量210~213は、入力端子in及びオペアンプ209の負入力端子間に並列に接続される。増幅率切替スイッチ214は、入力容量210及び211の右端子間に接続される。増幅率切替スイッチ215は、入力容量211及び212の右端子間に接続される。増幅率切替スイッチ216は、入力容量212及び213の右端子間に接続される。入力容量210の右端子は、オペアンプ209の負入力端子に接続される。オペアンプ10の負入力端子は、増幅率切替スイッチ214及び215を介して入力容量212の右端子に接続され、増幅率切替スイッチ214、215及び216を介して入力容量213の右端子に接続される。

20

【0044】

第1、第2及び第3の実施形態は、列アンプの帰還容量を改良するものであったが、同一の概念を入力容量に適用したものが本実施形態である。詳細な計算式は割愛するが、増幅率切替スイッチ214、215、216をオフとした際の寄生容量は低減されるため、製造ばらつきによる増幅率の変動を小さく抑えることができる。また、寄生容量を介した、ノイズ混入の影響が軽減される。

【0045】

(第5の実施形態)

図7は、本発明の第5の実施形態によるゲイン回路20の各列に設けられる増幅器の構成例を示す回路図である。図7は寄生容量を考慮した回路となっている。以下、本実施形態が第2の実施形態と異なる点を説明する。本実施形態は、第2の実施形態(図4)を改良したものである。増幅率切替スイッチ121、122、123の一端を固定電位Vfixとするためのスイッチ131、132、133を設けた。

30

【0046】

スイッチ131は、帰還容量bの左端子を固定電位Vfixのノードに接続するための第1の固定電位ノードスイッチである。スイッチ132は、帰還容量cの左端子を固定電位Vfixのノードに接続するための第2の固定電位ノードスイッチである。スイッチ133は、帰還容量dの左端子を固定電位Vfixのノードに接続するための第3の固定電位ノードスイッチである。

40

【0047】

動作を簡単に説明する。オペアンプ10の増幅率を最大に設定する時は、増幅率切替スイッチ121、122、123を全てオフとする。その時、スイッチ131、132、133は全てオンとする。オペアンプ10の負入力端子と出力端子の間の寄生容量は、第1及び第2の実施形態と全く同じである。ただし、第1及び第2の実施形態では浮遊状態となっていた増幅率切替スイッチ121、122、123の一端が電位Vfixに固定されるため、回路の外部から混入するノイズの影響を小さくすることができる。

【0048】

同様に、帰還容量をa+bと設定する場合には、増幅率切替スイッチ121をオン、増

50

幅率切替スイッチ 1 2 2 及び 1 2 3 をオフ、スイッチ 1 3 1 をオフ、スイッチ 1 3 2 及び 1 3 3 をオンとする。この操作により、上記の原理と同様に、外部からの混入ノイズの影響を固定電位 V_{fix} の働きで、小さくすることができる。

【 0 0 4 9 】

第 1 ~ 第 5 の実施形態によれば、固体撮像装置のゲイン回路（列アンプ回路）20 のレイアウト面積を増大させることなく、所望の増幅率切り替え回路を実現できる。また、金属配線層、層間絶縁膜の厚さの製造ばらつきによる増幅率の変動が小さいゲイン回路 20 を得ることができる。また、寄生容量を通じて外乱が混入しにくいゲイン回路 20 を得ることができる。

【 0 0 5 0 】

10

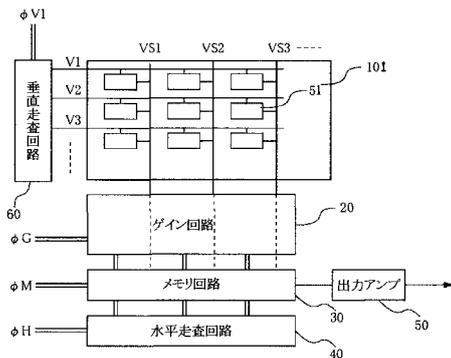
なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

【 符号の説明 】

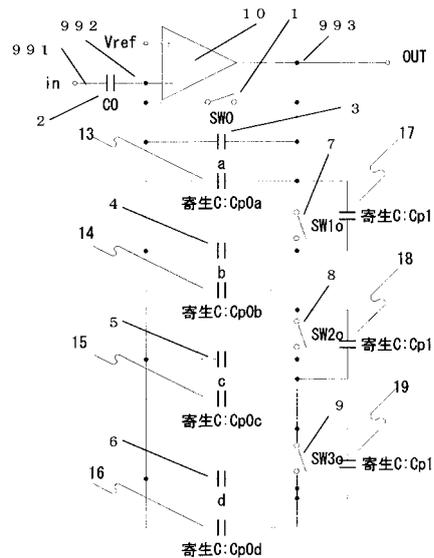
【 0 0 5 1 】

- 1 初期化スイッチ、2 入力容量、3 ~ 6 帰還容量、7 ~ 9 増幅率切替スイッチ

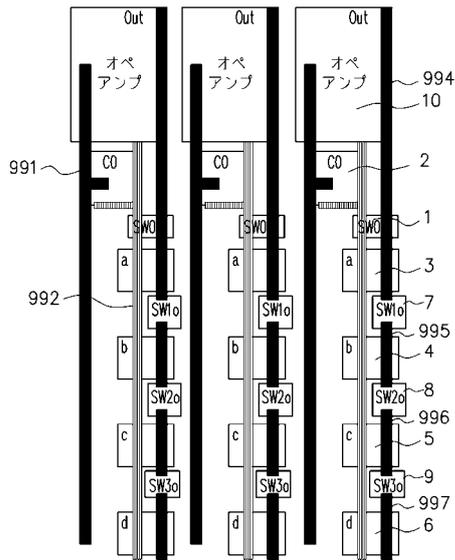
【 図 1 】



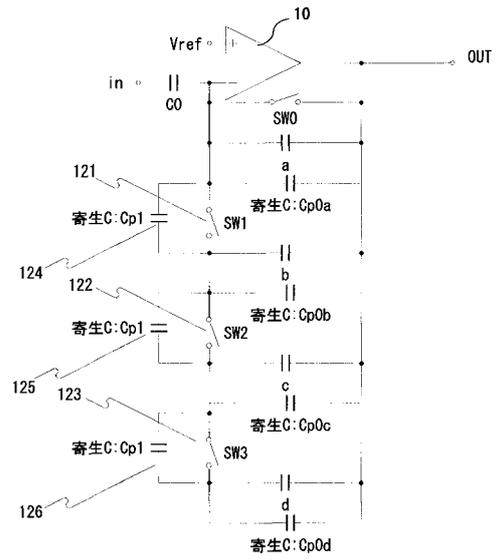
【 図 2 】



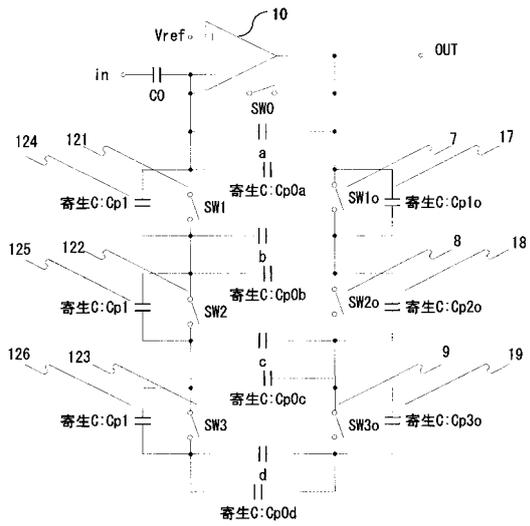
【 図 3 】



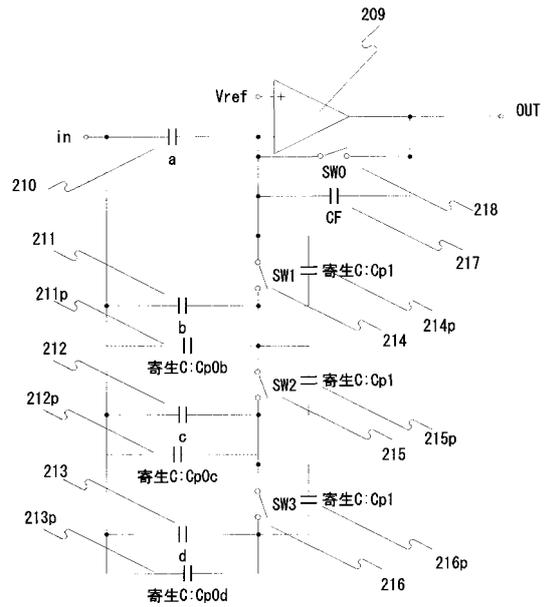
【 図 4 】



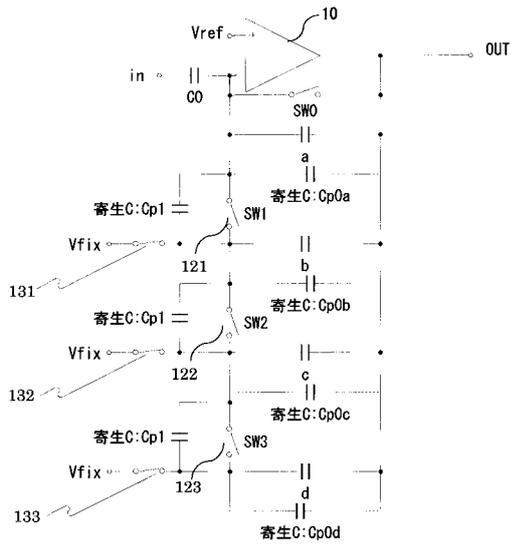
【 図 5 】



【 図 6 】



【図7】



フロントページの続き

(56)参考文献 特開2003-204487(JP,A)
特開平3-234111(JP,A)
特開2009-239703(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378
H04N 5/222 - 5/257