

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4055764号  
(P4055764)

(45) 発行日 平成20年3月5日(2008.3.5)

(24) 登録日 平成19年12月21日(2007.12.21)

(51) Int.Cl.	F I
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/1333 (2006.01)	GO2F 1/1333 505
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO9F 9/30 (2006.01)	GO9F 9/30 338
HO1L 29/786 (2006.01)	HO1L 29/78 612C
請求項の数 6 (全 22 頁) 最終頁に続く	

(21) 出願番号	特願2004-289339 (P2004-289339)	(73) 特許権者	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成16年9月30日(2004.9.30)	(74) 代理人	100095728 弁理士 上柳 雅誉
(65) 公開番号	特開2005-242296 (P2005-242296A)	(74) 代理人	100107261 弁理士 須澤 修
(43) 公開日	平成17年9月8日(2005.9.8)	(72) 発明者	壹岐 拓則 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
審査請求日	平成16年9月30日(2004.9.30)	審査官	奥田 雄介
(31) 優先権主張番号	特願2004-17252 (P2004-17252)		
(32) 優先日	平成16年1月26日(2004.1.26)		
(33) 優先権主張国	日本国(JP)		
最終頁に続く			

(54) 【発明の名称】 電気光学装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

基板上に、  
データ線と、  
前記データ線に電氣的に接続されるトランジスタと、  
前記トランジスタに対応して設けられる画素電極と、  
前記データ線と前記画素電極との間に設けられるシールド層とを具備し、  
前記シールド層は、前記データ線が延在する方向及び前記データ線と交差する方向に格子状に設けられると共に前記データ線を覆うように形成されており、  
前記データ線の下方に前記トランジスタの半導体層が設けられてなり、  
前記トランジスタ及び前記画素電極は、前記トランジスタと離間して設けられる島状の第1中継電極と、前記第1中継電極の上方に設けられ前記第1中継電極と接続される島状の第2中継電極と、前記第2中継電極の上方に設けられ前記第2中継電極と接続される島状の第3中継電極とを介して接続されており、  
前記シールド層は、前記画素電極と接続する前記第3中継電極を設けるための切り欠き部を有し、該第3中継電極及び前記シールド層は同一層として形成されており、  
前記シールド層は、アルミニウム膜のみからなる単層構造からなり、前記第3中継電極は、アルミニウム膜からなる導電膜と、該導電膜上に積層される窒化チタン膜又はチタン膜からなる電蝕防止膜との積層構造からなることを特徴とする電気光学装置。

【請求項2】

前記切り欠き部は、前記データ線と該データ線に隣接する他のデータ線との間に形成されていることを特徴とする請求項 1 に記載の電気光学装置。

【請求項 3】

前記画素電極と前記第 3 中継電極とは、コンタクトホールを介して電氣的に接続されており、

前記電蝕防止膜は、前記第 3 中継電極の前記コンタクトホールと重なる一部の領域にのみ設けられていることを特徴とする請求項 1 又は 2 に記載の電気光学装置。

【請求項 4】

前記第 2 中継電極は、前記データ線と同一層からなり、

前記データ線は、アルミニウム膜のみからなる単層構造を有し、前記第 2 中継電極は、  
下層から窒化チタン膜からなる第 1 の酸化防止膜と、アルミニウムからなる導電膜と、窒  
化チタン膜からなる第 2 の酸化防止膜との積層構造を有していることを特徴とする請求項  
1 乃至 3 のいずれか一つに記載の電気光学装置。

10

【請求項 5】

前記第 1 中継電極は、前記トランジスタのゲート電極と同一層からなり、

前記第 2 中継電極と前記第 1 中継電極とは、前記第 1 の酸化防止膜を介して接続されて  
おり、

前記第 3 中継電極と前記第 2 中継電極とは、前記第 2 の酸化防止膜を介して接続されて  
いることを特徴とする請求項 4 に記載の電気光学装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一つに記載の電気光学装置を用いて構成したことを特徴とする  
電子機器。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、導体層が遮光機能を備えた電気光学装置及びその製造方法に関する。

【背景技術】

【0002】

液晶装置は、ガラス基板、石英基板等の 2 枚の基板間に液晶を封入して構成される。液  
晶装置では、一方の基板に、例えば薄膜トランジスタ (Thin Film Transistor、以下、T  
F T と称す) 等の能動素子及び画素電極をマトリクス状に配置し、他方の基板に対向電極  
(透明電極 (ITO (Indium Tin Oxide))) を配置して、両基板間に封入した液晶層の  
光学特性を画像信号に応じて変化させることで、画像表示を可能にする。

30

【0003】

能動素子を用いたアクティブマトリクス駆動方式の液晶装置等の電気光学装置において  
は、縦横に夫々配列された多数の走査線 (ゲート線) 及びデータ線 (ソース線) の各交点  
に対応して、画素電極及びスイッチング素子を基板 (アクティブマトリクス基板) 上に設  
けて構成される。

【0004】

T F T 素子等のスイッチング素子は、ゲート線に供給されるオン信号によってオンとな  
り、ソース線を介して供給される画像信号を画素電極 (透明電極 (ITO)) に書込む。  
これにより、画素電極と対向電極相互間の液晶層に画像信号に基づく電圧を印加して、液  
晶分子の配列を変化させる。こうして、画素の透過率を変化させ、画素電極及び液晶層を  
通過する光を画像信号に応じて変化させて画像表示を行う。

40

【0005】

ところで、素子基板を構成する各素子を基板上の 1 平面に形成した場合には、素子の占  
有面積が増大し、画素電極部分の面積が小さくなって、画素開口率が低下する。そこで、  
従来、各素子を複数の層に分けて形成し、各層の間に層間絶縁膜を配置する積層構造が採  
用される。

【0006】

50

即ち、素子基板は、ガラス又は石英基板上に、所定のパターンを有する半導体薄膜、絶縁性薄膜又は導電性薄膜を積層することによって構成される。層毎に各種膜の成膜工程とフォトリソグラフィ工程を繰り返すことによって、TFT基板が形成されるのである。

【0007】

例えば、TFT基板には、TFT素子のチャネルを構成する半導体層、データ線等の配線層及びITO膜からなる画素電極層等が積層される。画素電極層は、液晶層に近接したアクティブマトリクス基板の最上層に形成され、画素電極は、配線層を經由して半導体層に接続される。一般的には、データ線等の配線層は例えばアルミニウムによって形成される。しかし、アルミニウムとITO膜とをコンタクトホールを介して接続すると、パターンニングに際して用いるアルカリ性の剥離液によって、ITO膜が黒ずんでしまう電蝕が生じてしまう。

10

【0008】

そこで、アルミニウム上に窒化チタン(TiN)を積層した多層構造の配線層を採用することで、電蝕を防止するようになっている。このような、アルミニウムと窒化チタンとの多層構造の導電層については、特許文献1及び2等に開示されたものがある。

【0009】

また、導電層である例えばアルミニウム同士をコンタクトホールを介して接続する場合には、アルミニウムの酸化作用によって、コンタクト抵抗が高くなってしまう。そこで、この場合においても、アルミニウム配線をアルミニウムと窒化チタンとの多層構造とすることで、アルミニウム配線同士の接触抵抗を低減させるようになっている。

20

【特許文献1】特開平5-235360号公報

【特許文献2】特開平9-307113号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

ところで、電気光学装置においては、TFT素子等に光が入射して誤動作することを防止するために、遮光膜が形成される。そして、電気光学装置を多層構造で構成する場合には、アルミニウム等の導電層を遮光層として兼用するようになっている。これにより、入射光だけでなく、反射光或いは乱反射した光がTFT素子等に入射することを効果的に防止するようになっている。

30

【0011】

ところが、窒化チタンは、アルミニウム等に比して光の吸収効率が極めて高い。このため、窒化チタン及びアルミニウム等からなる多層構造の導電層(遮光層を含む)においては、光が多く吸収され、基板内部で発熱が生じてしまうという問題点があった。

【0012】

本発明はかかる問題点に鑑みてなされたものであって、導電層同士のコンタクト部又は導電層とITOとのコンタクト部には電蝕防止膜又は酸化防止膜と導電膜との多層構造を採用する一方、他の部分は少なくとも一部において単層構造にした導電層を採用することにより、電蝕の発生を防止し接触抵抗を低減すると共に、発熱を抑制することができる電気光学装置及びその製造方法を提供することを目的とする。

40

【課題を解決するための手段】

【0013】

本発明に係る電気光学装置は、基板上に、データ線と、前記データ線に電氣的に接続されるトランジスタと、前記トランジスタに対応して設けられる画素電極と、前記データ線と前記画素電極との間に設けられるシールド層とを具備し、前記シールド層は、前記データ線が延在する方向及び前記データ線と交差する方向に格子状に設けられると共に前記データ線を覆うように形成されており、前記データ線の下方に前記トランジスタの半導体層が設けられてなり、前記トランジスタ及び前記画素電極は、前記トランジスタと離間して設けられる島状の第1中継電極と、前記第1中継電極の上方に設けられ前記第1中継電極と接続される島状の第2中継電極と、前記第2中継電極の上方に設けられ前記第2中継電

50

極と接続される島状の第3中継電極とを介して接続されており、前記シールド層は、前記画素電極と接続する前記第3中継電極を設けるための切り欠き部を有し、該第3中継電極及び前記シールド層は同一層として形成されており、前記シールド層は、アルミニウム膜のみからなる単層構造からなり、前記第3中継電極は、アルミニウム膜からなる導電膜と、該導電膜上に積層される窒化チタン膜又はチタン膜からなる電蝕防止膜との積層構造からなることを特徴とする。

【0014】

このような構成によれば、少なくとも第1の中継電極と画素電極とのコンタクト部においては、第1の中継電極は導電膜上に電蝕防止膜を設けた多層構造を有する。これにより、画素電極に電蝕が発生することが防止される。また、導電膜の全領域中の前記コンタクト部を含む一部の領域以外の領域は、導電膜による単層構造を有する。これにより、導電膜に光が入射する場合でも、発熱を抑制することができる。

10

【0015】

また、前記切り欠き部は、前記データ線と該データ線に隣接する他のデータ線との間に形成されていることを特徴とする。

【0016】

また、前記画素電極と前記第3中継電極とは、コンタクトホールを介して電氣的に接続されており、前記電蝕防止膜は、前記第3中継電極の前記コンタクトホールと重なる一部の領域にのみ設けられていることを特徴とする。

20

【0017】

また、前記第2中継電極は、前記データ線と同一層からなり、前記データ線は、アルミニウム膜のみからなる単層構造を有し、前記第2中継電極は、下層から窒化チタン膜からなる第1の酸化防止膜と、アルミニウムからなる導電膜と、窒化チタン膜からなる第2の酸化防止膜との積層構造を有していることを特徴とする。

【0018】

また、前記第1中継電極は、前記トランジスタのゲート電極と同一層からなり、前記第2中継電極と前記第1中継電極とは、前記第1の酸化防止膜を介して接続されており、前記第3中継電極と前記第2中継電極とは、前記第2の酸化防止膜を介して接続されていることを特徴とする。

【0029】

また、本発明の参考例に係る電気光学装置の製造方法は、基板上に、データ線と、前記データ線に電氣的に接続されるトランジスタと、前記トランジスタに対応して設けられる画素電極と、前記データ線と前記画素電極との間に設けられるシールド層とを備え、前記シールド層が、前記トランジスタと前記画素電極とを接続する第1の中継電極を設けるための切り欠き部を有する電気光学装置の製造方法であって、アルミニウム膜からなる導電膜と、窒化チタン膜又はチタン膜からなる電蝕防止膜との積層構造を形成する工程と、前記電蝕防止膜を残して前記第1の中継電極とし、前記電蝕防止膜を除去して前記シールド層とする工程とを具備し、前記シールド層を、アルミニウム膜からなる単層構造とし、前記第1の中継電極を、アルミニウム膜からなる導電膜と、窒化チタン膜又はチタン膜からなる電蝕防止膜との積層構造とすることを特徴とする。

30

40

【0030】

このような構成によれば、導電膜上に電蝕防止膜を設けた多層構造に形成する。次いで、導電膜の全領域のうち第1の中継電極と画素電極とを電氣的に接続するコンタクト部を少なくとも含む一部の領域に電蝕防止膜を残し、他の領域から電蝕防止膜を除去する。これにより、画素電極に電蝕が生じることが防止される。また、第1の中継電極の一部を除く他の領域からは電蝕防止膜が除去されており、電蝕防止膜が除去された部分における発熱を抑制することができる。

【0031】

また、本発明に係る電気光学装置の製造方法は、基板上に、第1の導体層を形成する工

50

程と、前記第 1 の導体層上に層間絶縁膜を形成する工程と、前記第 1 の導体層と第 2 の導体層とをコンタクト部において電氣的に接続するために前記層間絶縁膜にコンタクトホールを開孔する工程と、前記コンタクト部において前記第 1 の導体層と電氣的に接続される第 2 の導体層を前記層間絶縁膜上に形成する工程とを具備し、前記第 1 及び第 2 の導体層を形成する工程のうちの少なくとも一方の工程は、酸化防止膜と導体膜との多層構造の膜を形成する工程と、前記第 1 及び第 2 の導体層のうちの少なくとも一方の導体層の全領域のうち前記コンタクト部を少なくとも含む一部の領域に前記酸化防止膜を残し、他の領域から前記酸化防止膜を除去する工程とを含むことを特徴とする。

#### 【 0 0 3 2 】

このような構成によれば、第 1 及び第 2 の導体層の少なくとも一方は、先ず酸化防止膜と導体膜との多層構造に形成する。次いで、導体層の全領域のうち第 1 及び第 2 の導体層同士を電氣的に接続するコンタクト部を少なくとも含む一部の領域に酸化防止膜を残し、他の領域から酸化防止膜を除去する。第 1 の導体層上には層間絶縁膜を形成し、層間絶縁膜にコンタクトホールを開孔する。次いで、層間絶縁膜上に第 2 の導体層を形成する。第 1 及び第 2 の導体層同士は、コンタクト部において酸化防止膜を介して相互に接続される。これにより、第 1 及び第 2 の導体層同士の接触抵抗を低減することができる。また、第 1 及び第 2 の導体層の一部を除く他の領域からは酸化防止膜が除去されており、酸化防止膜が除去された部分における発熱を抑制することができる。

#### 【 発明を実施するための最良の形態 】

#### 【 0 0 3 3 】

以下、図面を参照して本発明の実施の形態について詳細に説明する。図 1 は本発明の第 1 の実施の形態に係る電気光学装置の断面構造を示す断面図である。本実施の形態は T F T 基板等の液晶装置に適用したものである。図 2 は本実施の形態における電気光学装置である液晶装置をその上に形成された各構成要素と共に対向基板側から見た平面図である。図 3 は素子基板と対向基板とを貼り合わせて液晶を封入する組立工程終了後の液晶装置を、図 2 の H - H ' 線の位置で切断して示す断面図である。図 4 は液晶装置の画素領域を構成する複数の画素における各種素子、配線等の等価回路図である。図 5 は本実施の形態の T F T 基板上に形成する隣接した複数の画素について各層の成膜パターンのうちの一部の成膜パターンを示す平面図である。図 6 は図 1 の液晶装置の製造方法の一部を示すフローチャートである。図 7 は図 6 の製造方法の一部の工程を断面図によって工程順に示す工程図である。なお、上記各図においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

#### 【 0 0 3 4 】

先ず、図 2 乃至図 4 を参照して本実施の形態の電気光学装置である液晶装置の全体構成について説明する。

液晶装置は、図 2 及び図 3 に示すように、素子基板である T F T 基板 1 0 と対向基板 2 0 との間に液晶 5 0 を封入して構成される。T F T 基板 1 0 上には画素を構成する画素電極 ( I T O ) 9 a 等がマトリクス状に配置される。また、対向基板 2 0 上には全面に対向電極 ( I T O ) 2 1 が設けられる。図 4 は画素を構成する T F T 基板 1 0 上の素子の等価回路を示している。

#### 【 0 0 3 5 】

図 4 に示すように、画素領域においては、複数本の走査線 1 1 a と複数本のデータ線 6 a とが交差するように配線され、走査線 1 1 a とデータ線 6 a とで区画された領域に画素電極 9 a がマトリクス状に配置される。そして、走査線 1 1 a とデータ線 6 a の各交差部分に対応して T F T 3 0 が設けられ、この T F T 3 0 に画素電極 9 a が接続される。

#### 【 0 0 3 6 】

T F T 3 0 は走査線 1 1 a の O N 信号によってオンとなり、これにより、データ線 6 a に供給された画像信号が画素電極 9 a に供給される。この画素電極 9 a と対向基板 2 0 に設けられた対向電極 2 1 との間の電圧が液晶 5 0 に印加される。また、画素電極 9 a と並列に蓄積容量 7 0 が設けられており、蓄積容量 7 0 によって、画素電極 9 a の電圧はソー

10

20

30

40

50

ス電圧が印加された時間よりも例えば3桁も長い時間の保持が可能となる。蓄積容量70によって、電圧保持特性が改善され、コントラスト比の高い画像表示が可能となる。

【0037】

図1は一つの画素に着目した液晶装置の模式的断面図であり、図5は成膜パターンを示す平面図である。

【0038】

図5において、画素電極9aは、TFT基板10上に、マトリクス状に複数設けられており(点線部により輪郭が示されている)、画素電極9aの縦横の境界に各々沿ってデータ線6a及び走査線11a(図5では図示省略)が設けられている。データ線6aは、後述するように、アルミニウム膜等を含む積層構造からなり、走査線11aは、例えば導電性のポリシリコン膜等からなる。また、走査線11aは、半導体層1aのうち図中右上がりの斜線領域で示したチャンネル領域1a'に対向するゲート電極3aに電氣的に接続されている。すなわち、走査線11aとデータ線6aとの交差する箇所にはそれぞれ、走査線11aに接続されたゲート電極3aとチャンネル領域1a'とが対向配置されて画素スイッチング用のTFT30が構成されている。

10

【0039】

図5のA-A'線断面図たる図1に示すように、電気光学装置は、例えば、石英基板、ガラス基板、シリコン基板からなるTFT基板10と、これに対向配置される、例えばガラス基板や石英基板からなる対向基板20とを備えている。

【0040】

20

TFT基板10の側には、図1に示すように、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは、例えばITO膜等の透明導電性膜からなる。他方、対向基板20の側には、その全面に渡って対向電極21が設けられており、その全面には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は、上述の画素電極9aと同様に、例えばITO膜等の透明導電性膜からなり、配向膜16及び22は、例えば、ポリイミド膜等の透明な有機膜からなる。

【0041】

このように対向配置されたTFT基板10及び対向基板20間には、シール材52(図2及び図3参照)により囲まれた空間に液晶等の電気光学物質が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び22により所定の配向状態をとる。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した電気光学物質からなる。シール材52は、TFT基板10及び対向基板20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスビーズ等のスペーサが混入されている。

30

【0042】

一方、TFT基板10上には、画素電極9a及び配向膜16の他、これらを含む各種の構成が積層構造をなして備えられている。この積層構造は、図1に示すように、下から順に、走査線11aを含む第1層(成膜層)、ゲート電極3aを含むTFT30等を含む第2層、蓄積容量70を含む第3層、データ線6a等を含む第4層、シールド層400等を含む第5層、前記の画素電極9a及び配向膜16等を含む第6層(最上層)からなる。また、第1層及び第2層間には下地絶縁膜12が、第2層及び第3層間には第1層間絶縁膜41が、第3層及び第4層間には第2層間絶縁膜42が、第4層及び第5層間には第3層間絶縁膜43が、第5層及び第6層間には第4層間絶縁膜44が、それぞれ設けられており、前述の各要素間が短絡することを防止している。また、これら各種の絶縁膜12、41、42、43及び44には、例えば、TFT30の半導体層1a中の高濃度ソース領域1dとデータ線6aとを電氣的に接続するコンタクトホール等もまた設けられている。以下では、これらの各要素について、下から順に説明を行う。

40

【0043】

50

第1層には、例えば、Ti（チタン）、Cr（クロム）、W（タングステン）、Ta（タンタル）、Mo（モリブデン）等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの、或いは導電性ポリシリコン等からなる走査線11aが設けられている。この走査線11aは、平面的にみて、図5のX方向に沿うように、ストライプ状にパターンニングされている。より詳しく見ると、ストライプ状の走査線11aは、図5のX方向に沿うように延びる本線部と、データ線6a或いはシールド層400が延在する図5のY方向に延びる突出部とを備えている。なお、隣接する走査線11aから延びる突出部は相互に接続されることはなく、したがって、該走査線11aは1本1本分断された形となっている。

【0044】

これにより、走査線11aは、同一行に存在するTFT30のON・OFFを一斉に制御する機能を有することになる。また、該走査線11aは、画素電極9aが形成されない領域を略埋めるように形成されていることから、TFT30に下側から入射しようとする光を遮る機能をも有している。これにより、TFT30の半導体層1aにおける光リーク電流の発生を抑制し、フリッカ等のない高品質な画像表示が可能となる。

【0045】

第2層には、ゲート電極3aを含むTFT30が設けられている。TFT30は、図1に示すように、LDD（Lightly Doped Drain）構造を有しており、その構成要素としては、上述したゲート電極3a、例えばポリシリコン膜からなりゲート電極3aからの電界によりチャンネルが形成される半導体層1aのチャンネル領域1a'、ゲート電極3aと半導体層1aとを絶縁するゲート絶縁膜を含む絶縁膜2、半導体層1aにおける低濃度ソース領域1b及び低濃度ドレイン領域1c並びに高濃度ソース領域1d及び高濃度ドレイン領域1eを備えている。

【0046】

そして、この第2層には、上述のゲート電極3aと同一膜として中継電極719が形成されている。この中継電極719は、平面的に見て、各画素電極9aの一辺の略中央に位置するように、島状に形成されている。中継電極719とゲート電極3aとは同一膜として形成されているから、後者が例えば導電性ポリシリコン膜等からなる場合においては、前者もまた、導電性ポリシリコン膜等からなる。

【0047】

なお、上述のTFT30は、好ましくは図1に示したようにLDD構造をもつが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物の打ち込みを行わないオフセット構造をもってよいし、ゲート電極3aをマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース領域及び高濃度ドレイン領域を形成するセルフアライン型のTFTであってもよい。また、本実施形態では、画素スイッチング用TFT30のゲート電極を、高濃度ソース領域1d及び高濃度ドレイン領域1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。このようにデュアルゲート、あるいはトリプルゲート以上でTFTを構成すれば、チャンネルとソース及びドレイン領域との接合部のリーク電流を防止でき、オフ時の電流を低減することができる。さらに、TFT30を構成する半導体層1aは非単結晶層でも単結晶層でも構わない。単結晶層の形成には、貼り合わせ法等の公知の方法を用いることができる。半導体層1aを単結晶層とすることで、特に周辺回路の高性能化を図ることができる。

【0048】

以上説明した走査線11aの上、かつ、TFT30の下には、例えばシリコン酸化膜等からなる下地絶縁膜12が設けられている。下地絶縁膜12は、走査線11aからTFT30を層間絶縁する機能のほか、TFT基板10の全面に形成されることにより、TFT基板10の表面研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用のTFT30の特性変化を防止する機能を有する。

【0049】

この下地絶縁膜12には、平面的にみて半導体層1aの両脇に、後述するデータ線6a

10

20

30

40

50

に沿って延びる半導体層 1 a のチャネル長と同じ幅の溝 (コンタクトホール) 1 2 c v が掘られており、この溝 1 2 c v に対応して、その上方に積層されるゲート電極 3 a は下側に凹状に形成された部分を含んでいる。また、この溝 1 2 c v 全体を埋めるようにして、ゲート電極 3 a が形成されていることにより、該ゲート電極 3 a には、これと一体的に形成された側壁部 3 b が延設されるようになっている。これにより、T F T 3 0 の半導体層 1 a は、平面的にみて側方から覆われるようになっており、少なくともこの部分からの光の入射が抑制されるようになっている。

【 0 0 5 0 】

また、この側壁部 3 b は、前記の溝 1 2 c v を埋めるように形成されているとともに、その下端が前記の走査線 1 1 a と接するようになっている。ここで走査線 1 1 a は上述のようにストライプ状に形成されていることから、ある行に存在するゲート電極 3 a 及び走査線 1 1 a は、当該行に着目する限り、常に同電位となる。

【 0 0 5 1 】

なお、走査線 1 1 a に平行するようにして、ゲート電極 3 a を含む別の走査線を形成するような構造を採用してもよい。この場合においては、該走査線 1 1 a と該別の走査線とは、冗長的な配線構造をとることになる。これにより、例えば、該走査線 1 1 a の一部に何らかの欠陥があつて、正常な通電が不可能となったような場合においても、当該走査線 1 1 a と同一の行に存在する別の走査線が健全である限り、それを介して T F T 3 0 の動作制御を依然正常に行うことができることになる。

【 0 0 5 2 】

第 3 層には、蓄積容量 7 0 が設けられている。蓄積容量 7 0 は、T F T 3 0 の高濃度ドレイン領域 1 e 及び画素電極 9 a に接続された画素電位側容量電極としての下部電極 7 1 と、固定電位側容量電極としての容量電極 3 0 0 とが、誘電体膜 7 5 を介して対向配置されることにより形成されている。この蓄積容量 7 0 によれば、画素電極 9 a における電位保持特性を顕著に高めることが可能となる。また、蓄積容量 7 0 は、画素電極 9 a の形成領域にほぼ対応する光透過領域には至らないように形成されているため (換言すれば、遮光領域内に収まるように形成されているため)、電気光学装置全体の画素開口率は比較的大きく維持され、これにより、より明るい画像を表示することが可能である。

【 0 0 5 3 】

より詳細には、下部電極 7 1 は、例えば導電性のポリシリコン膜からなり画素電位側容量電極として機能する。ただし、下部電極 7 1 は、金属又は合金を含む単一層膜又は多層膜から構成してもよい。また、この下部電極 7 1 は、画素電位側容量電極としての機能のほか、画素電極 9 a と T F T 3 0 の高濃度ドレイン領域 1 e とを中継接続する機能をもつ。この中継接続は、後述するように、前記中継電極 7 1 9 を介して行われている。

【 0 0 5 4 】

容量電極 3 0 0 は、蓄積容量 7 0 の固定電位側容量電極として機能する。容量電極 3 0 0 を固定電位とするためには、固定電位とされたシールド層 4 0 0 と電気的接続が図られることによりなされている。

【 0 0 5 5 】

そして、この容量電極 3 0 0 は、T F T 基板 1 0 上において、各画素に対応するように島状に形成されており、下部電極 7 1 は、当該容量電極 3 0 0 とほぼ同一形状を有するよう形成されている。これにより、蓄積容量 7 0 は、平面的に無駄な広がりを持たず、即ち画素開口率を低落させることなく、且つ、当該状況下で最大限の容量値を実現し得ることになる。すなわち、蓄積容量 7 0 は、より小面積で、より大きな容量値をもつ。

【 0 0 5 6 】

誘電体膜 7 5 は、図 1 に示すように、例えば膜厚 5 ~ 2 0 0 n m 程度の比較的薄い H T O (High Temperature oxide) 膜、L T O (Low Temperature oxide) 膜等の酸化シリコン膜、あるいは窒化シリコン膜等から構成される。蓄積容量 7 0 を増大させる観点からは、膜の信頼性が十分に得られる限りにおいて、誘電体膜 7 5 は薄いほどよい。そして、この誘電体膜 7 5 は、図 1 に示すように、下層に酸化シリコン膜 7 5 a、上層に窒化シリコ

10

20

30

40

50

ン膜 75 b からなる 2 層構造を有する。比較的誘電率の大きい窒化シリコン膜 75 b が存在することにより、蓄積容量 70 の容量値を増大させることが可能となると共に、酸化シリコン膜 75 a が存在することにより、蓄積容量 70 の耐圧性を低下せしめることがない。このように、誘電体膜 75 を 2 層構造とすることにより、相反する 2 つの作用効果を享受することが可能となる。

【 0 0 5 7 】

また、窒化シリコン膜 75 b が存在することにより、TFT 30 に対する水の浸入を未然に防止することが可能となっている。これにより、TFT 30 におけるスレッシュホールド電圧の上昇という事態を招来することがなく、比較的長期の装置運用が可能となる。なお、本実施の形態では、誘電体膜 75 は、2 層構造を有するものとなっているが、例えば酸化シリコン膜、窒化シリコン膜及び酸化シリコン膜等というような 3 層構造や、あるいはそれ以上の積層構造を有するように構成してもよい。

10

【 0 0 5 8 】

以上説明した TFT 30 ないしゲート電極 3 a 及び中継電極 719 の上、かつ、蓄積容量 70 の下には、例えば、NSG (ノンシリケートガラス)、PSG (リンシリケートガラス)、BSG (ボロンシリケートガラス)、BPSG (ボロンリンシリケートガラス) 等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等、あるいは好ましくは NSG からなる第 1 層間絶縁膜 41 が形成されている。そして、この第 1 層間絶縁膜 41 には、TFT 30 の高濃度ソース領域 1 d と後述するデータ線 6 a とを電気的に接続するコンタクトホール 81 が、後述する第 2 層間絶縁膜 42 を貫通しつつ開孔されている。また、第 1 層間絶縁膜 41 には、TFT 30 の高濃度ドレイン領域 1 e と蓄積容量 70 を構成する下部電極 71 とを電気的に接続するコンタクトホール 83 が開孔されている。

20

【 0 0 5 9 】

さらに、この第 1 層間絶縁膜 41 には、蓄積容量 70 を構成する画素電位側容量電極としての下部電極 71 と中継電極 719 とを電気的に接続するためのコンタクトホール 881 が開孔されている。更に加えて、第 1 層間絶縁膜 41 には、中継電極 719 と後述する第 2 中継電極 6 a 2 とを電気的に接続するコンタクトホール 882 が、後述する第 2 層間絶縁膜を貫通しつつ開孔されている。

【 0 0 6 0 】

図 1 に示すように、コンタクトホール 882 は、蓄積容量 70 以外の領域に形成されており、下部電極 71 を一旦下層の中継電極 719 に迂回させてコンタクトホール 882 を介して上層に引き出していることから、下部電極 71 を上層の画素電極 9 a に接続する場合でも、下部電極 71 を誘電体膜 75 及び容量電極 300 よりも広く形成する必要がない。従って、下部電極 71、誘電体膜 75 及び容量電極 300 を 1 エッチング工程で同時にパターンニングすることができる。これにより、下部電極 71、誘電体膜 75 及び容量電極 300 の各エッチングレートの制御が容易となり、膜厚等の設計の自由度を増大させることが可能である。

30

【 0 0 6 1 】

また、誘電体膜 75 は下部電極 71 及び容量電極 300 と同一形状に形成され広がりを持たないことから、TFT 30 の半導体層 1 a に対する水素化処理を行うような場合において、該処理に用いる水素を、蓄積容量 70 周辺の開口部を通じて半導体層 1 a にまで容易に到達させることが可能となるという作用効果を得ることも可能となる。

40

【 0 0 6 2 】

なお、第 1 層間絶縁膜 41 に対しては、約 1000 °C の焼成を行うことにより、半導体層 1 a やゲート電極 3 a を構成するポリシリコン膜に注入したイオンの活性化を図ってもよい。

【 0 0 6 3 】

第 4 層には、データ線 6 a が設けられている。このデータ線 6 a は、TFT 30 の半導体層 1 a の延在する方向に一致するように、すなわち図 5 中 Y 方向に重なるようにストライプ状に形成されている。このデータ線 6 a は、図 1 に示すように、下層より順に、アル

50

ミニウムからなる層（図1における符号41A）、窒化チタンからなる層（図1における符号41TN参照）、窒化シリコン膜からなる層（図1における符号401）の三層構造を有する膜として形成されている。窒化シリコン膜は、その下層のアルミニウム層と窒化チタン層を覆うように少し大きなサイズにパターンニングされている。このうちデータ線6aが、比較的低抵抗な材料たるアルミニウムを含むことにより、TFT30、画素電極9aに対する画像信号の供給を滞りなく実現することができる。他方、データ線6a上に水分の浸入をせき止める作用に比較的優れた窒化シリコン膜が形成されることにより、TFT30の耐湿性向上を図ることができ、その寿命長期化を実現することができる。窒化シリコン膜は、プラズマ窒化シリコン膜が望ましい。

#### 【0064】

また、この第4層には、データ線6aと同一膜として、シールド層用中継層6a1及び第2中継電極6a2が形成されている。これらは、図5に示すように、平面的に見ると、データ線6aと連続した平面形状を有するように形成されているのではなく、各者間はパターンニング上分断されるように形成されている。すなわち、図5中最左方に位置するデータ線6aに着目すると、その直右方に略四辺形状を有するシールド層用中継層6a1、更にその右方にシールド層用中継層6a1よりも若干大きめの面積をもつ略四辺形状を有する第2中継電極6a2が形成されている。シールド層用中継層6a1及び第2中継電極6a2は、データ線6aと同一工程で、下層より順に、アルミニウムからなる層、窒化チタンからなる層、プラズマ窒化膜からなる層の三層構造を有する膜として形成されている。そして、プラズマ窒化膜は、その下層のアルミニウム層と窒化チタン層を覆うように少し大きなサイズにパターンニングされている。窒化チタン層は、シールド層用中継層6a1、第2中継電極6a2に対して形成するコンタクトホール803、804のエッチングの突き抜け防止のためのバリアメタルとして機能する。また、シールド層用中継層6a1及び第2中継電極6a2上に、水分の浸入をせき止める作用に比較的優れたプラズマ窒化膜が形成されることにより、TFT30の耐湿性向上を図ることができ、その寿命長期化を実現することができる。尚、プラズマ窒化膜としては、プラズマ窒化シリコン膜が望ましい。

#### 【0065】

蓄積容量70の上、かつ、データ線6aの下には、例えばNSG、PSG、BSG、BPSG等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等、あるいは好ましくはTEOSガスを用いたプラズマCVD法によって形成された第2層間絶縁膜42が形成されている。この第2層間絶縁膜42には、TFT30の高濃度ソース領域1dとデータ線6aとを電気的に接続するコンタクトホール81が開孔されているとともに、前記シールド層用中継層6a1と蓄積容量70の上部電極たる容量電極300とを電気的に接続するコンタクトホール801が開孔されている。さらに、第2層間絶縁膜42には、第2中継電極6a2と中継電極719とを電気的に接続するためのコンタクトホール882が形成されている。

#### 【0066】

第5層には、シールド層400が形成されている。このシールド層400は、平面的にみると、図5に示すように、図中X方向及びY方向それぞれに延在するように、格子状に形成されている。該シールド層400のうち図中Y方向に延在する部分については特に、データ線6aを覆うように、且つ、該データ線6aよりも幅広に形成されている。また、図中X方向に延在する部分については、後述の第3中継電極402を形成する領域を確保するために、各画素電極9aの一辺の中央付近に切り欠き部を有している。

#### 【0067】

さらには、図5中、XY方向それぞれに延在するシールド層400の交差部分の隅部においては、該隅部を埋めるようにして、略三角形の部分が設けられている。シールド層400に、この略三角形の部分が設けられていることにより、TFT30の半導体層1aに対する光の遮蔽を効果的に行うことができる。すなわち、半導体層1aに対して、斜め上から進入しようとする光は、この三角形の部分で反射又は吸収されることになり半

10

20

30

40

50

導体層 1 a には至らないことになる。したがって、光リーク電流の発生を抑制的にし、フリッカ等のない高品質な画像を表示することが可能となる。

【0068】

このシールド層 4 0 0 は、画素電極 9 a が配置された画像表示領域 1 0 a からその周囲に延設され、定電位源と電氣的に接続されることで、固定電位とされている。なお、定電位源としては、後述するデータ線駆動回路 1 0 1 に供給される正電源や負電源の定電位源でもよいし、対向基板 2 0 の対向電極 2 1 に供給される定電位源でも構わない。

【0069】

このように、データ線 6 a の全体を覆うように形成されているとともに（図 5 参照）、固定電位とされたシールド層 4 0 0 の存在によれば、該データ線 6 a 及び画素電極 9 a 間に生じる容量カップリングの影響を排除することが可能となる。すなわち、データ線 6 a への通電に応じて、画素電極 9 a の電位が変動するという事態を未然に回避することが可能となり、画像上に該データ線 6 a に沿った表示ムラ等を発生させる可能性を低減することができる。シールド層 4 0 0 は格子状に形成されていることから、走査線 1 1 a が延在する部分についても無用な容量カップリングが生じないように、これを抑制することが可能となっている。

【0070】

本実施の形態においては、シールド層 4 0 0 は、データ線 6 a 等とは異なり、アルミニウム膜からなる単層構造で構成される。

【0071】

また、第 5 層には、このようなシールド層 4 0 0 と同一層として、中継層としての第 3 中継電極 4 0 2 が形成されている。本実施の形態においては、第 3 中継電極 4 0 2 は、下層にアルミニウムからなる導電膜 4 0 2 a、上層に窒化チタンからなる電蝕防止膜 4 0 2 b の 2 層構造を有している。なお、これらシールド層 4 0 0 及び第 3 中継電極 4 0 2 間は、平面形状的に連続して形成されているのではなく、両者間はパターニング上分断されるように形成されている。

【0072】

第 3 中継電極 4 0 2 において、下層のアルミニウムからなる導電膜 4 0 2 a は、第 2 中継電極 6 a 2 と接続され、上層の窒化チタンからなる電蝕防止膜 4 0 2 b は、ITO 等からなる画素電極 9 a と接続されるようになっている。即ち、この第 3 中継電極 4 0 2 は、後述のコンタクトホール 8 9 を介して、第 2 中継電極 6 a 2 及び画素電極 9 a 間の電氣的接続を中継する機能を有する。

【0073】

アルミニウムと ITO とを直接に接続した場合には、両者間において電蝕が生じてしまい、アルミニウムの断線、あるいはアルミナの形成による絶縁等のため、好ましい電氣的接続が実現されない。これに対し、本実施の形態においては、窒化チタンと ITO とを接続していることから、コンタクト抵抗が低く良好な接続性が得られる。

【0074】

第 3 中継電極 4 0 2 の導電膜 4 0 2 a は、第 3 層間絶縁膜 4 3 に形成されコンタクトホール 8 8 2 及び第 4 層間絶縁膜 4 4 に形成されたコンタクトホール 8 9 を介して第 2 中継電極 6 a 2 と画素電極 9 a とを接続する構成になっていることから、これらのコンタクトホールを含む領域に形成される。

【0075】

これに対し、本実施の形態においては、第 3 中継電極 4 0 2 の電蝕防止膜 4 0 2 b は、画素電極 9 a とのコンタクト部であるコンタクトホール 8 9 を囲む一部の領域のみに形成されるようになっている。

【0076】

即ち、本実施の形態においては、第 5 層に形成されるシールド層 4 0 0 及び第 3 中継電極 4 0 2 のうち、コンタクトホール 8 9 周囲の一部の領域のみにアルミニウムからなる導電膜 4 0 2 a と窒化チタン等の電蝕防止膜 4 0 2 b との積層構造が採用されるのみであり

10

20

30

40

50

、他の部分はアルミニウム等の導電膜による単層構造が採用される。

【0077】

このように、第3中継電極402と画素電極9aとの電氣的接続を良好に実現することができることにより、該画素電極9aに対する電圧印加、あるいは該画素電極9aにおける電位保持特性を良好に維持することが可能となる。

【0078】

さらには、シールド層400及び第3中継電極402は、光反射性能に比較的優れたアルミニウムを含み、且つ、大部分の領域において光吸収率が比較的高い窒化チタンが積層されていないことから、発熱を生じることなく遮光層として機能し得る。すなわち、これらによれば、TFT30の半導体層1aに対する入射光(図1参照)の進行を、発熱を生じることなくその上側でさえぎることが可能である。

10

【0079】

なお、上述した容量電極300及びデータ線6aについても同様の遮光機能を有する。これらシールド層400、第3中継電極402、容量電極300及びデータ線6aが、TFT基板10上に構築される積層構造の一部をなしつつ、TFT30に対する上側からの光入射を遮る上側遮光膜として機能する。

【0080】

データ線6aの上、かつ、シールド層400の下には、NSG、PSG、BSG、BPSG等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等、あるいは好ましくは、TEOSガスを用いたプラズマCVD法で形成された第3層間絶縁膜43が形成されている。この第3層間絶縁膜43には、シールド層400とシールド層用中継層6a1とを電氣的に接続するためのコンタクトホール803、及び、第3中継電極402と第2中継電極6a2とを電氣的に接続するためのコンタクトホール804がそれぞれ開孔されている。

20

【0081】

なお、第2層間絶縁膜42に対しては、第1層間絶縁膜41に関して上述した焼成を行わないことにより、容量電極300の界面付近に生じるストレスの緩和を図るようにしてもよい。

【0082】

第6層には、上述したように画素電極9aがマトリクス状に形成され、該画素電極9a上に配向膜16が形成されている。そして、この画素電極9a下には、NSG、PSG、BSG、BPSG等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等、あるいは好ましくはBPSGからなる第4層間絶縁膜44が形成されている。この第4層間絶縁膜44には、画素電極9a及び第3中継電極402間を電氣的に接続するためのコンタクトホール89が開孔されている。本実施の形態においては、第3及び第4層間絶縁膜43、44の表面は、CMP(Chelical Mechanical Polishing)処理等により平坦化されており、その下方に存在する各種配線や素子等による段差に起因する液晶層50の配向不良を低減する。ただし、このように第3、第4層間絶縁膜43、44に平坦化処理を施すのに代えて、又は加えて、TFT基板10、下地絶縁膜12、第1層間絶縁膜41、第2層間絶縁膜42及び第3層間絶縁膜43のうち少なくとも一つに溝を掘って、データ線6a等の配線やTFT30等を埋め込むことにより、平坦化処理を行ってもよい。

30

40

【0083】

また、蓄積容量70は、下から順に画素電位側容量電極、誘電体膜及び固定電位側容量電極という3層構造を構成していたが、これとは逆の構造を構成するようにしてもよい。

【0084】

各構成要素の立体的・平面的なレイアウトについても、本発明は、上記実施形態のような形態に限定されるものではなく、別の種々の形態が考えられ得る。

【0085】

(製造プロセス)

次に、本実施の形態に係る電気光学装置である液晶装置の製造方法を図6及び図7を参

50

照して説明する。図6は第5層及び第6層の製造方法を示すフローチャートであり、図7は第5層及び第6層の製造方法を工程順に示す工程図である。

【0086】

まず、石英基板、ガラス、シリコン基板等のTFT基板10を用意する。ここで、好ましくはN(窒素)等の不活性ガス雰囲気中で約900~1300°Cでの高温でアニール処理し、後に実施される高温プロセスでTFT基板10に生じる歪が少なくなるように前処理しておく。

【0087】

次に、このように処理されたTFT基板10の全面に、Ti、Cr、W、Ta、Mo等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより、100~500nm程度の膜厚、好ましくは200nmの膜厚に堆積させる。そして、この金属合金膜をフォトリソグラフィ及びエッチングによりパターンニングして、平面形状がストライプ状の走査線11aを形成する。

10

【0088】

次に、走査線11a上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・フォスレート)ガス等を用いて、NSG(ノンシリケートガラス)、PSG(リンシリケートガラス)、BSG(ボロンシリケートガラス)、BPSG(ボロンリンシリケートガラス)等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜12を形成する。この下地絶縁膜12の膜厚は、例えば約500~2000nm程度とする。

20

【0089】

次に、半導体層1aが形成される。半導体層1aは、下地絶縁膜12上に、約450~550°C、好ましくは約500°Cの比較的低温環境中で、流量約400~600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD(例えば、圧力約20~40PaのCVD)によって形成されるアモルファスシリコン膜によって構成される。次に、窒素雰囲気中で、約600~700°Cにて約1~10時間、好ましくは4~6時間の熱処理を施すことにより、p-Si(ポリシリコン)膜を約50~200nmの厚さ、好ましくは約100nmの厚さとなるまで固相成長させる。固相成長させる方法としては、RTAを使ったアニール処理でもよいし、エキシマレーザ等を用いたレーザアニールでもよい。この際、画素スイッチング用のTFT30を、nチャネル型とするかpチャネル型とするかに応じて、V族元素やIII族元素のドーパントを僅かにイオン注入等によりドーピングしてもよい。そして、フォトリソグラフィ及びエッチングにより、所定パターンを有する半導体層1aを形成する。

30

【0090】

次に、TFT30を構成する半導体層1aを約900~1300°Cの温度、好ましくは約1000°Cの温度により熱酸化して下層ゲート絶縁膜を形成し、場合により、これに続けて減圧CVD法等により上層ゲート絶縁膜を形成することにより、1層又は多層の高温酸化シリコン膜(HTO膜)や窒化シリコン膜からなる(ゲート絶縁膜を含む)絶縁膜2を形成する。この結果、半導体層1aは、約30~150nmの厚さ、好ましくは約35~50nmの厚さとなり、絶縁膜2の厚さは、約20~150nmの厚さ、好ましくは約30~100nmの厚さとなる。

40

【0091】

次に、画素スイッチング用のTFT30のスレッショールド電圧V<sub>th</sub>を制御するために、半導体層1aのうちnチャネル領域あるいはpチャネル領域に、ボロン等のドーパントを予め設定された所定量だけイオン注入等によりドーピングする。

【0092】

次に、下地絶縁膜12に対して、走査線11aに通ずる溝12cvを形成する。この溝12cvは、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。

50

## 【 0 0 9 3 】

次に、減圧CVD法等によりポリシリコン膜を堆積し、更にリン(P)を熱拡散して、このポリシリコン膜を導電化する。この熱拡散に代えて、Pイオンをポリシリコン膜の成膜と同時に導入したドーパドシリコン膜を用いてもよい。このポリシリコン膜の膜厚は、約100~500nmの厚さ、好ましくは約350nm程度である。そして、フォトリソグラフィ及びエッチングにより、TF T 30のゲート電極部を含めて所定のパターン

のゲート電極3aを形成する。このゲート電極3a形成時において、これに延設される側壁部3bもまた同時に形成される。この側壁部3bは、前述のポリシリコン膜の堆積が溝12cvの内部に対しても行われることで形成される。この際、該溝12cvの底が走査線11aに接していることにより、側壁部3b及び走査線11aは電氣的に接続されることにな

る。更に、このゲート電極3aのパターニング時、これと同時に、中継電極719もまた形成される。

10

## 【 0 0 9 4 】

次に、前記半導体層1aについて、低濃度ソース領域1b及び低濃度ドレイン領域1c、並びに、高濃度ソース領域1d及び高濃度ドレイン領域1eを形成する。ここでは、TF T 30をLDD構造をもつnチャネル型のTF Tとする場合を説明すると、具体的にまず、低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、ゲート電極3aをマスクとして、P等のV族元素のドーパンを低濃度で(例えば、Pイオンを $1 \sim 3 \times 10^{13} \text{ cm}^{-2}$ のドーパ量にて)ドーパする。これによりゲート電極3a下の半導体層1aはチャネル領域1a'となる。このときゲート電極3aがマスクの役割を果たすことによ

って、低濃度ソース領域1b及び低濃度ドレイン領域1cは自己整合的に形成されることになる。次に、高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、ゲート電極3aよりも幅の広い平面パターンを有するレジスト層をゲート電極3a上に形成する。その後、P等のV族元素のドーパントを高濃度で(例えば、Pイオンを $1 \sim 3 \times 10^{15} / \text{ cm}^{-2}$ のドーパ量にて)ドーパする。

20

## 【 0 0 9 5 】

なお、このように低濃度と高濃度の2段階に分けて、ドーパを行わなくてもよい。例えば、低濃度のドーパを行わずに、オフセット構造のTF Tとしてもよく、ゲート電極3a(ゲート電極)をマスクとして、Pイオン・Bイオン等を用いたイオン注入技術によりセルフアライン型のTF Tとしてもよい。この不純物のドーパにより、ゲート電極3aは更

に低抵抗化される。

30

## 【 0 0 9 6 】

次に、ゲート電極3a上に、例えば、TEOSガス、TEBガス、TMOPガス等を用いた常圧又は減圧CVD法等により、NSG、PSG、BSG、BPSG等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜からなる第1層間絶縁膜41を形成する。この第1層間絶縁膜41の膜厚は、例えば約500~2000nm程度とする。ここで好ましくは、800程度

の高温でアニール処理し、第1層間絶縁膜41の膜質を向上させておく。

## 【 0 0 9 7 】

次に、第1層間絶縁膜41に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、コンタクトホール83及びコンタクトホール881を開孔する。この際、前者は半導体層1aの高濃度ドレイン領域1eに通ずるように、後者は中継電極719へ通ずるように、それぞれ形成される。

40

## 【 0 0 9 8 】

次に、第1層間絶縁膜41上に、Pt等の金属膜やポリシリコン膜を、減圧CVDやスパッタリングにより、100~500nm程度の膜厚に成膜して、所定パターンをもつ下部電極71を構成する。この場合の金属膜は、コンタクトホール83及びコンタクトホール881の両者が埋められるように行われ、これにより、高濃度ドレイン領域1e及び中継電極719と下部電極71との電氣的接続が図られる。

## 【 0 0 9 9 】

50

次いで、下部電極 7 1 上に、誘電体膜 7 5 を構成する。この誘電体膜 7 5 は、絶縁膜 2 の場合と同様に、一般に T F T ゲート絶縁膜を形成するのに用いられる各種の公知技術により形成可能である。酸化シリコン膜 7 5 a は前述の熱酸化、或いは C V D 法等によって形成され、その後、窒化シリコン膜 7 5 b が減圧 C V D 法等によって形成される。この誘電体膜 7 5 は、薄くする程、蓄積容量 7 0 は大きくなるので、結局、膜破れなどの欠陥が生じないことを条件に、膜厚 5 0 n m 以下のごく薄い絶縁膜となるように形成すると有利である。次に、誘電体膜 7 5 上に、ポリシリコン膜や A L (アルミニウム) 等の金属膜を、減圧 C V D 又はスパッタリングにより、約 1 0 0 ~ 5 0 0 n m 程度の膜厚に成膜して、容量電極 3 0 0 を構成する。

#### 【 0 1 0 0 】

次に、下部電極 7 1、誘電体膜 7 5 及び容量電極 3 0 0 を構成する各膜を一挙にパターンニングして、下部電極 7 1、誘電体膜 7 5 及び容量電極 3 0 0 を形成して、蓄積容量 7 0 を完成させる。

#### 【 0 1 0 1 】

次に、例えば、T E O S ガス等を用いた常圧又は減圧 C V D 法により、好ましくはプラズマ C V D 法により、N S G、P S G、B S G、B P S G 等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第 2 層間絶縁膜 4 2 を形成する。容量電極 3 0 0 にアルミニウムを用いた場合には、プラズマ C V D で低温成膜する必要がある。この第 2 層間絶縁膜 4 2 の膜厚は、例えば約 5 0 0 ~ 1 5 0 0 n m 程度とする。次に、ステップ S 1 2 において、第 2 層間絶縁膜 4 2 に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、コンタクトホール 8 1、8 0 1 及び 8 8 2 を開孔する。この際、コンタクトホール 8 1 は半導体層 1 a の高濃度ソース領域 1 d に通ずるように、コンタクトホール 8 0 1 は容量電極 3 0 0 へ通ずるように、また、コンタクトホール 8 8 2 は中継電極 7 1 9 に通ずるように、それぞれ形成される。

#### 【 0 1 0 2 】

次に、第 2 層間絶縁膜 4 2 上の全面に、スパッタリング等により、遮光性のアルミニウム等の低抵抗金属や金属シリサイド等を金属膜として、約 1 0 0 ~ 5 0 0 n m 程度の厚さ、好ましくは約 3 0 0 n m に堆積する。そして、フォトリソグラフィ及びエッチングにより、所定パターンをもつデータ線 6 a を形成する。この際、当該パターンニング時においては、シールド層用中継層 6 a 1 及び第 2 中継電極 6 a 2 もまた同時に形成される。シールド層用中継層 6 a 1 は、コンタクトホール 8 0 1 を覆うように形成されるとともに、第 2 中継電極 6 a 2 は、コンタクトホール 8 8 2 を覆うように形成されることになる。

#### 【 0 1 0 3 】

次に、これらの上層の全面にプラズマ C V D 法等によって窒化チタンからなる膜を形成した後、これがデータ線 6 a 上にのみ残存するようにパターンニング処理を実施する。ただし、該窒化チタンからなる層をシールド層用中継層 6 a 1 及び第 2 中継電極 6 a 2 上にも残存するように形成してよいし、場合によっては T F T 基板 1 0 の全面に関して残存するように形成してもよい。また、アルミニウムの成膜時に同時に成膜して、一括してエッチングしても良い。

#### 【 0 1 0 4 】

次に、データ線 6 a 等の上を覆うように、例えば T E O S ガス等を用いた常圧又は減圧 C V D 法により、好ましくは低温成膜できるプラズマ C V D 法により、N S G、P S G、B S G、B P S G 等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第 3 層間絶縁膜 4 3 を形成する。この第 3 層間絶縁膜 4 3 の膜厚は、例えば約 5 0 0 ~ 3 5 0 0 n m 程度とする。次に、図 1 に示すように、第 3 層間絶縁膜 4 3 を例えば C M P を用いて平坦化する。

#### 【 0 1 0 5 】

次に、第 3 層間絶縁膜 4 3 に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、コンタクトホール 8 0 3 及び 8 0 4 を開孔する。この際、コンタクトホール 8 0 3 は前記のシールド層用中継層 6 a 1 に通ずるように、また

10

20

30

40

50

、コンタクトホール 8 0 4 は第 2 中継電極 6 a 2 に通ずるように、それぞれ形成されることになる。

【 0 1 0 6 】

次に、第 3 層間絶縁膜 4 3 の上には、スパッタリング法、或いはプラズマ C V D 法等により、シールド層 4 0 0 及び第 3 中継電極 4 0 2 を形成する。図 6 はシールド層 4 0 0 及び第 3 中継電極 4 0 2 の形成工程を示している。

【 0 1 0 7 】

図 6 のステップ S 1 において、図 7 の工程 ( 1 ) に示すように、先ず、第 3 層間絶縁膜 4 3 の直上に、例えばアルミニウム等の低抵抗な材料から下層膜 4 0 a を形成し、次いで、この下層膜 4 0 a 上に、例えば窒化チタン等その他後述の画素電極 9 a を構成する I T O と電蝕を生じない材料から上層膜 4 0 b を形成する。次に、ステップ S 2 において、図 7 の工程 ( 2 ) に示すマスク 4 0 c を形成し、このマスク 4 0 c を利用して下層膜 4 0 a 及び上層膜 4 0 b を共にパターンニングする。

【 0 1 0 8 】

次に、図 7 の工程 ( 3 ) に示すように、後述する第 4 層間絶縁膜 4 4 に形成するコンタクトホール 8 9 を含む第 3 中継電極 4 0 2 と画素電極 9 a とのコンタクト部にのみマスク 4 0 d を形成する。そして、ステップ S 3 において、マスク 4 0 d を利用して上層膜 4 0 b を構成する窒化チタン膜を除去する。例えば、アルミニウムに対する選択比が十分に大きい  $C F_4$  及び  $O_2$  の混合ガスを用いたドライエッチングによって、窒化チタン膜を除去する。また、エッチングガスとして、 $C H F_3$ 、 $C F_4$  及び  $A r$  の混合ガスを用いた場合でも、アルミニウムを残しながら、窒化チタン膜を除去することができる。

【 0 1 0 9 】

これにより、シールド層 4 0 0 については、上層膜 4 0 b の全てが除去されて、下層膜 4 0 a のみの単層構造のシールド層 4 0 0 が形成される。一方、第 3 中継電極 4 0 2 については、コンタクト部のみがアルミニウム等の下層膜 4 0 a と窒化チタン等の上層膜 4 0 b との多層構造で構成され、その他の部分は下層膜 4 0 a のみの単層構造で構成される。第 3 中継電極 4 0 2 の下層膜 4 0 a は導電膜 4 0 2 a となり、上層膜 4 0 b は電蝕防止膜 4 0 2 b となる。

【 0 1 1 0 】

次に、例えば T E O S ガス等を用いた常圧又は減圧 C V D 法により、N S G、P S G、B S G、B P S G 等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第 4 層間絶縁膜 4 4 を形成する (ステップ S 4)。この第 4 層間絶縁膜 4 4 の膜厚は、例えば約 5 0 0 ~ 1 5 0 0 n m 程度とする。

【 0 1 1 1 】

次に、図 1 に示すように、第 4 層間絶縁膜 4 4 を例えば C M P を用いて平坦化する。次に、第 4 層間絶縁膜 4 4 に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、コンタクトホール 8 9 を開孔する (ステップ S 5)。この際、コンタクトホール 8 9 は第 3 中継電極 4 0 2 の電蝕防止膜 4 0 2 b に通ずるように形成されることになる。

【 0 1 1 2 】

次に、第 4 層間絶縁膜 4 4 上に、スパッタ処理等により、I T O 膜等の透明導電性膜を、約 5 0 ~ 2 0 0 n m の厚さに堆積する。そして、フォトリソグラフィ及びエッチングにより、画素電極 9 a を形成する (ステップ S 6)。

【 0 1 1 3 】

なお、当該電気光学装置を、反射型として用いる場合には、A L 等の反射率の高い不透明な材料によって画素電極 9 a を形成してもよい。次に、画素電極 9 a の上に、ポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角をもつように、かつ所定方向でラビング処理を施すこと等により、配向膜 1 6 が形成される。

【 0 1 1 4 】

このように、本実施の形態においては、導電膜と画素電極を構成する I T O との間に窒

10

20

30

40

50

化チタンを介挿して接続していることから、ITOに電蝕が発生することを防止することができる。また、遮光層として機能するシールド層の全領域及び中継電極のコンタクト部を除く領域は、窒化チタンが除去されて導電膜のみによる単層構造となっていることから、熱の発生を著しく低減することができる。

【0115】

なお、第1の実施の形態においては、電蝕防止膜として機能する窒化チタン膜をコンタクト部のみに残し他の部分では除去する例について説明したが、同一層で形成されるシールド層及び中継電極の一部でも窒化チタン膜を除去すれば、発熱防止効果を期待することができることは明らかである。例えば、シールド層は単層構造とし、中継電極は全領域において導電膜と電蝕防止膜との多層構造で構成してもよい。

10

【0116】

図8は本発明の第2の実施の形態に係る電気光学装置の断面構造を示す断面図であり、図9は第2の実施の形態の電気光学装置である液晶装置の各層の成膜パターンのうち一部の成膜パターンを示す平面図である。図8及び図9において夫々図1及び図5と同一の構成要素には同一符号を付して説明を省略する。なお、図9は1画素の画素電極9aの一辺に沿った遮光領域における成膜パターンを示している。

【0117】

本実施の形態は、データ線6a、シールド層用中継層6a1及び第2中継電極6a2に夫々代えて、データ線6a'、シールド層用中継層6a1'及び第2中継電極6a2'を採用した点が第1の実施の形態と異なる。

20

【0118】

本実施の形態においては、データ線6a'、シールド層用中継層6a1'及び第2中継電極6a2'は、データ線6a、シールド層用中継層6a1及び第2中継電極6a2と同一の平面形状を有している。データ線6a'は、アルミニウム膜等の導電膜によって構成されている。即ち、データ線6a'はデータ線6aと異なり、窒化チタンからなる層が積層されていない。

【0119】

一方、データ線6a'と同一層で形成されるシールド層用中継層6a1'は、下層から順に、窒化チタン膜6a1a、アルミニウム膜6a1b、窒化チタン膜6a1cの3層構造を有する。また、第2中継電極6a2'も、データ線6a'及びシールド層用中継層6a1'と同一工程で形成されて、下層より順に、窒化チタン膜6a1a、アルミニウム膜6a1b、窒化チタン膜6a1cの3層構造を有する。

30

【0120】

図9に示すように、平面的には、シールド層用中継層6a1'の領域内に、コンタクトホール801、803が形成される。この領域では、図8に示すように、シールド層用中継層6a1'の最上層の窒化チタン膜6a1cとシールド層400とがコンタクトホール803を介して接続される。また、シールド層用中継層6a1'は、最下層の窒化チタン膜6a1aと蓄積容量70とがコンタクトホール801を介して接続される。即ち、シールド層用中継層6a1'とその上下の層とのコンタクト部は、酸化防止膜としての窒化チタン膜が介在しており、接触抵抗を十分に低減することができる。

40

【0121】

同様に、平面的には、中継電極719の領域内に、コンタクトホール882が形成される。この領域では、図8に示すように、第2中継電極6a2'の最下層の窒化チタン膜6a2aと中継電極719とがコンタクトホール882を介して接続される。即ち、この場合においても、第2中継電極6a2'とその下層の中継電極719とのコンタクト部は、酸化防止膜としての窒化チタン膜が介在しており、接触抵抗を十分に低減することができる。

【0122】

同様に、平面的には、第2中継電極6a2'の領域内に、コンタクトホール804が形成される。この領域では、図8に示すように、第2中継電極6a2'の最上層の窒化チタ

50

ン膜 6 a 2 c と第 3 中継電極 4 0 2 とがコンタクトホール 8 0 4 を介して接続される。即ち、この場合においても、第 2 中継電極 6 a 2 ' とその上層の第 3 中継電極 4 0 2 とのコンタクト部は、酸化防止膜としての窒化チタン膜が介在しており、接触抵抗を十分に低減することができる。

【 0 1 2 3 】

このように、本実施の形態においては、上下の導体層同士のコンタクト部には、各層の導体膜相互間に酸化防止膜としての窒化チタン膜を設けており、接触抵抗を十分に低減することが可能である。また、窒化チタン膜は、上下の導体層同士のコンタクト部近傍のみ設けており、他の部分には窒化チタン膜は形成されていない。従って、導体層を遮光層として利用する場合でも、熱の発生を著しく低減することができる。

10

【 0 1 2 4 】

また、第 2 の実施の形態においては、シールド層用中継層 6 a 1 ' 及び第 2 中継電極 6 a 2 ' の全領域を 3 層構造としたが、コンタクト部のみを 3 層構造とし、他の部分を例えばアルミニウム膜による単層構造にしてもよいことは明らかである。

【 0 1 2 5 】

また、第 2 の実施の形態においては、シールド層用中継層 6 a 1 ' 及び第 2 中継電極 6 a 2 ' を 3 層構造としたが、導電層同士のコンタクト部に酸化防止膜としての窒化チタン膜を介在させればよく、シールド層用中継層 6 a 1 ' 及び第 2 中継電極 6 a 2 ' を単層構造とし、これらの層の上層又は下層において、コンタクト部を窒化チタン膜を用いた多層構造としてもよいことは明らかである。

20

【 0 1 2 6 】

また、本発明の電気光学装置は、パッシブマトリクス型の液晶表示パネルだけでなく、アクティブマトリクス型の液晶パネル（例えば、TFT（薄膜トランジスタ）やTFD（薄膜ダイオード）をスイッチング素子として備えた液晶表示パネル）にも同様に適用することが可能である。また、液晶表示パネルだけでなく、エレクトロルミネッセンス装置、有機エレクトロルミネッセンス装置、プラズマディスプレイ装置、電気泳動ディスプレイ装置、電子放出を用いた装置（Field Emission Display 及び Surface-Conduction Electron-Emitter Display 等）などの各種の電気光学装置においても本発明を同様に適用することが可能である。

次に、以上詳細に説明した電気光学装置をライトバルブとして用いた電子機器の一例たる投射型カラー表示装置の実施形態について、その全体構成、特に光学的な構成について説明する。ここに、図 10 は、投射型カラー表示装置の図式的断面図である。

30

図 10 において、本実施形態における投射型カラー表示装置の一例たる液晶プロジェクタ 1 1 0 0 は、駆動回路が TFT アレイ基板上に搭載された液晶装置を含む液晶モジュールを 3 個用意し、それぞれ RGB 用のライトバルブ 1 0 0 R、1 0 0 G 及び 1 0 0 B として用いたプロジェクタとして構成されている。液晶プロジェクタ 1 1 0 0 では、メタルハライドランプ等の白色光源のランプユニット 1 1 0 2 から投射光が発せられると、3 枚のミラー 1 1 0 6 及び 2 枚のダイクロックミラー 1 1 0 8 によって、RGB の三原色に対応する光成分 R、G 及び B に分けられ、各色に対応するライトバルブ 1 0 0 R、1 0 0 G 及び 1 0 0 B にそれぞれ導かれる。この際特に、B 光は、長い光路による光損失を防ぐために、入射レンズ 1 1 2 2、リレーレンズ 1 1 2 3 及び出射レンズ 1 1 2 4 からなるリレーレンズ系 1 1 2 1 を介して導かれる。そして、ライトバルブ 1 0 0 R、1 0 0 G 及び 1 0 0 B によりそれぞれ変調された三原色に対応する光成分は、ダイクロックプリズム 1 1 1 2 により再度合成された後、投射レンズ 1 1 1 4 を介してスクリーン 1 1 2 0 にカラー画像として投射される。

40

【図面の簡単な説明】

【 0 1 2 7 】

【図 1】本発明の第 1 の実施の形態に係る電気光学装置の断面構造を示す断面図。

【図 2】本実施の形態における電気光学装置である液晶装置をその上に形成された各構成要素と共に対向基板側から見た平面図。

50

【図3】素子基板と対向基板とを貼り合わせて液晶を封入する組立工程終了後の液晶装置を、図2のH-H'線の位置で切断して示す断面図。

【図4】液晶装置の画素領域を構成する複数の画素における各種素子、配線等の等価回路図。

【図5】本実施の形態のTFT基板上に形成する隣接した複数の画素について各層の成膜パターンのうち一部の成膜パターンを示す平面図。

【図6】図1の液晶装置の製造方法の一部を示すフローチャート。

【図7】図6の製造方法の一部の工程を断面図によって工程順に示す工程図。

【図8】本発明の第2の実施の形態に係る電気光学装置の断面構造を示す断面図。

【図9】第2の実施の形態の電気光学装置である液晶装置の各層の成膜パターンの中の一部の成膜パターンを示す平面図。

10

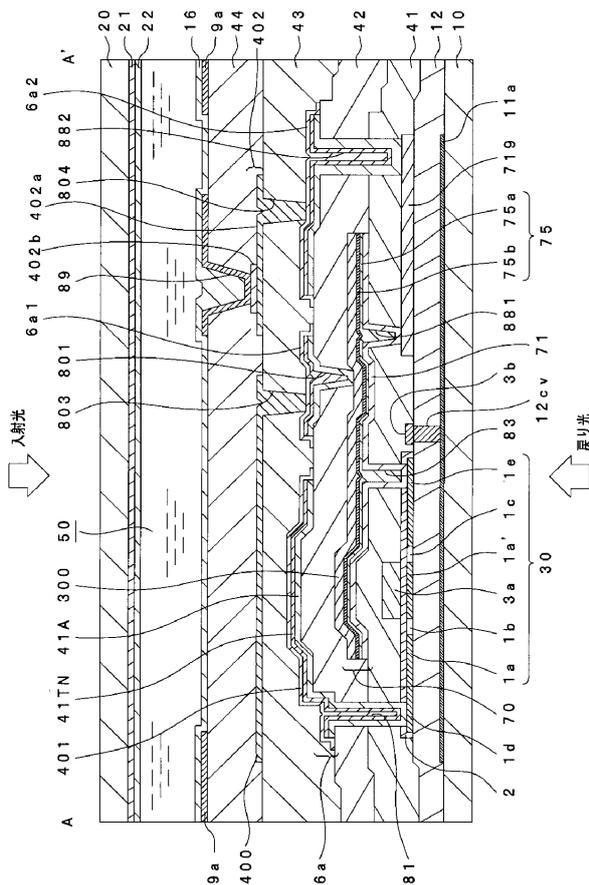
【図10】投射型カラー表示装置の図式的断面図。

【符号の説明】

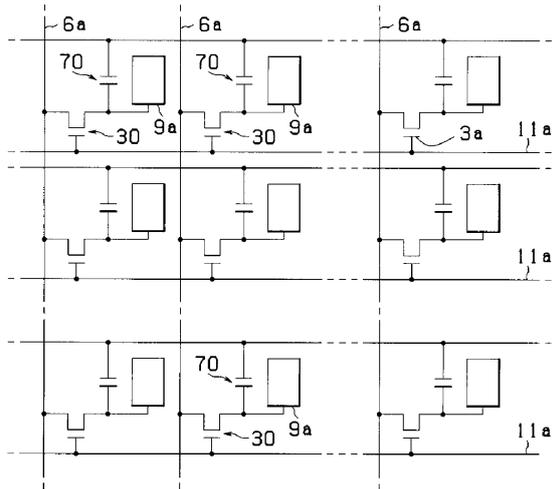
【0128】

9a...画素電極、44...第4層間絶縁膜、89...コンタクトホール、400...シールド層、402...第3中継電極。

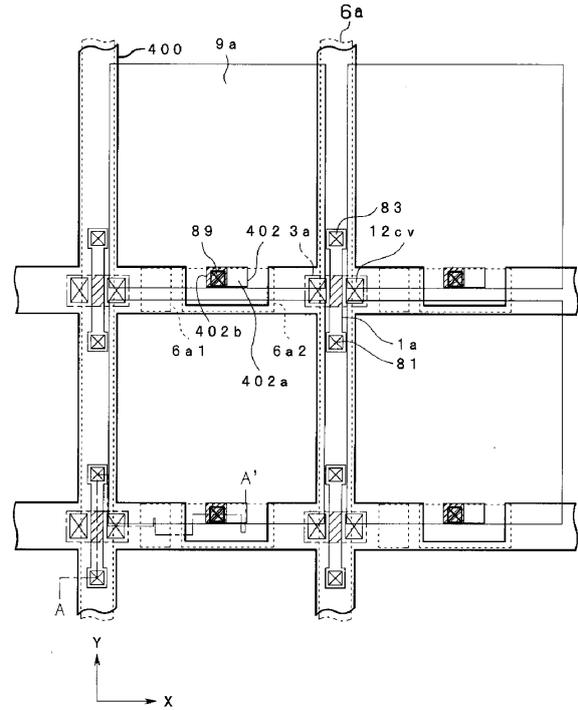
【図1】



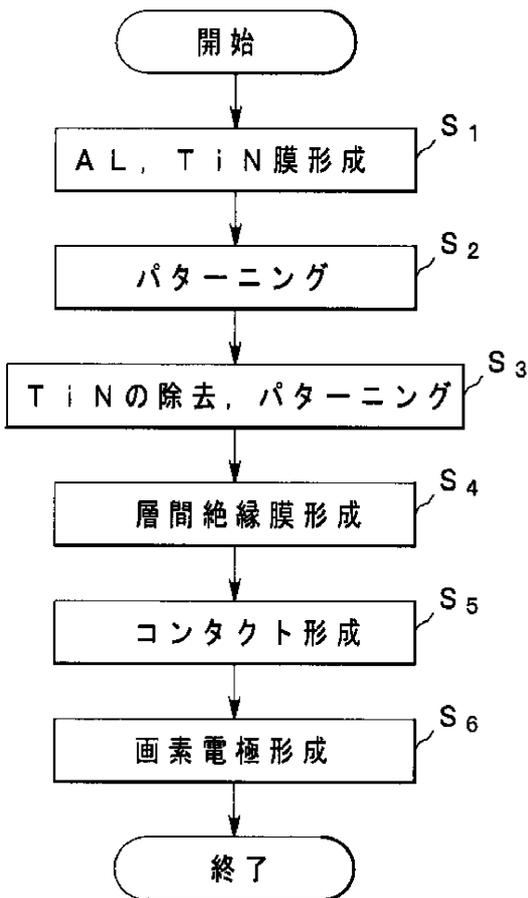
【図4】



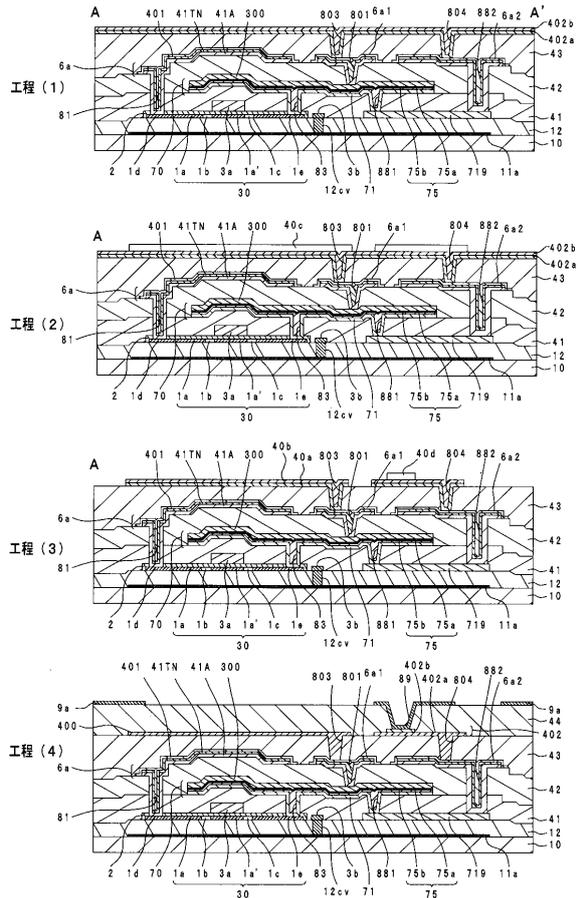
【図5】



【図6】



【図7】





---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 21/768 (2006.01) H 0 1 L 21/90 A

(56)参考文献 特開平 1 1 - 3 1 6 3 8 2 ( J P , A )  
特開平 0 9 - 1 5 2 6 2 5 ( J P , A )  
特開 2 0 0 3 - 2 2 2 8 4 6 ( J P , A )  
特開平 0 8 - 2 3 6 7 7 7 ( J P , A )  
国際公開第 0 0 / 0 3 9 6 3 4 ( W O , A 1 )  
特開平 0 9 - 2 6 5 1 1 4 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 4 3  
G 0 2 F 1 / 1 3 3 3  
G 0 2 F 1 / 1 3 6 8