



(12) 发明专利

(10) 授权公告号 CN 114121111 B

(45) 授权公告日 2023. 11. 17

(21) 申请号 202110598498.6

(22) 申请日 2021.05.31

(65) 同一申请的已公布的文献号
申请公布号 CN 114121111 A

(43) 申请公布日 2022.03.01

(30) 优先权数据
17/006,097 2020.08.28 US

(73) 专利权人 美光科技公司
地址 美国爱达荷州

(72) 发明人 T·H·金

(74) 专利代理机构 北京律盟知识产权代理有限
责任公司 11287
专利代理师 王艳娇

(51) Int.Cl.

G11C 19/28 (2006.01)

(56) 对比文件

CN 110311670 A, 2019.10.08
CN 102884725 A, 2013.01.16
CN 110495099 A, 2019.11.22
CN 103814366 A, 2014.05.21
US 10181344 B1, 2019.01.15
US 9647660 B1, 2017.05.09

审查员 王伟

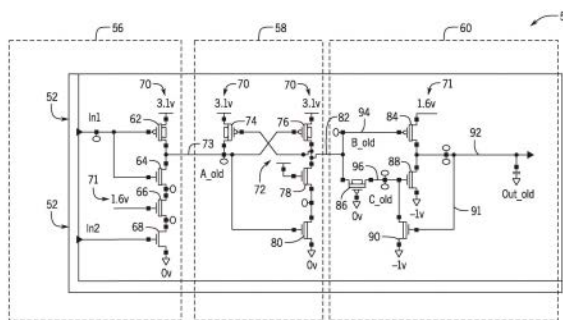
权利要求书3页 说明书8页 附图5页

(54) 发明名称

用于电平下降移位驱动器的系统和方法

(57) 摘要

本申请案涉及用于电平下降移位驱动器的系统和方法。一种存储器装置包含电平下降移位驱动器电路。所述电平下降移位驱动器电路包含：输入电路系统，其具有至少一个输入端口；和交叉结电路系统，其电耦合到所述输入电路系统且经配置以从所述输入电路系统接收第一信号以驱动包含在所述交叉结电路系统中的一或多个装置。所述电平下降移位驱动器电路进一步包含输出驱动电路系统，其电耦合到所述交叉结电路系统且经配置以从所述交叉结电路系统接收第二信号，其中所述输出驱动电路系统包括输出线，所述输出线经配置以基于由所述输入电路系统接收的第一输入电压而递送第一电压输出，且基于由所述输入电路系统接收的第二输入电压而递送第二电压输出。



1. 一种存储器装置,其包括:

电平下降移位驱动器电路,其包括:

输入电路系统,其具有至少一个输入端口;

第一交叉结电路系统,其电耦合到所述输入电路系统且经配置以从所述输入电路系统接收第一信号以驱动包含在所述第一交叉结电路系统中的多个装置,其中所述多个装置经由第一交叉结电耦合;以及

输出驱动电路系统,其电耦合到所述第一交叉结电路系统且经配置以从所述第一交叉结电路系统接收第二信号,其中所述输出驱动电路系统包括输出线,所述输出线经配置以基于由所述输入电路系统接收的第一输入电压来递送第一电压输出,且基于由所述输入电路系统接收的第二输入电压来递送第二电压输出,其中所述第一电压输出或所述第二电压输出处于比所述第一输入电压或所述第二输入电压更低的电压,其中所述输出线不包含反馈环路,且其中所述输出驱动电路系统包括第二交叉结电路系统,其电耦合到所述输入电路系统并经配置以辅助将所述输出线从所述第一电压输出转变至所述第二电压输出,其中

所述第二交叉结电路系统包括第一N型装置、经由第二交叉结电耦合到所述第一N型装置的第二N型装置,以及电耦合到所述第一交叉结电路系统和所述输入电路系统且电耦合到所述第一N型装置或所述第二N型装置中的至少一个的第三P型装置。

2. 根据权利要求1所述的存储器装置,其中所述输入电路系统包括第一输入端口和第二输入端口,其中所述第一输入电压是经由所述第一输入端口接收,且其中所述第二输入电压是经由所述第二输入端口接收。

3. 根据权利要求2所述的存储器装置,其中所述第一输入端口经电耦合以驱动包含在所述输入电路系统中的P型装置以经由所述P型装置的漏极来递送所述第一输入电压。

4. 根据权利要求3所述的存储器装置,其中所述第二输入端口经电耦合以驱动包含在所述输入电路系统中且定位于所述P型装置的所述漏极下游的N型装置。

5. 根据权利要求1所述的存储器装置,其中包含在所述第一交叉结电路系统中的所述多个装置包括第一P型装置和经由所述第一交叉结电耦合到所述第一P型装置的第二P型装置。

6. 根据权利要求5所述的存储器装置,其中所述第一P型装置经由将所述输入电路系统电耦合到所述第一P型装置的栅极的输入电路系统输出线而电耦合到所述输入电路系统。

7. 根据权利要求1所述的存储器装置,其中所述第一输入电压是在0与5伏特DC之间,所述第二输入电压是在0与2.5伏特DC之间,所述第一电压输出是正DC电压,且所述第二电压输出是负DC电压。

8. 一种用于制造电平下降移位驱动器电路的方法,其包括:

制造具有至少一个输入端口的输入电路系统;

制造第一交叉结电路系统,所述第一交叉结电路系统电耦合到所述输入电路系统且经配置以从所述输入电路系统接收第一信号以驱动包含在所述第一交叉结电路系统中的多个装置,其中所述多个装置经由第一交叉结电耦合;以及

制造输出驱动电路系统,所述输出驱动电路系统电耦合到所述第一交叉结电路系统且经配置以从所述第一交叉结电路系统接收第二信号,其中所述输出驱动电路系统包括输出线,所述输出线经配置以基于由所述输入电路系统接收的第一输入电压来递送第一电压输

出,且基于由所述输入电路系统接收的第二输入电压来递送第二电压输出,其中所述第一电压输出或所述第二电压输出处于比所述第一输入电压或所述第二输入电压更低的电压,其中所述输出线不包含反馈环路,且其中所述输出驱动电路系统包括第二交叉结电路系统,其电耦合到所述输入电路系统并经配置以辅助将所述输出线从所述第一电压输出转变至所述第二电压输出,其中

所述第二交叉结电路系统包括第一N型装置、经由第二交叉结电耦合到所述第一N型装置的第二N型装置,以及电耦合到所述第一交叉结电路系统和所述输入电路系统且电耦合到所述第一N型装置或所述第二N型装置中的至少一个的第一P型装置。

9. 根据权利要求8所述的方法,其中所述第一P型装置包括厚栅极P型装置。

10. 根据权利要求8所述的方法,其中所述电平下降移位驱动器电路在制造存储器装置期间经制造为包含在所述存储器装置中的组件。

11. 根据权利要求8所述的方法,其中所述输入电路系统包括第一输入端口和第二输入端口,其中所述第一输入电压是经由所述第一输入端口接收,且其中所述第二输入电压是经由所述第二输入端口接收。

12. 一种电平下降移位驱动器电路,其包括:

第一上拉电源;

第二上拉电源,其低于所述第一上拉电源;

第一下拉电源;

第二下拉电源,其低于所述第一下拉电源;

交叉结电路系统,其包含:

第一输入节点,

第一输出节点,

第一上拉晶体管,其耦合于所述第一上拉电源与所述第一输出节点之间,所述第一上拉晶体管的栅极耦合到所述第一输入节点;以及

第一下拉晶体管,其耦合于所述第一下拉电源与所述第一输出节点之间,所述

第一下拉晶体管的栅极耦合到所述第一输入节点;

电平移位电路系统,其包含:

第二输出节点,

第二下拉晶体管,其耦合于所述第二下拉电源与所述第二输出节点之间,所述

第二下拉晶体管的栅极耦合到所述第一输入节点;以及

输出装置电路系统,其包含:

第三输出节点;

第二上拉晶体管,其耦合于所述第二上拉电源与所述第三输出节点之间,所述第二上拉晶体管的栅极耦合到所述第二输出节点;以及

第三下拉晶体管,其耦合于所述第二下拉电源与所述第三输出节点之间,所述第三下拉晶体管的栅极至少部分地耦合到所述第二输出节点。

13. 根据权利要求12所述的电平下降移位驱动器电路,其包括第一输入端口和第二输入端口,其中所述输出装置电路系统经由所述第三输出节点输出电平比经由所述第一输入端口或所述第二输入端口接收的电压的电平更低的电压。

14. 根据权利要求13所述的电平下降移位驱动器电路,其中所述第一输入端口和所述第二输入端口包含在经由所述第一输入节点连接到所述交叉结电路系统的输入电路系统中。

15. 根据权利要求12所述的电平下降移位驱动器电路,其中所述第三输出节点不包含反馈环路。

16. 根据权利要求12所述的电平下降移位驱动器电路,其中所述电平下降移位驱动器电路包含在存储器装置中。

用于电平下降移位驱动器的系统和方法

技术领域

[0001] 本公开涉及移位驱动器,且更具体地说,涉及电平下降移位驱动器。

背景技术

[0002] 某些读取/写入存储器装置,例如动态随机存取存储器(DRAM),包含具有存储信息的存储器单元的阵列。举例来说,某些DRAM装置,例如同步动态RAM(SDRAM)装置,可具有多个存储器组,所述多个存储器组具有包含在存储器阵列中的许多可寻址存储器元件或单元。在使用中,存储器装置,如SDRAM装置,可以高速度,例如每秒1千兆比特(Gbp)或更大的速度,接收数据输入信号,并基于数据输入信号将数据存储在存储器单元中。可使用电平移位驱动器,例如以将信号从一个逻辑电平或电压域转变为另一逻辑电平或电压域,因此实现处理器、逻辑、传感器等等中的域之间的桥接。改进电平移位驱动器中的电路系统将为有益的。

[0003] 本公开的实施例可针对于上文所阐述的问题中的一或多个。

发明内容

[0004] 在一个方面中,本申请案提供一种存储器装置,所述存储器装置包括:电平下降移位驱动器电路,所述电平下降移位驱动器电路包括:输入电路系统,其具有至少一个输入端口;交叉结电路系统,其电耦合到输入电路系统且经配置以从输入电路系统接收第一信号以驱动包含在交叉结电路系统中的一或多个装置,其中一或多个装置经由交叉结电耦合;以及输出驱动电路系统,其电耦合到交叉结电路系统且经配置以从交叉结电路系统接收第二信号,其中输出驱动电路系统包括输出线,所述输出线经配置以基于由输入电路系统接收的第一输入电压而递送第一电压输出,且基于由输入电路系统接收的第二输入电压来递送第二电压输出,其中第一或第二电压输出处于比第一或第二输入电压低的电压,且其中输出线不包含反馈环路。

[0005] 在另一方面中,本申请案提供一种用于制造电平下降移位驱动器电路的方法,其包括:制造具有至少一个输入端口的输入电路系统;制造交叉结电路系统,所述交叉结电路系统电耦合到输入电路系统且经配置以从输入电路系统接收第一信号以驱动包含在交叉结电路系统中的一或多个装置,其中一或多个装置经由交叉结电耦合;以及制造输出驱动电路系统,所述输出驱动电路系统电耦合到交叉结电路系统且经配置以从交叉结电路系统接收第二信号,其中输出驱动电路系统包括输出线,所述输出线经配置以基于由输入电路系统接收的第一输入电压来递送第一电压输出,且基于由输入电路系统接收的第二输入电压来递送第二电压输出,其中第一或第二电压输出处于比第一或第二输入电压低的电压,且其中输出线不包含反馈环路。

[0006] 在另一方面中,本申请案提供一种电平下降移位驱动器电路,所述电平下降移位驱动器电路包括:第一上拉电源;第二上拉电源,其低于第一上拉电源;第一下拉电源;第二下拉电源,其低于第一下拉电源;交叉结电路系统,其包含:第一输入节点;第一输出节点;

第一上拉晶体管,其耦合于第一上拉电源与第一输出节点之间,第一上拉晶体管的栅极耦合到第一输入节点;以及第一下拉晶体管,其耦合于第一下拉电源与第一输出节点之间,第一下拉晶体管的栅极耦合到第一输入节点;电平移位电路系统,其包含:第二输出节点;第二下拉晶体管,其耦合于第二下拉电源与第二输出节点之间,第二下拉晶体管的栅极耦合到第一输入节点;以及输出装置电路系统,其包含:第三输出节点;第二上拉晶体管,其耦合于第二上拉电源与第三输出节点之间,第二上拉晶体管的栅极耦合到第二输出节点;以及第三下拉晶体管,其耦合于第二下拉电源与第三输出节点之间,第三下拉晶体管的栅极至少部分地耦合到第二输出节点。

附图说明

[0007] 在阅读以下详细描述并且参考附图之后可以更好地理解本公开的各个方面,在附图中:

[0008] 图1是根据一实施例的说明可包含一或多个电平下降移位驱动器的存储器装置的组织框图;

[0009] 图2是根据一实施例的电平下降移位驱动器的电路图;

[0010] 图3是根据一实施例的不包含输出反馈外观的电平下降移位驱动器的电路图;

[0011] 图4是根据一实施例的比较图2的电平下降移位驱动器与图3的电平下降移位驱动器之间的性能的时序图;且

[0012] 图5是根据一实施例的适于制造电平下降移位驱动器的工艺的流程图。

具体实施方式

[0013] 下文将描述一或多个具体实施例。为了提供这些实施例的简要描述,不会在本说明书中描述实际实施方案的所有特征。应了解,在任何这样的实际实施方案的发展中,如同在任何工程或设计项目中,必须制定许多实施方案特定性的决策以实现研发者的特定目标,例如与系统相关和企业相关约束条件的一致性,这可以从一个实施方案到另一实施方案有所变化。此外,应了解,这种发展努力可能是复杂且耗时的,然而将是本公开中获益的所属领域的技术人员从事的设计、构造和制造的例程。

[0014] 许多电气装置可包含耦合到处理电路系统的随机存取存储器 (RAM) 装置,且存储器装置可提供存储以供数据处理。RAM装置的实例包含动态RAM (DRAM) 装置和同步DRAM (SDRAM) 装置,其可以电子方式存储个别位。所存储位可经组织成可寻址存储器元件(例如,字),其可存储在存储器组中。为了接收和发射位,RAM装置可以包含某些数据通信电路系统以及适用于保存并从存储器组检索位的通信线。在某些DRAM和SDRAM装置中,电平下降移位驱动器可包含电路系统,其使例如电压信号的某些信号从某一第一电压范围(例如,0到3.1伏特)移位到第二较低电压范围(例如,1.6到-1伏特)。在某些实施例中,电平下降移位驱动器可包含不再使用输出线中的反馈的电路系统,因此改进电平下降移位驱动器的“摆动”性能,如下文进一步描述。

[0015] 现在转而参考各图,图1是说明存储器装置10的某些特征的简化的框图。具体来说,图1的框图是说明存储器装置10的某些功能性的功能框图。根据一个实施例,存储器装置10可以是双倍数据速率类型五同步动态随机存取存储器 (DDR5 SDRAM) 装置。与先前各代

DDR SDRAM相比,如本文中进一步描述的DDR5 SDRAM的各种特征允许减少的功率消耗、更多的带宽,及更多的存储容量。

[0016] 存储器装置10可包含数个存储器组12。存储器组12可以是例如DDR5 SDRAM存储器组。存储器组12可以设置在布置于双列直插式存储器模块(DIMMS)上的一或多个芯片(例如,SDRAM芯片)上。每一DIMM可以包含数个SDRAM存储器芯片(例如,x8或x16存储器芯片),如将了解。每一SDRAM存储器芯片可包含一或多个存储器组12。存储器装置10表示具有数个存储器组12的单个存储器芯片(例如,SDRAM芯片)的一部分。对于DDR5,存储器组12可进一步经布置以形成组群。举例来说,对于8千兆字节(Gb)DDR5 SDRAM,存储器芯片可包含16个存储器组12,其布置成8个组群,每一组群包含2个存储器组。例如,对于16Gb DDR5 SDRAM,存储器芯片可包含32个存储器组12,其布置成8个组群,每一组群包含4个存储器组。取决于整个系统的应用和设计,可利用存储器装置10上的存储器组12的各种其它配置、组织和大小。

[0017] 存储器装置10可以包含命令接口14和输入/输出(I/O)接口16。命令接口14经配置以从例如处理器或控制器的外部装置(未示出)提供数个信号(例如,信号15)。处理器或控制器可以将各种信号15提供到存储器装置10以促进待写入到存储器装置10或从存储器装置10读取的数据的发射和接收。

[0018] 如将了解,命令接口14可包含数个电路,例如时钟输入电路18和命令地址输入电路20,以确保信号15的恰当处置。命令接口14可以从外部装置接收一或多个时钟信号。一般来说,双数据速率(DDR)存储器利用系统时钟信号的差分对,在本文中被称作真时钟信号(Clk_t)及互补时钟信号(Clk_c)。DDR的正时钟边缘指代上升真时钟信号Clk_t与下降互补时钟信号Clk_c交叉的点,而负时钟边缘指示下降真时钟信号Clk_t的转变及互补时钟信号Clk_c的上升。命令(例如,读取命令、写入命令(WrCmd)等)通常在时钟信号的正边沿上输入,且数据在正时钟边沿和负时钟边沿两者上发射或接收。

[0019] 时钟输入电路18接收真时钟信号(Clk_t)和互补时钟信号(Clk_c)且产生内部时钟信号CLK。内部时钟信号CLK被供应到内部时钟发生器,例如延迟锁定环路(DLL)电路30。DLL电路30基于接收到的内部时钟信号CLK产生相位受控内部时钟信号LCLK。相位受控内部时钟信号LCLK经供应到例如I/O接口16,并用作用于确定读取数据的输出定时的定时信号。

[0020] 内部时钟信号CLK也可提供到存储器装置10内的各种其它组件,且可用于产生各种额外内部时钟信号。举例来说,内部时钟信号CLK可经提供到命令解码器32。命令解码器32可从命令总线34接收命令信号且可解码命令信号以提供各种内部命令。举例来说,命令解码器32可通过总线36向DLL电路30提供命令信号,以协调相位受控内部时钟信号LCLK的产生。相位受控内部时钟信号LCLK可用于例如通过I/O接口16时控数据。

[0021] 另外,命令解码器32可对例如读取命令、写入命令、模式寄存器设置命令、启动命令等命令进行解码,并且经由总线路径40提供对与命令相对应的特定存储器组12的存取。如将了解,存储器装置10可包含各种其它解码器,例如行解码器和列解码器,以促进对存储器组12的存取。在一个实施例中,每一存储器组12包含组控制块22,所述组控制块提供必需的解码(例如,行解码器和列解码器)以及其它特征,例如时序控制和数据控制,以促进来往于存储器组12的命令的执行。

[0022] 存储器装置10基于从例如处理器的外部装置接收的命令/地址信号而执行例如读

取命令和写入命令的操作。在一个实施例中,命令/地址总线可以是用于容纳命令/地址信号(CA<13:0>)的14位总线。使用时钟信号(Clk_t和Clk_c)将命令/地址信号时控到命令接口14。命令接口14可包含命令地址输入电路20,其被配置成通过例如命令解码器32接收和发射命令以提供对存储器组12的存取。另外,命令接口14可以接收片选信号(CS_n)。CS_n信号使得存储器装置10能够处理传入CA<13:0>总线上的命令。对存储器装置10内的特定组12的存取通过命令在CA<13:0>总线上编码。

[0023] 另外,命令接口14可经配置以接收数个其它命令信号。举例来说,可提供命令/地址裸片上终止(CA_ODT)信号以促进存储器装置10内的恰当阻抗匹配。重置命令(RESET_n)可用于例如在加电期间重置命令接口14、状态寄存器、状态机以及类似物。命令接口14也可接收命令/地址反相(CAI)信号,可提供所述命令/地址反相信号以例如取决于特定存储器装置10的命令/地址路由,而使命令/地址总线上的命令/地址信号CA<13:0>的状态反相。还可提供镜像(MIR)信号以促进镜像功能。基于特定应用中的多个存储器装置的配置,MIR信号可用于多路复用信号以使得它们可调换以用于实现信号到存储器装置10的某些路由。还可提供用于促进存储器装置10的测试的各种信号,例如,测试启用(TEN)信号。举例来说,TEN信号可用于将存储器装置10置于测试模式以用于连接性测试。

[0024] 命令接口14还可用于针对可检测的某些错误将警告信号(ALERT_n)提供到系统处理器或控制器。举例来说,警告信号(ALERT_n)可在检测到循环冗余校验(CRC)错误的情况下从存储器装置10发射。也可产生其它警告信号。此外,用于从存储器装置10发射警告信号(ALERT_n)的总线和引脚可在某些操作期间用作输入引脚,所述操作例如如上文所描述的使用TEN信号执行的连接性测试模式。

[0025] 通过经由I/O接口16发射和接收数据信号44,可以利用上文所论述的命令和时钟信号,将用于读取和写入命令的数据发送到存储器装置10和从存储器装置10发送数据。更确切地说,数据可通过包含多个双向数据总线的数据路径46发送到存储器组12或从其检索数据。通常被称作DQ信号的数据I/O信号通常在一或多个双向数据总线中发射和接收。对于例如DDR5 SDRAM存储器装置的某些存储器装置,I/O信号可划分成上部和下部字节。举例来说,对于x16存储器装置,可以将I/O信号划分成对应于例如数据信号的上部和下部字节的上部和下部I/O信号(例如,DQ<15:8>和DQ<7:0>)。用于读取和写入的数据(例如,I/O信号)可经寻址到存储器组12中的某一存储器(例如,存储器单元)。

[0026] 也可通过I/O接口16将阻抗(ZQ)校准信号提供到存储器装置10。可将ZQ校准信号提供到参考引脚,且ZQ校准信号可用于通过跨越过程、电压和温度(PVT)值的变化调整存储器装置10的上拉和下拉电阻器来调谐输出驱动器和ODT值。因为PVT特性可能影响ZQ电阻器值,所以ZQ校准信号可提供到ZQ参考引脚以用于调节电阻而将输入阻抗校准到已知值。如将了解,精度电阻器一般耦合于存储器装置10上的ZQ引脚与存储器装置10外部的GND/VSS之间。这一电阻器充当用于调整内部ODT和I/O引脚的驱动强度的参考。

[0027] 另外,环回信号(LOOPBACK)可通过I/O接口16提供到存储器装置10。环回信号可在测试或调试阶段期间使用以将存储器装置10设置成其中信号通过同一引脚环回通过存储器装置10的模式。举例来说,环回信号可用于设置存储器装置10以测试存储器装置10的数据输出(DQ)。环回可包含数据和选通两者或可能仅包含数据引脚。这一般既定用于监视在I/O接口16处由存储器装置10捕获的数据。

[0028] 如将了解,例如电源电路(用于接收外部VDD和VSS信号)、模式寄存器(用以定义可编程操作和配置的各种模式)、读取/写入放大器(用以在读取/写入操作期间放大信号)、温度传感器(用于感测存储器装置10的温度)等各种其它组件也可并入到存储器系统10中。还如将了解,例如命令接口14、命令解码器32、DLL 30、I/O接口16、存储器组12、组控件22和/或数据路径46的各种组件可包含一或多个电平下降移位驱动器电路50。电平下降移位驱动器电路50可为单向的且可接收作为输入的两个信号。举例来说,两个信号中的任一个可用于将第一电压转换成第二电压,第二电压相比于第一电压处于较低电压电平。所述转换可用于将信号从一个逻辑电平或电压域转变为另一逻辑电平(例如,低逻辑电平),因此实现存储器装置10的组件中的域之间的桥接。因此,应理解,仅提供图1的框图以突出存储器装置10的某些功能特征以有助于后续详细描述。还应注意,本文中所描述的电平下降移位驱动器电路50可适用于其它系统中,所述系统例如微处理器、传感器、其它存储器装置、逻辑电路等等。

[0029] 说明电平下降移位驱动器电路50的实施例将为有益的。因此,图2描绘具有两个输入端口52、54的电平下降移位驱动器电路50的实施例。应理解,所描绘实施例仅为可用于说明的简化实例,且其它电平下降移位驱动器电路50可包含更多或更少组件和/或连接。电平下降移位驱动器电路50可划分成输入电路系统区段56、交叉结电路系统区段58,和输出驱动电路系统区段60。

[0030] 在所描绘的实施例中,输入电路系统区段56可包含四个串联晶体管装置62、64、66和68。晶体管62可以是P型(例如,厚栅极)金属氧化物场效应晶体管(MOSFET),晶体管64和66可以是N型(例如,厚栅极)MOSFET,且晶体管66可以是标准N型MOSFET。如所说明,第一输入52可连接到晶体管62和64的栅极。第二输入54可连接到晶体管68的栅极。因此,输入52可驱动VCCP电源70(例如,第一上拉电源),而输入54可驱动连接到晶体管66的电源71(例如,1.6伏特及第二上拉电源)。VCCP电源70可提供0到3.1伏特DC之间的电压,而电源71可提供0到1.1伏特DC之间的电压。对于VCCP电源70,其它电压可在0到5伏特DC之间,且对于电源71,其它电压可在0到2.5伏特DC之间。

[0031] 在使用中,输入端口52可用于驱动电平下降移位驱动器电路50,以基于0到3.1伏特之间的VCCP输入电压而产生1.6伏特与-1伏特之间的电压,而输入端口54可用于驱动电平下降移位驱动器电路50以基于0与1.1伏特之间的VCC 72输入电压而产生1.6伏特与-1伏特之间的电压。即,输入端口52、54中的任一个或两个可触发电平下降移位驱动器电路50以产生输出电压。举例来说,输入52、54可连接到解码器32电路系统,且电平下降移位驱动器电路50的输出可由低电平解码器(例如,使用例如1.6伏特和-1伏特的较低电平信号以解码某些信息或命令的解码器)使用,因此电平下降移位驱动器电路50可充当转换器,例如,逻辑电平下降转换器。举例来说,当输入端口52从逻辑电平低变成逻辑电平高时,电平下降移位驱动器电路50可从逻辑电平低切换为逻辑电平高,且反之亦然。

[0032] 在所描绘实施例中,输入电路系统区段56接着可通过线路73将电压提供到交叉结电路系统区段58中。将交叉结电路系统区段58描绘为具有处于交叉结配置的P型(例如,厚栅极)MOSFET装置74和P型(例如,厚栅极)MOSFET装置76(例如,第一上拉晶体管)。交叉结电路系统区段58还可包含N型(例如,厚栅极)MOSFET装置78,和具有连接到第一下拉电源(例如,0伏特)的漏极的N型(例如,厚栅极)MOSFET装置80(例如,第一下拉晶体管)。通过线路73

的输入电路系统区段56的输出电压可用于驱动晶体管76和80两者。晶体管76的漏极又可驱动晶体管74的栅极,从而可接着将电流提供到晶体管76和80的栅极中,使得线路82驱动包含在输出驱动电路系统60中的P型(例如,厚栅极)MOSFET装置84(例如,第二上拉晶体管)的栅极。即,线路82连接交叉结电路系统区段58,例如,作为交叉结电路系统区段58的输出,接着其作为输入经提供到输出驱动电路系统60中。

[0033] 输出驱动电路系统60还可包含P型(例如,厚栅极)MOSFET装置86,其又具有连接到N型(例如,厚栅极)MOSFET装置88(例如,第三下拉晶体管)的漏极。展示额外N型(例如,厚栅极)MOSFET装置90,其具有来自输出线92的反馈线91。在使用中,当线路96变低时,线路94可变高,因此使输出线92分别“摆动”成高和低(例如,在1.6伏特与-1伏特DC之间)。然而,由于线路92还连接到反馈线91且因此与N型装置90连接,因此所述摆动可能不如所希望的那样明显。举例来说,如果输出线92为高的,那么装置90将为“接通的”以将-1伏特DC发送到线路96,且由于输出装置94可为“厚的”,例如超过10nm,且其源极展示为处于1.6伏特DC,因此到1.6伏特DC的摆动可能不会达到所希望的那样高。

[0034] 因此,输出驱动电路系统60的第二实施例具有去除的反馈线91,如图3中所展示。现在转而参看图3,所述图说明电平下降移位电路100的实施例。应理解,所描绘实施例仅为可用于说明的简化实例,且其它电平下降移位驱动器电路100可包含更多或更少组件和/或连接。因为电平下降移位驱动器电路100包含如上文关于电平下降移位驱动器电路50在图中展示的相同组件中的一些,所以使用相同元件编号说明相同组件。电平下降移位驱动器电路100可划分成输入电路系统区段56、交叉结电路系统区段58,和输出驱动电路系统区段102。在某些实施例中,输入电路系统区段56和交叉结电路系统区段58与电平下降移位驱动器电路100中所发现的输入电路系统区段和交叉结电路系统区段相同,但输出驱动电路系统区段102可包含额外组件,例如以当在输出电平之间(例如在1.6伏特DC与-1伏特DC之间)切换时改进时间和/或效率。如所展示,线路73横穿第一输入节点(例如,A_new),线路94横穿第一输出节点(B_new),且线路96横穿第二输出节点(C_new)。

[0035] 如先前所提及,输入端口52和/或54可用于驱动电平下降移位驱动器电路100,以经由输入端口52转换输入电压,例如VCCP(例如,在0与5伏特之间),和/或经由输入端口54将VCC(例如,在0与2.5伏特之间)转换成较低电平输出,例如在1.6伏特DC与-1伏特DC之间。即,在一个实施例中,在0与5伏特VCCP之间循环可使得移位驱动器电路的输出在正电压与负电压之间(例如在1.6伏特DC与-1伏特DC之间)循环,且在0与2.5伏特VCC之间循环也可使得移位驱动器电路的输出在正电压与负电压之间(例如在1.6伏特DC与-1伏特DC之间)循环。

[0036] 在所说明实施例中,相较于输出驱动电路系统区段60,输出驱动电路系统区段102包含总计三个新装置。更确切地说,输出驱动电路系统区段102包含N型MOSFET装置104和P型(例如,厚栅极)MOSFET装置106。另外,N型(例如,厚栅极)装置90现在用标准N型MOSFET装置108(例如,第二下拉晶体管)替换,所述标准N型MOSFET装置经展示为具有耦合到低于第一下拉电源(例如,0伏特)的第二下拉电源(例如,-1伏特)的漏极。在所说明实施例中,N型装置104经由交叉结连接电耦合到N型装置108(例如,第二下拉晶体管)。在使用中,相对于使用反馈线或环路来启动装置88,N型装置104和108现在可通过启动装置88来更有效地将电压例如从-1伏特DC“摆动”到1.6伏特DC(或反之亦然)。此外,线路110现在可将P型装置

106直接电耦合到输入电路系统56,从而经由线路92(例如,第三输出节点)进一步辅助输出驱动电路系统102的改进的“摆动”性能。通过去除使用反馈环路以在输出电压之间交替或以其它方式在输出电压之间摆动,本文中所描述的技术可在电平下降移位电路系统中提供改进的性能和效率。

[0037] 图4说明一系列信号的一实施例的时序图200,其展示电平下降移位驱动器电路50与电平下降移位驱动器电路100之间的实例性能比较。在所描绘实施例中,区段202针对电平下降移位驱动器电路50展示包含切换性能的性能,而区段204针对电平下降移位驱动器电路100展示包含切换性能的性能。在所描绘实施例中,信号206表示通过电平下降移位驱动器电路50的线路73的电压,而信号208表示通过线路92的输出电压。还展示信号210和212,其分别表示经由输入52接收的电压和由线路94携带的电压。

[0038] 图200还展示信号214和216。信号214表示通过电平下降移位驱动器电路100的线路73的电压,而信号216表示通过电平下降移位驱动器电路100的线路94的输出电压。如所说明的信号218和220分别表示电平下降移位驱动器电路100的经由输入52接收的电压和由线路94携带的电压。还展示信号222和224,其分别表示电平下降移位驱动器电路50和电平下降移位驱动器电路100的线路96中的电压。

[0039] 区段222展示信号210、218,其开始处于逻辑低(例如,0伏特DC)且接着变为逻辑高(例如,3.1伏特)。当信号210、218为逻辑低时,例如在电平下降移位驱动器电路50的状况下,由于信号206、212、222,且在电平下降移位驱动器电路100的状况下,由于信号214、220、224,输出信号208、216处于逻辑高(例如,1.6伏特)。区段224展示现在全部处于逻辑高(例如,3.1伏特DC)的信号210、218,和现在全部处于逻辑低(例如,-1伏特DC)的对应的输出信号208、216。

[0040] 区段226展示相比于电平下降移位驱动器电路100的电平下降移位驱动器电路50的摆动性能。当输入52电压变成逻辑低(例如,0伏特DC)时,信号208、216现在变为逻辑高。然而,信号208经展示为不变成如所希望的那样高,且例如,相较于信号216,花费更长时间变高。实际上,例如,相较于信号222的电压,信号224针对逻辑高展示较低电压。因此,由于电平下降移位驱动器电路100的改变,信号216相较于信号208展示更快的摆动性能和更高的可实现的电压。以此方式,例如相较于电平下降移位驱动器电路50,电平下降移位驱动器电路100可更快速地且更有效地执行切换。

[0041] 图5为说明适于制造电平下降移位驱动器电路的工艺300的实施例的流程图。应理解,可以任何次序(包含以并行次序)执行针对工艺300展示的步骤。在所描绘实施例中,工艺300可首先制造(块302)输入电路系统区段60。举例来说,输入52、54可经制造为输入端口,且可制造和/或电连接装置62、64、66、68。在某些实施例中,输入电路系统区段60的制造可以是制造例如存储器装置10的存储器装置的部分。

[0042] 工艺300接着可制造(块304)交叉结电路系统区段58。如图2和3中所说明,交叉结电路系统区段58可包含装置74、75、78和80,其中装置74和76以交叉结配置来制造。制造(块304)交叉结电路系统区段58可另外包含将交叉结电路系统区段58电连接到输入电路系统区段60。

[0043] 工艺300接着可制造(块306)输出驱动器电路系统,例如区段60或区段102,此取决于将制造哪一电平下降移位驱动器电路,例如电平下降移位驱动器电路50和/或100。制造

输出驱动器电路系统102与制造输出驱动器电路系统60可包含基本上相同的步骤,但所述输出驱动器电路系统102具有处于交叉结配置的两个额外装置104、108和新装置106。输出驱动器电路系统接着可电耦合到交叉结电路系统区段58和/或输入电路系统区段56。所得电平下降移位驱动器电路50和/或100接着可用于提供多种信号处理功能,例如当将信号从第一电压域变换为第二较低电压域时。

[0044] 虽然本文中所描述的实施例可能易有各种修改和替代形式,但特定实施例已经在图式中作为实例展示且在本文中详细描述。然而,应理解,本公开并不希望限于所公开的特定形式。而是,本公开将涵盖属于如由所附权利要求书限定的本公开中所描述的技术和系统的精神和范围内的所有修改、等效物和替代方案。

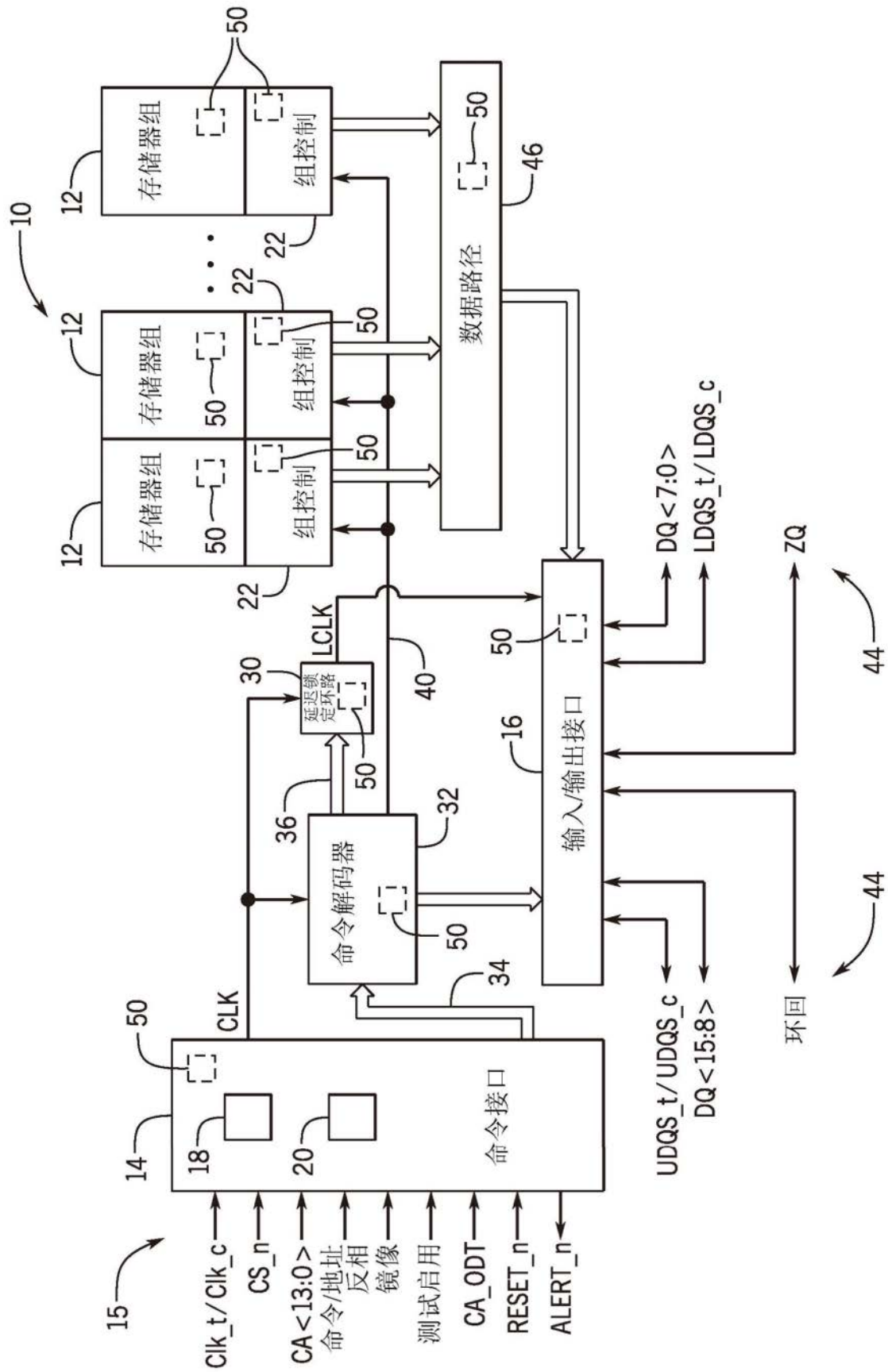


图1

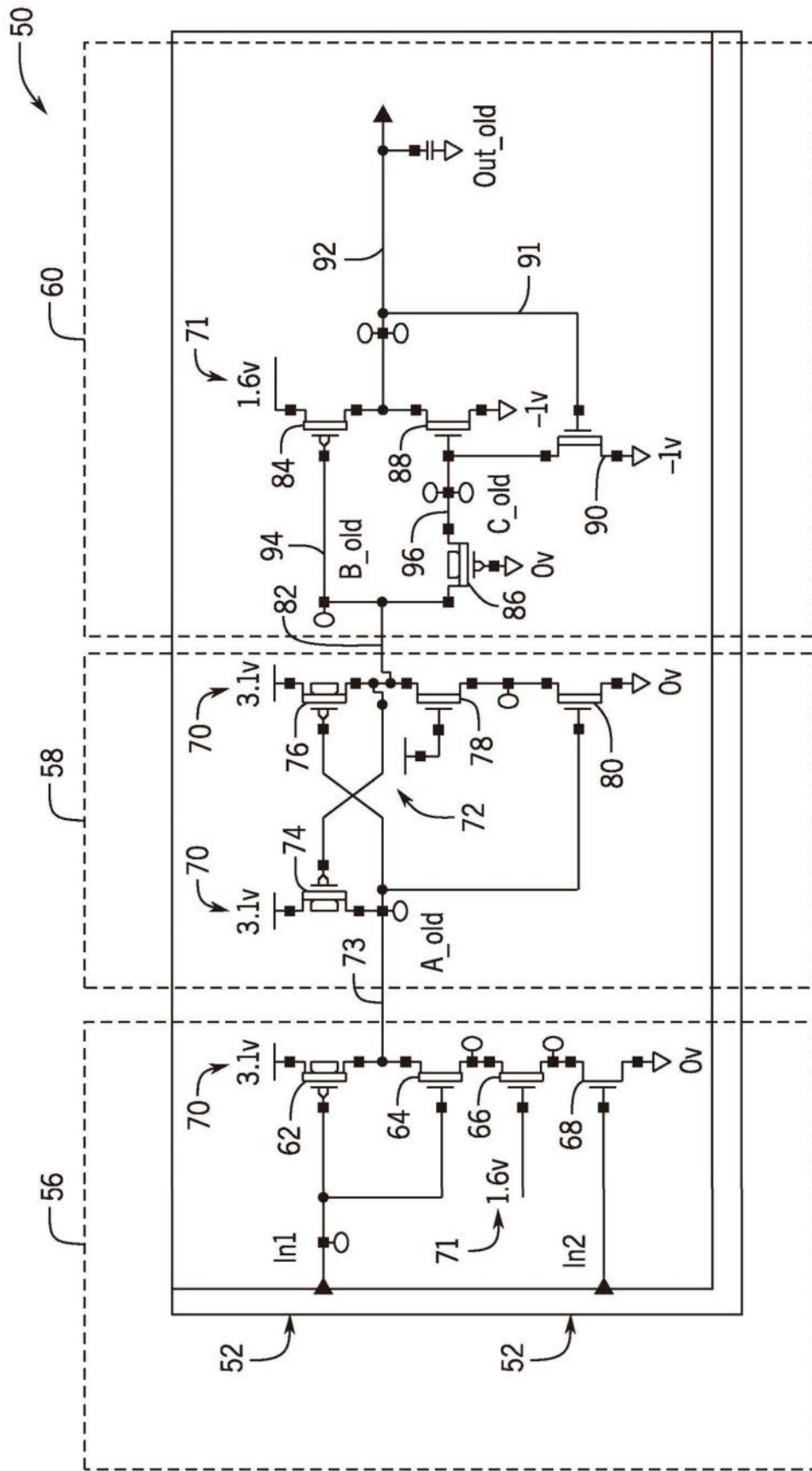


图2

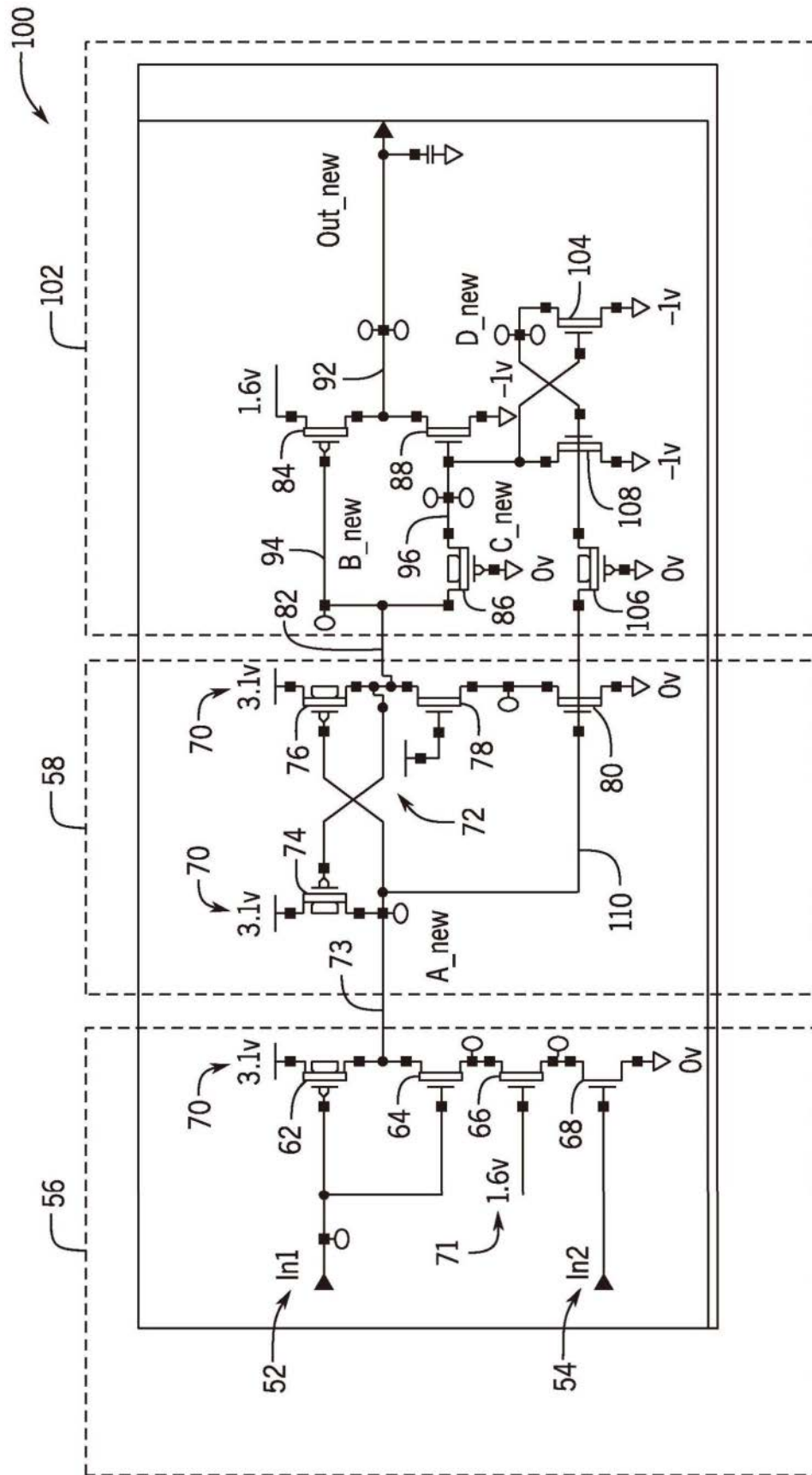


图3

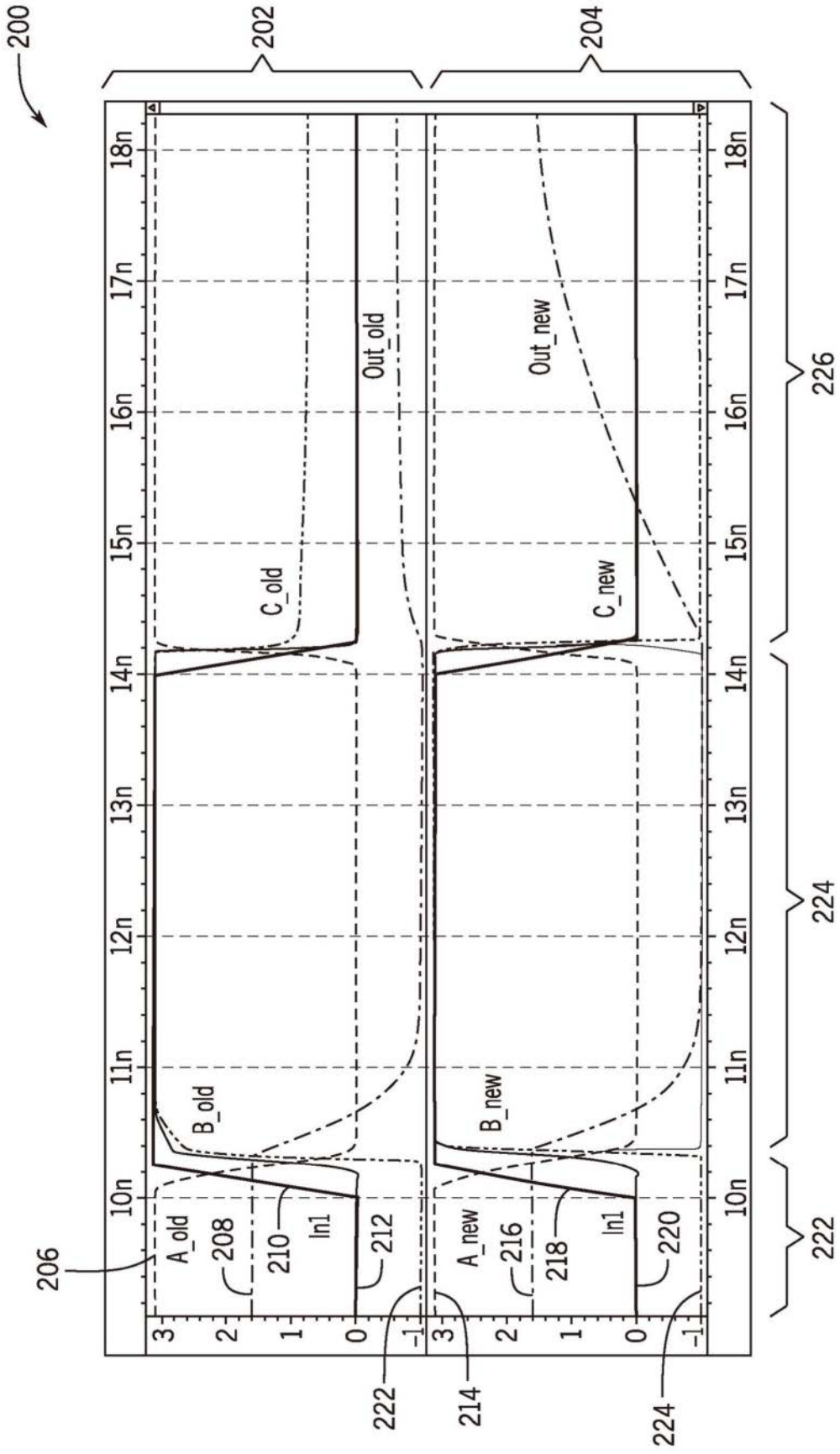


图4

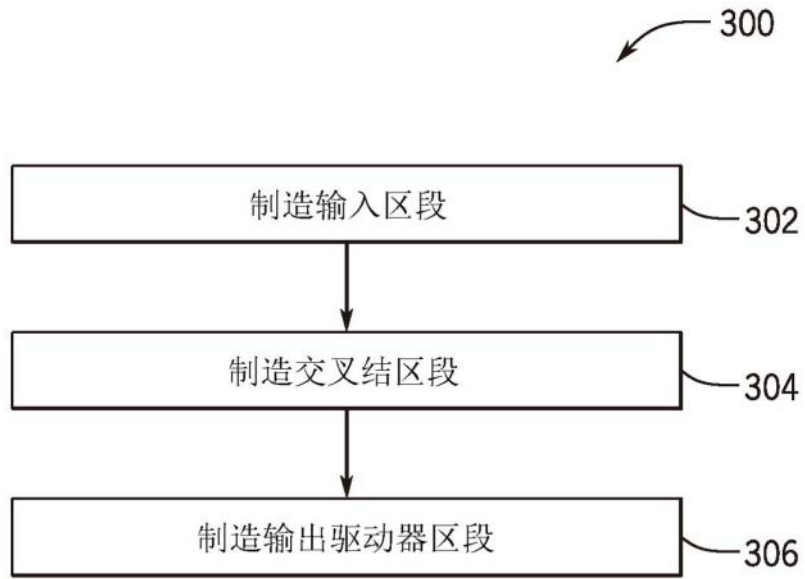


图5