



(12) 发明专利申请

(10) 申请公布号 CN 116053339 A

(43) 申请公布日 2023.05.02

(21) 申请号 202211735815.5

(22) 申请日 2022.12.30

(71) 申请人 上海联影微电子科技有限公司
地址 201800 上海市嘉定区皇庆路333号1
幢8层B区

(72) 发明人 施长治

(74) 专利代理机构 杭州华进联浙知识产权代理
有限公司 33250
专利代理师 梅景荣

(51) Int. Cl.

H01L 31/0352 (2006.01)

H01L 31/102 (2006.01)

H01L 31/18 (2006.01)

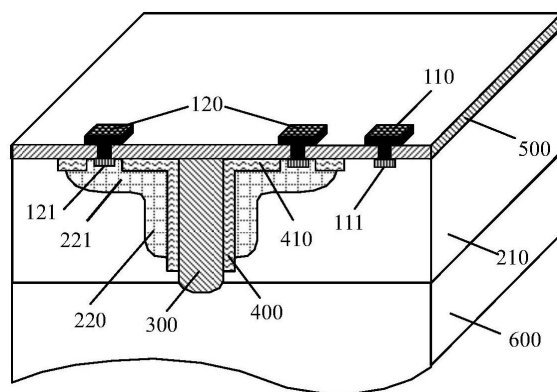
权利要求书2页 说明书10页 附图2页

(54) 发明名称

一种基于绝缘柱的光电二极管及其制造方法

(57) 摘要

本申请涉及一种基于绝缘柱的光电二极管及其制造方法,该光电二极管包括:半导体层、第一电极和第二电极;半导体层中设置有垂直于半导体层的绝缘柱,半导体层包括第一型半导体区和环绕绝缘柱的第二型半导体区;半导体层的上表面覆盖有绝缘层,第一电极贯穿绝缘层与第一型半导体区接触,第二电极贯穿绝缘层与第二型半导体区接触;绝缘柱的侧壁环绕覆盖有第一型钉扎层,第一型钉扎层将第二型半导体区与绝缘柱隔离;第一型钉扎层的顶部向外侧延伸形成第一型延伸层,第二型半导体区的顶部向外侧延伸形成第二型延伸区。本发明中提出的光电二极管,克服了现有的光电二极管在面对长波光子的吸收位置会远离结区位置的问题。



1. 一种基于绝缘柱的光电二极管,其特征在于,所述光电二极管包括:半导体层、第一电极(110)和第二电极(120);

所述半导体层中设置有垂直于所述半导体层的绝缘柱(300),所述半导体层包括第一型半导体区(210)和环绕所述绝缘柱(300)的第二型半导体区(220);

所述半导体层的上表面覆盖有绝缘层(500),所述第一电极(110)贯穿所述绝缘层(500)与所述第一型半导体区(210)接触,所述第二电极(120)贯穿所述绝缘层(500)与所述第二型半导体区(220)接触。

2. 根据权利要求1所述的基于绝缘柱的光电二极管,其特征在于,所述绝缘柱(300)的侧壁环绕覆盖有第一型钉扎层(400),所述第一型钉扎层(400)将所述第二型半导体区(220)与所述绝缘柱(300)隔离;

所述第一型钉扎层(400)的掺杂浓度高于所述第二型半导体区(220)的掺杂浓度。

3. 根据权利要求2所述的基于绝缘柱的光电二极管,其特征在于,所述第一型钉扎层(400)的顶部向外侧延伸形成第一型延伸层(410),所述第二型半导体区(220)的顶部向外侧延伸形成第二型延伸区(221);

所述第一型延伸层(410)将所述第二型延伸区(221)与所述绝缘层(500)隔离;

所述第一型延伸层(410)中预留有接触窗口,所述第二电极(120)通过所述接触窗口与所述第二型延伸区(221)接触。

4. 根据权利要求1所述的基于绝缘柱的光电二极管,其特征在于,所述半导体层包括生长于衬底(600)的外延层,所述绝缘柱(300)设置于所述外延层中,所述外延层包括所述第一型半导体区(210)和所述第二型半导体区(220);

所述绝缘柱(300)贯穿所述外延层;

或者,所述绝缘柱(300)的底面与所述外延层的下表面之间具有预设距离。

5. 根据权利要求1所述的基于绝缘柱的光电二极管,其特征在于,所述绝缘柱(300)的长度与直径的比值范围为3-10。

6. 一种光电二极管的制造方法,其特征在于,所述制造方法包括:

在第一型半导体层中刻蚀出垂直于所述第一型半导体层的通孔;

将第二型掺杂离子注入至所述通孔的侧壁,在所述第一型半导体层中形成环绕所述通孔的第二型半导体区;其中,所述第一型半导体层中的非第二型半导体区构成第一型半导体区;

在所述通孔中沉积绝缘材料形成绝缘柱;

在所述第一型半导体层的上表面形成绝缘层;

制备贯穿所述绝缘层的第一电极和第二电极,所述第一电极与第一型半导体区接触,所述第二电极与所述第二型半导体区接触。

7. 根据权利要求6所述的光电二极管的制造方法,其特征在于,所述制造方法在形成所述第二型半导体区之后还包括:

将第一型掺杂离子注入至所述通孔的侧壁,在所述第二型半导体区的内侧形成环绕所述通孔的第一型钉扎层;

其中,所述第一型钉扎层用于将所述第二型半导体区与所述绝缘柱隔离,所述第一型钉扎层的掺杂浓度高于所述第二型半导体区的掺杂浓度。

8. 根据权利要求7所述的光电二极管的制造方法,其特征在于,所述制造方法在形成所述第二型半导体区之后还包括:

将第二型掺杂离子注入至所述第一型半导体层的上表面,形成所述第二型半导体区的顶部向外侧延伸的第二型延伸区;

将第一型掺杂离子注入至所述第一型半导体层的上表面,形成所述第一型钉扎层的顶部向外侧延伸的第一型延伸层,所述第一型延伸层中预留有接触窗口;

其中,所述第一型延伸层用于将所述第二型延伸区与所述绝缘层隔离,所述接触窗口用于提供所述第二电极与所述第二型延伸区的接触空间。

9. 根据权利要求6所述的光电二极管的制造方法,其特征在于,所述第一型半导体层包括生长于第一型衬底的第一型外延层;

所述通孔形成于所述第一型外延层中,所述第二型半导体区形成于所述第一型外延层中,所述第一型外延层中的非第二型半导体区构成所述第一型半导体区;

所述通孔贯穿所述第一型外延层;

或者,所述通孔的底壁与所述第一型外延层的下表面之间具有预设距离。

10. 根据权利要求6所述的光电二极管的制造方法,其特征在于,所述通孔的长度与直径的比值范围为3-10。

一种基于绝缘柱的光电二极管及其制造方法

技术领域

[0001] 本申请涉及半导体器件领域,特别是涉及一种基于绝缘柱的光电二极管及其制造方法。

背景技术

[0002] 现有基于平面结工艺的光电二极管探测器,通常第一型半导体层制备在第二型半导体层(至少包括外延层)的上表面,而PN结则形成在外延层的上表面附近。光子在外延层中的吸收深度(吸收位置与光入射面的距离)与光的波长相关,光波越长则吸收深度越大,光波越短则吸收深度越小。进而,对于正面入射式(从外延层的上表面侧入射)光电二极管,长波光子的吸收位置远离PN结;对于背面入射式(从外延层的下表面侧入射)光电二极管,短波光子的吸收位置远离PN结。

[0003] 进而,对于光子的吸收位置与结区位置的物理距离较远的情况,远距离处生成的光生载流子需要较长的渡越时间才能进入电荷耗尽区而被收集。一方面,这部分光生载流子在随浓度梯度扩散的过程中,易被晶格中的缺陷所俘获,引起量子效率的降低;另一方面,光生载流子渡越时间的增大,还会造成光电二极管响应速度的降低。

[0004] 综上所述,当光子在外延层中的吸收位置远离结区位置时,会引起光电二极管的光谱响应度降低、响应速度变慢、瞬态响应电荷缺失等一系列问题。

[0005] 针对现有的光电二极管在部分使用场景中,光子在外延层中的吸收位置会远离结区位置的问题,目前还没有提出有效的解决方案。

发明内容

[0006] 在本发明中提供了一种基于绝缘柱的光电二极管及其制造方法,以解决现有的光电二极管在部分使用场景中,光子在外延层中的吸收位置会远离结区位置的问题。

[0007] 第一个方面,在本发明中提供了一种基于绝缘柱的光电二极管,所述光电二极管包括:半导体层、第一电极和第二电极;

[0008] 所述半导体层中设置有垂直于所述半导体层的绝缘柱,所述半导体层包括第一型半导体区和环绕所述绝缘柱的第二型半导体区;

[0009] 所述半导体层的上表面覆盖有绝缘层,所述第一电极贯穿所述绝缘层与所述第一型半导体区接触,所述第二电极贯穿所述绝缘层与所述第二型半导体区接触。

[0010] 在其中的一些实施例中,所述绝缘柱的侧壁环绕覆盖有第一型钉扎层,所述第一型钉扎层将所述第二型半导体区与所述绝缘柱隔离;

[0011] 所述第一型钉扎层的掺杂浓度高于所述第二型半导体区的掺杂浓度。

[0012] 在其中的一些实施例中,所述第一型钉扎层的顶部向外侧延伸形成第一型延伸层,所述第二型半导体区的顶部向外侧延伸形成第二型延伸区;

[0013] 所述第一型延伸层将所述第二型延伸区与所述绝缘层隔离;

[0014] 所述第一型延伸层中预留有接触窗口,所述第二电极通过所述接触窗口与所述第

二型延伸区接触。

[0015] 在其中的一些实施例中,述半导体层包括生长于衬底的外延层,所述绝缘柱设置于所述外延层中,所述外延层包括所述第一型半导体区和所述第二型半导体区;

[0016] 所述绝缘柱贯穿所述外延层;

[0017] 或者,所述绝缘柱的底面与所述外延层的下表面之间具有预设距离。

[0018] 在其中的一些实施例中,所述绝缘柱的长度与直径的比值范围为3-10。

[0019] 第二个方面,在本发明中提供了一种光电二极管的制造方法,所述制造方法包括:

[0020] 在第一型半导体层中刻蚀出垂直于所述第一型半导体层的通孔;

[0021] 将第二型掺杂离子注入至所述通孔的侧壁,在所述第一型半导体层中形成环绕所述通孔的第二型半导体区;其中,所述第一型半导体层中的非第二型半导体区构成第一型半导体区;

[0022] 在所述通孔中沉积绝缘材料形成绝缘柱;

[0023] 在所述第一型半导体层的上表面形成绝缘层;

[0024] 制备贯穿所述绝缘层的第一电极和第二电极,所述第一电极与第一型半导体区接触,所述第二电极与所述第二型半导体区接触。

[0025] 在其中的一些实施例中,所述制造方法在形成所述第二型半导体区之后还包括:

[0026] 将第一型掺杂离子注入至所述通孔的侧壁,在所述第二型半导体区的内侧形成环绕所述通孔的第一型钉扎层;

[0027] 其中,所述第一型钉扎层用于将所述第二型半导体区与所述绝缘柱隔离,所述第一型钉扎层的掺杂浓度高于所述第二型半导体区的掺杂浓度。

[0028] 在其中的一些实施例中,所述制造方法在形成所述第二型半导体区之后还包括:

[0029] 将第二型掺杂离子注入至所述第一型半导体层的上表面,形成所述第二型半导体区的顶部向外侧延伸的第二型延伸区;

[0030] 将第一型掺杂离子注入至所述第一型半导体层的上表面,形成所述第一型钉扎层的顶部向外侧延伸的第一型延伸层,所述第一型延伸层中预留有接触窗口;

[0031] 其中,所述第一型延伸层用于将所述第二型延伸区与所述绝缘层隔离,所述接触窗口用于提供所述第二电极与所述第二型延伸区的接触空间。

[0032] 在其中的一些实施例中,所述第一型半导体层包括生长于第一型衬底的第一型外延层;

[0033] 所述通孔形成于所述第一型外延层中,所述第二型半导体区形成于所述第一型外延层中,所述第一型外延层中的非第二型半导体区构成所述第一型半导体区;

[0034] 所述通孔贯穿所述第一型外延层;

[0035] 或者,所述通孔的底壁与所述第一型外延层的下表面之间具有预设距离。

[0036] 在其中的一些实施例中,所述通孔的长度与直径的比值范围为3-10。

[0037] 第三个方面,在本发明中还提供了一种二极管制造系统,所述系统用于制造上述第一个方面中提供的基于绝缘柱的光电二极管。

[0038] 第四个方面,在本发明中还提供了一种二极管制造系统,所述系统用于执行上述第二个方面中提供的光电二极管的制造方法。

[0039] 本发明中提出的光电二极管相比于现有平面结工艺的二极管,由于在半导体层的

内部形成了结区,当长波光子的吸收位置在半导体层中较深时,吸收位置产生的光生载流子可以被较深位置的结区所吸收,这部分光生载流子不需要渡越至半导体层的表面位置。从而克服了现有的光电二极管在面对长波光子时,光子在半导体层中的吸收位置会远离结区位置的问题。

[0040] 本申请的一个或多个实施例的细节在以下附图和描述中提出,以使本申请的其他特征、目的和优点更加简明易懂。

附图说明

[0041] 此处所说明的附图用来提供对本申请的进一步理解,构成本申请的一部分,本申请的示意性实施例及其说明用于解释本申请,并不构成对本申请的不当限定。在附图中:

[0042] 图1是本发明的一种实施例中的光电二极管的结构示意图;

[0043] 图2是本发明的一种实施例中的光电二极管的结构示意图;

[0044] 图3是本发明的一种实施例中的光电二极管的结构示意图;

[0045] 图4是本发明的一种实施例中的光电二极管的制造方法的流程图。

具体实施方式

[0046] 为更清楚地理解本申请的目的、技术方案和优点,下面结合附图和实施例,对本申请进行了描述和说明。

[0047] 除另作定义外,本申请所涉及的技术术语或者科学术语应具有本申请所属技术领域具备一般技能的人所理解的一般含义。在本申请中的“一”、“一个”、“一种”、“该”、“这些”等类似的词并不表示数量上的限制,它们可以是单数或者复数。在本申请中所涉及的术语“包括”、“包含”、“具有”及其任何变体,其目的是涵盖不排他的包含;例如,包含一系列步骤或模块(单元)的过程、方法和系统、产品或设备并未限定于列出的步骤或模块(单元),而可包括未列出的步骤或模块(单元),或者可包括这些过程、方法、产品或设备固有的其他步骤或模块(单元)。在本申请中所涉及的“连接”、“相连”、“耦接”等类似的词语并不限于物理的或机械连接,而可以包括电气连接,无论是直接连接还是间接连接。在本申请中所涉及的“多个”是指两个或两个以上。“和/或”描述关联对象的关联关系,表示可以存在三种关系,例如,“A和/或B”可以表示:单独存在A,同时存在A和B,单独存在B这三种情况。通常情况下,字符“/”表示前后关联的对象是一种“或”的关系。在本申请中所涉及的术语“第一”、“第二”、“第三”等,只是对相似对象进行区分,并不代表针对对象的特定排序。

[0048] 在本发明中提供了一种基于绝缘柱的光电二极管,参照图1-3,光电二极管包括:半导体层、第一电极110和第二电极120;半导体层中设置有垂直于半导体层的绝缘柱300,半导体层包括第一型半导体区210和环绕绝缘柱300的第二型半导体区220;半导体层的上表面覆盖有绝缘层500,第一电极110贯穿绝缘层500与第一型半导体区210接触,第二电极120贯穿绝缘层500与第二型半导体区220接触。

[0049] 具体的,该光电二极管中的第一型半导体和第二型半导体是指两种类型互补的半导体,也就是分别代表P型半导体和N型半导体。该光电二极管的主体为半导体层,该半导体层由第一型半导体区210和第二型半导体区220构成,两个电极分别连接第一型半导体区210和第二型半导体区220。第一型半导体区210和第二型半导体区220的接触面处形成结

区。由于绝缘柱300是垂直处于半导体层内部的，而第二型半导体区220环绕绝缘柱300外侧。因此，在半导体层的内部形成了结区。而现有平面结工艺的二极管，通常在第一型半导体层的上表面制备第二型半导体层，因此结区形成在第一型半导体层的上表面位置。而长波光子的吸收位置在第一型半导体层中较深，进而吸收位置与结区位置距离较远。本发明中提出的光电二极管相比于现有平面结工艺的二极管，由于在半导体层的内部形成了结区，当长波光子的吸收位置在半导体层中较深时，吸收位置产生的光生载流子可以被较深位置的结区所吸收，这部分光生载流子不需要渡越至半导体层的表面位置。从而克服了现有的光电二极管在面对长波光子时，光子在半导体层中的吸收位置会远离结区位置的问题。

[0050] 进一步的，可以根据实际设计要求调整绝缘柱300的长度，以及调整第二型半导体区220在半导体层中的分布深度，从而调整结区在半导体层中的分度深度。其中具体的，绝缘柱300采用绝缘材料制备而成，比如二氧化硅。而且绝缘柱300整体呈柱状结构，其可以是实心柱，也可以是空心柱。较为优选的，绝缘柱300的长度与直径的比值范围为3-10。比如该比值可以为5或7或7.5等。需要说明的是，上述范围仅为较优范围，绝缘柱300的长度与直径的比值当然也可以为2或11等。

[0051] 在制造工艺上，需要在第一型半导体层中刻蚀出垂直于第一型半导体层的通孔，然后将第二型掺杂离子注入至通孔的侧壁，在第一型半导体层中形成环绕通孔的第二型半导体区220，而第一型半导体层中的非第二型半导体区构成第一型半导体区210。因此，在本发明的光电二极管中，第二型半导体区220和绝缘柱300的上端通常是在半导体层的上表面位置，而两者的下端位置可以根据设计要求进行调整。

[0052] 根据现有的二极管制备工艺可知，通常先是在衬底600的上表面生长出外延层，然后在外延层中进行相关工艺处理，最终形成二极管成品。因此，本发明中的光电二极管的半导体层通常是指外延层。进而，在半导体层的上表面还需要形成绝缘层500，以及两个电极制备在半导体层的上表面。而半导体层的下表面是否形成绝缘层500与是否去除衬底600相关。进一步，可以根据光电二极管的类型选择是否去除衬底600，而光电二极管的类型可以分为正面入射式(FSI)和背面入射式(BSI)。

[0053] 因此，在其中的一个实施例中，光电二极管为正面入射式，该光电二极管还包括一衬底600，而半导体层则是生长于该衬底600上方的外延层；绝缘层500覆盖外延层的上表面，且绝缘层500的表面覆盖有增透膜。在本实施例中，由于是正面入射式光电二极管，也就是通过外延层的上表面接受光照，因此可以保留衬底600，并且在外延层上方的绝缘层500的表面覆盖增透膜，从而加强光子穿透效率。

[0054] 在其中的另一个实施例中，光电二极管为背面入射式，该光电二极管需要去除衬底600，进而半导体层则是去除衬底600的外延层。外延层的上下表面均形成有绝缘层，且在下表面绝缘层700上覆盖有增透膜。在本实施例中，由于是背面入射式光电二极管，也就是通过外延层的下表面接受光照，因此需要去除衬底600，并且在外延层的下表面绝缘层700上覆盖增透膜，从而加强光子穿透效率，进而在外延层的下表面形成器件感光区。

[0055] 进一步的，在其中的一些实施例中，绝缘柱300贯穿外延层，在不去除衬底600的二极管中，绝缘柱300的底端会深入衬底600中。而在另一些实施例中，绝缘柱300不贯穿外延层，其底部与外延层的下表面之间具有一定间距。通常在需要结区分布位置较深时，选择绝

缘柱300贯穿外延层的结构。

[0056] 在其中的一些实施例中,绝缘柱300的侧壁环绕覆盖有第一型钉扎层400,第一型钉扎层400将第二型半导体区220与绝缘柱300隔离;第一型钉扎层400的掺杂浓度高于第二型半导体区220的掺杂浓度。

[0057] 具体的,为了避免绝缘柱300外侧壁可能存在的漏电问题,在绝缘柱300的外侧壁还环绕覆盖有第一型钉扎层400,第一型钉扎层400的掺杂浓度也要高于第二型半导体区220。通过第一型钉扎层400,可以将第二型半导体区220与绝缘柱300完全隔离,使得第二型半导体区220与绝缘柱300不接触。因此,第一型钉扎层400在半导体层中的分布深度要大于第二型半导体区220在半导体层中的分布深度。进一步的,在绝缘柱300不贯穿半导体层的实施例中,第一型钉扎层400可以覆盖住绝缘柱300的底部。

[0058] 进一步的,在其中的一些实施例中,第一型钉扎层400的顶部向外侧延伸形成第一型延伸层410,第二型半导体区220的顶部向外侧延伸形成第二型延伸区221;第一型延伸层410将第二型延伸区221与绝缘层500隔离;第一型延伸层410中预留有接触窗口,第二电极120通过接触窗口与第二型延伸区221接触。

[0059] 具体的,在本实施例中,第二型半导体区220的顶部向外侧延伸形成第二型延伸区221。因此,从二极管器件垂直截面上看,第二型半导体区220整体呈现“L”型结构。其中,第二型延伸区221设置在半导体层的上表面位置,因此

[0060] 第二型延伸区221与第一型半导体区210形成的结区接近半导体层的上表面位置,进而短波光子在半导体层中的吸收位置与该部位结区更加接近。因此在本

[0061] 实施例中,无论光电二极管面对长波光或是短波光,光子在半导体层中的吸收位置与结区位置均比较近。进一步的,为了避免半导体层上表面可能存在的漏电问题,第一型钉扎层400的顶部向外侧延伸形成第一型延伸层410,第一型延

[0062] 伸层410将第二型延伸区221与绝缘层500隔离。因此,第一型延伸层410的延伸宽度大于第二型半导体区220的延伸宽度。进一步的,第一型延伸层410

[0063] 中还预留有接触窗口,使得第二电极120的内端可以通过接触窗口与第二型延伸区221接触。同时,第一电极110与第一型延伸区不接触,其处于第一型延伸区的外侧,其内端与第一型半导体区210直接接触。

[0064] 需要说明的是,在半导体层的上表面的部分区域构成器件感光区,本实施5例中的第二型延伸区221形成在器件感光区中。

[0065] 在其中的一些实施例中,第一电极110的内端通过第一型接触层111与第一型半导体区210接触,第二电极120的内端通过第二型接触层121与第二型半导区接触,两个接触层采用重掺杂,用于实现欧姆接触。

[0066] 具体的,第一型接触层111和第二型接触层121的设置均是为了形成欧姆接触,使得第一电极110与第一型半导体区210之间的接触更加稳定,以及使得第二电极120与第二型半导体区220之间的接触更加稳定。

[0067] 本发明中还提出了一种光电二极管的制造方法,用于制造本发明中提出的基于绝缘柱的光电二极管。参照图4,该制造方法包括如下步骤:

[0068] 步骤S110,在第一型半导体层中刻蚀出垂直于第一型半导体层的通孔。

[0069] 5具体的本步骤中,第一型半导体层通常是指生长于第一型衬底上的第一型

[0070] 外延层。首先是要从第一型半导体层的上表面开始刻蚀通孔,而通孔的刻蚀深度和宽度可以根据实际设计要求确定。较为优选的,通孔的长度与直径的比值范围为3-10。比如该比值可以为5或7或7.5等。需要说明的是,上述范围仅为较优范围,通孔的长度与直径的比值当然也可以为2或11等。

[0071] 0步骤S120,将第二型掺杂离子注入至通孔的侧壁,在第一型半导体层中形成环绕通孔的第二型半导体区;其中,第一型半导体层中的非第二型半导体区构成第一型半导体区。

[0072] 具体的本步骤中,通过离子注入工艺将第二型掺杂离子从通孔上端开口注入至通孔侧壁上,从而形成第二型半导体区。其中,可以采用倾角或Halo注入方式。由于通孔上端开口的边沿具有阻挡离子束的作用,因此注入倾斜角便决定了第二型半导体区的分布深度。通常,注入倾斜角指离子束流方向与注入表面的法线夹角,注入倾斜角越大,则第二型半导体区的分布深度越小,注入倾斜角越小,则第二型半导体区的分布深度越大。在第二型半导体区形成后,第一型半导体层中的其他部分则构成了第一型半导体区。

[0073] 步骤S130,在通孔中沉积绝缘材料形成绝缘柱。

[0074] 具体的,在第二型半导体区形成后,继续在通孔中沉积绝缘材料形成绝缘柱。其中,可以完全填充通孔形成实心的绝缘柱,也可以仅仅将绝缘材料沉积在通孔内壁,从而形成空心的绝缘柱。

[0075] 步骤S140,在第一型半导体层的上表面形成绝缘层。

[0076] 步骤S150,制备贯穿绝缘层的第一电极和第二电极,第一电极与第一型半导体区接触,第二电极与第二型半导体区接触。

[0077] 具体的,在上述两个步骤中,在绝缘柱形成后,则可以在第一型半导体层的上表面制备绝缘层,并且在绝缘层上制备第一电极和第二电极。第一电极的内端与第一型半导体区接触,第二电极的内端与第二型半导体区接触。

[0078] 通过上述步骤,则可以制造出本发明中提出的基于绝缘柱的光电二极管,该光电二极管包括:半导体层、第一电极和第二电极;半导体层中设置有垂直于半导体层的绝缘柱,半导体层包括第一型半导体区和环绕绝缘柱的第二型半导体区;半导体层的上表面覆盖有绝缘层,第一电极贯穿绝缘层与第一型半导体区接触,第二电极贯穿绝缘层与第二型半导体区接触。该光电二极管的使用原理可参照前述内容。因此,通过该本发明中提出的二极管制造方法。克服了现有的光电二极管在面对长波光光子时,光子在半导体层中的吸收位置会远离结区位置的问题。其中,可以通过刻蚀不同深度的通孔以及采用不同的离子注入角度,形成分布深度不同的第二型半导体区。

[0079] 根据现有的二极管制备工艺可知,通常先是在衬底的上表面生长出外延层,然后在外延层中进行相关工艺处理,最终形成二极管成品。因此,本发明中的光电二极管的半导体层通常是指外延层。

[0080] 因此,在制备正面入射式光电二极管的实施例中,首先是在第一型衬底的上表面形成第一型外延层,该第一型外延层构成了第一型半导体层;然后在第一型外延层中刻蚀出垂直于外延层的通孔;进而,第二半导体区形成于第一型外延层中,第一型外延层中的非第二型半导体区构成第一型半导体区;最后在第一型外延层的上表面形成绝缘层,并制备第一电极和第二电极。由于是制造正面入射式光电二极管,所以不需要去除第一型衬底,并

在上表面绝缘层上覆盖增透膜。

[0081] 相应的,在制备背面入射式光电二极管的实施例中,首先是在第一型衬底的上表面形成第一型外延层,该第一型外延层构成了第一型半导体层;然后在第一型外延层中刻蚀出垂直于外延层的通孔;进而,第二半导体区形成于第一型外延层中,第一型外延层中的非第二型半导体区构成第一型半导体区;以及在第一型外延层的上表面形成绝缘层,并制备第一电极和第二电极;最后去除第一型衬底,并在第一型外延层的下表面也形成绝缘层。由于是制造背面入射式光电二极管,还会在下表面绝缘层上覆盖增透膜。

[0082] 进一步的,在其中的一些实施例中,通孔可以贯穿第一型外延层,在不去除衬底的二极管中,通孔底端会深入衬底中。而在另一些实施例中,通孔不会贯穿第一外延层,其底部与第一外延层的下表面之间具有一定间距。通常在需要结区分布位置较深时,选择刻蚀贯穿第一型外延层的通孔。

[0083] 在其中的一些实施例中,制造方法在形成第二型半导体区之后还包括:

[0084] 将第一型掺杂离子注入至通孔的侧壁,在第二型半导体区的内侧形成环绕通孔的第一型钉扎层;第一型钉扎层用于将第二型半导体区与绝缘柱隔离,第一型钉扎层的掺杂浓度高于第二型半导体区的掺杂浓度。

[0085] 具体的,为了避免绝缘柱外侧壁可能存在的漏电问题,在第二型半导体区形成之后,同样采用离子注入工艺,将第一型掺杂离子注入至通孔侧壁,从而在第二型半导体区的内侧形成第一型钉扎层,第一型钉扎层的掺杂浓度高于第二型半导体区的掺杂浓度。第一型钉扎层的作用是将第二型半导体区与后续的绝缘柱完全隔离。因此,需要控制第一型掺杂离子的注入角度,使得第一型钉扎层在分布深度要大于第二型半导体区的分布深度。进一步的,在绝缘柱不贯穿第一型半导体层的实施例中,可以在通孔整个内壁上均注入第一型掺杂离子。

[0086] 进一步的,在其中的一些实施例中,制造方法在形成第二型半导体区之后还包括:

[0087] 将第二型掺杂离子注入至第一型半导体层的上表面,形成第二型半导体区的顶部向外侧延伸的第二型延伸区;将第一型掺杂离子注入至第一型半导体层的上表面,形成第一型钉扎层的顶部向外侧延伸的第一型延伸层,第一型延伸层中预留有接触窗口;其中,第一型延伸层用于将第二型延伸区与绝缘层隔离,接触窗口用于提供第二电极与第二型延伸区的接触空间。

[0088] 具体的,通过该制造步骤,在第一型半导体层的上表面形成第二型半导体区的顶部向外侧延伸形成第二型延伸区。因此,从二极管器件垂直截面上看,第二型半导体区整体呈现“L”型结构。进一步的,为了避免半导体层上表面可能存在的漏电问题,还会在第一型半导体层的上表面形成第一型钉扎层的顶部向外侧延伸形成第一型延伸层,第一型延伸层将第二型延伸区与绝缘层隔离。因此,第一型延伸层的延伸宽度大于第二型半导体区的延伸宽度。进一步的,第一型延伸层中还预留有接触窗口,使得第二电极的内端可以通过接触窗口与第二型延伸区接触。同时,第一电极与第一型延伸区不接触,其处于第一型延伸区的外侧,其内端与第一型半导体区直接接触。

[0089] 需要说明的是,在半导体层的上表面的部分区域构成器件感光区,本实施例中的第二型延伸区形成在器件感光区中。

[0090] 在其中的一些实施例中,制造方法在形成第二型半导体区之后还包括:

[0091] 将第一型掺杂离子注入至第一型半导体区的上表面,形成与第一型半导体区接触的第一型接触层,将第二型掺杂离子注入至第二型半导体区的上表面,形成与第二型半导体区接触的第二型接触层。其中,第一型接触层用于接触第一电极,第二型接触层用于接触第二电极。

[0092] 具体的,第一型接触层和第二型接触层的设置均是为了形成欧姆接触,使得第一电极与第一型半导体区之间的接触更加稳定,以及使得第二电极与第二型半导体区之间的接触更加稳定。

[0093] 下面通过一些具体完整实施例对本发明中的技术方案进行说明。

[0094] 在其中一个具体实施例中,该实施例中的光电二极管基于p型衬底,p型外延层厚度5 μm ,采用n-on-p型二极管结构。二极管器件中央为利用干法刻蚀工艺制作的一个通孔,通孔贯穿整个外延层,孔底部进入p型衬底内。通孔深宽比为5:1,即其直径约为1 μm ,深度约为5 μm 。采用倾角或Halo注入方式,以特定的注入角度,利用通孔上沿的自阻挡作用,实现器件感光区上表面及通孔局部侧壁的n型离子注入区,从而形成pn结。其中,外延层中的非n型离子注入区构成第一型半导体区,n型离子注入区构成第二型半导体区。

[0095] 在本实施例中,上述特定注入倾斜角选为 $\arctan(1\mu\text{m}/4\mu\text{m})$,即控制沿通孔的n型离子注入区深度约为4 μm 。类似地,也采用上述倾角注入方式,利用通孔上沿的自阻挡效应,在器件感光区上表面及通孔局部侧壁形成p+型钉扎区,注入角度选为 $\arctan(1\mu\text{m}/4.5\mu\text{m})$ 。p+型钉扎区的覆盖区域要超过n型离子注入区,防止耗尽区接触到通孔侧壁的刻蚀损伤区以及器件的表面区域,以降低界面缺陷对器件性能的影响。其中,p+型钉扎区构成第一型钉扎层。

[0096] p+型钉扎区在器件感光区内要预留1~2个窗口区,用于阴极(n型)电极的引出。在阴极接触窗口内及连接p型外延层的阳极接触区分别进行n++型和p++型离子注入,用于形成欧姆接触。上述离子注入步骤后,都需要相应的退火处理工艺激活离子电性并调整分布轮廓。通孔内填满绝缘材料,如SiO₂等,同时器件表面进行相应的绝缘层表面钝化。表面平坦化后,分别制备二极管阴极和阳极的接触通孔及金属电极。本实施例为正面入射式(FBI)光电二极管,即光子从器件的电极一侧表面入射,因此p型衬底最终保留下来,不予去除。

[0097] 在另一个具体实施例中,该实施例中的光电二极管基于n型衬底,n型外延层厚度8.5~10 μm ,采用p-on-n型背入射式(BSI)光电二极管结构。器件中央为利用干法刻蚀工艺制作的一个通孔,贯穿整个外延层,孔底部进入衬底内。通孔深宽比为5:1,即其直径约为1.6 μm ,深度约为8 μm 。采用倾角或Halo注入方式,以特定的注入角度,利用通孔上沿的自阻挡作用,实现器件感光区下表面及通孔局部侧壁的p型离子注入区,从而形成pn结。其中,外延层中的非p型离子注入区构成第一型半导体区,p型离子注入区构成第二型半导体区。

[0098] 在本实施例中,上述特定注入倾斜角选为 $\arctan(1.6\mu\text{m}/7.5\mu\text{m})$,即控制沿通孔侧壁的p型离子注入区深度约为7.5 μm 。类似地,也采用上述倾角注入方式,利用通孔上沿的自阻挡效应,在器件感光区表面及通孔整个侧壁形成n+型钉扎区,注入倾斜角度选为 $\arctan(1.6\mu\text{m}/8\mu\text{m})$ 。n+型钉扎区的覆盖区域要超过p型离子注入区,防止耗尽区接触到器件的表面区域,以降低界面缺陷对器件性能的影响。其中,n+型钉扎区构成第一型钉扎层。

[0099] n+型钉扎区在器件感光区内要预留1~2个窗口区,用于阳极(p型)电极的引出。在阳极接触窗口内及连接n型外延层的阴极接触区分别进行p++型和n++型离子注入,用于形

成欧姆接触。上述离子注入步骤后,都需要相应的退火处理工艺激活离子电性并调整分布轮廓。通孔内填满绝缘材料,如SiO₂等。同时器件上表面进行相应的绝缘层表面钝化。表面平坦化后,分别制备二极管阳极和阴极的接触通孔及金属电极。因为本实施例为背面入射式(BSI)光电二极管,即光子从器件的下表面入射,所以衬底需要去除,仅保留约8μm的外延层。然后在下表面制备钝化膜及增透膜。

[0100] 在另一个具体实施例中,该实施例中的光电二极管基于p型衬底,p型外延层厚度14μm,采用n-on-p型背入射式(BSI)光电二极管结构。器件中央为利用干法刻蚀工艺制作的一个通孔,孔底部距离外延层与衬底边界1~3μm。通孔深宽比为6:1,即其直径约为2μm,深度约为12μm。采用倾角或Halo注入方式,以特定的注入倾斜角度,利用通孔上沿的自阻挡作用,实现器件感光区下表面及通孔局部侧壁的n型离子注入区,从而形成pn结。其中,外延层中的非n型离子注入区构成第一型半导体区,n型离子注入区构成第二型半导体区。

[0101] 在本实施例中,上述特定注入倾斜角选为 $\arctan(2\mu\text{m}/11\mu\text{m})$,即控制沿通孔侧壁的n型离子注入区深度约为11μm。类似地,也采用上述倾角注入方式,利用通孔上沿的自阻挡效应,在器件感光区下表面及通孔整个内壁形成p+型钉扎区,注入倾斜角度选为 $\arctan(1\mu\text{m}/12\mu\text{m})$ 。p+型钉扎区的覆盖区域要超过n型注入区,防止耗尽区接触到器件的表面区域,以降低界面缺陷对器件性能的影响。其中,p+型钉扎区构成第一型钉扎层。

[0102] p+型钉扎区在器件感光区内要预留1~2个窗口区,用于阴极(n型)电极的引出。在阴极接触窗口内及连接p型外延层的阳极接触区分别进行n++型和p++型离子注入,用于形成欧姆接触。上述离子注入步骤后,都需要相应的退火处理工艺激活离子电性并调整分布轮廓。通孔内填满绝缘材料,如SiO₂等。同时器件上表面进行相应的绝缘层表面钝化。表面平坦化后,分别制备二极管阴极和阳极的接触通孔及金属电极。因为本实施例为背面入射式(BSI)光电二极管,即光子从器件的下表面入射,所以衬底需要去除,仅保留约14μm的外延层。然后在下表面制备钝化膜及增透膜。

[0103] 通过上述具体实施例可知,本发明中提出的光电二极管具有如下特点:

[0104] 1、利用通孔或刻蚀工艺,在光电二极管感光区中央刻蚀出一个通孔(中心孔),再采用离子注入或扩散的方式环绕中心孔进行掺杂,形成与外延导电类型互补的环孔型掺杂区,从而形成以中心孔为中心、横向分布的环孔型pn结。

[0105] 上述环孔结构所形成的横向二极管,将光生载流子的收集结构深入外延层内部,减小了光生载流子从外延层内部向结区的扩散距离,从而减少了载流子的渡越时间,降低其体内复合概率,最终提高了量子效率和光电响应速度。

[0106] 2、为了抑制中心孔刻蚀工艺以及器件表面态引入的侧壁和表面漏电,在中心孔内壁以及二极管的感光区表面进行局部重掺杂,掺杂类型与环孔型掺杂区互补,目的是在上述表面形成局部钉扎二极管结构,从而钉扎pn结外延层内的耗尽区宽度,控制暗电流;并且使局部重掺杂(钉扎)区内的耗尽区边界远离器件表面(钝化界面),降低表面态(界面态)对器件性能的影响。

[0107] 3、在器件表面的钉扎区离子注入时,预留出环孔型掺杂区的接触窗口,用于光电二极管电极的引出;局部重掺杂区本身不制备外引电极;光电二极管的另一端电极由环孔型掺杂区外围的外延区内制备相应的接触窗口引出。

[0108] 4、中心孔内填充电介质材料,如SiO₂等进行表面钝化;器件表面采用常规的CMOS

表面钝化工艺进行钝化。

[0109] 采用上述器件结构,在外延层内光激发产生的光生载流子,可以不必扩散较长的距离达到近表面的结区才能被收集,通过横向扩散到环孔型pn结区就可实现光生载流子的快速收集。

[0110] 显然,附图只是本申请的一些例子或实施例,对本领域的普通技术人员来说,也可以根据这些附图将本申请适用于其他类似情况,但无需付出创造性劳动。另外,可以理解的是,尽管在此开发过程中所做的工作可能是复杂和漫长的,但是,对于本领域的普通技术人员来说,根据本申请披露的技术内容进行的某些设计、制造或生产等更改仅是常规的技术手段,不应被视为本申请公开的内容不足。

[0111] “实施例”一词在本申请中指的是结合实施例描述的具体特征、结构或特性可以包括在本申请的至少一个实施例中。该短语出现在说明书中的各个位置并不一定意味着相同的实施例,也不意味着与其它实施例相互排斥而具有独立性或可供选择。本领域的普通技术人员能够清楚或隐含地理解的是,本申请中描述的实施例在没有冲突的情况下,可以与其它实施例结合。

[0112] 以上所述实施例仅表达了本申请的几种实施方式,其描述较为具体和详细,但并不能因此而理解为对专利保护范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本申请构思的前提下,还可以做出若干变形和改进,这些都属于本申请的保护范围。因此,本申请的保护范围应以所附权利要求为准。

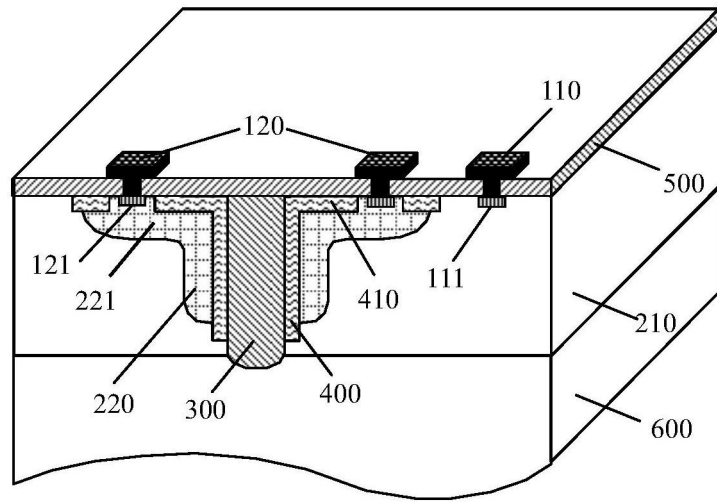


图1

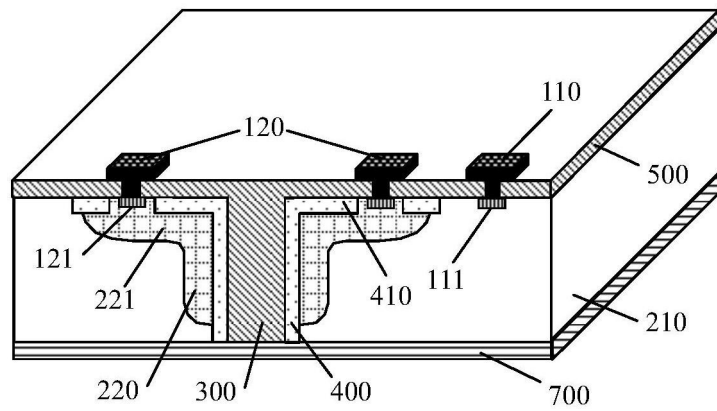


图2

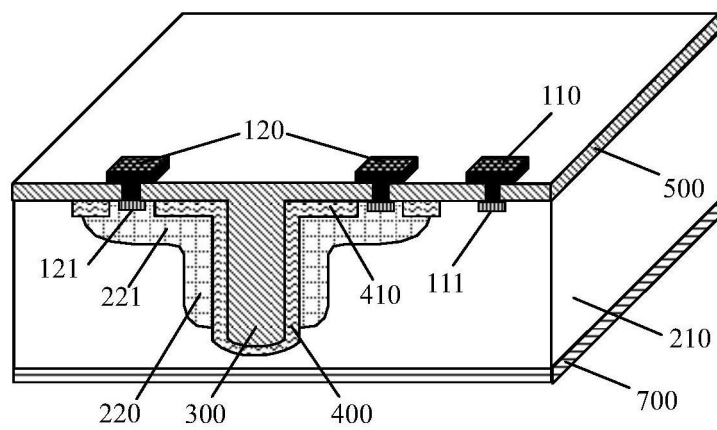


图3

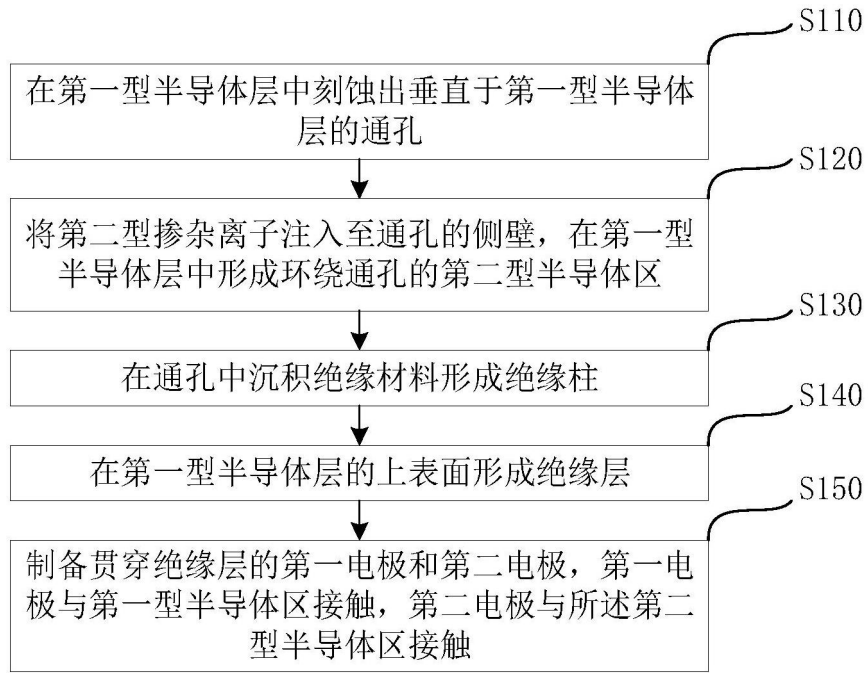


图4