

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-278152

(P2009-278152A)

(43) 公開日 平成21年11月26日(2009.11.26)

(51) Int.Cl.
H04L 5/14 (2006.01)

F I
H04L 5/14

テーマコード(参考)
5K018

審査請求 未請求 請求項の数 11 O L (全 28 頁)

(21) 出願番号 特願2008-124567 (P2008-124567)
(22) 出願日 平成20年5月12日 (2008.5.12)

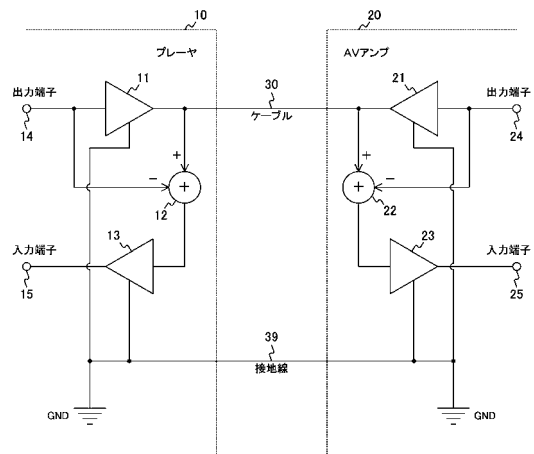
(71) 出願人 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100112955
弁理士 丸島 敏一
(72) 発明者 市村 元
東京都港区港南1丁目7番1号 ソニー株式会社内
(72) 発明者 中嶋 康久
東京都港区港南1丁目7番1号 ソニー株式会社内
Fターム(参考) 5K018 AA02 BA01 CA03 EA07 FA02

(54) 【発明の名称】 インターフェース回路

(57) 【要約】

【課題】SPDIFのような片方向の伝送インターフェースにおいて、伝送方向を双方向化する。

【解決手段】プレーヤ10およびAVアンプ20は、ケーブル30により接続される。増幅器11は出力端子14に供給された出力信号を増幅して、送信信号としてケーブル30に出力する。増幅器21は出力端子24に供給された出力信号を増幅して、送信信号としてケーブル30に出力する。演算器12はケーブル30に出力された送信信号から、出力端子14に供給された出力信号を減算する。演算器22はケーブル30に出力された送信信号から、出力端子24に供給された出力信号を減算する。これにより、入力端子15にはAVアンプ20からの送信信号が供給され、入力端子25にはプレーヤ10からの送信信号が供給される。送信信号には双方向通信が可能であるか否かを示す双方向通信ビットが含まれる。



【選択図】 図2

【特許請求の範囲】**【請求項 1】**

双方向通信に対応する旨を示す双方向情報を含む出力信号を外部機器へ伝送路を介して送信する送信部と、

前記伝送路上の信号に前記出力信号の反転信号を加えることにより入力信号を抽出する抽出部と

を具備するインターフェース回路。

【請求項 2】

前記出力信号または前記入力信号は、クロック成分を含む信号である請求項 1 記載のインターフェース回路。

10

【請求項 3】

前記出力信号または前記入力信号は、バイフェーズマーク変調された信号を含む請求項 2 記載のインターフェース回路。

【請求項 4】

前記出力信号または前記入力信号は、当該出力信号の内容が暗号化されているか否かを示す暗号化情報を含む請求項 1 記載のインターフェース回路。

【請求項 5】

出力信号を外部機器へ伝送路を介して送信する送信部と、

前記伝送路上の信号に前記出力信号の反転信号を加えることにより入力信号を抽出する抽出部と

20

を具備し、

前記送信部は、双方向通信に対応する旨を示す双方向情報が前記入力信号に含まれている場合に限り前記出力信号を送信する

インターフェース回路。

【請求項 6】

前記出力信号または前記入力信号は、クロック成分を含む信号である請求項 5 記載のインターフェース回路。

【請求項 7】

前記出力信号または前記入力信号は、バイフェーズマーク変調された信号を含む請求項 6 記載のインターフェース回路。

30

【請求項 8】

前記出力信号または前記入力信号は、当該出力信号の内容が暗号化されているか否かを示す暗号化情報を含む請求項 5 記載のインターフェース回路。

【請求項 9】

前記出力信号は、前記外部機器に対する制御信号を含む請求項 5 記載のインターフェース回路。

【請求項 10】

第 1 の出力信号を差動信号として伝送路を介して外部機器へ送信する第 1 の送信部と、

前記伝送路上の信号に前記第 1 の出力信号の反転信号を加えることにより第 1 の入力信号を抽出する第 1 の抽出部と、

40

双方向通信に対応する旨を示す双方向情報を含む第 2 の出力信号を同相信号として前記伝送路に重畳して前記外部機器へ送信する第 2 の送信部と、

前記伝送路上の信号に前記第 2 の出力信号の反転信号を加えることにより第 2 の入力信号を抽出する第 2 の抽出部と

を具備するインターフェース回路。

【請求項 11】

第 1 の出力信号を差動信号として伝送路を介して外部機器へ送信する第 1 の送信部と、

前記伝送路上の信号に前記第 1 の出力信号の反転信号を加えることにより第 1 の入力信号を抽出する第 1 の抽出部と、

第 2 の出力信号を同相信号として前記伝送路に重畳して前記外部機器へ送信する第 2 の

50

送信部と、

前記伝送路上の信号に前記第 2 の出力信号の反転信号を加えることにより第 2 の入力信号を抽出する第 2 の抽出部と

を具備し、

前記第 2 の送信部は、双方向通信に対応する旨を示す双方向情報が前記第 2 の入力信号に含まれている場合に限り前記第 2 の出力信号を送信する

インターフェース回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インターフェース回路に関し、特に機器間で音声信号などのデジタル信号を伝送するためのインターフェース回路に関する。

【背景技術】

【0002】

近年、音声信号や映像信号などのデジタル信号を扱う A V (Audio/Visual) 機器が普及するにつれて、これら A V 機器間においてデジタル信号を伝送するためのインターフェースとして様々な方式のものが提案されている。このようなインターフェース一つとして、S P D I F (Sony Philips Digital InterFace) が知られている。この S P D I F は、デジタルオーディオ信号を伝送するためのインターフェースであり、I E C (International Electrotechnical Commission: 国際電気標準会議) において「IEC 60958」として規格化されている。

【0003】

この S P D I F はデジタルオーディオ信号を伝送することを主目的としたものであるが、これをより利用し易くするために、音量や音質などに関する付随情報を併せて伝送する試みもなされている(例えば、特許文献 1 参照。)。

【特許文献 1】特開 2 0 0 5 - 1 5 1 4 7 3 号公報 (図 1)

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、この S P D I F の伝送方向はソース機器からシンク機器への片方向に限られており、シンク機器からソース機器に対して信号を伝送することができない。このため、他の I E E E (Institute of Electrical and Electronics Engineers) 1 3 9 4 規格や、H D M I (High-Definition Multimedia Interface) 規格 (H D M I は登録商標) などと比べてアプリケーションが限られてしまうという問題がある。

【0005】

本発明はこのような状況に鑑みてなされたものであり、S P D I F のような片方向の伝送インターフェースにおいて、伝送方向を双方向化することを目的とする。

【課題を解決するための手段】

【0006】

本発明は、上記課題を解決するためになされたものであり、その第 1 の側面は、双方向通信に対応する旨を示す双方向情報を含む出力信号を外部機器へ伝送路を介して送信する送信部と、上記伝送路上の信号に上記出力信号の反転信号を加えることにより入力信号を抽出する抽出部とを具備するインターフェース回路である。これにより、外部機器との間の伝送路上で双方向通信を行わせるという作用をもたらす。

【0007】

また、この第 1 の側面において、上記出力信号または上記入力信号は、クロック成分を含んでもよい。これにより、クロック成分を送受信させるという作用をもたらす。この一例として、パイフェーズマーク変調された信号を含んでもよい。

【0008】

また、この第 1 の側面において、上記出力信号または上記入力信号は、当該出力信号の

10

20

30

40

50

内容が暗号化されているか否かを示す暗号化情報を含んでもよい。これにより、伝送路上でセキュアな送受信を行わせるという作用をもたらす。

【0009】

また、本発明の第2の側面は、出力信号を外部機器へ伝送路を介して送信する送信部と、上記伝送路上の信号に上記出力信号の反転信号を加えることにより入力信号を抽出する抽出部とを具備し、上記送信部は、双方向通信に対応する旨を示す双方向情報が上記入力信号に含まれている場合に限り上記出力信号を送信するインターフェース回路である。これにより、双方向情報が入力信号に含まれている場合に限り外部機器との間の伝送路上で双方向通信を行わせるという作用をもたらす。

【0010】

また、この第2の側面において、上記出力信号または上記入力信号は、クロック成分を含んでもよい。これにより、クロック成分を送受信させるという作用をもたらす。この一例として、バイフェーズマーク変調された信号を含んでもよい。

【0011】

また、この第2の側面において、上記出力信号または上記入力信号は、当該出力信号の内容が暗号化されているか否かを示す暗号化情報を含んでもよい。これにより、伝送路上でセキュアな送受信を行わせるという作用をもたらす。

【0012】

また、この第2の側面において、上記出力信号は、上記外部機器に対する制御信号を含んでもよい。これにより、伝送路において逆方向に制御信号を送信して外部機器を制御させるという作用をもたらす。

【0013】

また、本発明の第3の側面は、第1の出力信号を差動信号として伝送路を介して外部機器へ送信する第1の送信部と、上記伝送路上の信号に上記第1の出力信号の反転信号を加えることにより第1の入力信号を抽出する第1の抽出部と、双方向通信に対応する旨を示す双方向情報を含む第2の出力信号を同相信号として上記伝送路に重畳して上記外部機器へ送信する第2の送信部と、上記伝送路上の信号に上記第2の出力信号の反転信号を加えることにより第2の入力信号を抽出する第2の抽出部とを具備するインターフェース回路である。これにより、差動信号により双方向通信を行う伝送路において、同相信号による双方向通信を行わせるという作用をもたらす。

【0014】

また、本発明の第4の側面は、第1の出力信号を差動信号として伝送路を介して外部機器へ送信する第1の送信部と、上記伝送路上の信号に上記第1の出力信号の反転信号を加えることにより第1の入力信号を抽出する第1の抽出部と、第2の出力信号を同相信号として上記伝送路に重畳して上記外部機器へ送信する第2の送信部と、上記伝送路上の信号に上記第2の出力信号の反転信号を加えることにより第2の入力信号を抽出する第2の抽出部とを具備し、上記第2の送信部は、双方向通信に対応する旨を示す双方向情報が上記第2の入力信号に含まれている場合に限り上記第2の出力信号を送信するインターフェース回路である。これにより、差動信号により双方向通信を行う伝送路において、双方向情報が入力信号に含まれている場合に限り同相信号による双方向通信を行わせるという作用をもたらす。

【0015】

なお、本発明の第3および第4の側面において、上記第1の送信部における差動信号による双方向通信として、インターネットプロトコル(IP)に準拠した双方向通信を行うことができる。また、上記伝送路は、HDMIケーブルを構成するリザーブラインおよびホットプラグ検出ラインを利用することができる。

【発明の効果】

【0016】

本発明によれば、SPDIFのような片方向の伝送インターフェースにおいて、伝送方向を双方向化することができるという優れた効果を奏し得る。

10

20

30

40

50

【発明を実施するための最良の形態】**【0017】**

次に本発明の実施の形態について図面を参照して詳細に説明する。

【0018】

図1は、本発明の実施の形態におけるインターフェースの概念構成図である。この図では、プレーヤ10とAV(Audio/Visual)アンプ20との間に、SPDIF(Sony Philips Digital InterFace)規格に準拠するケーブル30が接続されている。SPDIF規格では、伝送方向は片方向であり、送信側の機器をソース機器、受信側の機器をシンク機器と呼んでいる。この例では、プレーヤ10がソース機器、AVアンプ20がシンク機器に該当する。

10

【0019】

したがって、従来のSPDIF規格では、プレーヤ10からAVアンプ20に対する正方向の信号(SPDIFF正信号31)のみが伝送されていた。これに対し、本発明の実施の形態では、AVアンプ20からプレーヤ10に対する逆方向の信号(SPDIFF逆信号32)もケーブル30によって伝送できるようにする。すなわち、ケーブル30の物理的なコネクタのピン配置を変更することなく、SPDIFFの双方向化を実現するものである。

【0020】

図2は、本発明の実施の形態におけるインターフェースの回路構成図の一例である。ケーブル30は、プレーヤ10とAVアンプ20とを接続している。接地線39はプレーヤ10およびAVアンプ20における共通の接地線であり、接地端子GNDに接地している。

20

【0021】

プレーヤ10は、ケーブル30への接続回路として、増幅器11および13と、演算器12とを備えている。

【0022】

増幅器11は、出力端子14に供給された出力信号を増幅して、送信信号としてケーブル30に出力する増幅器である。この増幅器11から出力された送信信号は、ケーブル30に出力されるとともに、演算器12の一方の入力にも供給される。

【0023】

演算器12は、出力端子14に供給された出力信号を反転した上で、増幅器11からケーブル30に出力された送信信号に加算する演算器である。この演算器12における演算は、増幅器11からケーブル30に出力された送信信号から、出力端子14に供給された出力信号を減算することと等価である。

30

【0024】

増幅器13は、演算器12の演算結果を受信信号として増幅する増幅器である。この増幅器13の出力は入力端子15に供給される。

【0025】

また、AVアンプ20は、プレーヤ10の場合と同様に、ケーブル30に対する接続回路として、増幅器21および23と、演算器22とを備えている。

40

【0026】

増幅器21は、出力端子24に供給された出力信号を増幅して、送信信号としてケーブル30に出力する増幅器である。この増幅器21から出力された送信信号は、ケーブル30に出力されるとともに、演算器22の一方の入力にも供給される。

【0027】

演算器22は、出力端子24に供給された出力信号を反転した上で、増幅器21からケーブル30に出力された送信信号に加算する演算器である。この演算器22における演算は、増幅器21からケーブル30に出力された送信信号から、出力端子24に供給された出力信号を減算することと等価である。

【0028】

50

増幅器 23 は、演算器 22 の演算結果を受信信号として増幅する増幅器である。この増幅器 23 の出力は入力端子 25 に供給される。

【0029】

このように、増幅器 11 および 22 において送信信号から出力信号を減算することによって、他の装置から送信された信号を受信することができるようになり、本来の SPDIF 規格における正信号に加えて、逆信号を送受することが可能になる。

【0030】

本発明の実施の形態において、増幅器 11 および 21 は、特許請求の範囲に記載の送信部の一例である。また、演算器 12 および 22 は、特許請求の範囲に記載の抽出部の一例である。

【0031】

なお、この例では接地線 39 を明示しているが、以下の例では図面上、接地線を省略して説明する。

【0032】

次に SPDIF 規格について図面を参照して説明する。

【0033】

図 3 は、SPDIF 規格におけるフレーム構成を示す図である。SPDIF 規格では、各フレームは 2 つのサブフレームから構成される。2 チャンネルステレオ音声の場合、1 つ目のサブフレームに左チャンネル信号が含まれ、2 つ目のサブフレームに右チャンネル信号が含まれる。

【0034】

サブフレームの先頭には後述するようにプリアンプルが設けられ、左チャンネル信号にはプリアンプルとして「M」が、右チャンネル信号にはプリアンプルとして「W」が付与される。但し、192 フレーム毎に先頭のプリアンプルにはブロックの開始を表す「B」が付与される。すなわち、1 ブロックは 192 フレームにより構成される。ブロックは、後述するチャンネルステータスを構成する単位である。

【0035】

図 4 は、SPDIF 規格におけるサブフレーム構成を示す図である。サブフレームは、第 0 乃至第 31 の計 32 のタイムスロットから構成される。

【0036】

第 0 乃至第 3 タイムスロットは、プリアンプル (Sync preamble) を示す。このプリアンプルは、上述のように左右チャンネルの区別やブロックの開始位置を表すために「M」、「W」または「B」の何れかを示す。

【0037】

第 4 乃至第 27 タイムスロットはメインデータフィールドであり、24 ビットコードレンジが採用される場合には全体が音声データを表す。また、20 ビットコードレンジが採用される場合には第 8 乃至第 27 タイムスロットが音声データ (Audio sample word) を表す。後者の場合、第 4 乃至第 7 タイムスロットは追加情報 (Auxiliary sample bits) として利用することができる。

【0038】

第 28 タイムスロットは、メインデータフィールドの有効フラグ (Validity flag) である。

【0039】

第 29 タイムスロットは、ユーザデータ (User data) の 1 ビット分を表す。各フレームにまたがってこの第 29 タイムスロットを累積することによって一連のユーザデータを構成することができる。このユーザデータのメッセージは 8 ビットの情報ユニット (IU: Information Unit) を単位として構成され、1 つのメッセージには 3 乃至 129 個の情報ユニットが含まれる。情報ユニット間には 0 乃至 8 ビットの「0」が存在し得る。情報ユニットの先頭は開始ビット「1」により識別される。メッセージ内の最初の 7 個の情報ユニットは予約されており、8 個目以降の情報ユニットにユーザは任意の情報を設定する

10

20

30

40

50

ことができる。メッセージ間は 8 ビット以上の「0」により分割される。

【0040】

第 30 タイムスロットは、チャンネルステータス (Channel status) の 1 ビット分を表す。各フレームにまたがってブロック毎に第 30 タイムスロットを累積することによって一連のチャンネルステータスを構成することができる。なお、ブロックの先頭位置は、上述のように、プリアンブル (第 0 乃至第 3 タイムスロット) により示される。チャンネルステータスのフォーマットについては後述する。

【0041】

第 31 タイムスロットは、パリティビット (Parity bit) である。第 4 乃至第 31 タイムスロットに含まれる「0」および「1」の数が偶数になるように、このパリティビットが付与される。

10

【0042】

図 5 は、SPDIF 規格における信号変調方式を示す図である。SPDIF 規格では、サブフレームのうちプリアンブルを除く第 4 乃至第 31 タイムスロットがバイフェーズマーク変調される。

【0043】

このバイフェーズマーク変調の際には、元の信号 (ソースコーディング) の 2 倍速のクロックが用いられる。元の信号のクロックサイクルを前半と後半に分けると、前半のクロックサイクルのエッジで、バイフェーズマーク変調の出力は必ず反転する。また、後半クロックサイクルのエッジにおいて、元の信号が「1」を示しているときには反転し、元の信号が「0」を示しているときには反転しない。これにより、バイフェーズマーク変調された信号から元の信号におけるクロック成分を抽出できることになる。

20

【0044】

図 6 は、SPDIF 規格におけるプリアンブルのチャンネルコーディングを示す図である。上述のように、サブフレームのうち第 4 乃至第 31 タイムスロットはバイフェーズマーク変調される。一方、第 0 乃至第 3 タイムスロットのプリアンブルは通常のバイフェーズマーク変調ではなく、2 倍速のクロックに同期したビットパターンとして扱われる。すなわち、第 0 乃至第 3 タイムスロットの各タイムスロットに 2 ビットずつ割り当てることにより、同図のような 8 ビットパターンを得る。

【0045】

直前の状態が「0」であれば、プリアンブル「B」には「11101000」が、「M」には「11100010」が、「W」には「1100100」がそれぞれ割り当てられる。一方、直前の状態が「1」であれば、プリアンブル「B」には「00010111」が、「M」には「00011101」が、「W」には「00011011」がそれぞれ割り当てられる。

30

【0046】

図 7 は、SPDIF 規格におけるチャンネルステータスのフォーマットを示す図である。チャンネルステータスは、サブフレームにおける第 30 タイムスロットをブロック毎に累積したものであり、同じサブフレームによって伝送されるオーディオチャンネルに関する情報を保持するものである。この図では、チャンネルステータスの内容が縦方向に 1 バイトずつ配置され、横方向には各バイトにおけるビット構成が示されている。なお、ここでは、民生用 (Consumer use) のフォーマットを想定して説明する。

40

【0047】

第 0 バイトにおいて、第 0 ビット目は、このチャンネルステータスが民生用であることを示すビットである。第 1 ビット目は、リニア PCM のサンプルであるか否かを示すビットである。第 2 ビット目は、著作権の設定されているソフトウェアであるか否かを示すビットである。第 3 乃至 5 ビットは、追加フォーマット情報 (Additional format information) として、例えば、プリエンファシス (pre-emphasis) の有無などを含むフィールドである。第 6 および 7 ビットは、モードを示すフィールドである。

【0048】

50

第1バイトは、カテゴリコードを示すフィールドである。このカテゴリコードは、オーディオ信号を生成する装置の機種を示すものである。このカテゴリコードは、チャンネルステータスの先頭から数えて第8乃至15ビットに配置される。

【0049】

第2バイトにおいて、第0乃至3ビットは、ソース番号を示すフィールドである。このソース番号は、ソースを識別する番号であり、「1」から「15」のレンジを示す。第4乃至7ビットは、チャンネル番号を示すフィールドである。このチャンネル番号は、右チャンネルか左チャンネルかを識別する番号である。

【0050】

第3バイトにおいて、第0乃至3ビットは、サンプリング周波数を示すフィールドである。このサンプリング周波数として、例えば、「0000」は44.1kHzを表す。第4および5ビットは、クロック精度を示すフィールドである。このクロック精度は、精度のレベルを3段階で示す。

10

【0051】

第4バイトにおいて、第0乃至3ビットは、ワード長を示すフィールドである。第0ビット目が「0」であれば最大サンプル長は20ビット、「1」であれば最大サンプル長は24ビットであることを意味する。そして、続く第1乃至3ビットにおいて具体的なビット数を特定することが可能である。第4および5ビットは、オリジナルサンプリング周波数を示すフィールドである。

【0052】

20

第5バイト以降については、現行のSPDIF規格では定義されていない。そこで、本発明の実施の形態では、双方向通信が可能であるか否かを示す双方向通信ビットとして、第5バイトの第0ビット目が使用される。すなわち、例えば、プレーヤ10からの信号のチャンネルステータスにおいて、第5バイトの第0ビット目が「1」を示している場合には、AVアンプ20がプレーヤ10に対して逆方向通信を行うことができることを意味する。プレーヤ10から受信したSPDIF正信号31のチャンネルステータスにおいて双方向通信ビットが「1」を示している場合には、AVアンプ20はSPDIF逆信号32により応答する。これにより、ケーブル30における双方向通信のシーケンスが開始される。一方、プレーヤ10からの信号のチャンネルステータスにおいて、第5バイトの第0ビット目が「0」を示している場合には、AVアンプ20からプレーヤ10に対する逆方向通信は行うことができないことを意味する。なお、双方向通信ビットは、特許請求の範囲に記載の双方向情報の一例である。

30

【0053】

また、本発明の実施の形態では、オーディオデータが暗号化されているか否かを示す暗号化ビットとして、第5バイトの第1ビット目が使用可能である。すなわち、例えば、プレーヤ10からの信号のチャンネルステータスにおいて、第5バイトの第1ビット目が「1」を示している場合には、プレーヤ10からのオーディオデータが暗号化されていることを意味する。一方、プレーヤ10からの信号のチャンネルステータスにおいて、第5バイトの第1ビット目が「0」を示している場合には、プレーヤ10からのオーディオデータが暗号化されていないことを意味する。

40

【0054】

図8は、SPDIF規格におけるユーザデータのフォーマットを示す図である。ユーザデータは、サブフレームにおける第29タイムスロットをブロック毎に累積したものである。上述のように、ユーザデータのメッセージは、8ビットの情報ユニット(IU)を単位として構成され、1つのメッセージには3乃至129個の情報ユニットが含まれる。また、メッセージ間は8ビット以上の「0」により分割され、情報ユニットの先頭は開始ビット「1」により識別される。

【0055】

先頭の情報ユニットは、図8(a)に示すように、モードおよびアイテムを含む。モードは、メッセージのクラスを示すフィールドであり、例えばプリセット情報などを示す。

50

アイテムは、メッセージのタイプをさらに定義するためのフィールドである。

【0056】

2番目の情報ユニットは、図8(b)に示すように、情報ユニットの数を含む。先頭ビットを除く7ビットにより、「1」から「127」のレンジで情報ユニットの数を示すことができる。

【0057】

3番目の情報ユニットは、図8(c)に示すように、カテゴリーコードを含む。このカテゴリーコードは、図7のチャンネルステータスの第1バイトにより示されるオーディオデータの生成元におけるカテゴリーコードである。ユーザデータでは情報ユニットの先頭ビットが開始ビットとなるため、有効なデータは7ビット分である。この7ビットは、チャンネルステータスにおける第8乃至14ビットに相当する。第15ビット目であるLビットは、商用のプリレコードソフトウェアを示すビットであるため、このユーザデータのメッセージには含まれない。

【0058】

4乃至7番目の情報ユニットは、図8(d)に示すように、3つのユーザ情報X、YおよびZが含まれる。これら3つのユーザ情報としては1バイト(8ビット)ずつ割り当てられている。したがって、本発明の実施の形態においては、ユーザデータ内に情報通信フレームを新たに定義して、ユーザ情報Xによって情報の種類を識別し、ユーザ情報YおよびZにおいて各方向における実データを伝達することが可能である。

【0059】

次に、本発明の実施の形態による双方向通信を資料したシステムの具体例について図面を参照して説明する。

【0060】

図9は、本発明の実施の形態において情報通信フレームを双方向に送受信するインターフェースの構成図の一例である。この例では、プレーヤ610とAVアンプ620がケーブル630により接続されている。プレーヤ610における、増幅器611、演算器612、増幅器613、出力端子614および入力端子615は、増幅器11、演算器12、増幅器13、出力端子14および入力端子15に対応する。また、AVアンプ620における、増幅器621、演算器622、増幅器623、出力端子624および入力端子625は、増幅器21、演算器22、増幅器23、出力端子24および入力端子25に対応する。

【0061】

プレーヤ610は、出力端子614に正信号を送信するための正信号送信部616と、入力端子615から逆信号を受信するための逆信号受信部617とを備える。プレーヤ610は、AVアンプ620に対してユーザデータUAを送信する。また、プレーヤ610は、AVアンプ620からユーザデータUBを受信する。

【0062】

AVアンプ620は、出力端子624に正信号を送信するための正信号送信部626と、入力端子625から逆信号を受信するための逆信号受信部627とを備える。AVアンプ620は、プレーヤ610に対してユーザデータUBを送信する。また、AVアンプ620は、プレーヤ610からユーザデータUAを受信する。

【0063】

このように、本発明の実施の形態では、プレーヤ610およびAVアンプ620においてそれぞれ演算器612および622を設けて、ケーブル630上の信号から送信信号を減算することにより、他の装置からの受信信号を抽出することができる。

【0064】

図10は、本発明の実施の形態によるインターフェースを用いたシステム構成例を示す図である。このシステム構成例では、プレーヤ10およびAVアンプ20がケーブル30により接続されるとともに、AVアンプ20およびテレビジョン受像機器40がケーブル50により接続されている。

10

20

30

40

50

【0065】

プレーヤ10とAVアンプ20との接続関係では、プレーヤ10がソース機器となり、AVアンプ20がシンク機器となる。また、AVアンプ20とテレビジョン受像機器40との接続関係では、AVアンプ20がソース機器となり、テレビジョン受像機器40がシンク機器となる。

【0066】

ケーブル30では、プレーヤ10からAVアンプ20に対する正方向のSPDIF正信号31と、AVアンプ20からプレーヤ10に対する逆方向のSPDIF逆信号32とが伝送される。また、ケーブル50では、AVアンプ20からテレビジョン受像機器40に対する正方向のSPDIF正信号51と、テレビジョン受像機器40からAVアンプ20に対する逆方向のSPDIF逆信号52とが伝送される。

10

【0067】

このような接続においては、オーディオ信号はプレーヤ10からAVアンプ20を介してテレビジョン受像機器40に正信号として伝送される。本発明の実施の形態では、さらに、テレビジョン受像機器40からAVアンプ20を介してプレーヤ10に逆信号を伝送することができる。これにより、例えば、テレビジョン受像機器40のリモコン操作信号を逆信号として伝送して、プレーヤ10に対する電源オン/スタンバイ、再生/停止、早送りなどの機器制御を行うことが可能となる。また、曲名などの情報を取得することが可能となる。

【0068】

20

図11は、本発明の実施の形態によるインターフェースを用いたクロック伝送の一例を示す図である。ここでは、プレーヤ710およびAVアンプ720をケーブル730によって接続することにより構成されたAVシステムを想定している。ここでは、インターフェース部分については明示していないが、図2と同様の構成を備えることを想定している。

【0069】

プレーヤ710は、内部クロック発生回路711と、クロック成分再構成回路712と、クロック切替器713と、制御マイコン714と、記録媒体アクセス部715と、復号部716とを備えている。

【0070】

30

内部クロック発生回路711は、プレーヤ710の内部におけるクロック信号を発生する回路である。この内部クロック発生回路711は、例えば水晶発振子(クリスタル)などの発振子による発振振幅電圧を利用してクロック信号を生成する。

【0071】

クロック成分再構成回路712は、AVアンプ720から信号線718に供給されたSPDIF逆信号に基づいてクロック成分を再構成する回路である。このクロック成分再構成回路712は、具体的には、PLL(Phase Locked Loop)回路によって実現され、AVアンプ720から供給されたSPDIF逆信号と位相および周波数が一致するクロック信号を生成する。

【0072】

40

クロック切替器713は、内部クロック発生回路711において生成されたクロックまたはクロック成分再構成回路712において再構成されたクロックの何れかを選択して、出力するクロックを切り替える回路である。

【0073】

制御マイコン714は、プレーヤ710の動作を制御するためのマイクロコンピュータである。この制御マイコン714は、クロック成分再構成回路712においてクロック成分が再構成されたことを検知すると、クロック成分再構成回路712からのクロックを選択するようクロック切替器713に対して指示する。

【0074】

記録媒体アクセス部715は、クロック切替器713から出力されたクロックに従って

50

、記録媒体 717 から映像信号および音声信号を読み出す回路である。

【0075】

復号部 716 は、クロック切替器 713 から出力されたクロックに従って、記録媒体アクセス部 715 によって読み出された映像信号および音声信号を復号するものである。この復号部 716 によって復号された信号は信号線 719 から AV アンプ 720 に SPDIF 正信号として伝送される。

【0076】

AV アンプ 720 は、プレーヤ 710 から信号線 728 に供給された信号を受信し、その受信された信号のうち音声信号を増幅するものである。この AV アンプ 720 は、内部クロック発生回路 721 と、クロック成分再構成回路 722 と、クロック切替器 723 と、制御マイコン 724 と、ラッチ 725 と、D/A 変換器 726 と、逆信号送信部 727 を備えている。

【0077】

内部クロック発生回路 721 は、AV アンプ 720 の内部におけるクロック信号を発生する回路である。この内部クロック発生回路 721 は、内部クロック発生回路 711 と同様に、例えば水晶発振子（クリスタル）などの発振子による発振振幅電圧を利用してクロック信号を生成する。

【0078】

クロック成分再構成回路 722 は、プレーヤ 710 から信号線 728 に供給された SPDIF 逆信号に基づいてクロック成分を再構成する回路である。このクロック成分再構成回路 722 は、クロック成分再構成回路 712 と同様に、PLL 回路によって実現され、プレーヤ 710 から供給された SPDIF 正信号と位相および周波数が一致するクロック信号を生成する。

【0079】

クロック切替器 723 は、内部クロック発生回路 721 において生成されたクロックまたはクロック成分再構成回路 722 において再構成されたクロックの何れかを選択して、出力するクロックを切り替える回路である。

【0080】

制御マイコン 724 は、AV アンプ 720 の動作を制御するためのマイクロコンピュータである。この制御マイコン 724 は、チャンネルステータス（図 7）の第 5 バイトの第 0 ビット目が逆方向通信を行うことができる旨を示している場合には、内部クロック発生回路 721 によって生成されたクロックをクロック切替器 723 に選択させる。一方、逆方向通信を行うことができない旨を示している場合には、クロック成分再構成回路 722 によって再構成されたクロックをクロック切替器 723 に選択させる。

【0081】

ラッチ 725 は、プレーヤ 710 から信号線 728 に供給された信号を保持するラッチである。D/A 変換器 726 は、ラッチ 725 に保持された信号をデジタル信号からアナログ信号に変換するものである。このようにして変換されたアナログ信号は、後段の（図示しない）増幅部において音声信号が増幅される。なお、これらラッチ 725 および D/A 変換器 726 は、クロック切替器 723 から供給されたクロックに従って動作する。

【0082】

逆信号送信部 727 は、クロック切替器 723 から供給されたクロックを信号線 729 からプレーヤ 710 に対して送信するものである。このクロックは、ケーブル 730 によって SPDIF 逆信号として伝送され、信号線 718 からクロック成分再構成回路 712 に供給される。この SPDIF 逆信号は AV アンプ 720 の内部で生成されたクロック成分を含んでいる。SPDIF 逆信号はパイフェーズマーク変調されて伝送されるため、例えば無音信号であってもクロック成分は AV アンプ 720 からプレーヤ 710 に伝送される。すなわち、この例における SPDIF 逆信号は有効な音声信号を含んでいなくてもよい。

【0083】

10

20

30

40

50

この構成例によれば、AVアンプ720において生成されたクロック信号がプレーヤ710に伝送され、その伝送されたクロック信号に従ってプレーヤ710からAVアンプ720に映像信号および音声信号を伝送することができる。したがって、AVアンプ720の内部クロックをマスタクロックとしてプレーヤ710を動作させることができ、いわゆるジッタレス再生を実現することができる。これにより、AVアンプ720において速度調整のために利用されるバッファを省くことができるようになる。また、各機器において生成されるクロックの精度に着目すると、一般にプレーヤよりもAVアンプの方がクロックの精度が高いことが多い。したがって、AVアンプ720のクロックをマスタクロックとしてプレーヤ710を動作させることによって、音声信号の再生品質を向上させることができる。

10

【0084】

図12は、本発明の実施の形態における双方向通信により実現可能な認証処理のシーケンス例を示す図である。この認証処理は、デジタル・トランスミッション・コンテンツ・プロテクション(DTTP)規格では、AKE(Authentication and Key Exchange)処理と呼ばれており、デジタルデータのやりとりに先立って、シンク機器1がコピー制御情報を適切に扱うことのできる機器であることの認証を行った上で暗号化および復号化のための鍵を交換する。そして、ソース機器2でデジタルデータを暗号化して、暗号化されたデジタルデータをシンク機器1で復号する。これにより、シンク機器1におけるデジタルコンテンツの保護が保証されるとともに、それ以外の機器によるデジタルコンテンツの盗用が防止される。

20

【0085】

認証処理を行う際には、処理が重複しないように、シンク機器1から処理を開始することになっている。まず、シンク機器1は、AKEステータスコマンド1001によりソース機器2の状態を調べる。その結果、ソース機器2からAKEステータスレスポンス2001として受け入れ可能である旨の応答が得られれば、シンク機器1は乱数および証明書を添付してCHALLENGEサブファンクション1002を発行する。この証明書はDTTPの管理機構であるデジタル・トランスミッション・ライセンシング・アドミニストレータ(DTLA)から各機器に対して発行されたものである。ソース機器2はシンク機器1からの証明書を認証してその結果をレスポンス2002としてシンク機器1に返す。そして、ソース機器2は、同様の手順をソース機器2側から行う(2003、1003、2004、1004)。

30

【0086】

続いて、ソース機器2は、シンク機器1から受け取った乱数に基づいて所定の数値を計算して、RESPONSEサブファンクション2005によりシンク機器1に送信する。同様に、シンク機器1は、ソース機器2から受け取った乱数に基づいて所定の数値を計算して、RESPONSEサブファンクション1006によりソース機器2に送信する。なお、これらRESPONSEサブファンクション2005または1006を受信した機器は、それぞれ認証処理を行う。

【0087】

そして、ソース機器2は、エキステンジ鍵をEXCHANGE__KEYサブファンクション2007により送信する。コンテンツ鍵を計算するためのシードをシンク機器1がCONTENT__KEY__REQサブファンクション2010により要求すると、ソース機器2はシードをレスポンス1010により送信する。これにより、シンク機器1はエキステンジ鍵およびシードからコンテンツ鍵を計算する。コンテンツのコピー制御情報としては、上述のように、コピーネバー、コピーワンジェネレーション、ノーマアコピー、コピーフリーの4種類があり、暗号化されているのは前3者である。コンテンツ鍵はその3者に対応して3種類設けられる。

40

【0088】

また、SRMサブファンクション1008および2008では、SRM(System Renewability Message)の交換が行われる。このSRMは、正当な機器に対して更新されたメ

50

ッセージを送信することにより、そのような正当な機器以外を認証できないようにするためのものである。このSRMサブファンクションを受信した機器は、認証処理を行って、送信されてきたSRMが間違っていないかどうかを確認する。

【0089】

本発明の実施の形態では、図8(d)に示したユーザデータのユーザ情報X乃至Zを用いることにより、上述の著作権保護のための認証および鍵交換などが可能である。また、図7に示したチャンネルステータスの第5バイトの第1ビット目を用いることにより、暗号化の有無を定義することができる。これにより、従来のSPDIF規格とは異なり、オーディオデータを暗号化して伝送することが可能となり、セキュアに伝送することが可能となる。

【0090】

なお、上の例は全認証(Full Authentication)と呼ばれる手順で、全3種類の鍵を交換するものである。これに対してより簡易な限定認証(Restricted Authentication)と呼ばれる手順では一種類の鍵のみを交換する。この限定認証の場合、全認証のほぼ半分程度の時間で認証処理を行うことができる。また、この例では、DTCPにより著作権保護を行う例について説明したが、本発明はこれに限定されるものではなく、例えばHDCP(High-bandwidth Digital Content Protection system)などを用いるようにしてもよい。

【0091】

図13は、本発明の実施の形態によるインターフェースを用いた復号処理の一例を示す図である。この例では、プレーヤ810とAVアンプ820がケーブル830により接続されている。プレーヤ810における、増幅器811、演算器812、増幅器813、出力端子814および入力端子815は、増幅器11、演算器12、増幅器13、出力端子14および入力端子15に対応する。また、AVアンプ820における、増幅器821、演算器822、増幅器823、出力端子824および入力端子825は、増幅器21、演算器22、増幅器23、出力端子24および入力端子25に対応する。

【0092】

プレーヤ810は、出力端子814に正信号を送信するための正信号送信部816と、入力端子815から逆信号を受信するための逆信号受信部817とを備える。プレーヤ810は、AVアンプ820に対して符号化信号を送信する。また、プレーヤ810は、AVアンプ820から復号信号を受信する。

【0093】

AVアンプ820は、入力端子825から符号化信号を受信するための逆信号受信部827と、符号化信号を復号して復号信号を生成する復号部828と、出力端子824に復号信号を送信するための正信号送信部826とを備える。AVアンプ820は、プレーヤ810から符号化信号を受信する。そして、符号化信号を復号部828により復号して、復号信号をプレーヤ810に対して送信する。この復号信号の送信は、ケーブル30上のSPDIF逆信号により行われる。

【0094】

このように、本発明の実施の形態では、プレーヤ810から送信された符号化信号をAVアンプ820において復号して、その復号信号をプレーヤ810に返送することにより、AVアンプ820の復号部828を利用した復号を行うことができる。例えば、プレーヤ810における(図示しない)復号部のバージョンが古いために符号化信号を復号できないような場合、AVアンプ820における復号部828を利用して復号し、プレーヤ810に返送することができる。

【0095】

図14は、本発明の実施の形態によるインターフェースを用いたマルチトラックレコーディング処理の一例を示す図である。この例では、レコーダ840と変換器850がケーブル860により接続されている。レコーダ840における、増幅器841、演算器842、増幅器843、出力端子844および入力端子845は、増幅器11、演算器12、

10

20

30

40

50

増幅器 1 3、出力端子 1 4 および入力端子 1 5 に対応する。また、変換器 8 5 0 における、増幅器 8 5 1、演算器 8 5 2、増幅器 8 5 3、出力端子 8 5 4 および入力端子 8 5 5 は、増幅器 2 1、演算器 2 2、増幅器 2 3、出力端子 2 4 および入力端子 2 5 に対応する。

【 0 0 9 6 】

レコーダ 8 4 0 は、出力端子 8 4 4 に再生信号を送信するための再生部 8 4 6 と、入力端子 8 4 5 から記録信号を受信するための記録部 8 4 7 とを備える。レコーダ 8 4 0 は、変換器 8 5 0 に対して再生信号を送信する。また、レコーダ 8 4 0 は、変換器 8 5 0 から記録信号を受信する。

【 0 0 9 7 】

変換器 8 5 0 は、入力端子 8 5 5 から再生信号を受信してデジタル信号からアナログ信号に変換するための D / A 変換器 8 5 7 と、外部から入力されたアナログ信号をデジタル信号に変換するための A / D 変換器 8 5 6 とを備える。D / A 変換器 8 5 7 にはスピーカ 8 7 1 が接続されており、D / A 変換器 8 5 7 によって変換されたアナログ信号がスピーカ 8 7 1 から音声出力される。A / D 変換器 8 5 6 にはマイクロホン 8 7 2 が接続されており、マイクロホン 8 7 2 入力された音声 A / D 変換器 8 5 6 によってデジタル信号に変換されて、出力端子 8 5 4 に供給される。これら A / D 変換器 8 5 6 および D / A 変換器 8 5 7 は、クロック発生回路 8 5 8 によって発生された共通のクロックによって動作する。

【 0 0 9 8 】

このように、本発明の実施の形態では、スピーカ 8 7 1 から出力される音声と、マイクロホン 8 7 2 に入力される音声とをクロック発生回路 8 5 8 による共通のクロックにより制御することができる。そして、マイクロホン 8 7 2 に入力された音声をデジタル信号に変換して、記録信号として伝送することにより、再生信号と記録信号との間の同期を測ることが可能となる。この場合、再生信号はケーブル 8 6 0 上の S P D I F 正信号としてレコーダ 8 4 0 から変換器 8 5 0 に伝送され、記録信号はケーブル 8 6 0 上の S P D I F 逆信号として変換器 8 5 0 からレコーダ 8 4 0 に伝送される。

【 0 0 9 9 】

次に、本発明の実施の形態におけるインターフェースを H D M I (High-Definition Multimedia Interface) 規格 (H D M I は登録商標) によるケーブルに適用した場合の応用例について説明する。

【 0 1 0 0 】

図 1 5 は、H D M I 規格によるインターフェースの概念構成図である。H D M I 規格では、基本となる高速伝送ラインによる伝送方向を一方向に定めており、送信側の機器をソース機器、受信側の機器をシンク機器と呼んでいる。この例では、ソース機器 1 0 0 およびシンク機器 2 0 0 が H D M I ケーブル 3 0 0 により接続されている。そして、ソース機器 1 0 0 には送信動作を行うトランスミッタ 1 0 1 が含まれ、シンク機器 2 0 0 には受信動作を行うレシーバ 2 0 1 が含まれている。

【 0 1 0 1 】

トランスミッタ 1 0 1 とレシーバ 2 0 1 との間の伝送には、T M D S (Transition Minimized Differential Signaling) と呼ばれるシリアル伝送方式が用いられる。H D M I 規格では、映像信号および音声信号は 3 つの T M D S チャンネル 3 1 0 乃至 3 3 0 を用いて伝送される。すなわち、ある垂直同期信号から次の垂直同期信号までの区間の内、水平帰線区間および垂直帰線区間を除いた区間である有効画像区間において、非圧縮の 1 画面分の画像の画素データに対応する差動信号が、T M D S チャンネル 3 1 0 乃至 3 3 0 により、シンク機器 2 0 0 に向けて一方向に送信される。また、水平帰線区間または垂直帰線区間においては、音声データ、制御データまたはその他の補助データ等に対応する差動信号が、T M D S チャンネル 3 1 0 乃至 3 3 0 により、シンク機器 2 0 0 に向けて一方向に送信される。

【 0 1 0 2 】

また、H D M I 規格では、クロック信号が T M D S クロックチャンネル 3 4 0 により伝

10

20

30

40

50

送される。T M D Sチャンネル3 1 0乃至3 3 0の各々では、T M D Sクロックチャンネル3 4 0により伝送される1クロックの間に、1 0ビット分の画素データを送信することができる。

【0 1 0 3】

また、H D M I規格では、ディスプレイデータチャンネル(D D C : Display Data Channel) 3 5 0が設けられる。このディスプレイデータチャンネル3 5 0は、シンク機器2 0 0におけるE - E D I D (Enhanced Extended Display Identification Data) 情報をソース機器が読み出すために用いられる。E - E D I D情報とは、シンク機器2 0 0がディスプレイ装置である場合に、その機種、解像度、色の特性およびタイミングなどの設定や性能に関する情報を示すものである。このE - E D I D情報は、シンク機器2 0 0のE D I D R O M 2 0 2に保持される。なお、図示していないが、ソース機器1 0 0もシンク機器2 0 0と同様に、E - E D I D情報を記憶し、必要に応じてそのE - E D I D情報をシンク機器2 0 0に送信することができる。

10

【0 1 0 4】

さらに、H D M I規格では、C E C (Consumer Electronics Control) ライン3 6 1、リザーブライン3 6 2およびH P D (Hot Plug Detect) ライン3 6 3等が設けられる。C E Cライン3 6 1は、機器制御信号の双方向通信を行うためのラインである。ディスプレイデータチャンネル3 5 0が機器間を1対1に接続するのに対して、このC E Cライン3 6 1はH D M Iに接続される全機器を直接接続する。

【0 1 0 5】

20

リザーブライン3 6 2は、H D M I規格上は利用されていないラインである。また、H P Dライン3 6 3は、H D M Iのケーブルによって他の機器と接続されていること(ホットプラグ)を検知するためのラインである。本発明の実施の形態では、このリザーブライン3 6 2およびH P Dライン3 6 3を用いてイーサネット(登録商標)信号、S P D I F正信号およびS P D I F逆信号を伝送することを想定する。

【0 1 0 6】

図1 6は、H D M I規格によるコネクタのピン配置例を示す図である。ここでは、タイプAと呼ばれるピン配置におけるピン番号3 0 1と信号名称3 0 2との対応関係が示されている。

【0 1 0 7】

30

T M D Sチャンネル3 1 0乃至3 3 0およびT M D Sクロックチャンネル3 4 0は、それぞれ正極、シールドおよび負極の3ピンから構成されており、1乃至3番ピンがT M D Sチャンネル3 3 0、4乃至6番ピンがT M D Sチャンネル3 2 0、7乃至9番ピンがT M D Sチャンネル3 1 0、1 0乃至1 2番ピンがT M D Sクロックチャンネル3 4 0にそれぞれ対応している。

【0 1 0 8】

また、1 3番ピンがC E Cライン3 6 1に、1 4番ピンがリザーブライン3 6 2に、1 9番ピンがH P Dライン3 6 3に、それぞれ対応している。また、ディスプレイデータチャンネル3 5 0は、シリアルクロック(S C L)、シリアルデータ(S D A)および接地(グランド)の3ピンから構成されており、1 5乃至1 7番ピンがそれぞれ対応する。なお、ディスプレイデータチャンネル3 5 0の接地(1 7番ピン)は、C E Cライン3 6 1の接地と共通化されている。1 8番ピンは電源供給ライン(+ 5 V)に対応する。

40

【0 1 0 9】

図1 7は、本発明の実施の形態におけるソース機器1 0 0およびシンク機器2 0 0の内部構成例について示す図である。ここでは、本発明の実施の形態における要部であるリザーブライン3 6 2およびH P Dライン3 6 3に関する構成を示している。ソース機器1 0 0は、シンク機種検出回路1 1 0と、プラグ接続検出回路1 2 0と、ソース側送受信回路1 4 0と、S P D I F送受信回路1 7 0と、イーサネット送受信回路1 6 0とを備えている。また、シンク機器2 0 0は、ソース機種検出回路2 1 0と、プラグ接続伝達回路2 2 0と、シンク側送受信回路2 5 0と、S P D I F送受信回路2 7 0と、イーサネット送受

50

信回路 260 とを備えている。

【0110】

リザーブライン 362 は、上述のとおり H D M I 規格上は利用されていないラインであるが、ここではピンの有効利用のため、接続される機器の機種を検出するために用いられるものとしている。すなわち、ソース機器 100 におけるシンク機種検出回路 110 では、リザーブライン 362 を介してシンク機器 200 の機種を検出する。また、シンク機器 200 におけるソース機種検出回路 210 では、リザーブライン 362 を介してソース機器 100 の機種を検出する。ここにいう機種としては、例えば、H D M I 規格を拡張してリザーブライン 362 および H P D ライン 363 によりイーサネット信号を双方向伝送するようにした機種（以下、H D M I 拡張機種という。）を想定することができる。

10

【0111】

H P D ライン 363 は、上述のとおり H D M I のケーブルによって他の機器と接続されていることを検出するためのラインである。シンク機器 200 におけるプラグ接続伝達回路 220 は、H P D ライン 363 に接続する端子を所定の電圧にバイアスすることにより、シンク機器 200 が接続されている旨を伝達する。ソース機器 100 におけるプラグ接続検出回路 120 は、H P D ライン 363 に接続する端子の電位を基準電位と比較することにより、シンク機器 200 の接続を検出する。

【0112】

このような機能を有するリザーブライン 362 および H P D ライン 363 に対して、本発明の実施の形態では、ソース側送受信回路 140 およびシンク側送受信回路 250 を接続する。すなわち、ソース機器 100 におけるソース側送受信回路 140 は、コンデンサ 131 および 132 と抵抗 133 とを介してリザーブライン 362 および H P D ライン 363 に接続する。また、シンク機器 200 におけるシンク側送受信回路 250 は、コンデンサ 231 および 232 と抵抗 233 とを介してリザーブライン 362 および H P D ライン 363 に接続する。

20

【0113】

ソース側送受信回路 140 は、リザーブライン 362 および H P D ライン 363 を用いて双方向伝送されるイーサネット信号をイーサネット送受信回路 160 に接続し、リザーブライン 362 および H P D ライン 363 を用いて双方向伝送される S P D I F 信号を S P D I F 送受信回路 170 に接続する。

30

【0114】

シンク側送受信回路 250 は、リザーブライン 362 および H P D ライン 363 を用いて双方向伝送されるイーサネット信号をイーサネット送受信回路 260 に接続し、リザーブライン 362 および H P D ライン 363 を用いて双方向伝送される S P D I F 信号を S P D I F 送受信回路 270 に接続する。

【0115】

イーサネット送受信回路 160 および 260 は、イーサネット信号を送受信する回路であり、例えばインターネットプロトコル（I P）に準拠した双方向通信を行うものである。この場合、インターネットプロトコル（I P）の上位層としては、T C P（Transmission Control Protocol）や U D P（User Datagram Protocol）を用いることができる。これらイーサネット送受信回路 160 および 260 は、従来技術により実現され得る。

40

【0116】

S P D I F 送受信回路 170 および 270 は、本発明の実施の形態における双方向の S P D I F 信号を送受信するものである。S P D I F 信号の双方向化は、ソース側送受信回路 140 およびシンク側送受信回路 250 において行われるため、S P D I F 送受信回路 170 および 270 は従来技術による S P D I F 規格に準拠した送受信回路を用いることができる。

【0117】

図 18 は、本発明の実施の形態におけるソース側送受信回路 140 およびシンク側送受信回路 250 の一構成例を示す図である。

50

【0118】

図18(a)に示すように、シンク側送受信回路250は、増幅器510、520、530、550、581および582と、インバータ541と、演算器542、560、571、572および583とを備えている。

【0119】

増幅器510は、イーサネット送受信回路260から信号線511および512を介して供給される信号を増幅する増幅器である。信号線511および512の信号は差動信号になっており、増幅器510は差動入力により動作する。

【0120】

増幅器520は、増幅器510の出力を増幅する増幅器である。この増幅器520の出力は差動信号になっており、演算器571には正極の信号が、演算器572には負極の信号がそれぞれ供給される。

10

【0121】

増幅器530は、リザーブライン362およびHPDライン363からの信号を増幅する増幅器である。リザーブライン362およびHPDライン363の信号は差動信号になっており、増幅器530は差動入力により動作する。

【0122】

インバータ541は、増幅器510の出力を反転させる回路である。演算器542は、インバータ541の出力と増幅器530の出力を加算する回路である。すなわち、インバータ541および演算器542は、リザーブライン362およびHPDライン363における信号からシンク機器200の出力信号を取り除いた信号を、増幅器550に入力する。

20

【0123】

増幅器550は、演算器542の出力を増幅する増幅器である。この増幅器550出力は差動信号になっており、信号線558には正極の信号が、信号線559には負極の信号がそれぞれ供給される。信号線558および559にはイーサネット送受信回路260が接続されており、リザーブライン362およびHPDライン363における信号からシンク機器200の出力信号を取り除いた信号がイーサネット送受信回路260に供給される。

【0124】

増幅器581は、SPDIF送受信回路270から信号線568を介して供給される信号を増幅する増幅器である。

30

【0125】

演算器571は、増幅器581の出力と増幅器520の正極出力とを加算する回路である。演算器572は、増幅器581の出力と増幅器520の負極出力とを加算する回路である。

【0126】

すなわち、増幅器520から出力されるイーサネット信号が差動信号であるのに対して、演算器571および572により重畳されるSPDIF信号は同相信号である。これにより、イーサネット信号およびSPDIF信号の両者は、同じ対の信号線(リザーブライン362およびHPDライン363)によって伝送することが可能となる。

40

【0127】

演算器560は、リザーブライン362およびHPDライン363の出力を加算する回路である。演算器583は、演算器560の出力と増幅器581の反転出力とを加算する回路である。

【0128】

増幅器582は、演算器583の出力を増幅する増幅器である。この増幅器582の出力は、信号線569を介してSPDIF送受信回路270に供給される。

【0129】

すなわち、演算器571および572により重畳されるSPDIF信号から、増幅器5

50

8 1 により供給される信号を演算器 5 8 3 によって減じることにより、ソース側送受信回路 1 4 0 からの信号を信号線 5 6 9 に供給することが可能となる。

【 0 1 3 0 】

図 1 8 (b) に示すように、ソース側送受信回路 1 4 0 は、増幅器 4 1 0、4 2 0、4 3 0、4 5 0、4 8 1 および 4 8 2 と、インバータ 4 4 1 と、演算器 4 4 2、4 6 0、4 7 1、4 7 2 および 4 8 3 とを備えている。

【 0 1 3 1 】

増幅器 4 1 0 は、イーサネット送受信回路 1 6 0 から信号線 4 1 1 および 4 1 2 を介して供給される信号を増幅する増幅器である。信号線 4 1 1 および 4 1 2 の信号は差動信号になっており、増幅器 4 1 0 は差動入力により動作する。

10

【 0 1 3 2 】

増幅器 4 2 0 は、増幅器 4 1 0 の出力を増幅する増幅器である。この増幅器 4 2 0 の出力は差動信号になっており、演算器 4 7 1 には正極の信号が、演算器 4 7 2 には負極の信号がそれぞれ供給される。

【 0 1 3 3 】

増幅器 4 3 0 は、リザーブライン 3 6 2 および H P D ライン 3 6 3 からの信号を増幅する増幅器である。リザーブライン 3 6 2 および H P D ライン 3 6 3 の信号は差動信号になっており、増幅器 4 3 0 は差動入力により動作する。

【 0 1 3 4 】

インバータ 4 4 1 は、増幅器 4 1 0 の出力を反転させる回路である。演算器 4 4 2 は、インバータ 4 4 1 の出力と増幅器 4 3 0 の出力を加算する回路である。すなわち、インバータ 4 4 1 および演算器 4 4 2 は、リザーブライン 3 6 2 および H P D ライン 3 6 3 における信号からソース機器 1 0 0 の出力信号を取り除いた信号を、増幅器 4 5 0 に入力する。

20

【 0 1 3 5 】

増幅器 4 5 0 は、演算器 4 4 2 の出力を増幅する増幅器である。この増幅器 4 5 0 出力は差動信号になっており、信号線 4 5 8 には正極の信号が、信号線 4 5 9 には負極の信号がそれぞれ供給される。信号線 4 5 8 および 4 5 9 にはイーサネット送受信回路 1 6 0 が接続されており、リザーブライン 3 6 2 および H P D ライン 3 6 3 における信号からソース機器 1 0 0 の出力信号を取り除いた信号がイーサネット送受信回路 1 6 0 に供給される。

30

【 0 1 3 6 】

増幅器 4 8 1 は、S P D I F 送受信回路 1 7 0 から信号線 4 6 8 を介して供給される信号を増幅する増幅器である。

【 0 1 3 7 】

演算器 4 7 1 は、増幅器 4 8 1 の出力と増幅器 4 2 0 の正極出力とを加算する回路である。演算器 4 7 2 は、増幅器 4 8 1 の出力と増幅器 4 2 0 の負極出力とを加算する回路である。

【 0 1 3 8 】

すなわち、増幅器 4 2 0 から出力されるイーサネット信号が差動信号であるのに対して、演算器 4 7 1 および 4 7 2 により重畳される S P D I F 信号は同相信号である。これにより、イーサネット信号および S P D I F 信号の両者は、同じ一対の信号線 (リザーブライン 3 6 2 および H P D ライン 3 6 3) によって伝送することが可能となる。

40

【 0 1 3 9 】

演算器 4 6 0 は、リザーブライン 3 6 2 および H P D ライン 3 6 3 の出力を加算する回路である。演算器 4 8 3 は、演算器 4 6 0 の出力と増幅器 4 8 1 の反転出力とを加算する回路である。

【 0 1 4 0 】

増幅器 4 8 2 は、演算器 4 8 3 の出力を増幅する増幅器である。この増幅器 4 8 2 の出力は、信号線 4 6 9 を介して S P D I F 送受信回路 1 7 0 に供給される。

50

【0141】

すなわち、演算器471および472により重畳されるSPDIF信号から、増幅器481により供給される信号を演算器483によって減じることにより、シンク側送受信回路250からの信号を信号線469に供給することが可能となる。

【0142】

なお、増幅器420および520は、特許請求の範囲に記載の第1の送信部の一例である。また、演算器442および542は、特許請求の範囲に記載の第1の抽出部の一例である。また、演算器471、472、571および572は、特許請求の範囲に記載の第2の送信部の一例である。また、演算器483および583は、特許請求の範囲に記載の第2の抽出部の一例である。

10

【0143】

図19は、本発明の実施の形態の応用例における動作の概要を示す図である。本発明の実施の形態の応用例では、上述のように、リザーブライン362およびHPDライン363を用いてイーサネット信号を差動信号として伝送するとともに、同じラインを利用してSPDIF信号（SPDIF正信号およびSPDIF逆信号）を同相信号として伝送する。

【0144】

このような本発明の実施の形態の応用例における動作をまとめると同図のようになる。上述のように、14番ピンはリザーブライン362に対応し、19番ピンはHPDライン363に対応する。イーサネット信号またはSPDIF信号の何れも伝送されない場合には、従来のHDMI規格の動作になる。イーサネット信号が伝送される場合には、14番ピンにイーサネット信号の正極信号が重畳され、19番ピンにイーサネット信号の負極信号が重畳される。また、SPDIF信号が伝送される場合には、14番ピンおよび19番ピンにSPDIF信号の正極信号が重畳される。さらに、イーサネット信号およびSPDIF信号の両者が伝送される場合には、14番ピンにイーサネット信号の正極信号およびSPDIF信号の正極信号が重畳され、19番ピンにイーサネット信号の負極信号およびSPDIF信号の正極信号が重畳される。

20

【0145】

したがって、イーサネット信号およびSPDIF信号は、リザーブライン362およびHPDライン363において互いに独立して伝送することができ、両信号を伝送する場合や一方の信号のみを伝送する場合でも、受信側（ソース側送受信回路140）に特別な機構を要することなく対応することができる。

30

【0146】

図20は、本発明の実施の形態の応用例におけるシンク機種検出回路110およびソース機種検出回路210の構成例を示す図である。

【0147】

図20(a)に示すように、シンク機種検出回路110は、抵抗111および112と、コンデンサ113と、比較器116とを備えている。抵抗111は、リザーブライン362を+5Vにプルアップするものである。この抵抗111は、ソース機器100が特定の機種（例えば、HDMI拡張機種）である場合のみ存在し、ソース機器100が特定の機種でない場合にはプルアップが行われない。抵抗112およびコンデンサ113は、ローパスフィルタを構成するものである。このローパスフィルタの出力は信号線114に供給される。比較器116は、ローパスフィルタから信号線114に供給された直流電位を、信号線115に与えられた基準電位と比較するものである。

40

【0148】

また、図20(b)に示すように、ソース機種検出回路210は、抵抗211および212と、コンデンサ213と、比較器216とを備えている。抵抗211は、リザーブライン362を接地電位にプルダウンするものである。この抵抗211は、シンク機器200が特定の機種である場合のみ存在し、シンク機器200が特定の機種でない場合にはプルダウンが行われない。抵抗212およびコンデンサ213は、ローパスフィルタを構成

50

するものである。このローパスフィルタの出力は信号線 2 1 5 に供給される。比較器 2 1 6 は、ローパスフィルタから信号線 2 1 5 に供給された直流電位を、信号線 2 1 4 に与えられた基準電位と比較するものである。

【 0 1 4 9 】

シンク機器 2 0 0 が特定の機種であれば抵抗 2 1 1 によるプルダウンが行われてリザーブライン 3 6 2 の電位が 2 . 5 V となり、シンク機器 2 0 0 が特定の機種でなければ開放されて 5 V となる。したがって、信号線 1 1 5 の基準電位を例えば 3 . 7 5 V とすれば、信号線 1 1 7 の出力に基づいて、ソース機器 1 0 0 においてシンク機器 2 0 0 の機種を識別することができる。

【 0 1 5 0 】

同様に、ソース機器 1 0 0 が特定の機種であれば抵抗 1 1 1 によるプルアップが行われてリザーブライン 3 6 2 の電位が 2 . 5 V となり、ソース機器 1 0 0 が特定の機種でなければ 0 V となる。したがって、信号線 2 1 4 の基準電位を例えば 1 . 2 5 V とすれば、信号線 2 1 7 の出力に基づいて、シンク機器 2 0 0 においてソース機器 1 0 0 の機種を識別することができる。

【 0 1 5 1 】

これら機種検出のための信号は直流バイアス電位で伝達されるため、交流信号として伝達されるイーサネット信号または S P D I F 信号に影響を与えるものではない。

【 0 1 5 2 】

図 2 1 は、本発明の実施の形態におけるプラグ接続検出回路 1 2 0 およびプラグ接続伝達回路 2 2 0 の構成例を示す図である。

【 0 1 5 3 】

図 2 1 (a) に示すように、プラグ接続伝達回路 2 2 0 は、チョークコイル 2 2 1 と、抵抗 2 2 2 および 2 2 3 とを備えている。これらチョークコイル 2 2 1、抵抗 2 2 2 および 2 2 3 は、H P D ライン 3 6 3 を例えば約 4 V にバイアスするものである。

【 0 1 5 4 】

また、図 2 1 (b) に示すように、プラグ接続検出回路 1 2 0 は、抵抗 1 2 1 および 1 2 2 と、コンデンサ 1 2 3 と、比較器 1 2 6 とを備えている。抵抗 1 2 1 は、H P D ライン 3 6 3 を接地電位にプルダウンするものである。抵抗 1 2 2 およびコンデンサ 1 2 3 は、ローパスフィルタを構成するものである。このローパスフィルタの出力は信号線 1 2 4 に供給される。比較器 1 2 6 は、ローパスフィルタから信号線 1 2 4 に供給された直流電位を、信号線 1 2 5 に与えられた基準電位と比較するものである。

【 0 1 5 5 】

ここで、信号線 1 2 5 に基準電位として例えば 1 . 4 V を与えるものとする。ソース機器 1 0 0 が H P D ライン 3 6 3 に接続されていなければ、入力電位は抵抗 1 2 1 によるプルダウンされることにより信号線 1 2 4 の電位は信号線 1 2 5 の基準電位よりも低くなる。一方、ソース機器 1 0 0 が H P D ライン 3 6 3 に接続されていれば、約 4 V にバイアスされるため、信号線 1 2 4 の電位は信号線 1 2 5 の基準電位よりも高くなる。したがって、信号線 1 2 7 の出力に基づいて、ソース機器 1 0 0 においてシンク機器 2 0 0 の接続の有無を検出することができる。

【 0 1 5 6 】

これらプラグ接続検出のための信号は直流バイアス電位で伝達されるため、交流信号として伝達されるイーサネット信号または S P D I F 信号に影響を与えるものではない。

【 0 1 5 7 】

すなわち、この応用例によれば、H D M I 規格のケーブル上においても、S P D I F 正信号および S P D I F 逆信号による双方向通信を行うことができる。

【 0 1 5 8 】

このように、本発明の実施の形態によれば、プレーヤ 1 0 の増幅器 1 1 から A V アンプ 2 0 に送信されるケーブル 3 0 上の信号に対して、プレーヤ 1 0 の出力信号の反転信号を演算器 1 2 によって加えることにより、プレーヤ 1 0 の入力信号を抽出することができる

10

20

30

40

50

。同様に、AVアンプ20の増幅器21からプレーヤ10に送信されるケーブル30上の信号に対して、AVアンプ20の出力信号の反転信号を演算器22によって加えることにより、AVアンプ20の入力信号を抽出することができる。これらにより、ケーブル30によってSPDIF正信号31およびSPDIF逆信号32の双方向通信を実現することができる。AVアンプ20は、プレーヤ10からの信号のチャンネルステータスの双方向通信ビットが双方向通信可能である旨を示している場合には、SPDIF逆信号を送信することにより、双方向通信のシーケンスが開始される。これにより、SPDIF規格と互換性を維持しながら、双方向通信の拡張を行って、新しいアプリケーションに対応することができる。

【0159】

例えば、図9および10により説明したように、情報通信フレームを用いることにより機器制御を行うことができる。また、図11により説明したように、クロック同期を行うことができる。また、図12により説明したように、暗号化ビットおよびユーザ情報を用いることにより、セキュアな伝送を行うことができる。また、図13により説明したように、符号化データの復号を他の装置に行わせることができる。また、図14により説明したように、マルチトラックレコーディングにおけるD/A変換およびA/D変換の同期を容易に実現することができる。さらに、本発明の実施の形態は、図18により説明したように、SPDIF規格のケーブルだけでなく、HDMI規格のケーブルにも適用することができる。

【0160】

なお、本発明の実施の形態は本発明を具現化するための一例を示したものであり、以下に示すように特許請求の範囲における発明特定事項とそれぞれ対応関係を有するが、これに限定されるものではなく本発明の要旨を逸脱しない範囲において種々の変形を施すことができる。

【0161】

また、本発明の実施の形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、CD (Compact Disc)、MD (MiniDisc)、DVD (Digital Versatile Disk)、メモリカード (memory card)、ブルーレイディスク (Blu-ray Disc (登録商標)) 等の記録媒体を用いることができる。

【図面の簡単な説明】

【0162】

【図1】本発明の実施の形態におけるインターフェースの概念構成図である。

【図2】本発明の実施の形態におけるインターフェースの回路構成図の一例である。

【図3】SPDIF規格におけるフレーム構成を示す図である。

【図4】SPDIF規格におけるサブフレーム構成を示す図である。

【図5】SPDIF規格における信号変調方式を示す図である。

【図6】SPDIF規格におけるプリアンプルのチャンネルコーディングを示す図である。

【図7】SPDIF規格におけるチャンネルステータスのフォーマットを示す図である。

【図8】SPDIF規格におけるユーザデータのフォーマットを示す図である。

【図9】本発明の実施の形態において情報通信フレームを双方向に送受信するインターフェースの構成図の一例である。

【図10】本発明の実施の形態によるインターフェースを用いたシステム構成例を示す図である。

【図11】本発明の実施の形態によるインターフェースを用いたクロック伝送の一例を示す図である。

【図12】本発明の実施の形態における双方向通信により実現可能な認証処理のシーケンス例を示す図である。

10

20

30

40

50

【図13】本発明の実施の形態によるインターフェースを用いた復号処理の一例を示す図である。

【図14】本発明の実施の形態によるインターフェースを用いたマルチトラックレコーディング処理の一例を示す図である。

【図15】HDMI規格によるインターフェースの概念構成図である。

【図16】HDMI規格によるコネクタのピン配置例を示す図である。

【図17】本発明の実施の形態におけるソース機器100およびシンク機器200の内部構成例について示す図である。

【図18】本発明の実施の形態におけるソース側送受信回路140およびシンク側送受信回路250の一構成例を示す図である。

10

【図19】本発明の実施の形態の応用例における動作の概要を示す図である。

【図20】本発明の実施の形態の応用例におけるシンク機種検出回路110およびソース機種検出回路210の構成例を示す図である。

【図21】本発明の実施の形態におけるプラグ接続検出回路120およびプラグ接続伝達回路220の構成例を示す図である。

【符号の説明】

【0163】

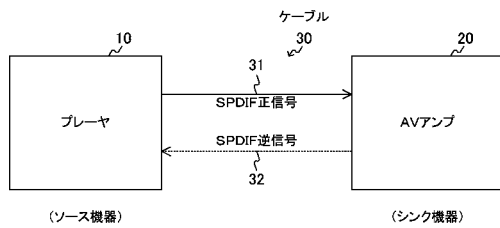
10、610、710、810	プレーヤ	
11、13、21、23、611、613、621、623、811、813、821		
、823、841、843、851、853	増幅器	20
12、22、612、622、812、822、842、852	演算器	
14、24、614、624、814、824、844、854	出力端子	
15、25、615、625、815、825、845、855	入力端子	
20、620、720、820	AVアンプ	
30、50、630、730、830、860	ケーブル	
31、51	SPDIF正信号	
32、52	SPDIF逆信号	
39	接地線	
40	テレビジョン受像機器	
100	ソース機器	30
101	トランスミッタ	
110	シンク機種検出回路	
111、112、121、122、133、211、212、222、233	抵抗	
113、123、131、213、231	コンデンサ	
116、126、216	比較器	
120	プラグ接続検出回路	
140	ソース側送受信回路	
160	イーサネット送受信回路	
170、270	SPDIF送受信回路	
200	シンク機器	40
201	レシーバ	
210	ソース機種検出回路	
220	プラグ接続伝達回路	
221	チョークコイル	
250	シンク側送受信回路	
260	イーサネット送受信回路	
300	ケーブル	
410、420、430、450、481、482、510、520、530、550		
、581、582	増幅器	
441、541	インバータ	50

- 4 4 2、4 6 0、4 7 1、4 7 2、4 8 3、5 4 2、5 6 0、5 7 1、5 7 2、5 8 3
- 演算器
- 6 1 6、8 1 6、8 2 6 正信号送信部
- 6 1 7、8 1 7、8 2 7 逆信号受信部
- 6 2 6 正信号送信部
- 6 2 7 逆信号受信部
- 7 1 1、7 2 1 内部クロック発生回路
- 7 1 2、7 2 2 クロック成分再構成回路
- 7 1 3、7 2 3 クロック切替器
- 7 1 4、7 2 4 制御マイコン
- 7 1 5 記録媒体アクセス部
- 7 1 6、8 2 8 復号部
- 7 1 7 記録媒体
- 7 2 5 ラッチ
- 7 2 6 D / A 変換器
- 7 2 7 逆信号送信部
- 8 4 0 レコーダ
- 8 4 6 再生部
- 8 4 7 記録部
- 8 5 0 変換器
- 8 5 6 A / D 変換器
- 8 5 7 D / A 変換器
- 8 5 8 クロック発生回路
- 8 7 1 スピーカ
- 8 7 2 マイクロホン

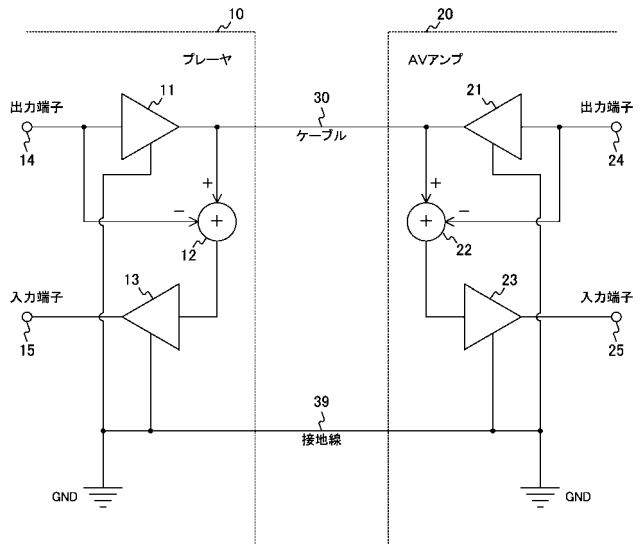
10

20

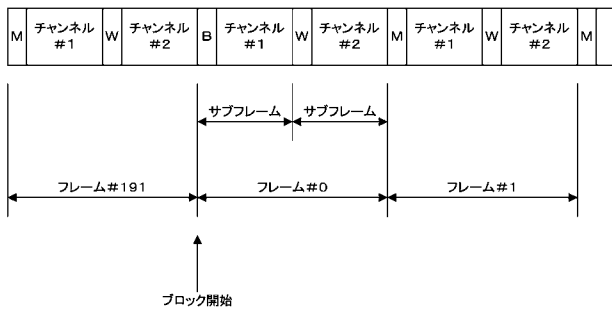
【 図 1 】



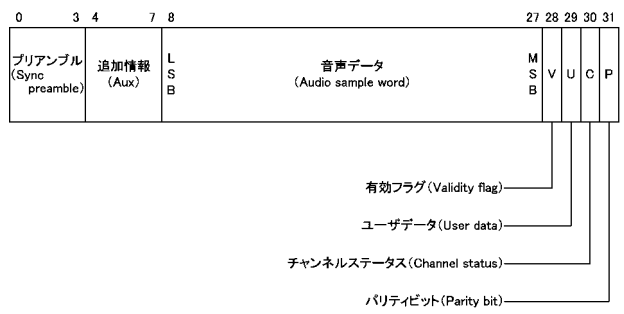
【 図 2 】



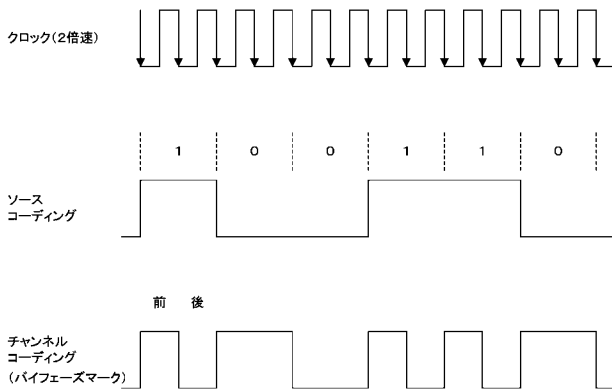
【 図 3 】



【 図 4 】



【 図 5 】



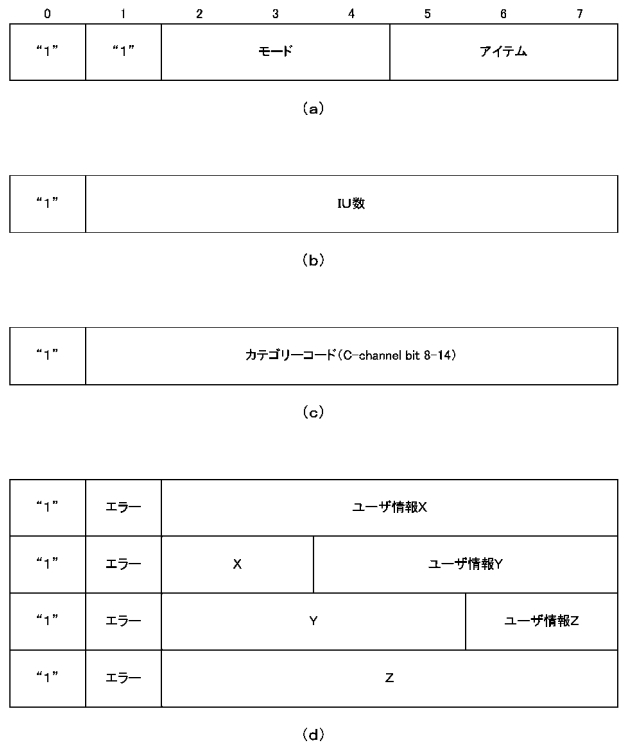
【 図 6 】

プリアンブル	チャンネルコーディング		
"B"	11101000	00010111	サブフレーム#1、ブロック開始
"M"	11100010	00011101	サブフレーム#1
"W"	11100100	00011011	サブフレーム#2
	0	1	
	(直前状態)		

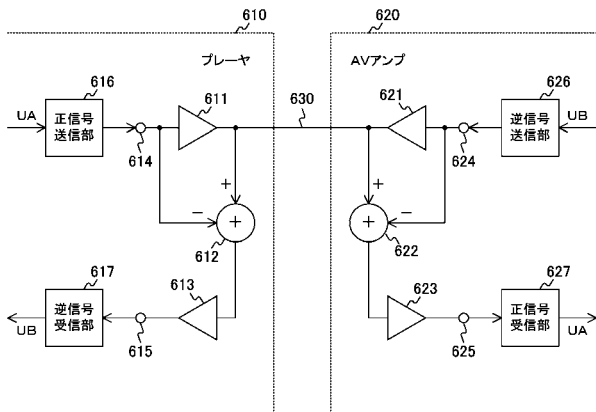
【 図 7 】



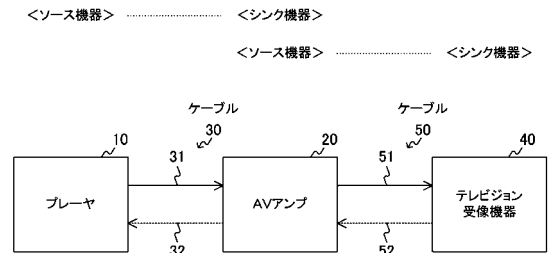
【 図 8 】



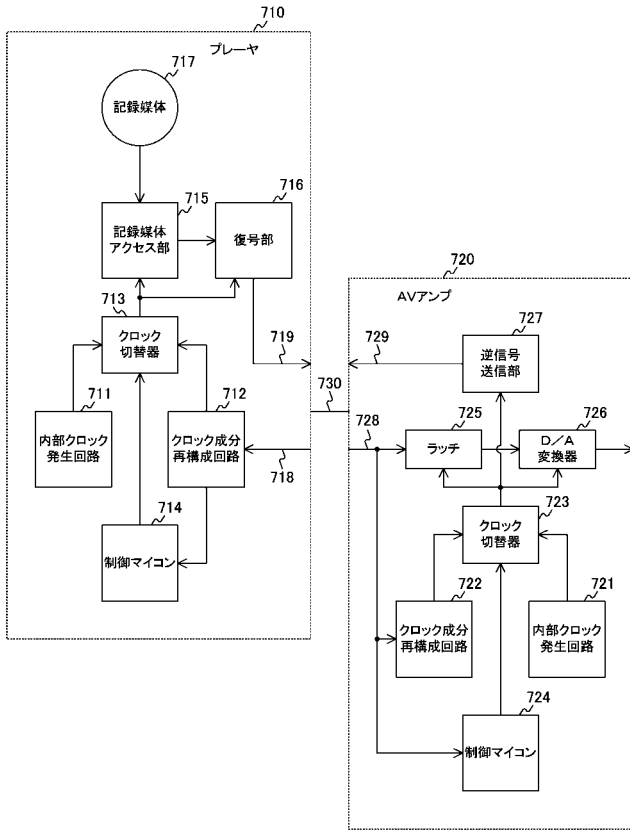
【 図 9 】



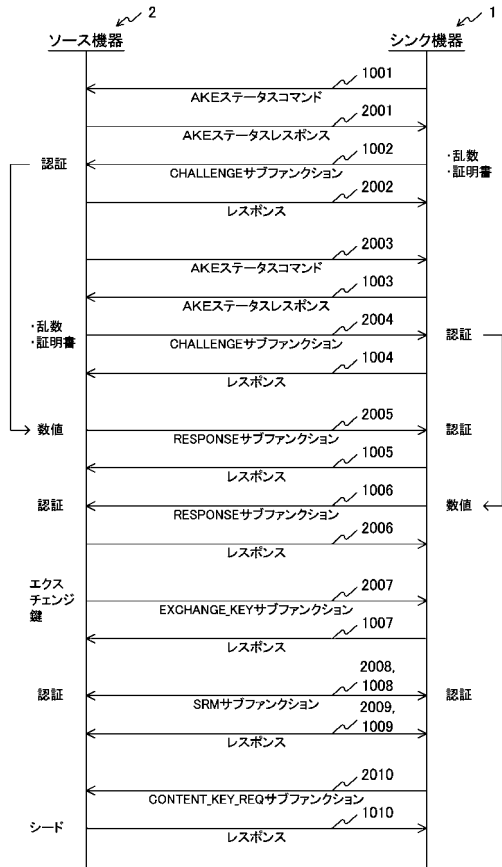
【 図 10 】



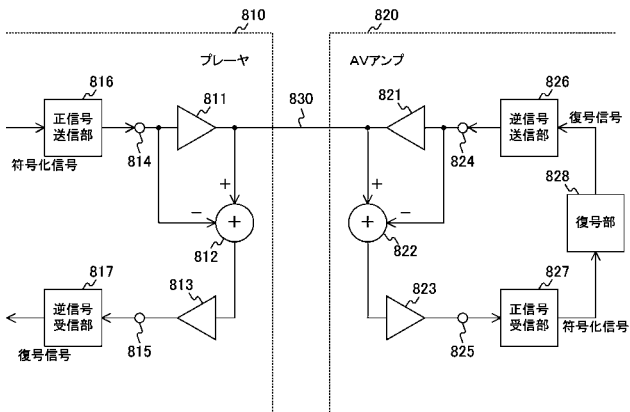
【図11】



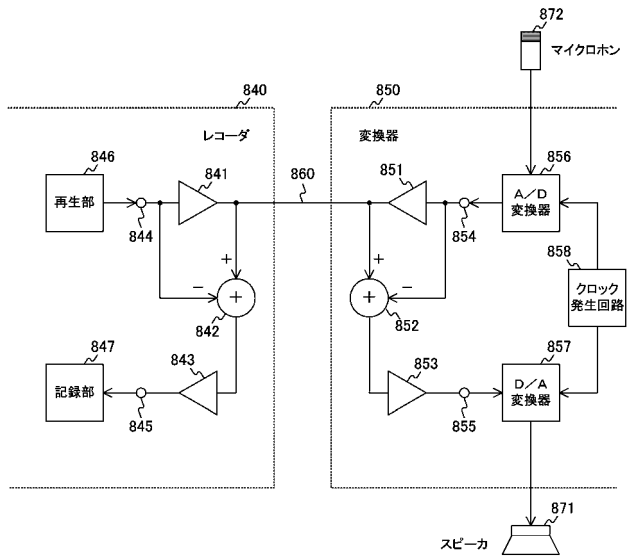
【図12】



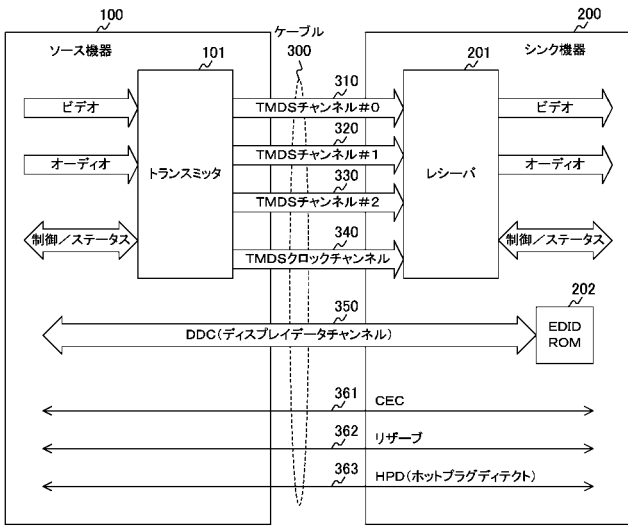
【図13】



【図14】



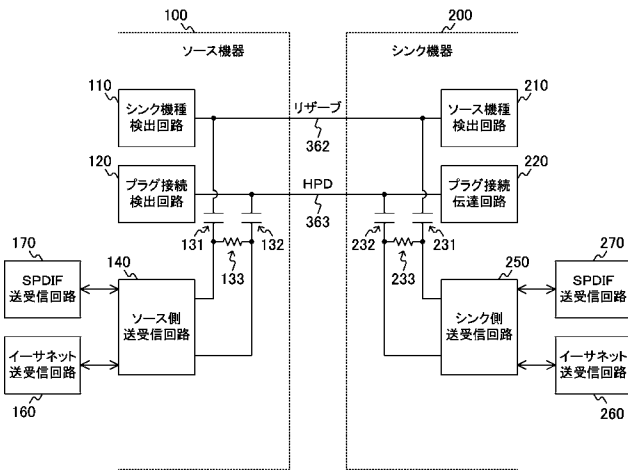
【図15】



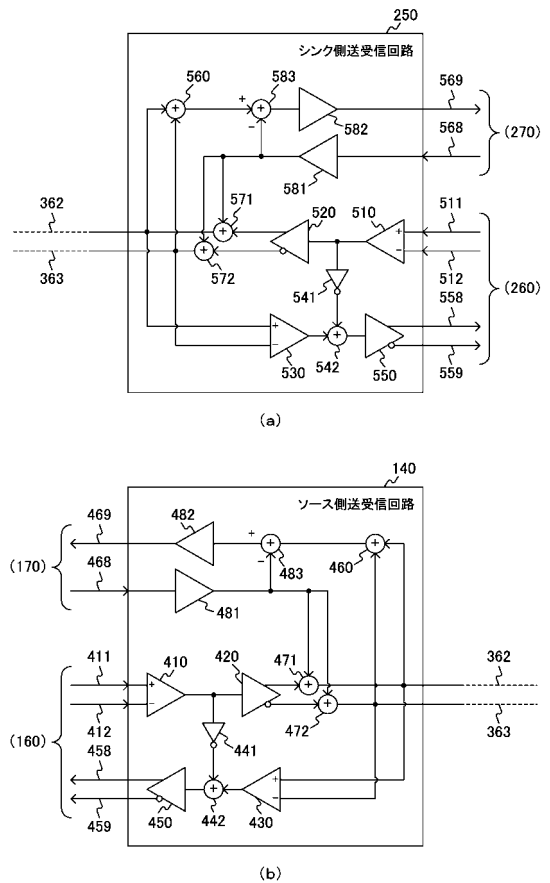
【図16】

ピン番号	信号名称
1	TMDSデータ2正極
2	TMDSデータ2シールド
3	TMDSデータ2負極
4	TMDSデータ1正極
5	TMDSデータ1シールド
6	TMDSデータ1負極
7	TMDSデータ0正極
8	TMDSデータ0シールド
9	TMDSデータ0負極
10	TMDSクロック正極
11	TMDSクロックシールド
12	TMDSクロック負極
13	CEC
14	リザーブ
15	SCL (DDCシリアルクロック)
16	SDA (DDCシリアルデータ)
17	DDC/CEC接地
18	電源 (+5V)
19	HPD (ホットプラグ検出)

【図17】



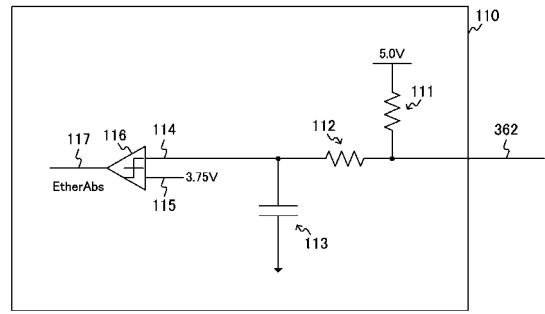
【図18】



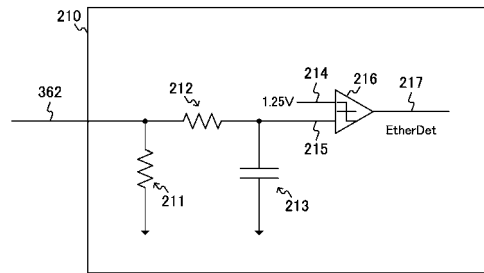
【 図 19 】

モード	14番ピン	19番ピン
(HDMI)	リザーブ	HPD
イーサネット	リザーブ +イーサネット	HPD -イーサネット
SPDIF	リザーブ +SPDIF	HPD +SPDIF
イーサネット+SPDIF	リザーブ +イーサネット +SPDIF	HPD -イーサネット +SPDIF

【 図 20 】

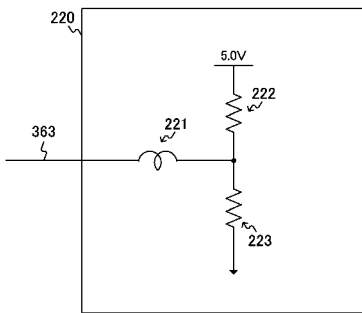


(a)

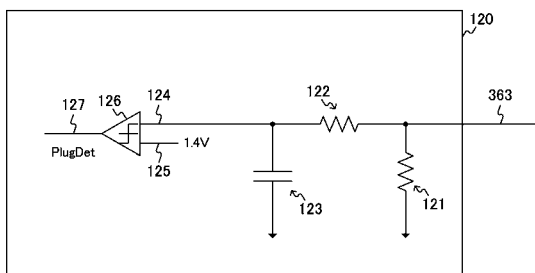


(b)

【 図 21 】



(a)



(b)