

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4954365号
(P4954365)

(45) 発行日 平成24年6月13日(2012.6.13)

(24) 登録日 平成24年3月23日(2012.3.23)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 2 C
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 L
	HO 1 L 29/78 6 1 7 L

請求項の数 3 (全 25 頁)

(21) 出願番号	特願2000-361905 (P2000-361905)	(73) 特許権者	000153878
(22) 出願日	平成12年11月28日(2000.11.28)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2002-222954 (P2002-222954A)		神奈川県厚木市長谷398番地
(43) 公開日	平成14年8月9日(2002.8.9)	(73) 特許権者	000005049
審査請求日	平成19年11月22日(2007.11.22)		シャープ株式会社
			大阪府大阪市阿倍野区長池町22番22号
		(72) 発明者	高山 徹
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	荒尾 達也
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	村上 智史
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁体上に半導体層を形成し、
前記半導体層上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上にゲート電極とソース線とを形成し、
前記半導体層に不純物領域を形成し、
前記ソース線より抵抗率の小さい補助配線を、前記ソース線に沿うように且つ前記ソース線と重なる部分は全体が直接接するように、且つ前記ゲート電極とは重ならないように形成し、

前記半導体層と、前記ゲート電極と、前記ソース線及び前記補助配線と、を覆って層間絶縁膜を形成し、

前記層間絶縁膜に第1乃至第3のコンタクトホールを形成し、
前記層間絶縁膜上に、前記第1のコンタクトホールを介して前記ゲート電極と電気的に接続するゲート線と、前記第2及び第3のコンタクトホールを介して前記半導体層と前記ソース線とを電気的に接続する配線と、を形成し、

前記ゲート電極および前記ソース線は、Ta、W、Ti、Mo、Cr、NdもしくはNbのいずれかの元素、それらの元素を主成分とする合金、またはそれらの元素を主成分とする化合物を用いて形成し、

前記補助配線は、Al、Cu、Agのいずれかの元素、またはそれらの元素を主成分とする合金を用いて形成することを特徴とする半導体装置の作製方法。

10

20

【請求項2】

絶縁体上に半導体層を形成し、
前記半導体層上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上にゲート電極とソース線とを形成し、
前記半導体層に不純物領域を形成し、
前記ソース線より抵抗率の小さい第1の導電膜と、前記第1の導電膜上の第2の導電膜との積層膜を有する補助配線を、前記ソース線に沿うように且つ前記ソース線と重なる部分は全体が直接接するように、且つ前記ゲート電極とは重ならないように形成し、
前記半導体層と、前記ゲート電極と、前記ソース線及び前記補助配線と、を覆って層間絶縁膜を形成し、
前記層間絶縁膜に第1乃至第3のコンタクトホールを形成し、
前記層間絶縁膜上に、前記第1のコンタクトホールを介して前記ゲート電極と電氣的に接続するゲート線と、前記第2及び第3のコンタクトホールを介して前記半導体層と前記ソース線とを電氣的に接続する配線と、を形成し、
前記ゲート電極および前記ソース線は、Ta、W、Ti、Mo、Cr、NdもしくはNbのいずれかの元素、それらの元素を主成分とする合金、またはそれらの元素を主成分とする化合物を用いて形成し、
前記第1の導電膜は、Al、Cu、Agのいずれかの元素、またはそれらの元素を主成分とする合金を用いて形成し、
前記第2の導電膜は、Ta、W、Ti、Mo、Cr、NdもしくはNbのいずれかの元素、それらの元素を主成分とする合金、またはそれらの元素を主成分とする化合物を用いて形成することを特徴とする半導体装置の作製方法。

10

20

【請求項3】

絶縁体上に半導体層を形成し、
前記半導体層上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上にゲート電極とソース線とを形成し、
前記半導体層に不純物領域を形成し、
前記ソース線より抵抗率の小さい第1の導電膜と、前記第1の導電膜上の第2の導電膜との積層膜を有する補助配線を、前記ソース線に沿うように且つ前記ソース線と重なる部分は全体が直接接するように、且つ前記ゲート電極とは重ならないように形成し、
前記半導体層と、前記ゲート電極と、前記ソース線及び前記補助配線と、を覆って層間絶縁膜を形成し、
前記層間絶縁膜に、前記ゲート電極に達する第1のコンタクトホールと、前記半導体層に達する第2のコンタクトホールと、前記第2の導電膜に達する第3のコンタクトホールと、を形成し、
前記層間絶縁膜上に、前記第1のコンタクトホールを介して前記ゲート電極と電氣的に接続するゲート線と、前記第2及び第3のコンタクトホールを介して前記半導体層と前記第2の導電膜とを電氣的に接続する配線と、を形成し、
前記ゲート電極および前記ソース線は、Ta、W、Ti、Mo、Cr、NdもしくはNbのいずれかの元素、それらの元素を主成分とする合金、またはそれらの元素を主成分とする化合物を用いて形成し、
前記第1の導電膜は、Al、Cu、Agのいずれかの元素、またはそれらの元素を主成分とする合金を用いて形成し、
前記第2の導電膜は、Ta、W、Ti、Mo、Cr、NdもしくはNbのいずれかの元素、それらの元素を主成分とする合金、またはそれらの元素を主成分とする化合物を用いて形成し、
前記配線は、前記第1の導電膜には直接接続しないことを特徴とする半導体装置の作製方法。

30

40

【発明の詳細な説明】

【0001】

50

【発明の属する技術分野】

本発明は、絶縁体上の薄膜トランジスタ（以下、TFTという）で形成された回路を含む電気光学装置およびその作製方法に関する。特に、本発明は、画素部とその周辺に設けられる駆動回路を同一基板上に設けた液晶表示装置に代表される電気光学装置および電気光学装置を表示部に用いた電気器具に関する。

【0002】**【従来の技術】**

絶縁表面を有する基板上に形成された厚さ数～数百nm程度の半導体膜を用いた薄膜トランジスタ（以下、TFTという）で形成した大面積集積回路を含む電気光学装置の開発が進んでいる。また、結晶質シリコン膜（典型的にはポリシリコン膜）を活性層にしたTFT（以下、ポリシリコンTFTという）は電界効果移動度が高いことから、いろいろな機能回路を形成することが可能であり注目されている。開発が進んでいる電気光学装置の代表例として、アクティブマトリクス型液晶表示装置および密着型イメージセンサなどが知られている。

10

【0003】

アクティブマトリクス型液晶表示装置には、機能ブロックごとに画像表示を行う画素回路や、CMOS回路を基本としたシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路などの画素回路を制御するための駆動回路が同一基板上に形成される。

【0004】

アクティブマトリクス型液晶表示装置の画素回路には、数十から数百万個の各画素にTFT（画素TFTという。なお本明細書において、画素TFTとは、画素部に形成された、ソース領域およびドレイン領域に挟まれたチャンネル形成領域を有する半導体層、ゲート電極、を有する電界効果型トランジスタのことを指す。）が配置され、その画素TFTのそれぞれには画素電極が設けられている。液晶を挟んだ対向基板側には対向電極が設けられており、液晶を誘電体とした一種のコンデンサを形成している。そして、各画素に印加する電圧をTFTのスイッチング機能により制御して、このコンデンサへの電荷を制御することで液晶を駆動し、透過光量を制御して画像を表示する仕組みになっている。

20

【0005】

液晶は交流で駆動させるため、フレーム反転駆動と呼ばれる方式が多く採用されている。この方式では消費電力を低く抑える必要があり、画素TFTの特性として、オフ電流値（画素TFTのオフ動作時に流れるドレイン電流の値）が十分低いことが要求される。しかし、ポリシリコンTFTのオフ電流は高くなりやすいという問題がある。そこで、オフ電流値を低減するための構造として低濃度ドレイン（Lightly Doped Drain）構造が知られている。この構造は、チャンネル形成領域と不純物が高濃度に添加される領域（ソース領域またはドレイン領域）との間に、不純物が低濃度添加された領域を設けたものであり、この不純物が低濃度添加された領域をLDD領域と呼んでいる。

30

【0006】

また、ポリシリコンTFTには、ホットキャリアによってオン電流値が変動してしまう劣化現象も見られる。このホットキャリアによる劣化を防ぐための構造としてGOLD（Gate-drain Overlapped LDD）構造が知られている。この構造は、LDD領域がゲート絶縁膜を介してゲート電極と重なるように設けられたものであり、ドレイン近傍のホットキャリア注入を防ぎ、信頼性を向上させるのに有効である。

40

【0007】

一方で、オン電流値の劣化を防ぐ効果のあるGOLD構造には、通常のLDD構造と比較してオフ電流値が大きくなってしまい、また逆に、LDD構造はオフ電流値を抑える効果は高いが、ホットキャリア注入には弱いという問題があった。

【0008】**【発明が解決しようとする課題】**

大面積集積回路を有する半導体装置において、要求される特性を備えたTFTを形成しようとすると、その製造工程が複雑なものとなり、工程数が増加してしまっていた。

50

【0009】

製造工程数が増加すると、製造コストが高くなるばかりか、歩留まりの低下の原因にもなる。

【0010】

また、近年、アクティブマトリクス型液晶表示装置はさらに、画面の大型化および高精細化が求められてきている。画面の大型化、高精細化によって配線の数、およびその長さは増大し、配線の抵抗率が大きくなってしまい、配線の終端への信号伝達に遅れが生じるため、配線の低抵抗化技術が必要となる。配線抵抗を下げるために、配線の線幅を広くする方法が考えられるが、線幅を広くした分、開口率は減少してしまう。また、配線の膜厚を厚くする方法では、段差が大きくなり、配線形成後に成膜する絶縁膜や電極用の金属膜を成膜する際に被覆性が低下し、歩留まりが悪くなってしまふという問題が生じる。

10

【0011】

また、走査線が増えるに従って液晶への充電時間が短くなるので、ゲート線の時定数（抵抗×容量）を小さくして高速で応答させる必要がある。例えば、ゲート線を形成する材料の比抵抗が $100\mu\text{cm}$ の場合には画面サイズが6インチクラスがほぼ限界となるが、 $3\mu\text{cm}$ の場合には27インチクラス相当まで表示が可能とされている。

【0012】

また、配線材料としてアルミニウム（Al）や銅（Cu）を使用することも考えられるが、これらの金属は、耐食性や耐熱性が悪いといった欠点があった。従って、TFTのゲート電極をこのような材料で形成することは必ずしも好ましくなく、そのような材料をTFTの製造工程に導入することは容易ではなかった。勿論、配線を他の導電性材料で形成することも可能であるが、アルミニウム（Al）や銅（Cu）ほど低抵抗な材料はなく、大画面の液晶表示装置を作製することはできなかった。

20

【0013】

アクティブマトリクス型液晶表示装置のような複数の集積回路を有する半導体装置において、以上のような問題点は、要求される性能が高まるほど顕在化してきている。

【0014】

そこで本発明では、TFTを用いて作製されるアクティブマトリクス型液晶表示装置に代表される電気光学装置ならびに半導体装置において、製造工程における工程数を削減して製造コストの低減および歩留まりの向上の実現、かつ、大型高精細化に伴う配線の低抵抗化を実現することを目的としている。

30

【0015】

【課題を解決する手段】

本発明で開示する電気光学装置は、ゲート電極およびソース線の材料として、半導体層に添加された不純物元素の活性化の工程で加えられる熱（ $400\sim 700$ 、代表的には $500\sim 600$ ）に耐えうる耐熱性導電膜（代表的にはW、Ta、Mo、Ti、Cr、Si、もしくはNbの元素からなる導電膜、または前記元素を含む合金からなる導電膜）を用いている。しかし、これらの耐熱性導電膜は、抵抗率が大きいため、配線長が長くなると配線抵抗による信号遅延が問題となってくる。そこで、ゲート電極およびソース線を形成する耐熱性導電膜より抵抗率の小さい材料からなる配線をソース線の抵抗率を小さくするための補助配線として、活性化工程の後、ソース線に沿うようにつけて設けている。この補助配線を設けることにより、ソース線全体の抵抗率を小さくすることができる。なお、本明細書では、ソース線全体の抵抗率を小さくするために設けた配線のことを補助配線という。

40

さらに、層間に絶縁膜を設けずに補助配線がソース線に直接接するような構造をとっているため、ソース線と補助配線を接続するためのコンタクトホールを形成する工程を削減することもできる。

【0016】

また、耐熱性導電膜からなるゲート電極およびソース線をむき出しのまま活性化のための熱処理を行うと、ゲート電極およびゲート電極と同じ材料からなる配線の表面は酸化さ

50

れ、抵抗率がさらに大きくなってしまおうという問題がある。この問題を解決するには、活性化工程の際に、ゲート電極の酸化を防ぐ目的で、ゲート電極等を覆う保護膜を設けて活性化を行い、活性化工程が済んだらこの保護膜を取り除いて後の工程を行うこともできる。しかし、この方法では、工程数が増えるばかりでなく、保護膜を取り除くためのエッチングで、絶縁膜と耐熱性導電膜との選択比を確保することが困難であった。そこで、本発明では、保護膜を形成する必要がないように、ゲート電極およびソース線が酸化されないような低酸素雰囲気下（具体的には、酸素濃度が100ppm以下（好ましくは、20ppm以下）の窒素ガスもしくは希ガス雰囲気下）での活性化工程を採用している。

【0017】

以上のように、本発明を実施することで、バスライン（特にソース線）の抵抗率を小さくすることができ、信号遅延による画質不良を低減することが可能となる。

10

【0018】

【発明の実施の形態】

本発明で開示する電気光学装置の画素部について、図1、図2を用いて説明する。なお、図1、図2は画素部の上面図である。

【0019】

基板10上に、下地絶縁膜11を形成する。（図1（B））次いで、下地絶縁膜11上に半導体膜を形成し所望の形状にパターンニングして半導体層12、13を形成する。半導体層12は画素TFTの活性層となり、半導体層13は保持容量の下部電極として機能する。

20

また、半導体層12、13を覆うゲート絶縁膜14（図1（B））上には、ゲート電極15、保持容量線15a、および該ゲート電極と同一の耐熱性導電膜からなるソース線16が同一の面上に設けられる。本明細書中において、同一の面上とは、例えばA層とB層とが同一の面上に形成されているとき、A層とB層のすぐ下に形成されている層が同一の工程で形成された層である場合をA層とB層とは同一の面上にあるという。本発明の実施の形態においては、ゲート電極15およびソース線16のすぐ下に形成されている層は、同一の工程で形成されたゲート絶縁膜14であるので、ゲート電極15（保持容量線15a）とソース線16とは同一の面上に設けられているといえる。また、上面図から確認できるようにn行目の画素のゲート電極は、(n-1)行目の保持容量線をかねた構造となっている。なお、耐熱性導電膜の代表的なものとしては、Ta、W、Ti、Mo、Cr、NdもしくはNbのいずれかの元素からなる導電膜、または前記元素を主成分とする合金からなる導電膜もしくは前記元素を主成分とする化合物からなる導電膜があげられる。また、周期表の13族または15族に属する元素を不純物元素としてドーピングした多結晶シリコン膜に代表される半導体膜や、銀（Ag）、パラジウム（Pd）および銅（Cu）からなるAgPdCu合金からなる導電膜を用いてもよい。ソース線16は、第1の導電膜（本発明の実施の形態ではTa_n）16aおよび第1の導電膜より外形の小さい第2の導電膜（本発明の実施の形態ではW）16bの積層構造である。なお、ゲート電極15もソース線16のような第1の導電膜および第2の導電膜との積層構造となっている。

30

ソース線16は、耐熱性を重要視したゲート電極と同じ耐熱性導電膜からなるため、抵抗率が大きいという問題がある。そこでソース線全体の抵抗率を小さくすることを目的として、ソース線16より抵抗率の小さい材料からなる補助配線17がソース線に沿うようにつか接して設けられている。図1（A）で示すように、補助配線17が、ソース線16から離れることなく、また図1（B）で示すように、層間に絶縁膜を形成することなくソース線16上に接して設けられている。

40

【0020】

ここまでの工程が終了したら、無機層間絶縁膜18、有機層間絶縁膜19を設ける。（図2（B））

次いで形成される画素電極20は、透明導電膜としてインジウム酸化スズ（Indium Tin Oxide：ITO）、酸化インジウム酸化亜鉛合金（In₂O₃-ZnO）、酸化亜鉛（ZnO）、さらに可視光の透過率や導電率を高めるためにガリウム（Ga）を添加した酸化亜鉛（ZnO：Ga）と

50

いった導電膜を適用することができる。画素電極 20 は、補助配線 17 に無機層間絶縁膜 18 および有機層間絶縁膜 19 を介してオーバーラップして（重ねて）設けられている。そのため、有効画素領域を大きくすることができる。

ゲート線 21 および配線 22 は同一の面上に形成される。ゲート線 21 はゲート電極 15 に接続されており、配線 22 は、半導体層 12 とソース線 16 とを電氣的に接続するために形成されている。なお、配線 22 は、膜厚 50 nm の Ti 膜と膜厚 500 nm の合金膜（Al と Ti との合金膜）との積層膜からなる。

なお、Ti 膜を積層するのは、半導体層（Si）12 と配線 22 とが接続された時、Si 中に Al が拡散してしまうのを防ぐ目的と、画素電極（ITO）20 と Al とが直接接して電氣的な腐食が起こるのを防ぐためである。

【0021】

なお、画素電極 20 として反射性を有する導電性材料からなる膜を設けることで、反射型の表示装置とすることができる。

【0022】

以上のように示した構成でなる本発明における電気光学装置の作製方法について、以下の実施例で説明する。

【0023】

（実施例 1）

ここでは、同一基板上に画素部と、画素部の周辺に設ける駆動回路の TFT（n チャンネル型 TFT 及び p チャンネル型 TFT）を同時に作製する方法について詳細に図 3 ~ 図 5 を用いて説明する。

【0024】

まず、本実施例ではコーニング社の #7059 ガラスや #1737 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板 100 を用いる。なお、基板 100 としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性が有するプラスチック基板を用いてもよい。

【0025】

次いで、基板 100 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 101 を形成する。本実施例では下地膜 101 として 2 層構造を用いるが、前記絶縁膜の単層膜または 2 層以上積層させた構造を用いても良い。下地膜 101 の一層目としては、プラズマ CVD 法を用い、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される酸化窒化シリコン膜 101a を 10 ~ 200 nm（好ましくは 50 ~ 100 nm）形成する。本実施例では、膜厚 50 nm の酸化窒化シリコン膜 101a（組成比 Si = 32%、O = 27%、N = 24%、H = 17%）を形成した。次いで、下地膜 101 の 2 層目としては、プラズマ CVD 法を用い、 SiH_4 、及び N_2O を反応ガスとして成膜される酸化窒化シリコン膜 101b を 50 ~ 200 nm（好ましくは 100 ~ 150 nm）の厚さに積層形成する。本実施例では、膜厚 100 nm の酸化窒化シリコン膜 101b（組成比 Si = 32%、O = 59%、N = 7%、H = 2%）を形成した。

【0026】

次いで、下地膜上に半導体層 102 ~ 105 を形成する。半導体層 102 ~ 105 は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD 法、またはプラズマ CVD 法等）により成膜した後、公知の結晶化処理（レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層 102 ~ 105 の厚さは 25 ~ 80 nm（好ましくは 30 ~ 60 nm）の厚さで形成する。本実施例では、プラズマ CVD 法を用い、55 nm の非晶質シリコン膜を成膜した後、ニッケルを含む溶液を非晶質シリコン膜上に保持させた。この非晶質シリコン膜に脱水素化（500℃、1 時間）を行った後、熱結晶化（550℃、4 時間）を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質シリコン膜を形成した。そして、この結晶質シリコン膜をフォトリソグ

10

20

30

40

50

ラフィ法を用いたパターニング処理によって、半導体層 102 ~ 105 を形成した。

【0027】

また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100 ~ 400 mJ/cm² (代表的には200 ~ 300 mJ/cm²) とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1 ~ 10 kHzとし、レーザーエネルギー密度を300 ~ 600 mJ/cm² (代表的には350 ~ 500 mJ/cm²) とすると良い。そして幅100 ~ 1000 μm、例えば400 μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80 ~ 98%として行えばよい。

10

【0028】

次いで、半導体層102 ~ 105を覆うゲート絶縁膜106を形成する。ゲート絶縁膜106はプラズマCVD法またはスパッタ法を用い、厚さを40 ~ 150 nmとしてシリコンを含む絶縁膜で形成する。本実施例では、プラズマCVD法により110 nmの厚さで酸化窒化シリコン膜(組成比Si = 32%、O = 59%、N = 7%、H = 2%)で形成した。勿論、ゲート絶縁膜は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

20

【0029】

また、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO₂とを混合し、反応圧力40 Pa、基板温度300 ~ 400 とし、高周波(13.56 MHz)電力密度0.5 ~ 0.8 W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400 ~ 500 の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0030】

また、半導体層102 ~ 105を形成した後、TFETのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。なお、不純物の添加工程は、半導体膜の結晶化工程の前、半導体膜の結晶化工程の後、または、ゲート絶縁膜106を形成する工程の後のいずれかに行えばよい。

30

【0031】

次いで、図3(A)に示すように、ゲート絶縁膜106上に膜厚20 ~ 100 nmの第1の導電膜107と、膜厚100 ~ 400 nmの第2の導電膜108とを積層形成する。本実施例では、膜厚30 nmのTa₂N膜からなる第1の導電膜107と、膜厚370 nmのW膜からなる第2の導電膜108を積層形成した。Ta₂N膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20 μΩ/cm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW(純度99.9% ~ 99.9999%)のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9 ~ 20 μΩ/cmを実現することができた。

40

【0032】

なお、本実施例では、第1の導電膜107をTa₂N、第2の導電膜108をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素からなる導電膜、前記元素を含む合金からなる導電膜、または前記元素を含む化合物からなる導電膜で形成してもよい。また、リン、ヒ素、ボロンといった不純物元素をドー

50

ピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。また、第1の導電膜をタンタル(Ta)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化チタン(TiN)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0033】

次に、フォトリソグラフィ法を用いてレジストからなるマスク109~113を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例では第1のエッチング条件として、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄およびCl₂を用い、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合したエッチング条件ではW膜およびTaN膜とも同程度にエッチングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させるとよい。

【0034】

上記第1のエッチング処理により、基板側に印加するバイアス電圧の効果により第1の導電膜および第2の導電膜の端部がテーパ形状となる。このテーパ部の角度は15~45°となる。こうしてW膜およびTaN膜をエッチングして、ゲート電極(A)114~116(第1の導電膜114a~116aと第2の導電膜114b~116b)、保持容量線となる117およびソース線となる導電膜118を形成する。119はゲート絶縁膜であり、ゲート電極(A)114~116、保持容量線となる117およびソース線となる導電膜118に覆われない領域は20~50nm程度エッチングされ、薄くなった領域が形成される。

【0035】

次いで、レジストからなるマスク109~113を除去せずに第2のエッチング処理を行う。エッチング用ガスにCF₄とCl₂とO₂とを用い、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)には20WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。

【0036】

上記第2のエッチング処理によりW膜を異方性エッチングし、かつ第1の導電膜であるTaN膜がW膜より遅いエッチング速度でわずかにエッチングされ、ゲート電極(B)120~122(第1の導電膜120a~122aと第2の導電膜120b~122b)、保持容量線123およびソース線(B)124を形成する。(本明細書中で、単にソース線と記載している箇所では、ソース線(B)の形状となったソース線を指している。)

【0037】

次いで、第1のドーピング処理を行う。ドーピング処理はイオンドープ法、もしくはイオン注入法で行えばよい。この場合、高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。n型を付与する不純物元素としては周期表の15族に属する元素、典型的にはリン(P)またはヒ素(As)を用いるが、ここではリン(P)を用いた。ゲート電極(B)120~122および保持容量線123をマスクとして用い、第1の導電膜120a~123aのテーパ部下方における半導体層にも不純物が添加されるようにドーピングを行う。これにより、不純物濃度が $5 \times 10^{17} \sim 5 \times 10^{19}$ atoms/cm³のn型不純物領域125a~128aと、125a~128aの不純物濃度より若干、不純物濃度が低いn型不純物領域125b~128bが形成される。(図4(A))

【0038】

次いで、マスク109~113を除去した後、新たにレジストからなるマスク129、130を形成して第2のドーピング処理を行う。マスク129、130をマスクにして、不

10

20

30

40

50

純物濃度が $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³ の n 型不純物領域 (以下、n 型不純物領域 (A)) 131、132 が形成される。

【0039】

ここまでの工程により、n チャンネル型 T F T を形成する半導体層 102 および 104 には、不純物濃度が $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³ の n 型不純物領域 (以下、n 型不純物領域 (A)) 131 および 132、不純物濃度が $5 \times 10^{17} \sim 5 \times 10^{19}$ atoms/cm³ の n 型不純物領域 (以下、n 型不純物領域 (B)) 125c および 127c と、不純物濃度が 125c および 127c の不純物濃度より若干、低くなっている n 型不純物領域 (以下、n 型不純物領域 (C)) という) 125d および 127d が形成される。なお、ここで形成された不純物領域 131 および 132 は、n チャンネル型 T F T のソース領域またはドレイン領域となる。(図 4 (B))

10

【0040】

また、n 型不純物領域 (B) 125c および 127c は、n チャンネル型 T F T の L D D 領域として機能する。また、n 型不純物領域 (B) 125c および 127c に添加された不純物元素は、後のゲッタリング工程で主に、チャンネル形成領域となる半導体層中のニッケル濃度を低減させるために添加する。そして、レジストからなるマスク 129 および 130 を除去した後、新たにレジストからなるマスク 133、134 を形成して、第 3 のドーピング処理を行う。

【0041】

この第 3 のドーピング処理により、p チャンネル型 T F T の活性層となる半導体層に p 型を付与する不純物元素を添加し、p 型不純物領域 135 ~ 138 を形成する。ゲート電極 (B) 121、123 をマスクとして用い、p 型不純物元素を添加して自己整合的に p 型不純物領域 135 ~ 138 を形成する。いずれの領域も不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21}$ atoms/cm³ となるようにドーピング処理することにより、p チャンネル型 T F T のソース領域およびドレイン領域として機能するためになんら問題は生じない。(図 4 (C))

20

【0042】

その後、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程は炉を用いる熱アニール法を行う。熱アニール法の条件としては、酸素濃度が 100 ppm 以下、好ましくは 20 ppm 以下の窒素雰囲気中で 400 ~ 700、代表的には 500 ~ 600 で行えばよく、本実施例では 550、4 時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法 (R T A 法) を適用することができる。

30

【0043】

なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが n 型不純物領域 (A) (131、132) にゲッタリングされ、主にチャンネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャンネル形成領域を有する T F T はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0044】

本活性化処理は、低濃度の酸素雰囲気下で行われるため、無機層間絶縁膜を形成する前に活性化処理を行うことができる。ただし、用いた配線材料が熱に弱い場合には、配線等を保護するため無機層間絶縁膜 (シリコンを主成分とする絶縁膜、例えば窒化珪素膜) を形成した後で活性化処理を行うことが好ましい。

40

【0045】

活性化工程後、ソース線に沿うようにつけて補助配線 140 を形成する。補助配線は、ゲート電極を形成する導電膜より抵抗率の小さい材料からなる導電膜、例えば Al、Cu、Ag のいずれかの元素からなる導電膜、または前記元素を含む合金からなる導電膜からなる。また、この抵抗率の小さい導電膜からなる配線 (配線 (A) とする) を保護するために、Ta、W、Ti、Mo、Cr、Nd もしくは Nb のいずれかの元素からなる導電膜、前記元素を主成分とする合金からなる導電膜、または前記元素を主成分とする化合物

50

からなる導電膜からなる配線 (B) を配線 (A) 上に形成してもよい。

以上のように、低抵抗材料からなる補助配線をソース線に沿うようにつけて設けることで、ソース線全体の抵抗率を抑えることができる。(図 5 (A))

【 0 0 4 6 】

次いで、全面を覆う無機層間絶縁膜 1 4 1 を形成する。この無機層間絶縁膜 6 4 6 は、プラズマ C V D 法またはスパッタ法を用いて、厚さ 1 0 0 ~ 2 0 0 n m としシリコンを含む絶縁膜から形成される。(図 5 (B))

【 0 0 4 7 】

無機層間絶縁膜 1 4 1 を形成した後、窒素雰囲気中で 4 1 0 、 1 時間の熱処理を行った。なお、水素を含む窒素雰囲気下で熱処理を行ってもよい。この工程は層間絶縁膜に含まれる水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、窒素雰囲気下におけるファーネスアニール、もしくはプラズマ水素化 (プラズマにより励起された水素を用いる) を行ってもよい。

【 0 0 4 8 】

また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーや Y A G レーザー等のレーザー光を照射することが望ましい。それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。

【 0 0 4 9 】

次いで、無機層間絶縁膜 1 4 1 上に有機樹脂材料からなる有機層間絶縁膜 1 4 2 を形成する。本実施例では、アクリル樹脂を用いた。次いで、各不純物領域に達するコンタクトホールを形成するためのパターニングを行う。

【 0 0 5 0 】

その後、透明導電膜を 8 0 ~ 1 2 0 n m の厚さで形成し、パターニングすることにより画素電極 1 5 0 を形成する。透明導電膜には、酸化インジウム・スズ (I T O) 、酸化インジウム酸化亜鉛合金 (In_2O_3-ZnO) 、酸化亜鉛 (ZnO) も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム (Ga) を添加した酸化亜鉛 ($ZnO:Ga$) を好適に用いることができる。

【 0 0 5 1 】

次いで、不純物領域を電氣的に接続する配線 1 5 6 ~ 1 6 2 を形成する。なお、これらの配線は、膜厚 5 0 n m の T i 膜と膜厚 5 0 0 n m の合金膜 (A l と T i との合金膜) との積層膜をパターニングして形成する。配線 1 5 9 は不純物領域 1 3 2 とソース線 1 2 4 とを電氣的に接続している。(図 5)

【 0 0 5 2 】

なお、本実施例では、 n 型不純物領域 (A) 1 3 2 とソース線 1 2 4 とを直接接続するようにコンタクトホールを形成し配線を設けたが、 n 型不純物領域 (A) 1 3 2 と補助配線 1 4 0 とを直接接続するように配線 1 5 9 を設けたり、 n 型不純物領域 (A) 1 3 2 、補助配線 1 4 0 およびソース線 1 2 4 を直接接続するように配線 1 5 9 を設けたりしてもよい。

【 0 0 5 3 】

本実施例では、画素電極として、透明導電膜を用いた例を示したが、反射性を有する導電性材料を用いて画素電極を形成すれば、反射型の表示装置を作製することができる。その場合、電極を作製する工程で画素電極を同時に形成でき、その画素電極の材料としては、 A l または A g を主成分とする膜、またはそれらの積層膜の反射性の優れた材料を用いることが望ましい。

【 0 0 5 4 】

以上のようにして、 n チャネル型 T F T 2 0 1 および p チャネル型 T F T 2 0 2 を有する駆動回路 2 0 6 と、画素 T F T 2 0 3 および保持容量 2 0 4 とを有する画素部 2 0 7 を同一基板上に形成することができる。本明細書中では、このような基板を便宜上、アクティブマトリクス基板と呼ぶ。

【 0 0 5 5 】

10

20

30

40

50

本実施例で形成されたnチャネル型TFTの半導体層において、n型不純物領域(B)およびn型不純物領域(C)の幅をそれぞれW1、W2とすると、W1は、0.5~1.5 μm 、W2は、1.0~3.0 μm の幅となるように形成することができる。なお、W1+W2が1.5~4.5 μm (好ましくは2.0~3.0 μm)となるようにレジスタからなるマスク129、130を形成すればよい。本実施例で示した作製工程によれば、n型不純物領域(B)およびn型不純物領域(C)の幅を長く形成することができるため、オフ電流を下げるのに有効である。

【0056】

(実施例2)

本実施例では、実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図7を用いる。なお、図2の上面図におけるA-A'線に対する断面図(ソース線)は、図7(B)に、図2のB-B'線に対する断面図(画素TFT)は図7のB-B'線の領域、図2のC-C'線に対する断面図(保持容量)は図7のC-C'線の領域を示す。

【0057】

まず、実施例1に従い、図6の状態のアクティブマトリクス基板を得た後、図6のアクティブマトリクス基板上に配向膜180を形成しラビング処理を行う。なお、本実施例では配向膜180を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターンニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0058】

次いで、対向基板181を用意する。この対向基板には、着色層186、遮光層187が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層189を設けた。このカラーフィルタと遮光層189とを覆う平坦化膜188を設けた。次いで、平坦化膜188上に透明導電膜からなる対向電極182を画素部に形成し、対向基板の全面に配向膜183を形成し、ラビング処理を施した。

【0059】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材184で貼り合わせる。シール材184にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料185を注入し、封止剤(図示せず)によって完全に封止する。液晶材料185には公知の液晶材料を用いれば良い。このようにして図7に示すアクティブマトリクス型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、公知の技術を用いてFPCを貼りつけた。

【0060】

こうして得られた液晶表示パネルの構成を図8の上面図を用いて説明する。なお、図7と対応する部分には同じ符号を用いた。

【0061】

図8(A)で示す上面図は、画素部、駆動回路、FPC(フレキシブルプリント配線板: Flexible Printed Circuit)を貼り付ける外部入力端子210、外部入力端子と各回路の入力部までを接続する配線211などが形成されたアクティブマトリクス基板と、カラーフィルタなどが設けられた対向基板181とがシール材184を介して貼り合わされている。

【0062】

ゲート線側駆動回路206aと重なるように対向基板側に遮光層189aが設けられ、ソース線側駆動回路206bと重なるように対向基板側に遮光層189bが形成されている。また、画素部207上の対向基板側に設けられたカラーフィルタ212は遮光層と、赤色(R)、緑色(G)、青色(B)の各色の着色層とが各画素に対応して設けられている。実際に表示する際には、赤色(R)の着色層、緑色(G)の着色層、青色(B)の着色

10

20

30

40

50

層の3色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとする。

【0063】

ここでは、カラー化を図るためにカラーフィルタ212を対向基板に設けているが特に限定されず、アクティブマトリクス基板を作製する際、アクティブマトリクス基板にカラーフィルタを形成してもよい。

【0064】

また、カラーフィルタにおいて隣り合う画素の間には遮光層が設けられており、表示領域以外の箇所を遮光している。また、ここでは、駆動回路を覆う領域にも遮光層189a、189bを設けているが、駆動回路を覆う領域は、後に液晶表示装置を電気器具の表示部として組み込む際、カバーで覆うため、特に遮光層を設けない構成としてもよい。また、

10

【0065】

アクティブマトリクス基板を作製する際、アクティブマトリクス基板に遮光層を形成してもよい。

また、上記遮光層を設けずに、対向基板と対向電極の間に、カラーフィルタを構成する着色層を複数層重ねた積層で遮光するように適宜配置し、表示領域以外の箇所（各画素電極の間隙）や、駆動回路を遮光してもよい。

【0066】

また、外部入力端子にはベースフィルム213と配線214から成るFPCが異方性導電性樹脂215で貼り合わされている。さらに補強板で機械的強度を高めている。

【0067】

図8(B)は図8(A)で示す外部入力端子207のe-e'線に対する断面図を示している。217は、画素電極156を形成するために成膜した導電膜からなる配線である。導電性粒子216の外径は配線217のピッチよりも小さいので、接着剤215中に分散する量を適当なものとする隣接する配線と短絡することなく対応するFPC側の配線と電気的な接続を形成することができる。

20

【0068】

以上のようにして作製される液晶表示パネルは各種電気器具の表示部として用いることができる。

【0069】

(実施例3)

実施例1の図5(A)で示す活性化工程終了後、補助配線301(配線(A)301aおよび配線(B)301bからなる)を形成する。(図9(B))配線(A)は、抵抗率の小さいAl、Cu、Agのいずれかの元素からなる導電膜、または前記元素を含む合金からなる導電膜からなる。また配線(B)は、1 無機層間絶縁膜および有機層間絶縁膜にコンタクトホールを形成する際に、配線(A)をエッチング液から保護する、2 半導体層および補助配線を接続するゲート線と同一の面上に形成される配線と配線(A)が接触して電気的な腐食が起こるのを防ぐ、という1、2の目的で形成される。配線(B)は、Ta、W、Ti、Mo、Cr、NdもしくはNbのいずれかの元素からなる導電膜、前記元素を主成分とする合金からなる導電膜または前記元素を主成分とする化合物からなる導電膜からなる。配線(A)、配線(B)を形成するそれぞれの導電膜を形成しエッチングして、ソース配線全面に沿うようにつ接するような補助配線301を形成する。

30

【0070】

次いで、補助配線301、ゲート電極(第1の導電膜140および第2の導電膜126)を覆うようにして、無機層間絶縁膜302を形成し、水素を約3%含む窒素雰囲気中で410、1時間の熱処理して、半導体層を水素化する工程を行う。水素化の工程後、その上に有機層間絶縁膜303を形成する。(図9(C))

40

無機層間絶縁膜302としては、酸化窒化シリコン膜、または窒化シリコン膜を用いればよく、有機層間絶縁膜303としては、アクリル樹脂膜を用いた。

【0071】

50

その後、各不純物領域および配線(B)301bに達するコンタクトホールを形成する。ついで、実施例1の図6に示す工程に沿って画素電極150を形成した後、ゲート線164、配線156~162を形成し、アクティブマトリクス基板が完成する。(図10、図11)なお、配線159は、補助配線301および不純物領域132を電氣的に接続しており、かつ配線159は補助配線301および不純物領域132に直接接して設けられている。

【0072】

本実施例で完成したアクティブマトリクス基板は、実施例2と組み合わせてアクティブマトリクス型液晶表示装置を作製することができる。

【0073】

(実施例4)

実施例1の図4(C)の工程まで行ったら、無機層間絶縁膜401を形成する。この無機層間絶縁膜401としては、プラズマCVD法またはスパッタ法を用い、厚さを100~200nmとしてシリコンを含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化窒化シリコン膜を形成した。酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0074】

次に、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。(図12(A))この活性化工程はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、(酸素濃度が100ppm以下)、好ましくは20ppm以下の窒素雰囲気中で400~700、代表的には500~600で行えばよく、本実施例では550、4時間の熱処理で活性化処理を行う。

【0075】

なお、活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域にゲッターングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0076】

さらに、半導体層を水素化するために、窒素雰囲気中で410、1時間の熱処理を行った。なお、水素を含む雰囲気下で熱処理を行ってもよい。次いで、無機層間絶縁膜401上に配線(A)、配線(B)を形成するそれぞれの導電膜を形成し、エッチングして、無機層間絶縁膜401を介してソース配線に沿うように補助配線402(配線(A)402a、配線(B)402b)を成膜する。(図12(B))配線(A)は、抵抗率の小さいAl、Cu、Agのいずれかの元素からなる導電膜、または前記元素を含む合金からなる導電膜からなる。配線(B)は、Ta、W、Ti、Mo、Cr、NdもしくはNbのいずれかの元素からなる導電膜、前記元素を主成分とする合金からなる導電膜または前記元素を主成分とする化合物からなる導電膜からなる。

【0077】

次いで、補助配線402を覆うように有機絶縁物材料から成る有機層間絶縁膜403を形成する。本実施例では膜厚1.6μmのアクリル樹脂膜を形成した。次いで、各不純物領域ソース線205、および補助配線402(配線(B)402b)に達するコンタクトホールを形成するためのパターニングを行う(図13)。

【0078】

本実施例では、無機層間絶縁膜401の下に、ソース線205が形成されており、無機層間絶縁膜401を介してソース線205に沿うように補助配線402を形成しているが、ソース配線205を形成せず、無機層間絶縁膜401上に(ゲート電極と同一の面上に)補助配線402を形成して低抵抗の配線を実現することもできる。

【0079】

その後、各不純物領域および配線(B)301bに達するコンタクトホールを形成する。

10

20

30

40

50

ついで、実施例1の図6に示した工程から後の工程にしたがって、画素電極150、ゲート線164、配線156~162を形成し、アクティブマトリクス基板を作製することができる。配線159は、ソース線205、補助配線402、および不純物領域132を電氣的に接続しており、かつ配線159は、ソース線205および補助配線402に直接接するように設けられている。(図13)

【0080】

以上のようにして、nチャネル型TFT201及びpチャネル型TFT202を有する駆動回路206と、画素TFT203及び保持容量204とを有する画素部207を同一基板上に形成することができる。(図14)

【0081】

本実施例は、実施例2と組み合わせて、アクティブマトリクス型液晶表示装置を形成することが可能である。

【0082】

(実施例5)

本実施例では、求められる特性によってTFTを作りわけける方法について説明する。なお、実施例1と同一の工程については同一の符号を用いる。

【0083】

実施例1の工程に従い、基板100上に下地膜101およびアモルファスシリコン膜を形成し、結晶化の工程を行って島状の半導体層を得る。次に、島状半導体層502~506をゲート絶縁膜507で覆う。ゲート絶縁膜507はプラズマCVD法やスパッタ法で形成する。厚さは、40~150nmとし、シリコンを含む絶縁膜から形成する。もちろん、このゲート絶縁膜507は、シリコンを含む絶縁膜を単層または積層にして用いることができる。

【0084】

ゲート絶縁膜507上に膜厚20~100nmの導電膜(A)508および膜厚100~400nmの導電膜(B)509を形成する。導電膜(A)および導電膜(B)は、Ta、W、Ti、Mo、Al、Cuから選ばれた元素、またはこれらの元素を主成分とする合金材料もしくは化合物材料から形成する。また、リン(P)等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。なお、本実施形態では、導電膜(A)508としてTa₂N₅、導電膜(B)509としてWを用いた。(図20(B))

【0085】

次に、フォトリソグラフィ法を用いてレジストからなるマスク510~516を形成し、ゲート電極および容量配線を形成するための第1のエッチング処理を行う。本実施形態では、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチングガスにCF₄、Cl₂およびO₂を用い、それぞれのガス流量比を25/25/10(SCCM)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行う。基板側(試料ステージ)にも150WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。

【0086】

この後、レジストからなるマスク510~516を除去せずに第2のエッチング条件に変え、エッチング用ガスにCF₄およびCl₂を用い、それぞれのガス流量比を30/30(SCCM)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して約30秒程度のエッチングを行う。基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄およびCl₂を混合した第2のエッチング条件では、W膜およびTa₂N₅膜が同程度にエッチングされ、第1の形状のゲート電極および配線517~523が形成される。

【0087】

レジストからなるマスク 510 ~ 516 を除去せずに第1のドーピング処理を行う。半導体層 502 ~ 506 に、n型を付与する不純物元素（以下、n型不純物元素という）を添加する。ドーピング処理は、イオンドープ法、もしくはイオン注入法で行えばよい。n型不純物元素としては、周期律表の第15族に属する元素、典型的にはリン（P）またはヒ素（As）といった元素を用いる。この場合、第1の形状のゲート電極および容量配線 517 ~ 521 がマスクとなって自己整合的にn型不純物濃度が $1 \times 10^{20} \times 1 \times 10^{21}$ atoms/cm³ のn型不純物領域（n⁺）524a ~ 524e が形成される。（図20（C））

【0088】

次に、レジストからなるマスク 510 ~ 516 をそのままに第2のエッチング処理を行う。エッチングガスにCF₄、Cl₂およびO₂を用い、それぞれのガス流量比を20/20/20（SCCM）とし、1.0Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行う。基板側（試料ステージ）には、20WのRF（13.56MHz）電力を投入して約80秒のエッチング処理を行う。これにより第2の形状のゲート電極および配線 525 ~ 531 が形成される。

10

【0089】

次いで、レジストからなるマスク 510 ~ 516 をそのままに、第2の形状のゲート電極および容量配線 525 ~ 529 をマスクとして用い、第2の形状の導電層（A）（TaN膜）の下部にもn型不純物元素が添加されるように第2のドーピング処理を行う。この処理により、n型不純物領域（n⁺）よりチャネル形成領域側にn型不純物元素濃度が $1 \times 10^{18} \sim 1 \times 10^{19}$ atoms/cm³ のn型不純物領域（n⁻）532a ~ 532e が形成される。（図21（A））

20

【0090】

次いで、レジストからなるマスク 510 ~ 516 を除去し、後のnチャネル型TFTおよび後の画素TFTを覆うレジストからなるマスク 533、534を形成し、第3のドーピング処理を行う。後の第1のpチャネル型TFTおよび後の第2のpチャネル型TFTの半導体層に第2の形状のゲート電極 526、527、容量配線 529 をマスクにしてp型不純物元素を添加して、自己整合的にp型不純物領域（p⁺）535a ~ 535c およびp型不純物領域（p⁻）535d ~ 535fを形成する。本実施形態では、p型不純物領域はジボラン（B₂H₆）を用いたイオンドープ法で形成する。あらかじめ、pチャネル型TFTの半導体層には、n型不純物元素が添加されているが、第3のドーピング処理の際に添加されるp型不純物元素の濃度の方が高くなるようにドーピング処理することにより、後のpチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。なお、本明細書において、後のnチャネル型TFTとは、作製工程中にあり完成後にnチャネル型TFTとして機能するTFTのことを指す。いずれのTFTにも適応する。（図21（B））

30

【0091】

次いで、レジストからなるマスク 536、537で駆動回路のnチャネル型TFTおよび第1のpチャネル型TFTを覆い、第3のエッチング処理を行う。エッチングガスには、Cl₂を用い、ガスの流量は80（SCCM）とし、1.2Paの圧力でコイル型の電極に350WのRF（13.56MHz）電力を投入してプラズマを生成して約30秒エッチングを行う。基板側（試料ステージ）、には50WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。こうして第3の形状のゲート電極 538、539、容量配線 540、配線 541、542 が形成される。（図21（C））

40

【0092】

以上までの工程で、それぞれの半導体層に不純物領域が形成される。

【0093】

この後、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程は炉を用いる熱アニール法を行う。熱アニール法の条件としては、酸素濃度が100ppm以下、好ましくは20ppm以下の窒素雰囲気中で400 ~ 700、代表的には500 ~ 600で行えばよく、本実施例では550、4時間の熱処理で活性化処理を

50

行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）を適用することができる。

【0094】

なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルがn型不純物領域（n⁺）（524a、524c、524d）にゲッタリングされ、主にチャンネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャンネル形成領域を有するTFETはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0095】

本活性化処理は、低濃度の酸素雰囲気下で行われるため、無機層間絶縁膜を形成する前に活性化処理を行うことができる。ただし、用いた配線材料が熱に弱い場合には、配線等を保護するため無機層間絶縁膜（シリコンを主成分とする絶縁膜、例えば窒化珪素膜）を形成した後で活性化処理を行うことが好ましい。

10

【0096】

活性化工程後、ソース線に沿うようにつか接して補助配線543を形成する。補助配線は、ゲート電極を形成する導電膜より抵抗率の小さい材料からなる導電膜、例えばAl、Cu、Agのいずれかの元素からなる導電膜、または前記元素を含む合金からなる導電膜からなる。また、この抵抗率の小さい導電膜からなる配線（配線（A）とする）を保護するために、Ta、W、Ti、Mo、Cr、NdもしくはNbのいずれかの元素からなる導電膜、前記元素を主成分とする合金からなる導電膜、または前記元素を主成分とする化合物からなる導電膜からなる配線（B）を配線（A）上に形成してもよい。

20

以上のように、低抵抗材料からなる補助配線をソース線に沿うようにつか接して設けることで、ソース線全体の抵抗率を抑えることができる。（図22）

【0097】

次いで、全面を覆う無機層間絶縁膜141を形成し、実施例1の図6からの工程に従ってアクティブマトリクス基板を完成させることができる。

【0098】

本実施例で完成したアクティブマトリクス基板は、実施例2と組み合わせてアクティブマトリクス型液晶表示装置を作製することができる。

【0099】

（実施例5）

第1の導電膜および第2の導電膜からなるゲート電極を図23～25に示すような形状に形成し、補助配線を形成する工程と同一工程において、補助配線と同一の導電膜から保持容量配線を形成してもよい。本実施例によると、エッチング工程により薄くなったゲート絶縁膜を半導体層と保持容量配線とで挟むため、実施例1～4の方法と比較して、容量の大きな保持容量を形成することができる。

30

【0100】

（実施例5）

図16（B）に示す画素TFETは実施例1を用いて作製することができるTFETを上面から観察した図面代用写真である。なお、図16（A）は、従来のように抵抗値を下げるための補助配線が形成されていない画素TFETを上面から観察した図面代用写真である。

40

【0101】

この図16（A）および（B）についてソース線の抵抗値を測定した結果を図17に示す。ソース線に抵抗をさげるためにAl-Nd配線を形成した図16（B）の抵抗値と従来例の図16（A）の抵抗値とを比較すると、図17から、抵抗値は1/2程度に低減できていることが確認できる。

【0102】

また、ソース線のシート抵抗値（ Ω/\square ）を測定した。図18は、測定結果を示している。測定ポイントを10点とり、電圧を0～0.1（V）で0.001（V）ずつ、変動させ、各電圧における電流を測定することで、シート抵抗値を算出している。なお、ソース

50

線は以下の表のように設計されている。

【0103】

【表1】

サンプル1	TaN/W (膜厚 (nm))	30 / 370
サンプル2	TaN/W/Al-Nd (膜厚 (nm))	30 / 370 / 250

10

【0104】

図18に示すように、本発明を用いることによりソース線のシート抵抗値を従来の1/4程度にまで低減することができた。

【0105】

(実施例6)

実際に、静止画を表示させた様子を観察した図面代用写真を図19に示す。

【0106】

(実施例7)

本願発明を実施して形成されたCMOS回路や画素部は様々な電気光学装置(アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイ、アクティブマトリクス型ECディスプレイ)に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電気器具全てに本願発明を実施できる。

20

【0107】

その様な電気器具としては、パーソナルコンピュータ、ディスプレイなどが挙げられる。それらの一例を図15に示す。

【0108】

図15(A)はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を表示部2003に適用することができる。

【0109】

図15(B)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402に適用することができる。

30

【0110】

図15(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

40

【0111】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することが可能である。また、本実施例の電気器具は実施例1~4のどのような組み合わせからなる構成を用いても実現することができる。

【0112】

【発明の効果】

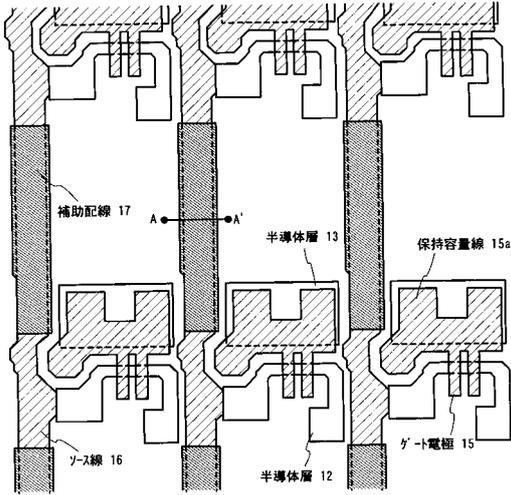
本発明によれば、画面の大型化に伴う配線の抵抗率の上昇、配線終端での信号伝達の遅れ等の問題を解決することができる。また、本発明の構造を適応することで開口率の向上と、電気光学装置の動作性能や信頼性の向上を実現することができる。

50

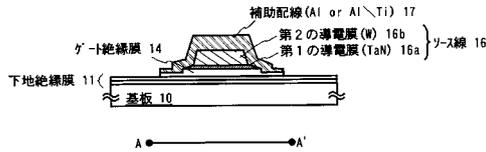
【図面の簡単な説明】

- 【図 1】 本発明の電気光学装置の画素部の上面を示す図。
- 【図 2】 本発明の電気光学装置の画素部の上面を示す図。
- 【図 3】 本発明の電気光学装置の作製工程を示す図。
- 【図 4】 本発明の電気光学装置の作製工程を示す図。
- 【図 5】 本発明の電気光学装置の作製工程を示す図。
- 【図 6】 本発明の電気光学装置の作製工程を示す図。
- 【図 7】 本発明の電気光学装置を示す図。
- 【図 8】 本発明の電気光学装置を示す図。
- 【図 9】 本発明の電気光学装置の作製工程を示す図。 10
- 【図 10】 本発明の電気光学装置の作製工程を示す図。
- 【図 11】 本発明の電気光学装置の作製工程を示す図。
- 【図 12】 本発明の電気光学装置の作製工程を示す図。
- 【図 13】 本発明の電気光学装置の作製工程を示す図。
- 【図 14】 本発明の電気光学装置の作製工程を示す図。
- 【図 15】 本発明の電気光学装置の作製工程を示す図。
- 【図 16】 T F T を上面から観察した図面代用写真。
- 【図 17】 配線の抵抗の測定結果を示す図。
- 【図 18】 配線のシート抵抗の測定結果を示す図。
- 【図 19】 静止画を表示した電気光学装置を示す図面代用写真。 20
- 【図 20】 本発明の電気光学装置の作製工程を示す図。
- 【図 21】 本発明の電気光学装置の作製工程を示す図。
- 【図 22】 本発明の電気光学装置の作製工程を示す図。
- 【図 23】 本発明の実施の一例を示す図。
- 【図 24】 本発明の実施の一例を示す図。
- 【図 25】 本発明の実施の一例を示す図。

【図1】

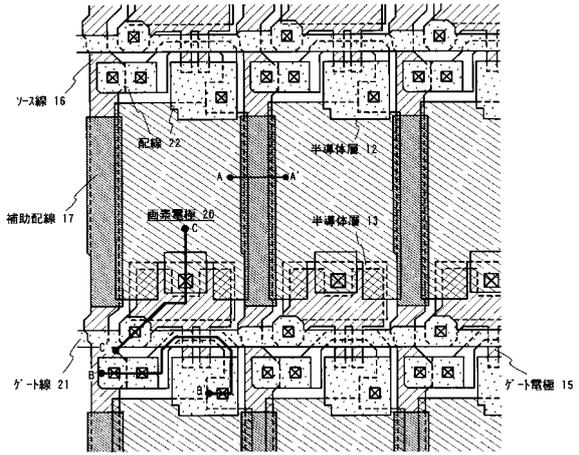


(A)

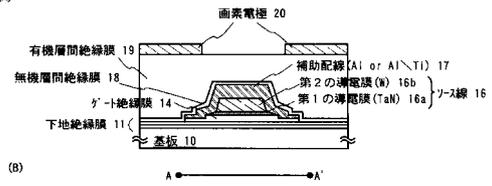


(B)

【図2】

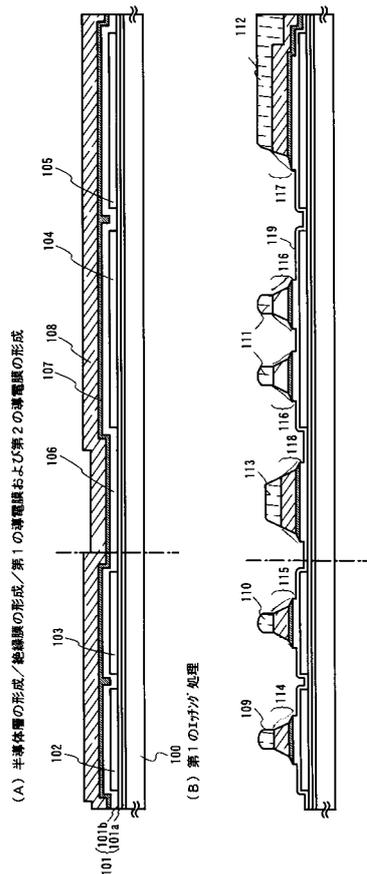


(A)



(B)

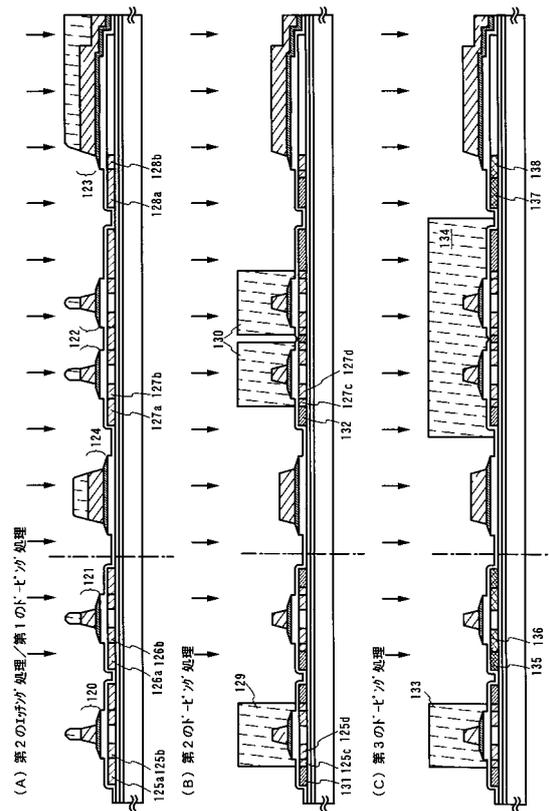
【図3】



(A) 半導体層の形成/絶縁膜の形成/第1の導電膜および第2の導電膜の形成

(B) 第1のドレイン処理

【図4】

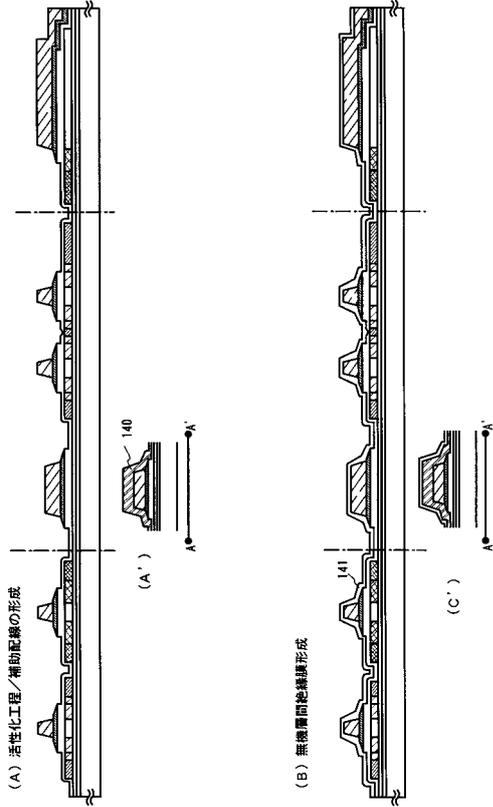


(A) 第2のドレイン処理/第1のドレイン処理

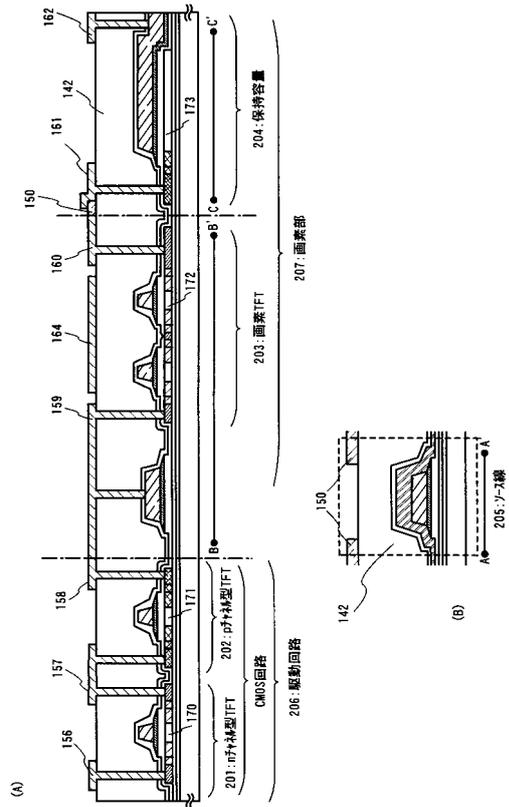
(B) 第2のドレイン処理

(C) 第3のドレイン処理

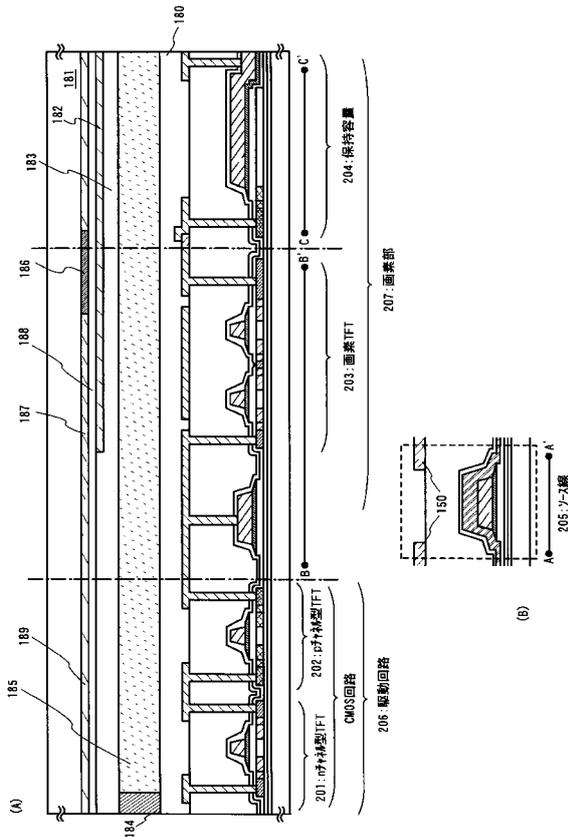
【図5】



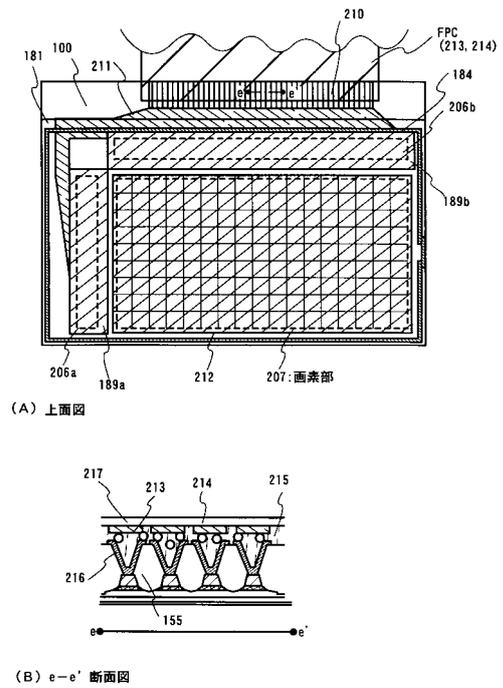
【図6】



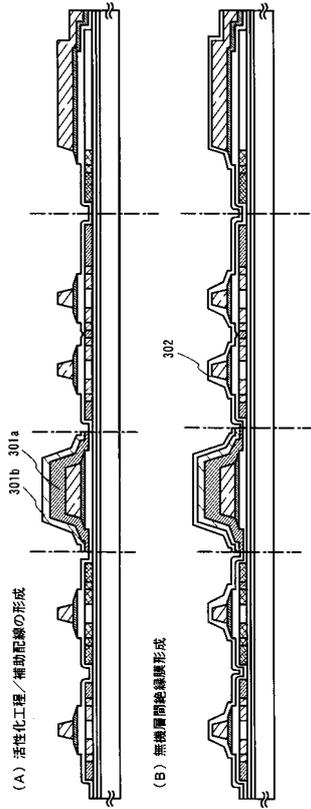
【図7】



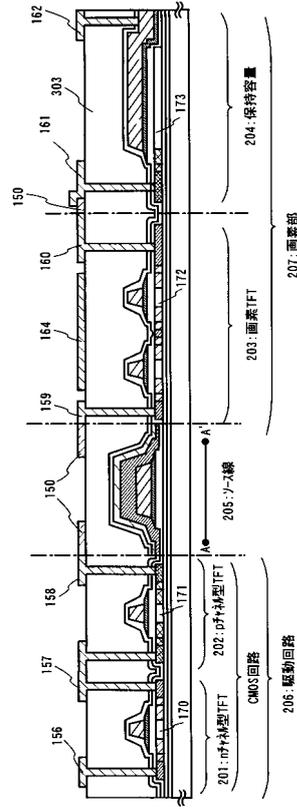
【図8】



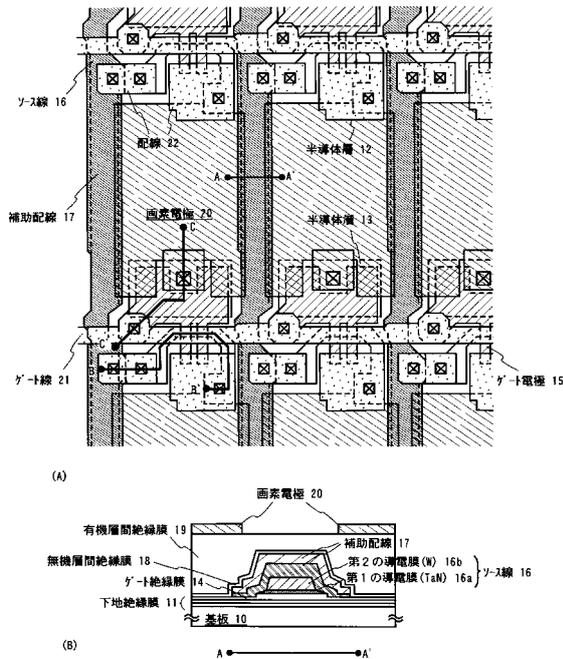
【図9】



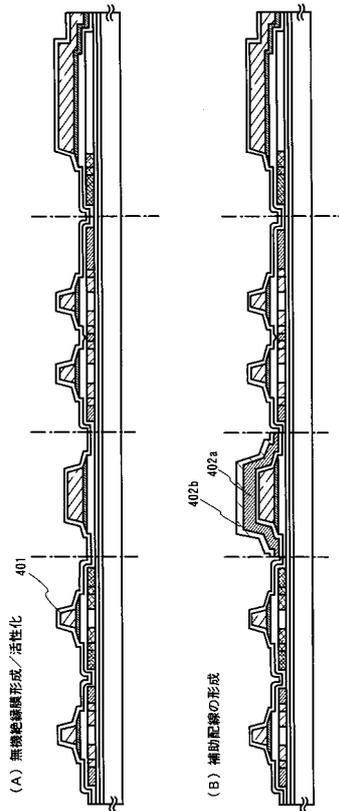
【図10】



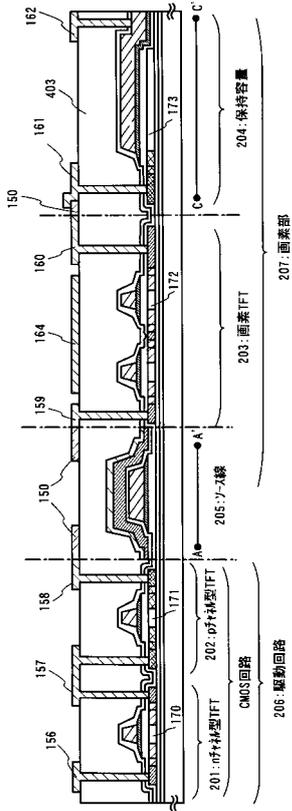
【図11】



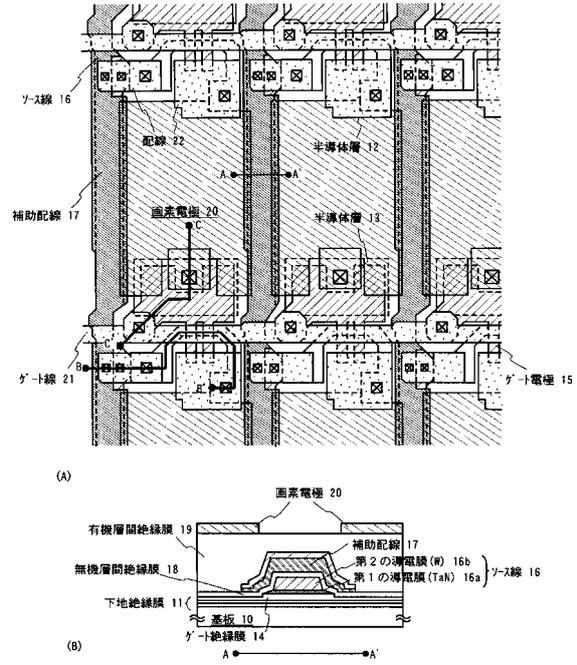
【図12】



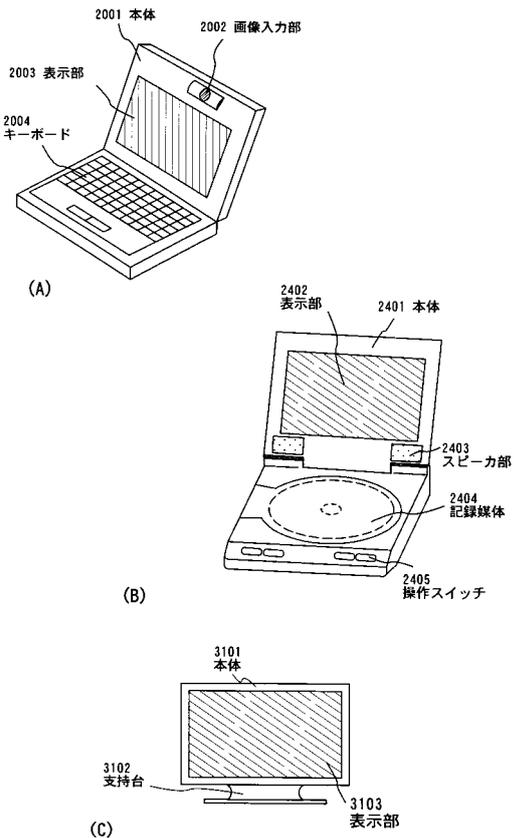
【図13】



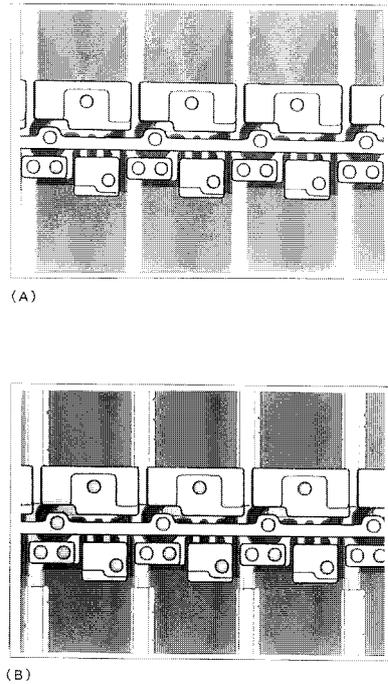
【図14】



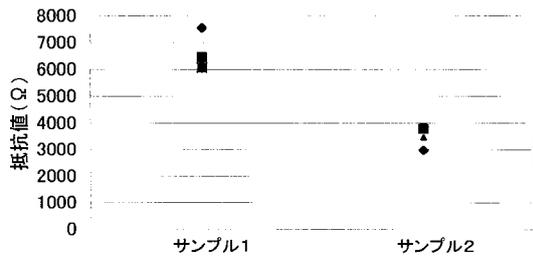
【図15】



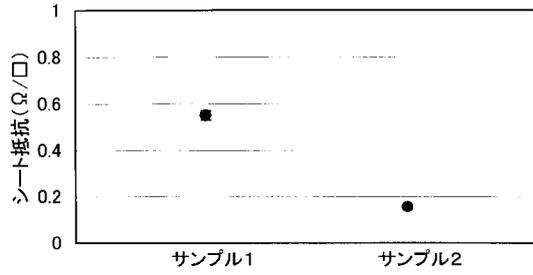
【図16】



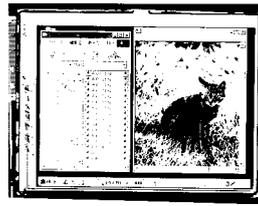
【図17】



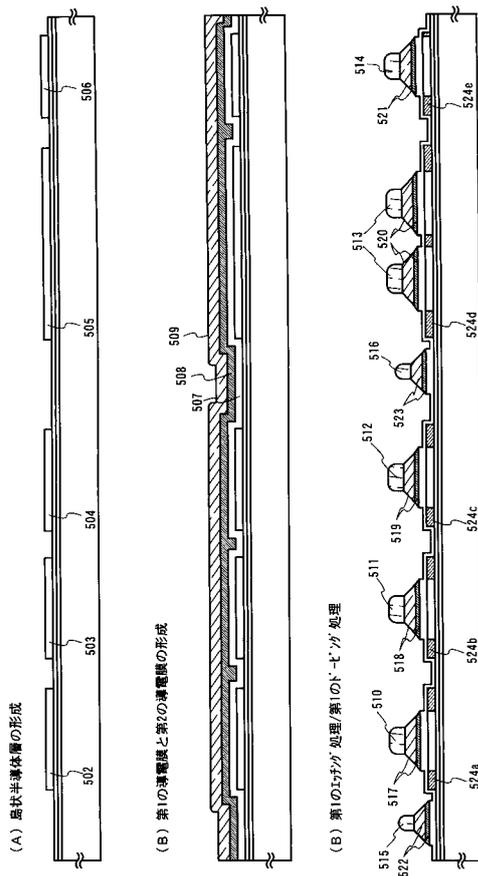
【図18】



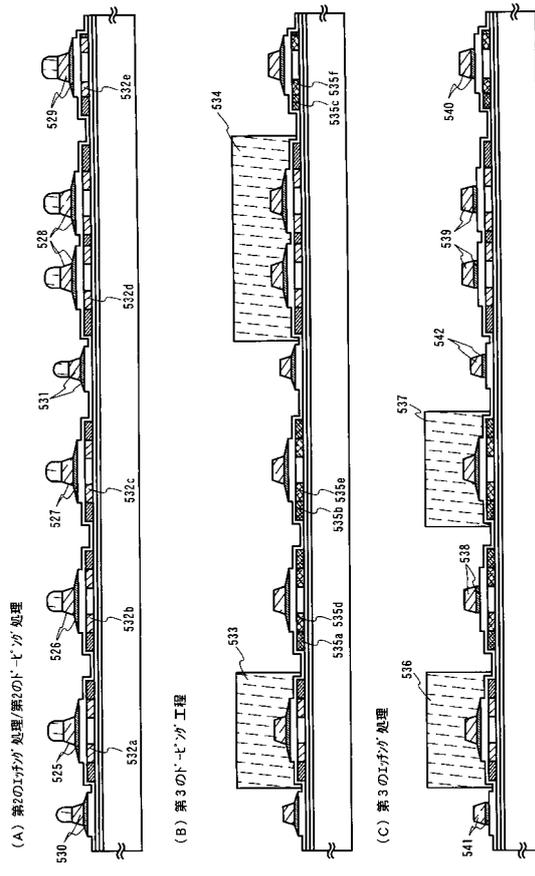
【図19】



【図20】



【図21】



フロントページの続き

- (72)発明者 坂倉 真之
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
- (72)発明者 浜谷 敏次
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
- (72)発明者 浜田 崇
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
- (72)発明者 塚本 洋介
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
- (72)発明者 小川 裕之
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
- (72)発明者 松尾 拓哉
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

審査官 綿引 隆

- (56)参考文献 特開平07-028089(JP,A)
特開平02-062052(JP,A)
特開平03-260631(JP,A)
特開平10-198292(JP,A)
特開平04-313729(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/786