

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第4745465号  
(P4745465)

(45) 発行日 平成23年8月10日 (2011. 8. 10)

(24) 登録日 平成23年5月20日 (2011. 5. 20)

(51) Int. Cl.		F I			
<b>G06F 12/02</b>	<b>(2006.01)</b>	G06F 12/02	530C		
<b>G06F 12/00</b>	<b>(2006.01)</b>	G06F 12/00	597U		
		G06F 12/02	530E		
		G06F 12/02	510A		

請求項の数 10 (全 12 頁)

(21) 出願番号	特願2011-4482 (P2011-4482)	(73) 特許権者	000003078
(22) 出願日	平成23年1月13日 (2011. 1. 13)		株式会社東芝
審査請求日	平成23年3月11日 (2011. 3. 11)		東京都港区芝浦一丁目1番1号
(31) 優先権主張番号	特願2010-19547 (P2010-19547)	(74) 代理人	100108855
(32) 優先日	平成22年1月29日 (2010. 1. 29)		弁理士 蔵田 昌俊
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100091351
早期審査対象出願			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100095441
			弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 半導体記憶装置及び半導体記憶装置の制御方法

(57) 【特許請求の範囲】

【請求項 1】

不揮発性メモリのコマンドをキューイングするキューイングバッファと、  
前記不揮発性メモリのリードコマンドを発行するリード手段と、  
前記リード手段により前記不揮発性メモリから読み出されたデータをユーザデータと管理データとに分離する分離手段と、  
前記不揮発性メモリのライトアドレスを管理するライトポインタ情報により示されるアドレスを前記分離手段により得られた管理データに対して加えてライトコマンドを発行し、前記キューイングバッファへ自動的にキューイングするライトコマンド発行手段と、  
前記ライトコマンド発行手段により発行されたライトコマンドを前記不揮発性メモリに与え、データを前記不揮発性メモリに書き込むライト手段と、  
を具備する半導体記憶装置。

【請求項 2】

前記ライト手段による書き込み処理の開始時に、前記リード手段により前記不揮発性メモリから読み出されたデータが有効か無効かを判定する判定手段をさらに具備し、  
前記ライト手段は、前記判定手段が読み出されたデータが無効であると判定すると、無効なデータを前記不揮発性メモリに書き込む請求項 1 記載の半導体記憶装置。

【請求項 3】

前記ライト手段による書き込み処理の開始時に、前記リード手段により前記不揮発性メモリから読み出されたデータが有効か無効かを判定する判定手段をさらに具備し、

前記ライト手段は、前記判定手段が読み出されたデータが無効であることを判定すると、書き込み処理を中止する請求項 1 記載の半導体記憶装置。

【請求項 4】

前記ライト手段による書き込み処理後、正引きテーブルを更新する手段をさらに具備する請求項 1 記載の半導体記憶装置。

【請求項 5】

前記不揮発性メモリは所定のバイト毎に 1 ページを構成し、所定のページが 1 ブロックを構成し、ページ単位でアクセスされ、データは全てのページが無効であるフリーブロックの先頭ページから書き込まれ、前記ライトポインタ情報は 1 ページの書き込みに応じてインクリメントされる請求項 1 記載の半導体記憶装置。

10

【請求項 6】

不揮発性メモリを含む半導体記憶装置の制御方法であって、  
前記不揮発性メモリのリードコマンドを発行することと、  
前記リードコマンドに応じて前記不揮発性メモリから読み出されたデータをユーザデータと管理データとに分離することと、  
前記不揮発性メモリのライトアドレスを管理するライトポインタ情報により示されるアドレスを前記分離することにより得られた管理データに対して加えてライトコマンドを発行することと、  
前記ライトコマンドを前記不揮発性メモリに与え、データを前記不揮発性メモリに書き込むことと、  
を具備する制御方法。

20

【請求項 7】

前記書き込み処理の開始時に、前記不揮発性メモリから読み出されたデータが有効か無効かを判定することをさらに具備し、  
前記書き込むことは、前記不揮発性メモリから読み出されたデータが無効であることを判定すると、無効なデータを前記不揮発性メモリに書き込む請求項 6 記載の制御方法。

【請求項 8】

前記書き込み処理の開始時に、前記不揮発性メモリから読み出されたデータが有効か無効かを判定することをさらに具備し、  
前記不揮発性メモリから読み出されたデータが無効であることを判定すると、前記書き込むことは中止される請求項 6 記載の制御方法。

30

【請求項 9】

前記書き込み処理後、正引きテーブルを更新することをさらに具備する請求項 6 記載の制御方法。

【請求項 10】

前記書き込み処理後、前記不揮発性メモリのページ毎のデータの有効、無効を示すデータを示す有効ページ管理テーブルを更新することをさらに具備する請求項 6 記載の制御方法。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は NAND 型フラッシュメモリ等の不揮発性メモリを含む半導体記憶装置及び半導体記憶装置の制御方法に関する。

【背景技術】

【0002】

一般に不揮発性メモリ、例えばフラッシュメモリはデータの書き込みの際に上書きができないので、データの書き込みや削除を繰り返すと、分断された不要な領域が削除されずに残る。この不要な領域を消去し、使用している領域を連続した領域に纏める処理はコンパクションと呼ばれる。従来の半導体記憶装置のコンパクション処理は例えば特許文献 1 に記載されている。

50

## 【 0 0 0 3 】

特許文献1記載の記憶装置は、内部において、32ビットのメモリバスに16ビットの入出力を持つ2チップの8ギガビットのNAND型フラッシュメモリが並列に接続される。2つのチップは読み出しや書き込みにおいて同時並列にアクセスされる。すなわち、メモリバスは16ビットバスを2チャンネル備えた構成となっている。各フラッシュメモリは書き込みや読み出しのアクセスを例えば4キロバイトのページ単位で行う。従って、実ページサイズとしては8キロバイトが一括アクセスされることになる。

## 【 0 0 0 4 】

記憶装置に内蔵されたRAMには、プログラムを実行するためのコードエリアやワーキングエリアが設けられており、さらにページ単位の仮想アドレスを管理するアドレス変換テーブル、正常な空きブロックを検索する検索テーブル、各ブロックの無効ページ数を管理するカウンタテーブル、ライトポインタ、無効ページ総数のカウンタ、未使用ページカウンタ等が構築されている。

10

## 【 0 0 0 5 】

データの更新（書き込み）動作は追記型書き込みが行われる。追記型書き込みが行われると、更新前のデータが格納されている物理ページアドレス、例えば“0x0060B0”に相当するページ領域はアドレス変換テーブルの物理アドレスフィールドから削除され、外からアクセスできなくなる。即ち、無効化される。

## 【 0 0 0 6 】

しかし、それらにはデータが書き込まれており、そのままでは空き領域として使用することもできない。このような書き込みを何度も繰り返すと、多くの無効ページ領域が発生する。それらは再度空き領域として使用できるよう、消去して回復させる必要がある（コンパクションに相当）。また、その場合、消去ブロック“0x0060”に残された他の有効データは退避させる必要がある。

20

## 【 0 0 0 7 】

この回復処理は、例えばまず対象ブロック内の有効データを、更新の際と同様に一旦ページバッファに読み出してから、他のブロックの空き領域に追記で書き込んでいき、それによって実質的な退避を行えばよい。すなわち、有効ページを仮更新することで、その元領域を全て無効化する。その後、対象ブロックを消去することによって、回復処理が実施される。

30

## 【 0 0 0 8 】

この回復処理は記憶装置の待機時やシステムのアイドル時に自動的に実施することができる。しかし、多くの未使用領域が残っており僅かな無効ページしか存在しない状態で無理に回復処理を実行しても、殆ど効果は得られない。一方、いつまでも回復処理をせぬまま放置すると、未使用領域が不足し、アクセスレイテンシとなる。そのため、本当に回復処理を実行すべきか否かを判定し、かつ回復処理の対象ブロックを選定する機能がシステムのどこかに必要になる。

## 【 0 0 0 9 】

そこで、上記回復処理と、それを実行するか否かの判定、及び回復対象ブロックの選択をひとまとまりの作業グループとみなして回復シーケンスとし、記憶装置に実装しておく。そして、ホストシステムからの回復処理実行コマンドに応じて、あるいは記憶装置が待機状態に入った際に自動的に回復シーケンスを実行する。

40

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 1 0 】

【特許文献1】特開2008-146253号公報（段落0050、0051、0066、0067、0072-0075）

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 1 1 】

50

このように特許文献 1 記載の装置は、回復処理と、それを実行するか否かの判定、及び回復対象ブロックの選択をひとまとまりの回復シーケンスとして記憶装置に実装しておき、システムからの回復処理実行コマンドに応じて回復シーケンスを実行するようにしている。フラッシュメモリにおける無効ページの回復作業によってフラッシュメモリの使用効率を向上させることができる。

【 0 0 1 2 】

しかしながら、この装置では回復シーケンスは CPU のソフトウェアとして実行されている為、1 つの回復シーケンスを実行するにも CPU は複数の処理を行う必要がある。回復処理の実行中にソフトウェアの介入が複数はいることにより CPU の処理性能が劣化し、システム全体でのパフォーマンス低下が生じるという課題がある。

10

【課題を解決するための手段】

【 0 0 1 3 】

本発明の一態様による半導体記憶装置は、  
 不揮発性メモリのコマンドをキューイングするキューイングバッファと、  
 前記不揮発性メモリのリードコマンドを発行するリード手段と、  
 前記リード手段により前記不揮発性メモリから読み出されたデータをユーザデータと管理データとに分離する分離手段と、  
 前記不揮発性メモリのライトアドレスを管理するライトポインタ情報により示されるアドレスを前記分離手段により得られた管理データに対して加えてライトコマンドを発行するライトコマンド発行手段と、  
 前記ライトコマンド発行手段により発行し、キューイングバッファへ自動でキューイングし、キューから取り出されたライトコマンドを前記不揮発性メモリに与え、データを前記不揮発性メモリに書き込むライト手段と、を具備する。

20

【発明の効果】

【 0 0 1 4 】

本発明の一態様によれば、CPU からの 1 コマンドでコンパクション動作が実行されるので、CPU の処理負荷の低減が可能になるとともに、途中でソフトウェア処理が介入せず、システム全体の処理能力が高くなる。

【図面の簡単な説明】

【 0 0 1 5 】

【図 1】本発明の実施の形態に係るフラッシュメモリコントローラおよびその周辺システムでの位置づけを示すブロック図。

【図 2】フラッシュメモリコントローラ内のフラッシュメモリ制御部、データフロー制御回路の詳細なブロック図である。

【図 3】コンパクション動作時の NAND フラッシュメモリコントローラのデータの流れを示す図。

【図 4】NAND フラッシュメモリコントローラのコンパクション動作を示すフローチャート。

【図 5】メインメモリに設けられる有効ページ管理テーブルを示す図。

【図 6】NAND フラッシュメモリコントローラのコンパクション動作に関する追記ポインタの動作と正引きテーブルの更新を示す図。

30

40

【発明を実施するための形態】

【 0 0 1 6 】

以下、図面を参照して本発明の実施の形態について詳細に説明する。

【 0 0 1 7 】

図 1 は一実施形態の構成を示すブロック図である。本実施形態は複数の不揮発性メモリ、例えば NAND 型フラッシュメモリ  $8_1$ 、 $8_2$ 、...  $8_n$  を含む。NAND 型フラッシュメモリ  $8_1$ 、 $8_2$ 、...  $8_n$  は例えば半導体ドライブ (Solid State Drive: SSD) の記憶部を構成する。NAND 型フラッシュメモリ  $8_1$ 、 $8_2$ ...  $8_n$  の各々は例えば 2 ~ 16 個のメモリチップからなる。NAND 型フラッシュメモリ  $8_1$ 、 $8_2$ 、...  $8_n$  はフラッシュ

50

メモリコントローラ 1 に接続される。フラッシュメモリコントローラ 1 は内部バス 2 b に接続された CPU 2 と、メインメモリ 3 と、フラッシュメモリ制御部及び NAND フラッシュメモリ I / F 部 6 と、データフロー制御回路 7 と、ホスト I / F 4 とを具備する。

【 0 0 1 8 】

フラッシュメモリ制御部及び NAND フラッシュメモリ I / F 部 6 は NAND 型フラッシュメモリ 8<sub>1</sub>、8<sub>2</sub>、... 8<sub>n</sub> に接続され、NAND 型フラッシュメモリ 8<sub>1</sub>、8<sub>2</sub>、... 8<sub>n</sub> へのアクセスを制御する。具体的には、フラッシュメモリ制御部及び NAND フラッシュメモリ I / F 部 6 は NAND 型フラッシュメモリ 8<sub>1</sub>、8<sub>2</sub>、... 8<sub>n</sub> に対してアドレスやデータ制御を行う。フラッシュメモリ制御部及び NAND フラッシュメモリ I / F 部 6 は CPU 2 からのコマンドを受理し、NAND 型フラッシュメモリ 8<sub>1</sub>、8<sub>2</sub>、... 8<sub>n</sub> とメインメモリ 3 間のデータ転送を実施する。フラッシュメモリ制御部及び NAND フラッシュメモリ I / F 部 6 は内部で論理ブロックアドレス (Logical Block Address: LBA) 情報や各種属性 (フラグ) 情報を保持する。

10

【 0 0 1 9 】

ホスト I / F 4 はプロトコル SAS や SATA によりホストシステム 10 に接続され、データフロー制御回路 7 を介して、ホスト・NAND 型フラッシュメモリ間でやりとりされるデータのフロー制御を行う。ホスト I / F 4 はホストシステム 10 からは LBA でアクセスされる。メインメモリ 3 は例えば DRAM が使用され、退避データや正引きテーブル、論物変換テーブルを格納する。

【 0 0 2 0 】

20

フラッシュメモリコントローラ 1 の内部バス 2 b には外付けのブート ROM 9 も接続される。ブート ROM 9 は一例としてフラッシュメモリが使用され、ファームウェアを含む。ファームウェアは CPU 2 を使用し、フラッシュメモリ制御部及び NAND フラッシュメモリ I / F 部 6 内部への I / O コマンドアクセスにより NAND 型フラッシュメモリ 8<sub>1</sub>、8<sub>2</sub>、... 8<sub>n</sub> へのリードコマンド、ライトコマンドの発行を行う。ファームウェアは ROM 9 にプログラムされた内容が、システム電源起動時に、CPU 2 内部の一時記憶部もしくはメインメモリ 3 に転送されて動作するものとする。

【 0 0 2 1 】

図 2 はフラッシュメモリ制御部及び NAND フラッシュメモリ I / F 部 6、データフロー制御回路 7 の詳細なブロック図である。フラッシュメモリ制御部及び NAND フラッシュメモリ I / F 部 6 は I / O バッファ 24 を介して NAND 型フラッシュメモリ 8 へアクセスする。内部バス 2 b からのライトデータはデータバッファ 38、データ処理回路 32 を介して I / O バッファ 24 に供給され、I / O バッファ 24 からのリードデータはデータ処理回路 32、データバッファ 38 を介して内部バス 2 b に供給される。

30

【 0 0 2 2 】

CPU 2 からのリードコマンド、ライトコマンドは内部バス 2 b を介してコマンドキュー 26 に書き込まれる (コマンド投入)。ここでのコマンドフォーマットはフラッシュメモリ制御部及び NAND フラッシュメモリ I / F 部 6 が処理しやすいフォーマットであればよく、ハードウェア実装に依存している。本特許の要ではないためここでは特に言及しないコマンドキュー 26 にコマンドが投入されると、コマンド処理回路 28 はエントリされたコマンドをコマンドキュー 26 から取り出し、コマンドシーケンサ 30 にコマンドを発行して起動をかける。

40

【 0 0 2 3 】

CPU 2 からコンパクションコマンドが発行されると、コマンドキュー 26 にはリードコマンドとして投入される。コマンド処理回路 28 はコマンドキュー 26 からリードコマンドを取り出して、コマンドシーケンサ 30 にコマンド発行をして起動をかけ、その後、I / O バッファ 24 を介して、NAND フラッシュメモリ 8 の該当ブロックからデータをリードする。NAND フラッシュメモリ 8 内の各ブロックの各ページのデータが有効であるか無効であるかはメインメモリ 3 内の有効ページ管理テーブル (後述) により管理されており、CPU 2 は有効なデータを含むページに対してのみリードアドレスを与え、有効

50

なデータのみリードする。

【 0 0 2 4 】

コマンドシーケンサ 3 0 は複数の N A N D 型フラッシュメモリからいずれかの選択と、N A N D 型フラッシュメモリ 8 へのアクセスコマンド発行を行う。コマンドシーケンサ 3 0 は N A N D 型フラッシュメモリ 8 のアクセスの際、データ処理回路 3 2 に対してメインメモリ 3 へのデータ転送リクエスト ( L B A / 属性を伴う場合と、伴わない場合がある ) を実施し、データ処理回路 3 2 はデータ転送が完了するとコマンドシーケンサ 3 0 に終了レスポンス ( L B A / 属性を伴う ) を返す。コマンドシーケンサ 3 0 は終了コマンドをコマンド処理回路 2 8 に通知すると、コマンド処理回路 2 8 はテーブル更新回路 3 4 に対して終了コマンドを送付する。この時、データ処理回路 3 2 は N A N D 型フラッシュメモリ 8 からリードした有効なページのデータをユーザデータと L B A 情報、その他後続のライト ( コマンドキュー 2 6 内のリードコマンドに後続するライトコマンド ) を行うために必要な属性データとに分離し、L B A / 属性データをコマンド処理回路 2 8 に終了レスポンスと共に渡す。属性データの一例としては、データにエラー訂正符号化 ( E C C ) によるデータのチェックを行うか否かを示す情報やデータ長、暗号の有無などがある。

10

【 0 0 2 5 】

コマンドキュー 2 6 内の全てのリードコマンド終了後に、コマンドキュー 2 6 内のライト処理 ( 後続のライト処理と称する ) へ移る。この詳細は図 3 を参照して後述する。コマンド処理回路 2 8 はコマンドキュー 2 6 内のライトコマンドを取り出して、コマンドシーケンサ 3 0 にコマンド発行をして起動をかける。その後、コマンド処理回路 2 8 は I / O バッファ 2 4 を介して N A N D フラッシュメモリ 8 へのデータのライトを行う。この時、コマンドシーケンサ 3 0 は、データ処理回路 3 2 に対してメインメモリ 3 からのデータ転送要求を実施し、L B A / 属性データ、ライトアドレスを用いて、データライト処理を行う。ライトアドレスはフラッシュメモリコントローラ 1 内で生成する。具体的には、ホスト 1 0 から供給された L B A に基づいて後述の論物変換テーブルから物理アドレスが計算される。ここでは、ライトアドレスは追記型アルゴリズムに従い生成される。追記型アルゴリズムは、1 回のライト時に順次ポイントを順次進める制御をするため、ライトアドレスは容易に生成できる。

20

【 0 0 2 6 】

データ処理回路 3 2 はデータ転送が完了すると、コマンドシーケンサ 3 0 に終了レスポンスを返す。その後、コマンド処理回路 2 8 は終了通知と正引きテーブル更新に必要な情報をテーブル更新回路 3 4 へ渡し、メインメモリ 3 上のデータを更新する。テーブル更新回路 3 4 は終了したコマンドに係るメインメモリ 3 上のテーブル更新を実施するモジュールであり、ライト終了時の有効ページ管理ビットマップテーブルの更新処理及び、その他の管理テーブルの更新処理を実施する。更新処理の詳細は後述する。テーブル更新回路 3 4 はすべての処理を終了後、レスポンスキュー 3 6 に終了コマンドとステータスを送信してハードウェアとしてのコマンド処理が完了する。C P U 2 はレスポンスキュー 3 6 をリードすることによってコマンド実行結果を確認することができる。

30

【 0 0 2 7 】

図 3 はこのように構成されたフラッシュメモリコントローラ 1 ( 特に、フラッシュメモリ制御部及び N A N D フラッシュメモリ I / F 部 6 とデータフロー制御回路 7 ) によるコンパクション動作の際のデータの流れの概要を示す図であり、図 4 は図 3 の動作を実現するためのフラッシュメモリコントローラ 1 のフローチャートである。図 4 は左側の 2 つのブロック ( ブロック # 1 0 、 # 2 0 ) が C P U 1 0 の処理であり、残りのブロック ( ブロック # 1 0 2 ~ # 1 1 8 ) がフラッシュメモリコントローラ 1 ( ハードウェア ) の処理である。

40

【 0 0 2 8 】

N A N D 型フラッシュメモリ  $8_1$ 、 $8_2$ 、...  $8_n$  は所定のバイト、例えば 2 1 1 2 バイト毎に 1 ページを構成し、所定のページ、例えば 6 4 ページが 1 ブロックを構成する。各ブロックには有効なページと無効なページが混在する。有効なページとは、当該ページ内

50

に書き込まれたデータが存在し、そのデータは有効であることを示している。無効なページとは、当該ページ内に何も書き込まれていないか、もしくは当該ページ内に以前書き込まれていたデータが無効になった場合を示している。このNAND型フラッシュメモリ $8_1$ 、 $8_2$ 、... $8_n$ の各ページが有効(Valid)か無効(Invalid)かを示すための有効ページ管理テーブル52がメインメモリ3内に設けられる。このテーブル52は図5に示すようにブロック毎の各ページの有効/無効を示すビットマップテーブルである。NAND型フラッシュメモリ $8_1$ 、 $8_2$ 、... $8_n$ への書き込みが正常に終了し、コマンドステータスをCPUに返す前に、有効ページ管理テーブル52の有効/無効状態が更新される。メインメモリ3には論理アドレスと物理アドレスの変換のための論物テーブル54、論理アドレスの順に有効ブロックの物理アドレスを並べた正引きテーブル56が設けられる。

10

## 【0029】

まず、CPU2からNAND型フラッシュメモリ8の物理アドレスを指定してコンパクションコマンドを発行する(図4のブロック#10)。この後、CPU10はコンパクション処理が終了するまで、待機状態となる。実際の実施例として、コンパクション処理中にホストからのデータアクセス(ユーザーデータリードまたはライト)が発生することが想定されるため、コンパクションの処理は割り込みによる検知を行っている。また、コンパクション処理の最中にコンパクション対象領域のデータが無効になるケースも存在し、その場合の処理を考慮している。

## 【0030】

メモリコントローラ1はNAND型フラッシュメモリ8の指定された物理アドレスのブロックの有効ページからデータを読み出す(ブロック#102)。読み出されたデータはデータ処理回路32によりユーザーデータと管理データ(LBA/属性データ)とに分離される(ブロック#104)。ユーザーデータはメインメモリ3のユーザーデータ領域に転送される(ブロック#108)。

20

## 【0031】

一方、追記ポインタ58(図2のコマンドシーケンサ30に含まれる)によりライトアドレスが算出される(ブロック#106)。コマンド処理回路28はライトアドレスとLBA/属性データとからライトコマンドを生成し(ブロック#110)、ライトコマンドをコマンドキュー26に投入する(ブロック#112)。

## 【0032】

コマンドキュー26から読み出されたライトコマンドにより、メインメモリ3から転送されたユーザーデータがNAND型フラッシュメモリ8の指定されたアドレスにライトされる(ブロック#114)。ブロック#114のように、ブロック#102で実行したリードコマンドに後続してコマンドキュー26に配置されているライトコマンドの実行(後続のライト)時には、読み出したリードデータが、ライトを行う直前の時点で有効か無効かを再度判断する必要がある。これは、リード時は有効であったデータがコンパクション処理中に無効に変化する可能性があり、それに対応するためである。例えば、ホスト10によりユーザーデータを上書きした場合は、NANDフラッシュメモリ8上では以前にユーザーデータが書かれていた物理アドレスとは別の物理アドレスにデータが書き込みされ、以前にユーザーデータが書かれていたNANDフラッシュメモリ8の物理アドレスにそれまでに存在していたデータ(リードデータ)は無効となる。このため、読み出したリードデータが無効になっている時は、無効なデータ(オール"0")が書き込まれる("0"パディング)。これは、今回の書き込みは無効であるので、書き込み動作自体を中止しても良いが、コマンドキュー26からライトコマンドが取り出された後に中止するのはハードウェア的に困難な場合があるので、書き込むデータを意味の無いものにして実質的に書き込みを中止し、ハードウェアの処理を簡単にするためである。

30

40

## 【0033】

ブロック#116でテーブル更新回路34はメインメモリ3内の正引きテーブル56を更新する。その後、ブロック#118でテーブル更新回路34はレスポンスキュー36に終了コマンドとステータスを送信してハードウェアとしてのコマンド処理が完了する。

50

## 【 0 0 3 4 】

C P U 2 はレスポンスキュー 3 6 をリードすることによってコマンド実行ステータスを確認する ( ブロック # 2 0 ) 。

## 【 0 0 3 5 】

図 6 は追記ポインタ 5 8 の動作と正引きテーブル 5 6 の更新の様子を示す図である。ある時刻において、N A N D フラッシュメモリ 8 の有効 / 無効ページの状態と正引きテーブル 5 6 の状態は図 6 の左側の状態 ( 更新前 ) であるとする。追記ポインタ 5 8 の指す位置はブロック # 5 のページ # 3 とする。この状態において、コンパクション対象としてブロック # 0 が選ばれたとする。コンパクション対象は有効ページ管理テーブル 5 2 の情報に基づいて、有効ページを含み最も数が小さいブロックが選ばれる。有効ページ管理テーブル 5 2 は 2 次元のビットマップ状に配置されているので、コンパクション対象候補のブロックの列挙を容易に行える。ブロック # 0 の有効ページはページ # 1 のみである。

10

## 【 0 0 3 6 】

コンパクションのためには、最初にフリーブロック ( 全てのページが無効 ) # 6 を取得して、そのブロックの先頭ページから順番に有効ページのデータをコピーする。ブロック # 0 のページ # 1 のデータをブロック # 6 のページ # 0 にコピーした状態を図 6 の右側に示す。次に、コピーしたデータ ( ブロック # 0 のページ # 1 ) の L B A の位置がコピー先の位置 ( ブロック # 6 のページ # 0 ) を示すように正引きテーブル 5 6 を更新する。さらに、有効ページがなくなったブロック # 0 をフリーブロック扱いにするために有効ページ管理テーブル 5 2 を更新 ( ブロック # 0 のページ # 1 を無効化 ) する。ブロック # 0 のページ # 1 のデータをブロック # 6 のページ # 0 にコピーしたことにより、追記ポインタ 5 8 はブロック # 6 のページ # 1 に移る。このように、ブロック # 5 のページ # 3 が無効から有効に変わったのは、コンパクション処理と平行して動作したユーザー Write 処理によるものである。本特許の本質でない為、詳細は割愛するが、追記ポインタの 1 加算、それまで追記ポインタが指していた位置へのデータ書き込み、正引きテーブルの更新 ( blk#5-page#3 ) された様子も示されている。図では、かつ LBA 重複があったため、その LBA ( blk#1-page#0 ) が無効にされた様子も示されている。

20

## 【 0 0 3 7 】

以上説明したように、第 1 の実施の形態によれば、N A N D フラッシュメモリ 8 のコンパクション処理を行う場合、C P U 2 は物理ブロックアドレスを指定してコンパクションコマンドを発生するだけでよい。フラッシュメモリコントローラ 1 はこのコマンドを受けると、当該ブロックから有効ページのデータをリードし、リードデータから分離した管理データ ( L B A / 属性データ ) に対して追記ポインタにより発生したライトアドレスを追加してライトコマンドを発生する。このライトコマンドに対してメインメモリからのユーザーデータを付加・結合して N A N D フラッシュメモリ 8 の指定アドレスへページ単位で書き込む。書き込み後、データがリードされたブロックが無効化され、正引きテーブルが更新される。これにより、C P U 2 からの 1 コマンドでコンパクション動作 ( リード処理、後続のライト処理、正引きテーブルの更新処理 ) を行うことができ C P U 処理負荷の低減が可能となるとともに、途中でソフトウェア処理が入らないため、システム全体の処理能力が速くなる。

30

40

## 【 0 0 3 8 】

書き込みの直前にリードデータが無効となっているか否かを確認し、無効となっているときは、書き込みを中止する、あるいは無効なデータを書き込むことにより、コンパクションの最中にリードデータが無効になった場合にも対処できる。

## 【 0 0 3 9 】

なお、この発明は、上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。例えば、本発明はホスト 1 0 により制御さ

50



れる半導体ドライブ(Solid State Drive: S S D)を例に説明したが、これに限らず、シリコンオーディオ機器、メモリメディアカードなどに適用することもできる。

【0040】

また、本発明は、コンピュータに所定の実行手段を実行させるため、コンピュータを所定の実行手段として機能させるため、コンピュータに所定の機能を実現させるため、あるいはプログラムを記録したコンピュータ読取り可能な記録媒体としても実施することもできる。

【0041】

また、コンパクションに限らず、不揮発性メモリの特性である一定期間毎のデータ移動(定期リフレッシュ)への応用や、R M W(リード・モディファイ・ライト)への応用も可能である。

【符号の説明】

【0042】

1 ...フラッシュメモリコントローラ、2 ... C P U、3 ...メインメモリ、4 ...ホストI / F、6 ...フラッシュメモリ制御部及びN A N DフラッシュメモリI / F部、7 ...データフロー制御回路、8 ... N A N D型フラッシュメモリ、9 ...ブートROM、26 ...コマンドキュー、28 ...コマンド処理回路、30 ...コマンドシーケンサ、32 ...データ処理回路、34 ...テーブル更新回路。

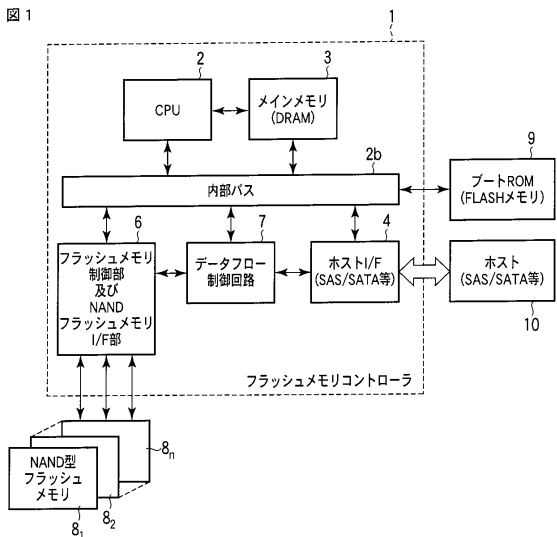
【要約】

【課題】C P Uからの1コマンドでコンパクション動作が実行される半導体記憶装置。

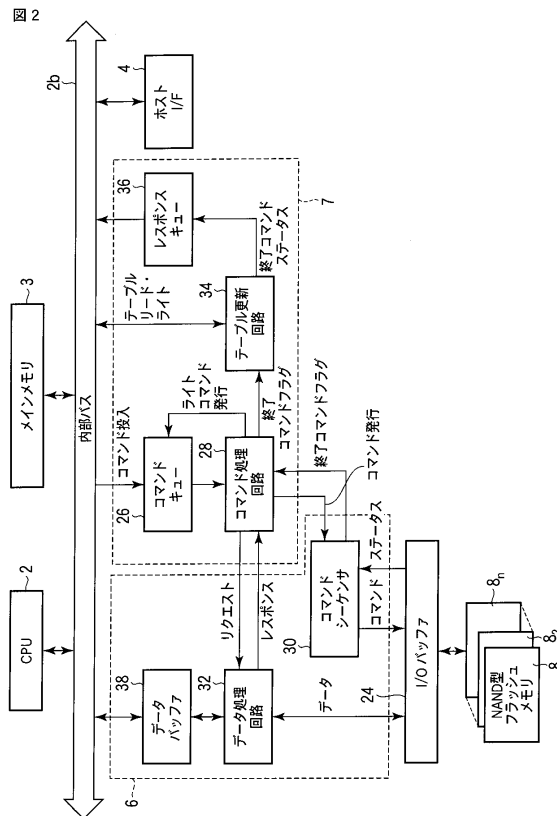
【課題を解決するための手段】半導体記憶装置は、不揮発性メモリのコマンドをキューイングするキューイングバッファ(26)と、不揮発性メモリのリードコマンドを発行するリード手段(#102)と、リード手段により前記不揮発性メモリから読み出されたデータをユーザデータと管理データとに分離する分離手段(#104)と、不揮発性メモリのライトアドレスを管理するライトポイント情報により示されるアドレスを分離手段により得られた管理データに対して加えてライトコマンドを発行し、キューイングバッファへ自動的にキューイングするライトコマンド発行手段(#110)と、ライトコマンド発行手段により発行されたライトコマンドを不揮発性メモリに与え、データを不揮発性メモリに書き込むライト手段(#114)とを具備する。

【選択図】図4

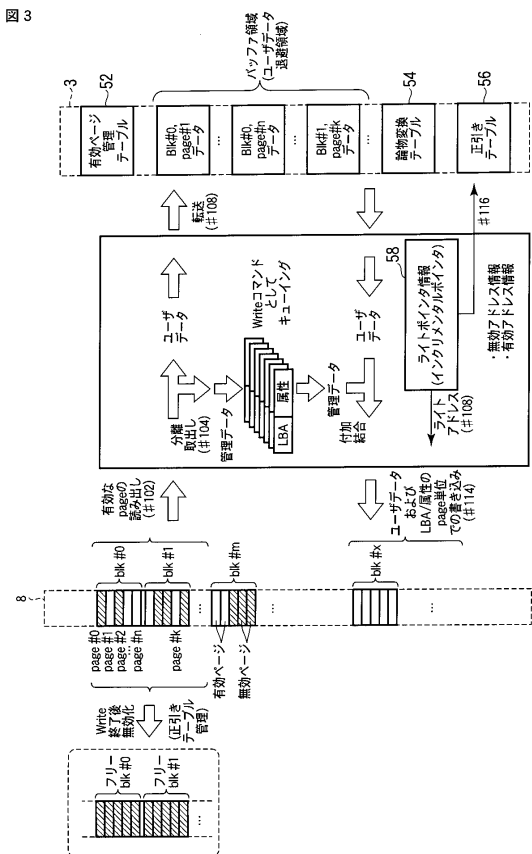
【図1】



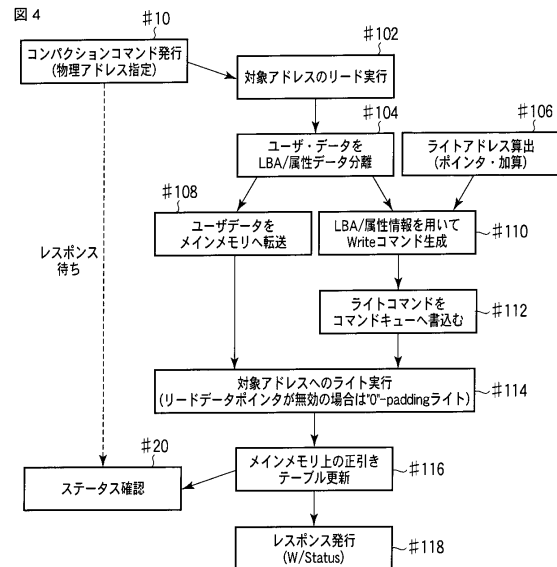
【図2】



【図3】

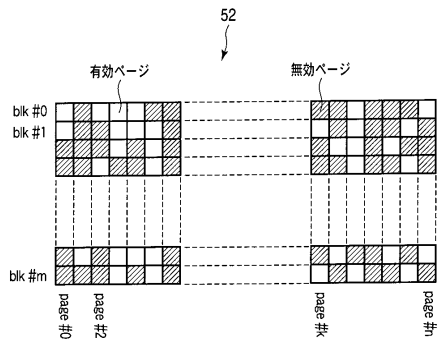


【図4】



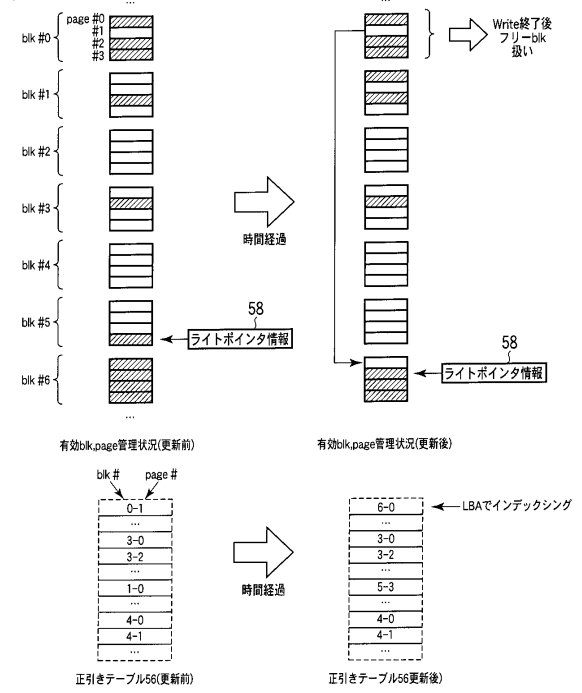
【図5】

図5



【図6】

図6



## フロントページの続き

- (74)代理人 100084618  
弁理士 村松 貞男
- (74)代理人 100103034  
弁理士 野河 信久
- (74)代理人 100119976  
弁理士 幸長 保次郎
- (74)代理人 100153051  
弁理士 河野 直樹
- (74)代理人 100140176  
弁理士 砂川 克
- (74)代理人 100101812  
弁理士 勝村 紘
- (74)代理人 100124394  
弁理士 佐藤 立志
- (74)代理人 100112807  
弁理士 岡田 貴志
- (74)代理人 100111073  
弁理士 堀内 美保子
- (74)代理人 100134290  
弁理士 竹内 将訓
- (74)代理人 100127144  
弁理士 市原 卓三
- (74)代理人 100141933  
弁理士 山下 元
- (72)発明者 松山 元彦  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 福田 徹  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 茂呂 祐行  
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 野田 佳邦

- (56)参考文献 特表2008-524748(JP,A)  
特表2008-524750(JP,A)  
特表2004-507007(JP,A)  
特開2007-334935(JP,A)  
特開2003-186739(JP,A)  
特開2006-107326(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 12/02  
G06F 12/00