

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5441216号
(P5441216)

(45) 発行日 平成26年3月12日(2014.3.12)

(24) 登録日 平成25年12月27日(2013.12.27)

(51) Int. Cl. F I
G06F 12/02 (2006.01) G O 6 F 12/02 5 7 0 L
G06F 13/16 (2006.01) G O 6 F 12/02 5 7 0 Q
 G O 6 F 13/16 5 1 0 J

請求項の数 35 (全 32 頁)

(21) 出願番号	特願2010-38857 (P2010-38857)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成22年2月24日(2010.2.24)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2011-175445 (P2011-175445A)	(74) 代理人	100089071 弁理士 玉村 静世
(43) 公開日	平成23年9月8日(2011.9.8)	(72) 発明者	平野 政明 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
審査請求日	平成24年8月6日(2012.8.6)	(72) 発明者	西山 久仁彦 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
		審査官	桜井 茂行

最終頁に続く

(54) 【発明の名称】 半導体装置及びデータ処理システム

(57) 【特許請求の範囲】

【請求項1】

データ処理ユニットを有する半導体装置であって、
 前記半導体装置の外部のデータプロセッサから前記データ処理ユニットのアドレス空間へのアクセスを制御する第1外部インタフェース回路と、
 前記半導体装置の特定リソースとされ前記アドレス空間に保有される、記憶装置が接続される第2外部インタフェース回路とを有し、

前記第1外部インタフェース回路は、前記アドレス空間をアクセスするために用いられるアドレス信号の一部を前記データプロセッサから入力するための外部端子と、前記外部端子から入力されたアドレス情報の上位側を補完するための補完情報が前記データプロセッサから書込まれる補完レジスタと、前記データプロセッサからモード情報が書込まれるモードレジスタと、前記アドレス空間をアクセスするためのアドレス信号を前記外部端子からの入力情報、必要な補完情報及び前記モードレジスタのモード情報に基づく形態で生成するアドレス制御回路と、を有する半導体装置。

【請求項2】

前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報を前記補完レジスタの補完情報で補完する第1生成形態を含む、請求項1記載の半導体装置。

【請求項3】

前記外部端子はアドレス入力又はデータ入出力に切換えて用いられる外部マルチプレク

ス端子とアドレス入力端子であり、

前記第 1 生成形態において前記アドレス入力端子及びマルチプレクス端子の双方を用いてアドレス情報を入力する、請求項 2 記載の半導体装置。

【請求項 4】

前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報の特定ビットが第 1 の値であるとき、当該特定ビットを除く前記外部端子からのアドレス情報を下位側とし、上位側を特定リソースのアドレスに割当てられた既定値とする第 2 生成形態と、

前記外部端子から入力されるアドレス情報の特定ビットが第 2 の値であるとき、前記外部端子からのアドレス情報の所定のビット列を下位側とし、上位側を前記外部端子から入力される情報の別の特定ビット配列の値に対応するリソースのアドレスに割り当てられている既定値とする第 3 生成形態と、を含む請求項 1 乃至 3 の何れか 1 項記載の半導体装置

10

【請求項 5】

前記特定リソースはシンクロナス D R A M であり、

前記特定ビット配列の値に対応するリソースはレジスタ群である、請求項 4 記載の半導体装置。

【請求項 6】

前記外部端子はアドレス入力又はデータ入出力に切換えて用いられる外部マルチプレクス端子とアドレス入力端子であり、

前記第 2 生成形態及び第 3 生成形態において前記アドレス入力端子及びマルチプレクス端子の双方の全ビットが情報の入力に用いられ、

前記特定ビットは前記アドレス入力端子の 1 ビットの入力であり、

前記所定のビット列及び別の特定ビット配列は外部マルチプレクス端子からの入力である、請求項 4 記載の半導体装置。

20

【請求項 7】

前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報の特定ビットが第 1 の値であるとき、当該特定ビットを除く前記外部端子からのアドレス情報を下位側とし、その上位側を前記補完レジスタが持つ補完情報とし、更にその上位側を特定リソースのアドレスに割当てられた既定値とする第 4 生成形態と

30

、
前記外部端子から入力されるアドレス情報の特定ビットが第 2 の値であるとき、前記外部端子からの情報の所定のビット列を下位側とし、上位側を前記外部端子から入力される情報の別の特定ビット配列の値に対応するリソースのアドレスに割り当てられている既定値とする第 5 生成形態と、を含む請求項 1 乃至 4 の何れか 1 項記載の半導体装置。

【請求項 8】

前記特定リソースはシンクロナス D R A M であり、

前記特定ビット配列の値に対応するリソースはレジスタ群である、請求項 7 記載の半導体装置。

【請求項 9】

前記外部端子はアドレス入力又はデータ入出力に切換えて用いられる外部マルチプレクス端子とアドレス入力端子であり、

前記第 4 生成形態及び第 5 生成形態において前記アドレス入力端子の 1 ビット及びマルチプレクス端子の全ビットが情報の入力に用いられ、

前記特定ビットは前記 1 ビットのアドレス入力端子からの入力であり、

前記所定のビット列及び別の特定ビット配列は外部マルチプレクス端子からの入力である、請求項 7 記載の半導体装置。

40

【請求項 10】

前記補完レジスタの補完情報をインクリメントするインクリメントと、前記第 4 生成形態において補完レジスタによる補完対象にされる前記マルチプレクス端子からのアドレス

50

情報のビット数で表現される値が一巡される一つ前の値に達する毎に前記インクリメントにインクリメント動作の指示を与えるアドレスインクリメント制御回路と、を更に有する、請求項 9 記載の半導体装置。

【請求項 11】

前記アドレスインクリメント制御回路は、前記外部端子からのアドレス情報が複数バイトアドレス単位で変化される複数バイトアドレスインクリメントモードによる外部端子からのアドレス情報の値が、前記アドレス情報のビット数で表現される最終値の一つ前の値にされることに応答して前記インクリメント動作の指示を発行する、請求項 10 記載の半導体装置。

【請求項 12】

前記アドレスインクリメントモードの種別を指定するアドレスインクリメントモードレジスタを更に有し、

前記アドレスインクリメント制御回路は、アドレスインクリメントモードレジスタで指定された種別に応じて、アドレスインクリメント動作を指示するときの前記最終値を切替える、請求項 11 記載の半導体装置。

【請求項 13】

前記アドレス制御回路による前記アドレス信号の生成形態は、前記第1生成形態で用いられる場合よりも少ないビット数で前記外部端子の一部から入力されるアドレス情報を、前記第1生成形態で用いられる場合よりも多いビット数の前記補完レジスタの補完情報で補完する第6生成形態を含む、請求項 2 記載の半導体装置。

【請求項 14】

前記第6生成形態において前記アドレス情報が入力される前記外部端子はアドレス入力又はデータ入出力に切替えて用いられる外部マルチプレクス端子である、請求項 13 記載の半導体装置。

【請求項 15】

前記補完レジスタの補完情報をインクリメントするインクリメントと、前記第6生成形態において補完レジスタによる補完対象にされる前記マルチプレクス端子からのアドレス情報のビット数で表現される値が一巡される一つ前の値に達する毎に前記インクリメントにインクリメント動作の指示を与えるアドレスインクリメント制御回路と、を更に有する請求項 14 記載の半導体装置。

【請求項 16】

前記アドレスインクリメント制御回路は、前記外部端子からのアドレス情報が複数バイトアドレス単位で変化される複数バイトアドレスインクリメントモードによる外部端子からのアドレス情報の値が、前記アドレス情報のビット数で表現される最終値の一つ前の値にされることに応答して前記インクリメント動作の指示を発行する、請求項 15 記載の半導体装置。

【請求項 17】

前記アドレスインクリメントモードの種別を指定するアドレスインクリメントモードレジスタを更に有し、

前記アドレスインクリメント制御回路は、アドレスインクリメントモードレジスタで指定された種別に応じて、アドレスインクリメント動作を指示するときの前記最終値を切替える、請求項 16 記載の半導体装置。

【請求項 18】

第1のデータプロセッサと、

前記第1のデータプロセッサのアドレス空間の一部に配置され前記第1のデータプロセッサの外部に接続された記憶装置と、

前記第1のデータプロセッサの外部に接続された第2のデータプロセッサと、を有するデータ処理システムであって、

前記第1のデータプロセッサは、前記第2のデータプロセッサから前記第1のデータプロセッサのアドレス空間へのアクセスを制御する第1の外部インターフェース回路と、前記

10

20

30

40

50

記憶装置へのアクセスを制御する第2の外部インタフェース回路とを有し、

前記第1の外部インタフェース回路は、前記アドレス空間をアクセスするために用いられるアドレス信号の一部を前記第2データプロセッサから入力するための外部端子と、前記外部端子から入力されたアドレス情報の上位側を補完するための補完情報が前記第2データプロセッサによって書込まれる補完レジスタと、前記第2データプロセッサによってモード情報が書込まれるモードレジスタと、前記第1データプロセッサのアドレス空間をアクセスするためのアドレス信号を前記外部端子からの入力情報、必要な補完情報及び前記モードレジスタのモード情報に基づく形態で生成するアドレス制御回路と、を有するデータ処理システム。

【請求項19】

前記第2データプロセッサは、前記モードレジスタ及び補完レジスタを設定した後に、前記外部端子にアドレス情報を出力してリードアクセス又はライトアクセスを発行する、請求項18記載のデータ処理システム。

【請求項20】

前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報を前記補完レジスタの補完情報で補完する第1生成形態を含む、請求項18記載のデータ処理システム。

【請求項21】

前記外部端子はアドレス入力又はデータ入出力に切換えて用いられる外部マルチプレクス端子とアドレス入力端子であり、

前記第1生成形態において前記アドレス入力端子及びマルチプレクス端子の双方を用いてアドレス情報を入力する、請求項20記載のデータ処理システム。

【請求項22】

前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報の特定ビットが第1の値であるとき、当該特定ビットを除く前記外部端子からのアドレス情報を下位側とし、上位側を特定リソースのアドレスに割当てられた既定値とする第2生成形態と、

前記外部端子から入力されるアドレス情報の特定ビットが第2の値であるとき、前記外部端子からのアドレス情報の所定のビット列を下位側とし、上位側を前記外部端子から入力される情報の別の特定ビット配列の値に対応するリソースのアドレスに割り当てられている既定値とする第3生成形態と、を含む請求項18記載のデータ処理システム。

【請求項23】

前記特定リソースは前記記憶装置であり、

前記特定ビット配列の値に対応するリソースは前記第1データプロセッサに内蔵されたレジスタ群である、請求項22記載のデータ処理システム。

【請求項24】

前記外部端子はアドレス入力又はデータ入出力に切換えて用いられる外部マルチプレクス端子とアドレス入力端子であり、

前記第2生成形態及び第3生成形態において前記アドレス入力端子及びマルチプレクス端子の双方の全ビットが情報の入力に用いられ、

前記特定ビットは前記アドレス入力端子の1ビットの入力であり、

前記所定のビット列及び別の特定ビット配列は外部マルチプレクス端子からの入力である、請求項22記載のデータ処理システム。

【請求項25】

前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報の特定ビットが第1の値であるとき、当該特定ビットを除く前記外部端子からのアドレス情報を下位側とし、その上位側を前記補完レジスタが持つ補完情報とし、更にその上位側を特定リソースのアドレスに割当てられた既定値とする第4生成形態と、

前記外部端子から入力されるアドレス情報の特定ビットが第2の値であるとき、前記外

10

20

30

40

50

部端子からの情報の所定のビット列を下位側とし、上位側を前記外部端子から入力される情報の別の特定ビット配列の値に対応するリソースのアドレスに割り当てられている既定値とする第5生成形態と、を含む請求項18記載のデータ処理システム。

【請求項26】

前記特定リソースは前記記憶装置であり、

前記特定ビット配列の値に対応するリソースは前記第1のデータプロセッサに内蔵されるレジスタ群である、請求項25記載のデータ処理システム。

【請求項27】

前記外部端子はアドレス入力又はデータ入出力に切換えて用いられる外部マルチプレクス端子とアドレス入力端子であり、

前記第4生成形態及び第5生成形態において前記アドレス入力端子の1ビット及びマルチプレクス端子の全ビットが情報の入力に用いられ、

前記特定ビットは前記1ビットのアドレス入力端子からの入力であり、

前記所定のビット列及び別の特定ビット配列は外部マルチプレクス端子からの入力である、請求項25記載のデータ処理システム。

【請求項28】

前記補完レジスタの補完情報をインクリメントするインクリメンタと、前記第4生成形態において補完レジスタによる補完対象にされる前記マルチプレクス端子からのアドレス情報のビット数で表現される値が一巡される一つ前の値に達する毎に前記インクリメンタにインクリメント動作の指示を与えるアドレスインクリメント制御回路と、を更に有する請求項27記載のデータ処理システム。

【請求項29】

前記アドレスインクリメント制御回路は、前記外部端子からのアドレス情報が複数バイトアドレス単位で変化される複数バイトアドレスインクリメントモードによる外部端子からのアドレス情報の値が、前記アドレス情報のビット数で表現される最終値の一つ前の値にされることに応答して前記インクリメント動作の指示を発行する、請求項28記載のデータ処理システム。

【請求項30】

前記アドレスインクリメントモードの種別を指定するアドレスインクリメントモードレジスタを更に有し、

前記アドレスインクリメント制御回路は、アドレスインクリメントモードレジスタで指定された種別に応じて、アドレスインクリメント動作を指示するときの前記最終値を切替える、請求項29記載のデータ処理システム。

【請求項31】

前記アドレス制御回路による前記アドレス信号の生成形態は、前記第1生成形態で用いられる場合よりも少ないビット数で前記外部端子の一部から入力されるアドレス情報を、前記第1生成形態で用いられる場合よりも多いビット数の前記補完レジスタの補完情報で補完する第6生成形態を含む、請求項20記載のデータ処理システム。

【請求項32】

前記第6生成形態において前記アドレス情報が入力される前記外部端子はアドレス入力又はデータ入出力に切換えて用いられる外部マルチプレクス端子である、請求項31記載のデータ処理システム。

【請求項33】

前記補完レジスタの値をインクリメントするインクリメンタと、前記第6生成形態において補完レジスタによる補完対象にされる前記マルチプレクス端子からのアドレス情報のビット数で表現される値が一巡される一つ前の値に達する毎に前記インクリメンタにインクリメント動作の指示を与えるアドレスインクリメント制御回路と、を更に有する請求項32記載のデータ処理システム。

【請求項34】

前記アドレスインクリメント制御回路は、前記外部端子からのアドレス情報が複数バイ

10

20

30

40

50

トアドレス単位で変化される複数バイトアドレスインクリメントモードによる外部端子からのアドレス情報の値が、前記アドレス情報のビット数で表現される最終値の一つ前の値にされることに応答して前記インクリメント動作の指示を発行する、請求項 3 3 記載のデータ処理システム。

【請求項 3 5】

前記アドレスインクリメントモードの種別を指定するアドレスインクリメントモードレジスタを更に有し、

前記アドレスインクリメント制御回路は、アドレスインクリメントモードレジスタで指定された種別に応じて、アドレスインクリメント動作を指示するときの前記最終値を切換える、請求項 3 4 記載のデータ処理システム。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明はデータ処理ユニットのアドレス空間に対して外部からアクセス要求を受け付ける半導体装置、更には当該半導体装置を適用したデータ処理システムに関し、例えばマルチプロセッサシステムに適用して有効な技術に関する。

【背景技術】

【0002】

複数のプロセッサが密結合されたマルチプロセッサシステムにおいて一のプロセッサのアドレス空間に配置されたリソースを他のプロセッサが当該一のプロセッサを経由してアクセス可能にすることにより、一のプロセッサのリソースの利用効率を向上させてシステム効率の向上とシステムの低コスト化に資することができる。特許文献 1 には、一のプロセッサに他のデータプロセッサとの接続を可能にするためのインタフェース手段を設け、このインタフェース手段に、一のプロセッサ内の内部バスに他のデータプロセッサをバスマスタとして接続可能にする機能を設け、内部バスにメモリマップされた周辺機能を前記インタフェース手段を介して外部より当該他のデータプロセッサが直接操作できるようにした技術が示される。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2010 - 9612 号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明者はプロセッサが保有するリソースを他の外部デバイスが直接アクセスするための当該外部デバイスとプロセッサとを接続する端子数の削減について検討した。例えばプロセッサのアドレス空間を任意にアクセスするのに 32 ビットのアドレス信号を必要とする場合に、外部デバイスがプロセッサのリソースをアクセス可能にするための接続に同じビット数のアドレス端子を割当てるとは、外部端子数の制約から実現できない場合が多い。特許文献 1 ではそのような外部接続のための端子数の削減については検討されていない。

40

【0005】

本発明の目的は、外部からアクセスを受けるためのアドレス入力に割当てられる外部端子の数が少ない半導体装置を提供することにある。

【0006】

本発明の別の目的は、外部からのアクセスに対する高速な応答性を実現しながら外部からアクセスを受けるためのアドレス入力に割当てられる外部端子の数が少ない半導体装置を提供することにある。

【0007】

本発明の更に別の目的は、リソースの利用効率という点でシステム効率を向上でき、外

50

部からアクセスを受けるためのアドレス入力用の外部端子の数が削減されるという点でシステムの低コストを実現できるデータ処理システムを提供することにある。

【0008】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0009】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】

すなわち、自らのアドレス空間に保有するリソースを他の外部デバイスが直接アクセスできるようにするために、外部からのアクセスに必要なアドレス信号の一部を入力する外部端子と、前記外部端子から入力されたアドレス情報の上位側を補完するための補完レジスタと、外部からアクセス可能なモードレジスタと、外部からのアクセスに応答するアドレス信号を前記外部端子からの入力情報、必要な補完情報及び前記モードレジスタのモード情報に基づく形態で生成するアドレス制御回路とを外部インタフェース回路に採用する。

【0011】

補完レジスタに設定された補完情報は外部端子から入力されたアドレス情報の上位側を補完するから、外部端子のビット数で決まるアドレス範囲よりも広い空間を、少ないビット数の外部端子でアクセスすることができる。アドレス情報の補完は補完レジスタに予め設定された補完情報を用いることができるから、その場合には外部端子の一部をデコードして補完すべき情報を生成するような処理を必要としないから、アドレス生成動作の遅延は小さい。モードレジスタの設定内容に従って外部端子からのアドレス情報と必要な補完情報を用いたアドレス情報の生成形態を決定することができるので、少ない外部端子数でもアドレス生成形態に多くのバリエーションを得ることが容易である。

【発明の効果】

【0012】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0013】

すなわち、外部からのアクセスに対する高速な応答性を実現しながら外部からアクセスを受けるためのアドレス入力に割当てられる外部端子の数を少なくすることができる。さらに、リソースの利用効率という点でシステム効率を向上でき、外部からアクセスを受けるためのアドレス入力用の外部端子の数が削減されるという点でシステムの低コストを実現できる。

【図面の簡単な説明】

【0014】

【図1】図1はアドレス制御回路及びレジスタ制御回路によるアドレス変換機構の詳細を例示するブロック図である。

【図2】図2は本発明に係るデータ処理システムの一例として携帯電話器を示すブロック図である。

【図3】図3はアプリケーションプロセッサの具体的な構成を例示するブロック図である。

【図4】図4はマスタインタフェース回路の具体例を示すブロック図である。

【図5】図5は第1のアドレス生成形態の詳細を例示する説明図である。

【図6】図6は第2モード（第2のアドレス生成形態及び第3のアドレス生成形態）におけるアドレス入力状態を例示する説明図である。

【図7】図7は第2のアドレス生成形態の詳細を例示する説明図である。

【図8】図8は第2のアドレス生成形態の詳細を例示する説明図である。

10

20

30

40

50

【図 9】図 9 は第 3 モード（第 4 のアドレス生成形態及び第 5 のアドレス生成形態）におけるアドレス入力状態を例示する説明図である。

【図 10】図 10 は第 4 のアドレス生成形態の詳細を例示する説明図である。

【図 11】図 11 は第 4 モードにおける第 6 のアドレス生成形態の詳細を例示する説明図である。

【図 12】図 12 はアドレス変換機能にアドレスインクリメントの機能を追加した構成を例示するブロック図である。

【図 13】図 13 はアプリケーションプロセッサへの第 1 モードを使用したアクセス例を示すフローチャートである。

【図 14】図 14 はアプリケーションプロセッサへの第 2 モードを使用したアクセス例を示すフローチャートである。

【図 15】図 15 はアプリケーションプロセッサへの第 3 モードを使用したアクセス例を示すフローチャートである。

【図 16】図 16 はアプリケーションプロセッサへの第 4 モードを使用したアクセス例を示すフローチャートである。

【図 17】図 17 は外部同期インタフェース制御回路に対する書き込み動作のタイミングチャートである。

【図 18】図 18 は外部同期インタフェース制御回路に対する読み出し動作のタイミングチャートである。

【図 19】図 19 は外部非同期インタフェース制御回路に対する書き込み動作のタイミングチャートである。

【図 20】図 20 は外部非同期インタフェース制御回路に対する読み出し動作のタイミングチャートである。

【発明を実施するための形態】

【0015】

1. 実施の形態の概要

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面中の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

【0016】

〔1〕＜半導体装置＞

本発明の代表的な実施の形態に係る半導体装置（2）はデータ処理ユニット（100）と、前記半導体装置の外部から前記データ処理ユニットのアドレス空間へのアクセスを制御する外部インタフェース回路（10）を有する。前記外部インタフェース回路は、前記アドレス空間をアクセスするために用いられるアドレス信号の一部を前記半導体装置の外部から入力するための複数の外部端子（303, 304）と、前記外部端子から入力されたアドレス情報の上位側を補完するための補完情報が前記半導体装置の外部から書込まれる補完レジスタ（401）と、前記半導体装置の外部からモード情報が書込まれるモードレジスタ（400）と、前記アドレス空間をアクセスするためのアドレス信号を前記外部端子からの入力情報、必要な補完情報及び前記モードレジスタのモード情報に基づく形態で生成するアドレス制御回路（202）と、を有する。

【0017】

これにより、補完レジスタに設定された補完情報は外部端子から入力されたアドレス情報の上位側を補完するから、外部端子のビット数で決まるアドレス範囲よりも広い空間を、少ないビット数の外部端子でアクセスすることができる。アドレス情報の補完は補完レジスタに予め設定された補完情報を用いることができるから、その場合には外部端子の一部をデコードして補完すべき情報を生成するような処理を必要としないから、アドレス生成動作の遅延は小さい。モードレジスタの設定内容に従って外部端子からのアドレス情報と必要な補完情報を用いたアドレス情報の生成形態を決定することができるので、少ない外部端子数でもアドレス生成形態に多くのバリエーションを得ることが容易である。

10

20

30

40

50

【 0 0 1 8 】

〔 2 〕 < モード 1 : Reg5bit , ADR10bit , MPX16bit >

項 1 の半導体装置において、前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報を前記補完レジスタの補完情報で補完する第 1 生成形態を含む (図 5) 。

【 0 0 1 9 】

これにより、補完レジスタを設定した後に、前記外部端子にアドレス情報を出力してリードアクセス又はライトアクセスを連続的に行うことができる。

【 0 0 2 0 】

〔 3 〕項 2 の半導体装置において、前記外部端子はアドレス入力又はデータ入出力に切換えて用いられる外部マルチプレクス端子 (3 0 3) とアドレス入力端子 (3 0 4) であり、前記第 1 生成形態において前記アドレス入力端子及びマルチプレクス端子の双方を用いてアドレス情報を入力する。

10

【 0 0 2 1 】

マルチプレクス端子の採用によって更に外部端子の数を削減することができる。

【 0 0 2 2 】

〔 4 〕 < モード 2 : ADR10bit , MPX15bit >

項 1 乃至 3 の何れかの半導体装置において、前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報の特定ビット (A 2 5) が第 1 の値であるとき、当該特定ビットを除く前記外部端子からのアドレス情報を下位側とし、上位側を特定リソースのアドレスに割当てられた既定値とする第 2 生成形態 (図 6 、 図 7) と、前記外部端子から入力されるアドレス情報の特定ビットが第 2 の値であるとき、前記外部端子からのアドレス情報の所定のビット列を下位側とし、上位側を前記外部端子から入力される情報の別の特定ビット配列 (A D 1 3 ~ A D 1 1) の値に対応するリソースのアドレスに割り当てられている既定値とする第 3 生成形態 (図 6 、 図 8) と、を含む。

20

【 0 0 2 3 】

第 2 生成形態により特定のリソースに対し外部端子を利用してフルアクセスを行うことが可能になる。第 3 の生成形態により、外部端子の一部の特定ビット配列の値で所定範囲のリソースを指定し、指定したリソースを外部端子の残りのビット配列を用いてフルアクセスすることができる。これらにより、限られたビット数の外部端子を用いて所定のリソースのローカルなアドレス範囲をフルアクセスすることが可能になる。

30

【 0 0 2 4 】

〔 5 〕項 4 の半導体装置において、前記特定リソースはシンクロナス D R A M (9) であり、前記特定ビット配列の値に対応するリソースはレジスタ群 (1 3 , 1 4 の制御レジスタ) である。

【 0 0 2 5 】

〔 6 〕項 4 又は 5 の半導体装置において、前記外部端子はアドレス入力又はデータ入出力に切換えて用いられる外部マルチプレクス端子とアドレス入力端子であり、前記第 2 生成形態及び第 3 生成形態において前記アドレス入力端子及びマルチプレクス端子の双方の全ビットが情報の入力に用いられ、前記特定ビットは前記アドレス入力端子の 1 ビットの入力であり、前記所定のビット列及び別の特定ビット配列は外部マルチプレクス端子からの入力である。

40

【 0 0 2 6 】

〔 7 〕 < 第 3 モード : Reg10bit , ADR1bit , MPX >

項 1 乃至 6 の何れかの半導体装置において、前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報の特定ビット (A 1 6) が第 1 の値であるとき、当該特定ビットを除く前記外部端子からのアドレス情報を下位側とし、その上位側を前記補完レジスタが持つ補完情報とし、更にその上位側を特定リソースのアドレスに割当てられた既定値とする第 4 生成形態 (図 9 、 図 1 0) と、前記外部端子

50

から入力されるアドレス情報の特定ビットが第2の値であるとき、前記外部端子からの情報の所定のビット列を下位側とし、上位側を前記外部端子から入力される情報の別の特定ビット配列（AD13～AD11）の値に対応するリソースのアドレスに割り当てられている既定値とする第5生成形態（図9、図8）と、を含む。

【0027】

第4生成形態により特定のリソースに対し外部端子と補完レジスタを利用してフルアクセスを行うことが可能になる。第5の生成形態により、外部端子の一部の特定ビット配列の値で所定範囲のリソースを指定し、指定したリソースを外部端子の残りのビット配列を用いてフルアクセスすることができる。これらにより、限られたビット数の外部端子を用いて所定のリソースのローカルなアドレス範囲をフルアクセスすることが可能になる。第2モードに比べ、使用すべき外部端子の数を減らすことができる。

10

【0028】

〔8〕項7の半導体装置において、前記特定リソースはシンクロナスDRAMであり、前記特定ビット配列の値に対応するリソースはレジスタ群である。

【0029】

〔9〕項7又は8の半導体装置において、前記外部端子はアドレス入力又はデータ入出力に切換えて用いられる外部マルチプレクス端子とアドレス入力端子であり、前記第4生成形態及び第5生成形態において前記アドレス入力端子の1ビット及びマルチプレクス端子の全ビットが情報の入力に用いられ、前記特定ビットは前記1ビットのアドレス入力端子からの入力であり、前記所定のビット列及び別の特定ビット配列は外部マルチプレクス端子からの入力である。

20

【0030】

〔10〕＜インクリメント＞

項9の半導体装置において、前記補完レジスタの補完情報をインクリメントするインクリメント（403）と、前記第4生成形態において補完レジスタによる補完対象にされる前記マルチプレクス端子からのアドレス情報のビット数で表現される値が一巡される一前の値に達する毎に前記インクリメントにインクリメント動作の指示を与えるアドレスインクリメント制御回路（510）と、を更に有する。

【0031】

これにより、外部端子の一部から入力されるアドレス情報が一巡されるたびに外部から補完レジスタの値を書き換えることをしなくても、最大で、使用可能な外部端子のビット数と補完レジスタのビット数の合計ビット数の範囲で指定可能な領域を連続的にアクセスすることができるようになる。したがって、使用する外部端子数を更に減らして第2生成形態と同様のアドレス範囲に連続アクセスを行うことが可能になる。

30

【0032】

〔11〕＜インクリメントモード＞

項10の半導体装置において、前記アドレスインクリメント制御回路は、前記外部端子からのアドレス情報が複数バイトアドレス単位で変化される複数バイトアドレスインクリメントモードによる外部端子からのアドレス情報の値が、前記アドレス情報のビット数で表現される最終値の一つ前の値にされることに応答して前記インクリメント動作の指示を発行する。

40

【0033】

これにより、外部のアクセス主体が16バイトアドレス単位にアクセス要求を発行し、これを受ける半導体装置がそのアクセス要求アドレスを基点に16バイトアドレスを内部で生成する16バイトアドレスインクリメントモードのバースト動作のバス制御機能を備える場合、或いは同様に32バイトアドレスインクリメントモードのバースト動作のバス制御機能を備える場合などに対応することができる。

【0034】

〔12〕＜インクリメントモードレジスタ＞

項11の半導体装置において、前記アドレスインクリメントモードの種別を指定するア

50

ドレスインクリメントモードレジスタ(402)を更に有する。前記アドレスインクリメント制御回路は、アドレスインクリメントモードレジスタで指定された種別に応じて、アドレスインクリメント動作を指示するときの前記最終値を切替える。

【0035】

これにより、16バイトアドレスインクリメントモードや32バイトアドレスインクリメントモードなどへの対応が容易になる。

【0036】

〔13〕<モード4:Reg15bit、MPX>

項2乃至12の何れかの半導体装置において、前記アドレス制御回路による前記アドレス信号の生成形態は、前記第1生成形態で用いられる場合よりも少ないビット数で前記外部端子の一部から入力されるアドレス情報を、前記第1生成形態で用いられる場合よりも多いビット数の前記補完レジスタの補完情報で補完する第6生成形態(図11)を含む。

10

【0037】

これにより、補完レジスタを設定した後に、前記外部端子にアドレス情報を出力してリードアクセス又はライトアクセスを連続的に行うことができる。第1生成形態と同様の効果を外部端子のより少ない数の利用で達成することができる。

【0038】

〔14〕

項13の半導体装置において、前記第6生成形態において前記アドレス情報が入力される前記外部端子はアドレス入力又はデータ入出力に切替えて用いられる外部マルチプレクス端子である。

20

【0039】

〔15〕<インクリメンタ>

項14の半導体装置において、前記補完レジスタの補完情報をインクリメントするインクリメンタと、前記第6生成形態において補完レジスタによる補完対象にされる前記マルチプレクス端子からのアドレス情報のビット数で表現される値が一巡される一つ前の値に達する毎に前記インクリメンタにインクリメント動作の指示を与えるアドレスインクリメント制御回路と、を更に有する。

【0040】

これにより、外部端子の一部から入力されるアドレス情報が一巡されるたびに外部から補完レジスタの値を書き換えることをしなくても、最大で、使用可能な外部端子のビット数と補完レジスタのビット数の合計ビット数の範囲で指定可能な領域を連続的にアクセスすることができるようになる。したがって、使用する外部端子数が更に減っても第2生成形態と同様のアドレス範囲に連続アクセスを行うことが可能になる。

30

【0041】

〔16〕<インクリメントモード>

項15の半導体装置において前記アドレスインクリメント制御回路は、前記外部端子からのアドレス情報が複数バイトアドレス単位で変化される複数バイトアドレスインクリメントモードによる外部端子からのアドレス情報の値が、前記アドレス情報のビット数で表現される最終値の一つ前の値にされることに応答して前記インクリメント動作の指示を発行する。

40

【0042】

これにより、外部のアクセス主体が16バイトアドレス単位にアクセス要求を発行し、これを受ける半導体装置がそのアクセス要求アドレスを基点に16バイトアドレスを内部で生成する16バイトアドレスインクリメントモードのバースト動作のバス制御機能を備える場合、或いは同様に32バイトアドレスインクリメントモードのバースト動作のバス制御機能を備える場合などに対応することができる。

【0043】

〔17〕<インクリメントモードレジスタ>

項16の半導体装置において、前記アドレスインクリメントモードの種別を指定するア

50

ドレスインクリメントモードレジスタを更に有する。前記アドレスインクリメント制御回路は、アドレスインクリメントモードレジスタで指定された種別に応じて、アドレスインクリメント動作を指示するときの前記最終値を切替える。

【0044】

これにより、16バイトアドレスインクリメントモードや32バイトアドレスインクリメントモードなどへの対応が容易になる。

【0045】

〔18〕<データ処理システム>

本発明の別の実施の形態に係るデータ処理システム(1)は、第1のデータプロセッサ(2)と、前記第1のデータプロセッサのアドレス空間の一部に配置され前記第1のデータプロセッサの外部に接続された記憶装置(9)と、前記第1のデータプロセッサの外部に接続された第2のデータプロセッサ(3)と、を有する。前記第1のデータプロセッサは、前記第2のデータプロセッサから前記第1のデータプロセッサのアドレス空間へのアクセスを制御する第1の外部インタフェース回路(10)と、前記記憶装置へのアクセスを制御する第2の外部インタフェース回路(11)とを有する。前記第1の外部インタフェース回路は、前記アドレス空間をアクセスするために用いられるアドレス信号の一部を前記第2データプロセッサから入力するための外部端子(303, 304)と、前記外部端子から入力されたアドレス情報の上位側を補完するための補完情報が前記第2のデータプロセッサによって書込まれる補完レジスタ(401)と、前記第2のデータプロセッサによってモード情報が書込まれるモードレジスタ(400)と、前記第1のデータプロセッサのアドレス空間をアクセスするためのアドレス信号を前記外部端子からの入力情報、必要な補完情報及び前記モードレジスタのモード情報に基づく形態で生成するアドレス制御回路(202)と、を有する。

【0046】

第1の外部インタフェース回路により、補完レジスタに設定された補完情報は外部端子から入力されたアドレス情報の上位側を補完するから、第2のデータプロセッサは第1のデータプロセッサの前記外部端子のビット数で決まるアドレス範囲よりも広い空間を、少ないビット数の外部端子でアクセスすることができる。アドレス情報の補完は補完レジスタに予め設定された補完情報を用いることができるから、その場合には第1の外部インタフェース回路は外部端子の一部をデコードして補完すべき情報を生成するような処理を必要としないから、アドレス生成動作の遅延は小さい。第2のデータプロセッサは第1のデータプロセッサ内のモードレジスタの設定内容に従って外部端子からのアドレス情報と必要な補完情報を用いたアドレス情報の生成形態を決定することができるので、第1の外部インタフェース回路は少ない外部端子数でもアドレス生成形態に多くのバリエーションを得ることが容易である。

【0047】

〔19〕

項18のデータプロセッサにおいて前記第2のデータプロセッサは、前記モードレジスタ及び補完レジスタを設定した後に、前記外部端子にアドレス情報を出力してリードアクセス又はライトアクセスを発行する。

【0048】

〔20〕<モード1: Reg5bit, ADR10bit, MPX16bit>

項18又は19のデータプロセッサにおいて、前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報を前記補完レジスタの補完情報で補完する第1生成形態を含む。

【0049】

これにより、第2のデータプロセッサは補完レジスタを設定した後に、前記外部端子にアドレス情報を出力して第1のデータプロセッサのアドレス空間に対するリードアクセス又はライトアクセスを連続的に行うことができる。

【0050】

10

20

30

40

50

〔 2 1 〕 項 2 0 のデータプロセッサにおいて、前記外部端子はアドレス入力又はデータ入出力に切換えて用いられる外部マルチプレクス端子とアドレス入力端子である。前記第 1 生成形態において前記アドレス入力端子及びマルチプレクス端子の双方を用いてアドレス情報を入力する。

【 0 0 5 1 〕

〔 2 2 〕 < モード 2 : ADR10bit , MPX15bit >

項 1 8 乃至 2 1 の何れかのデータ処理システムにおいて、前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報の特定ビットが第 1 の値であるとき、当該特定ビットを除く前記外部端子からのアドレス情報を下位側とし、上位側を特定リソースのアドレスに割当てられた既定値とする第 2 生成形態と、前記外部端子から入力されるアドレス情報の特定ビットが第 2 の値であるとき、前記外部端子からのアドレス情報の所定のビット列を下位側とし、上位側を前記外部端子から入力される情報の別の特定ビット配列の値に対応するリソースのアドレスに割り当てられている既定値とする第 3 生成形態と、を含む。

10

【 0 0 5 2 〕

第 2 生成形態により第 2 のデータプロセッサは第 2 のデータプロセッサのアドレス空間に配置された特定のリソースに対し外部端子を利用してフルアクセスを行うことが可能になる。第 3 の生成形態により、第 2 のデータプロセッサは第 2 のデータプロセッサのアドレス空間に配置された所定範囲のリソースを外部端子の一部の特定ビット配列の値で指定し、指定したリソースを外部端子の残りのビット配列を用いてフルアクセスすることができる。これらにより、第 2 のデータプロセッサは第 1 のデータプロセッサのアドレス空間に配置された所定のリソースのローカルなアドレス範囲を限られたビット数の外部端子を用いてフルアクセスすることが可能になる。

20

【 0 0 5 3 〕

〔 2 3 〕

項 2 2 のデータ処理システムにおいて、前記特定リソースは前記記憶装置であり、前記特定ビット配列の値に対応するリソースは前記第 1 のデータプロセッサに内蔵されたレジスタ群である。

【 0 0 5 4 〕

〔 2 4 〕

項 2 2 又は 2 3 のデータ処理システムにおいて、前記外部端子はアドレス入力又はデータ入出力に切換えて用いられる外部マルチプレクス端子とアドレス入力端子であり、前記第 2 生成形態及び第 3 生成形態において前記アドレス入力端子及びマルチプレクス端子の双方の全ビットが情報の入力に用いられ、前記特定ビットは前記アドレス入力端子の 1 ビットの入力であり、前記所定のビット列及び別の特定ビット配列は外部マルチプレクス端子からの入力である。

30

【 0 0 5 5 〕

〔 2 5 〕 < 第 3 モード : Reg10bit , ADR1bit、MPX >

項 1 8 乃至 2 4 の何れかのデータ処理システムにおいて、前記アドレス制御回路による前記アドレス信号の生成形態は、前記外部端子から入力されるアドレス情報の特定ビットが第 1 の値であるとき、当該特定ビットを除く前記外部端子からのアドレス情報を下位側とし、その上位側を前記補完レジスタが持つ補完情報とし、更にその上位側を特定リソースのアドレスに割当てられた既定値とする第 4 生成形態と、前記外部端子から入力されるアドレス情報の特定ビットが第 2 の値であるとき、前記外部端子からの情報の所定のビット列を下位側とし、上位側を前記外部端子から入力される情報の別の特定ビット配列の値に対応するリソースのアドレスに割り当てられている既定値とする第 5 生成形態と、を含む。

40

【 0 0 5 6 〕

第 4 生成形態により第 2 のデータプロセッサは第 1 のデータプロセッサのアドレス空間に配置された特定のリソースに対し外部端子と補完レジスタを利用してフルアクセスを行

50

うことが可能になる。第5の生成形態により、第2のデータプロセッサは第1のデータプロセッサのアドレス空間に配置された所定範囲のリソースを外部端子の一部の特定ビット配列の値で指定し、指定したリソースを外部端子の残りのビット配列を用いてフルアクセスすることができる。これらにより、第2のデータプロセッサは第1のデータプロセッサのアドレス空間に配置された所定のリソースのローカルなアドレス範囲を限られたビット数の外部端子を用いてフルアクセスすることが可能になる。第2モードに比べ、使用すべき外部端子の数を減らすことができる。

【0057】

〔26〕

項25のデータ処理システムにおいて、前記特定リソースは前記記憶装置であり、前記特定ビット配列の値に対応するリソースは前記第1のデータプロセッサに内蔵されるレジスタ群である。

10

【0058】

〔27〕

項25又は265のデータ処理システムにおいて、前記外部端子はアドレス入力又はデータ入出力に切換えて用いられる外部マルチプレクス端子とアドレス入力端子であり、前記第4生成形態及び第5生成形態において前記アドレス入力端子の1ビット及びマルチプレクス端子の全ビットが情報の入力に用いられ、前記特定ビットは前記1ビットのアドレス入力端子からの入力であり、前記所定のビット列及び別の特定ビット配列は外部マルチプレクス端子からの入力である。

20

【0059】

〔28〕<インクリメンタ>

項27のデータ処理システムにおいて、前記補完レジスタの補完情報をインクリメントするインクリメンタと、前記第4生成形態において補完レジスタによる補完対象にされる前記マルチプレクス端子からのアドレス情報のビット数で表現される値が一巡される一つ前の値に達する毎に前記インクリメンタにインクリメント動作の指示を与えるアドレスインクリメント制御回路と、を更に有する。

【0060】

これにより、外部端子の一部から入力されるアドレス情報が一巡されるたびに第2のデータプロセッサは第1のデータプロセッサの補完レジスタの値を書き換えることをしなくても、最大で、使用可能な外部端子のビット数と補完レジスタのビット数の合計ビット数の範囲で指定可能な領域を連続的にアクセスすることができるようになる。したがって、第1のデータプロセッサと第2のデータプロセッサとの間でアドレス情報の伝達に使用する外部端子数を更に減らして第2生成形態と同様のアドレス範囲に連続アクセスを行うことが可能になる。

30

【0061】

〔29〕<インクリメントモード>

項28のデータ処理システムにおいて、前記アドレスインクリメント制御回路は、前記外部端子からのアドレス情報が複数バイトアドレス単位で変化される複数バイトアドレスインクリメントモードによる外部端子からのアドレス情報の値が、前記アドレス情報のビット数で表現される最終値の一つ前の値にされることに応答して前記インクリメント動作の指示を発行する。

40

【0062】

これにより、第2のデータプロセッサが16バイトアドレス単位にアクセス要求を発行し、これを受ける第1のデータプロセッサがそのアクセス要求アドレスを基点に16バイトアドレスを内部で生成する16バイトアドレスインクリメントモードのバースト動作のバス制御機能を備える場合、或いは同様に32バイトアドレスインクリメントモードのバースト動作のバス制御機能を備える場合などに対応することができる。

【0063】

〔30〕<インクリメントモードレジスタ>

50

項 29 のデータ処理システムにおいて、前記アドレスインクリメントモードの種別を指定するアドレスインクリメントモードレジスタを更に有し、前記アドレスインクリメント制御回路は、アドレスインクリメントモードレジスタで指定された種別に応じて、アドレスインクリメント動作を指示するときの前記最終値を切替える。

【 0 0 6 4 】

これにより、16 バイトアドレスインクリメントモードや 32 バイトアドレスインクリメントモードなどへの対応が容易になる。

【 0 0 6 5 】

〔 3 1 〕 < モード 4 : Reg15bit、MPX >

項 20 乃至 30 の何れかのデータ処理システムにおいて、前記アドレス制御回路による前記アドレス信号の生成形態は、前記第 1 生成形態で用いられる場合よりも少ないビット数で前記外部端子の一部から入力されるアドレス情報を、前記第 1 生成形態で用いられる場合よりも多いビット数の前記補完レジスタの補完情報で補完する第 6 生成形態を含む。

【 0 0 6 6 】

これにより、第 2 のデータプロセッサは第 1 のデータプロセッサの補完レジスタを設定した後に、前記外部端子にアドレス情報を出力してリードアクセス又はライトアクセスを連続的に行うことができる。第 1 生成形態と同様の効果を外部端子のより少ない数の利用で達成することができる。

【 0 0 6 7 】

〔 3 2 〕

項 31 のデータ処理システムにおいて、前記第 6 生成形態において前記アドレス情報が入力される前記外部端子はアドレス入力又はデータ入出力に切替えて用いられる外部マルチプレクス端子である。

【 0 0 6 8 】

〔 3 3 〕 < インクリメンタ >

項 32 のデータ処理システムにおいて、前記補完レジスタの値をインクリメントするインクリメンタと、前記第 6 生成形態において補完レジスタによる補完対象にされる前記マルチプレクス端子からのアドレス情報のビット数で表現される値が一巡される一つ前の値に達する毎に前記インクリメンタにインクリメント動作の指示を与えるアドレスインクリメント制御回路と、を更に有する。

【 0 0 6 9 】

これにより、外部端子の一部から入力されるアドレス情報が一巡されるたびに第 2 のデータプロセッサは第 1 のデータプロセッサの補完レジスタの値を書き換えることをしなくても、最大で、使用可能な外部端子のビット数と補完レジスタのビット数の合計ビット数の範囲で指定可能な領域を連続的にアクセスすることができるようになる。したがって、第 1 のデータプロセッサと第 2 のデータプロセッサとの間でアドレス情報の伝達に使用する外部端子数が更に減っても第 2 生成形態と同様のアドレス範囲に連続アクセスを行うことが可能になる。

【 0 0 7 0 】

〔 3 4 〕 < インクリメントモード >

項 33 のデータ処理システムにおいて、前記アドレスインクリメント制御回路は、前記外部端子からのアドレス情報が複数バイトアドレス単位で変化される複数バイトアドレスインクリメントモードによる外部端子からのアドレス情報の値が、前記アドレス情報のビット数で表現される最終値の一つ前の値にされることに応答して前記インクリメント動作の指示を発行する。

【 0 0 7 1 】

これにより、第 2 のデータプロセッサが 16 バイトアドレス単位にアクセス要求を発行し、これを受ける第 1 のデータプロセッサがそのアクセス要求アドレスを基点に 16 バイトアドレスを内部で生成する 16 バイトアドレスインクリメントモードのバースト動作のバス制御機能を備える場合、或いは同様に 32 バイトアドレスインクリメントモードのバ

10

20

30

40

50

ーラスト動作のバス制御機能を備える場合などに対応することができる。

【0072】

〔35〕＜インクリメントモードレジスタ＞

項34のデータ処理システムにおいて、前記アドレスインクリメントモードの種別を指定するアドレスインクリメントモードレジスタを更に有し、前記アドレスインクリメント制御回路は、アドレスインクリメントモードレジスタで指定された種別に応じて、アドレスインクリメント動作を指示するときの前記最終値を切替える。

【0073】

これにより、16バイトアドレスインクリメントモードや32バイトアドレスインクリメントモードなどへの対応が容易になる。

10

【0074】

2.実施の形態の詳細

実施の形態について更に詳述する。

【0075】

《データ処理システム》

図2には本発明に係るデータ処理システムの一例として携帯電話器が示される。携帯電話器は高周波トランシーバ(RFIC)4を有し、ベースバンドプロセッサ(BBP)3のプロトコル制御によって符号化された送信データを高周波トランシーバ4がアンテナを駆動して送信し、また、アンテナを介して高周波トランシーバ4が受信した信号をベースバンドプロセッサ3が所定のプロトコル制御によって受信データに復号する。ベースバンドプロセッサ3は命令を実行して送受信のプロトコル制御及び電話通信の認証などを行う中央処理装置やメモリなどを備えたひとつのデータプロセッサ若しくはマイクロコンピュータを構成する。

20

【0076】

ベースバンドプロセッサ3はもう一つのデータプロセッサとしてのアプリケーションプロセッサ(APP)2と一緒にマルチプロセッサシステムを構成する。APP2、BBP3、RFIC4は夫々別々の半導体装置として構成され、例えば夫々別々に単結晶シリコンのような1個の半導体基板に相補型MOS集積回路製造技術などによって構成される。電源回路(PMIC)5はBBP3、APP2、及びRFIC4等に動作電源を供給する電源用の半導体装置である。

30

【0077】

アプリケーションプロセッサ2は命令を実行する中央処理装置を備え、送受信データに供されるデータに対する画像処理や暗号化のデータ処理や、液晶ディスプレイ(LCD)7に対する表示及び描画制御を行い、カメラ(CAM)6とのインタフェース制御などを行う。ベースバンドプロセッサ2の外部バスインタフェース制御は、特に制限されないが、シンクロナスDRAM(SDRAM)及び電氣的に書換え可能な不揮発性メモリ(FLASH)に代表されるメモリ装置などとのインタフェース制御を行う外部インタフェース回路(IF2nd)11、12と、ベースバンドプロセッサ3に接続される外部インタフェース回路(IF1st)10によって行われる。

【0078】

40

外部インタフェース回路11は所謂SDRAMコントローラのようにSDRAMのメモリインタフェース仕様に準拠した制御機能を備え、外部バス22を介してSDRAM9に接続する。外部インタフェース回路12はフラッシュメモリやSRAM等に接続可能なインタフェース仕様に準拠した制御機能を備え、外部バス21を介して例えばフラッシュメモリ8に接続する。

【0079】

外部インタフェース回路10は、ベースバンドプロセッサ3がアプリケーションプロセッサ2のアドレス空間に配置されたリソースをアプリケーションプロセッサ2を介して直接アクセス可能にするためのインタフェース回路である。例えば、ベースバンドプロセッサ3は外部インタフェース回路11、12を介してSDRAM9及びFLASH8のよう

50

な記憶装置をアクセスし、また、アプリケーションプロセッサ2のクロックパルスジェネレータ(CPG)の制御レジスタ及びシステムコントローラ(SYSC)の制御レジスタなどのレジスタ群をアクセス可能にする。20はベースバンドプロセッサ3を外部インタフェース回路12に接続する外部バスである。外部インタフェース回路10のインタフェース機能に着目すればベースバンドプロセッサ3はマスタプロセッサ、アプリケーションプロセッサ2はスレーブプロセッサとして位置付けられる。この意味で、外部インタフェース回路10をスレーブプロセッサにとってのマスタインタフェース回路10とも記す。外部インタフェース回路11, 12は単に外部バスインタフェース回路とも記す。

【0080】

《アプリケーションプロセッサ》

図3にはアプリケーションプロセッサ2の具体的な構成が例示される。

10

【0081】

アプリケーションプロセッサ2は全体の制御を司る中央処理装置(CPU)100を備えると共に、CPU100に対するアクセラレータとして、音声処理用のアクセラレータ(SGX)121、画像処理用のアクセラレータ(GRF)120、シリアル通信用のアクセラレータ(USBP)125、及び暗号化復号処理用のアクセラレータ(CRYPT)127を有する。

【0082】

CPU100が接続する内部バス102にはダイレクトメモリアクセスコントローラ(DMAC)101が接続されると共に周辺バス103とインタフェースされ、周辺バス103にはCPU100の周辺モジュールとしてシリアル系モジュール104、割込みコントローラなどに割込み系モジュール105及びモバイル機器の高速シリアルインタフェース(MIPI)系モジュール106が接続される。

20

【0083】

前記アクセラレータ121は内部バス102にインタフェースされる内部バス124に接続され、この内部バス124にバスブリッジを介して前記アクセラレータ120が接続されると共にDMAC123が接続される。内部バス124には画像処理系バス112がインタフェースされ、この画像処理系バス112には輝度操作などの画像系モジュール105と画像メモリ(MERAM)111が接続される。更に内部バス124には外部インタフェース回路11として例えばSDRAMコントローラ(SBSC)が接続される。

30

【0084】

前記アクセラレータ125, 127は夫々に固有のDMAC126, 128を介して内部バス150にインタフェースされ、内部バス150は前記内部バス124にインタフェースされると共に下位側の周辺バス151にインタフェースされる。周辺バス151には赤外線通信モジュール(IrDA)及びシリアルインタフェースモジュール(IIC)などの周辺モジュール152と、CPG13及びSYSC14などのパワーマネージメントモジュール153が接続される。

【0085】

更に前記内部バス150には、前記外部バスインタフェース回路12として例えばバスステートコントローラ(BSC)が接続され、また、前記ベースバンドプロセッサ3に接続されるマスタインタフェース回路(IF1st)10が接続される。マスタインタフェース回路10はアドレス変換回路(MFI)140と共有メモリ(MFRAM)141から成る。

40

【0086】

《マスタインタフェース回路》

図4にはマスタインタフェース回路10の具体例が示される。マスタインタフェース回路10のアドレス変換回路140は内部バス150とのインタフェースを行うバス制御回路205と内部バス151とのインタフェースを行うバス制御回路206とを備え、チップの外部には外部同期インタフェース制御回路200と外部非同期インタフェース制御回路201を介して接続される。

50

【 0 0 8 7 】

マスタインタフェース回路 1 0 に接続されるチップの外部端子として、同期インタフェース用チップ選択信号 (C S s y) を入力する端子 3 0 0、アドレス系信号 (A D R m u x) とデータ (D A T) の複数のマルチプレクス端子 3 0 3、マルチプレクス端子 3 0 3 からの入力アドレスであることを意味するアドレスバリッド信号 (V L D a d r) などのバスコントロール信号 (C L T) の入力端子 3 0 1、ウェイト信号 (W A I T) の出力端子 3 0 2、アドレス信号 (A D R) の複数の入力端子 3 0 4、及び非同期インタフェース用チップ選択信号 (C S a s y) を入力する端子 3 0 0 を有する。マルチプレクス端子 3 0 3 は 1 6 ビット、アドレス入力端子 3 0 4 は 1 0 ビットである。

【 0 0 8 8 】

外部同期インタフェース制御回路 2 0 0 には外部端子 3 0 0 ~ 3 0 4 が接続され、同期インタフェース用チップ選択信号 (C S s y n) の活性化によって外部同期インタフェース制御回路 2 0 0 の動作が選択され、バスコントロール信号 (C L T) にしたがって、端子 3 0 3、3 0 4 からアドレス系信号 (A D R m u x)、アドレス信号 (A D R) を取り込み、データ (D A T) の入力又は出力を行う。外部端子 3 0 3、3 0 4 からのアドレス系信号 (A D R m u x) 及びアドレス信号 (A D R) はアドレス制御回路 2 0 2 に与えられ、外部端子 3 0 3 に対する出力又は入力のデータ (D A T) は内部バッファ制御回路 2 0 7 との間でやり取りされる。アドレス制御回路 2 0 2 は、内部レジスタ回路 2 0 3 に設定された制御データを参照して、入力されたアドレス系信号 (A D R m u x) 及びアドレス信号 (A D R) からアプリケーションプロセッサ 2 のアドレス空間の内部アドレス信号を生成し、生成した内部アドレス信号を内部バッファ制御回路 2 0 7 に転送し、内部バッファ制御回路 2 0 7 はバス制御回路 2 0 5 にアクセス要求を発行する。アクセス要求が発行されたバス制御回路 2 0 5 は、必要なバスリクエストコマンドをバス 1 5 0 に発行してバスアクセスを制御する。バスアクセスがリードアクセスであればそのバスコマンドに含まれる内部アドレス信号によって指定されたターゲットから読み出されたデータをバス制御回路 2 0 5 が受け取り、受け取ったリードデータを内部バッファ制御回路 2 0 7 の制御で外部同期インタフェース制御回路 2 0 0 を介して端子 3 0 3 からデータ (D A T) として出力する。バスアクセスがライトアクセスであればそのバスコマンドに含まれる内部アドレス信号によって指定されたターゲットにライトデータが書き込まれる。

【 0 0 8 9 】

外部非同期インタフェース制御回路 2 0 1 には外部端子 3 0 1、3 0 3、3 0 5 が接続され、非同期インタフェース用チップ選択信号 (C S a s y n) の活性化によって外部非同期インタフェース制御回路 2 0 1 の動作が選択され、バスコントロール信号 (C L T) にしたがって、端子 3 0 3 からアドレス系信号 (A D R m u x) を取り込み、データ (D A T) の入力又は出力を行う。外部端子 3 0 3 からのアドレス系信号 (A D R m u x) が共有メモリ 1 4 1 のアドレスを指定するときはそれに基づいて R A M 制御回路 2 0 4 が共有メモリ 1 4 1 のアクセス制御を行う。そのアドレスが内部レジスタ 2 0 3 のアドレスを指定するときはそのアドレスで指定されるレジスタに対するアクセスが行われ、アドレス変換のための制御データの設定などが行われる。内部レジスタ回路 2 0 3 及び共有 R A M 1 4 1 に対してはバス制御回路 2 0 6 を介して倍部バス 1 5 0 側からも同様に行うことができる。したがって、アドレス変換の制御データはベースバンドプロセッサ 3 が初期設定などを行うことも可能である。

【 0 0 9 0 】

《アドレス変換》

図 1 にはアドレス制御回路 2 0 2 及びレジスタ制御回路 2 0 3 によるアドレス変換機構の詳細が示される。レジスタ回路 2 0 3 は例えば補完レジスタ 4 0 1 及びモードレジスタ 4 0 0 を有する。補完レジスタ 4 0 1 は、前記アドレス端子 3 0 4 及びマルチプレクス端子 3 0 3 から入力されるアドレス情報の上位側を補完するための補完情報 (例えば最大 1 5 ビット) C M P L がインタフェース回路 2 0 1 などを介してアプリケーションプロセッサ 2 の外部から書込まれるレジスタである。モードレジスタ 4 0 0 はインタフェース回路

10

20

30

40

50

201などを介してアプリケーションプロセッサ2の外部などから例えば2ビットのモードデータMODEが書込まれるレジスタである。

【0091】

アドレス制御回路202は、アプリケーションプロセッサ2のアドレス空間をアクセスするための内部アドレス信号を、前記外部端子303からのアドレス系情報ADDRmux、前記外部端子304からのアドレス情報ADR、補完レジスタ401が保持する必要な補完情報CML及び前記モードレジスタ400のモード情報MODEに基づくアドレス生成形態で生成するためのアドレス生成ロジック回路500を有し、このアドレス生成ロジック回路500で生成された内部アドレス信号がアドレスラッチ501にラッチされて内部バッファ制御回路に207供給される。特に制限されないが、アドレス生成ロジック回路500は、便宜上、ロジック回路502とセクタ503で構成されるものとして図示されている。

10

【0092】

アドレス生成形態は、2ビットのモードデータで指定される第1モード乃至第4モードに大別され、第2モード及び第3モードはアドレス系情報ADDRmuxの特定ビットの値に応じて夫々2態様に細分化される。

【0093】

第1モードは、内部アドレス信号ACCADRの上位アドレスの5ビットを補完レジスタレジスタ401で補完し、その下位アドレスを外部端子303, 304からのアドレスをそのまま使用して内部アドレス信号ACCADRを生成する動作モードである。これによるアドレス生成形態を第1のアドレス生成形態とも記す。

20

【0094】

第2モードは、補完レジスタ401による補完を用いず、外部端子303, 304からのアドレスの一部にハードウェアデコードを実施し、そのデコード結果に応じて内部アドレス信号を生成する動作モードである。ハードウェアデコードの行い方によって第2モードによるアドレス生成形態は第2のアドレス生成形態と第3のアドレス生成形態に大別される。

【0095】

第3モードは、内部アドレス信号ACCADRの上位10ビットを補完レジスタ401で補完すると共に、外部端子304の1ビットと外部端子304からのアドレスの一部にハードウェアデコードを実施し、そのデコード結果に応じて内部アドレス信号を生成する動作モードである。ハードウェアデコードの行い方によって第3モードによるアドレス生成形態は第4のアドレス生成形態と第5のアドレス生成形態に大別される。

30

【0096】

第4モードは、内部アドレス信号ACCADRの上位15ビットを補完レジスタ401の補完情報で補完し、その下位アドレスには外部端子303, 304からのアドレスをそのまま使用して、内部アドレス信号ACCADRを生成する動作モードである。これによるアドレス生成形態を第6のアドレス生成形態とも記す。

【0097】

図5には第1のアドレス生成形態の詳細が例示される。

40

【0098】

アプリケーションプロセッサ2の内部アドレス情報ACCADRはアドレスビット0乃至アドレスビット31の合計32ビットとし、内部バスは16ビットのワードデータを最小とするので便宜上アドレスビット0は無視する。AD0乃至AD15はマルチプレクス端子303の16ビットのアドレス系情報のビットを意味し、A16乃至A25はアドレス端子304の10ビットのアドレスビットを意味する。

【0099】

第1のアドレス生成形態を利用するには、当然であるが、外部からのアドレス端子304が10ビット、マルチプレクス端子303が15ビット、ベースバンドプロセッサ3の対応端子に接続されていなければならない。アドレスの上位5ビットは補完情報CML

50

の5ビットで補完される。

【0100】

これによって生成される外部アドレス信号ACCADRによる連続アドレス空間、すなわち、補完レジスタ401を一度設定することで、外部アドレス情報だけで連続的に表現出来るアドレス空間は、128メガバイト(MByte)である。したがって、ベースバンドプロセッサ3はアプリケーションプロセッサ2のアドレス空間に配置されたSDRAM9を128MByte連続的にアクセスすることができる。

【0101】

図6には第2モード(第2のアドレス生成形態及び第3のアドレス生成形態)におけるアドレス入力状態が例示される。補完レジスタ401を用いずに外部からのアドレス端子303, 304を26ビットを用いてアドレス系情報及びアドレスの入力を行い、外部からの特定ビットの入力A25, AD11~AD13に対してハード的なアドレスデコードを実施し、そのデコード結果を参照して内部アドレス信号ACCADRを生成する。

【0102】

図7には第2のアドレス生成形態の詳細が例示される。

【0103】

ベースバンドプロセッサ3がアクセスしたい(アプリケーションプロセッサ2がアクセスを許可できる)リソースは基本的に限られている。よって、外部からの少ないアドレス情報から特定の内部アドレス信号ACCADRを自動的に生成するために、特定ビットのハードウェアデコードを行う。第2モードでは外部端子304のビットA25の論理値に応じて第2のアドレス生成形態又は第3のアドレス生成形態を選択する。アドレスビットA25が“1”の場合は上位側ビットにSDRAMのアドレス空間を指定するビットを挿入した内部アドレス信号ACCADRを生成し(第2のアドレス生成形態)、アドレスビットA25が“0”の場合はアドレスビットAD13~AD11の値にしたがって上位側に内部レジスタ空間を指定するビットを挿入した内部アドレス信号ACCADRを生成する(第3のアドレス生成形態)。

【0104】

第2モードにおいてアドレスビットA25(外部端子)が“1”の場合(第2のアドレス生成形態)を示す図7では、内部アドレス信号ACCADRのうちビット25までは外部アドレス端子303, 304によって指定可能であり、上位のビット31~ビット26はSDRAMのマッピングアドレスを指している。この場合、外部アドレス端子303, 304の25ビットA24~A16, AD15~AD0でアクセスできるSDRAMの連続空間は64MByteとなる。

【0105】

図8には第2のアドレス生成形態の詳細が例示される。第2モードにおいてアドレスビットA25(外部端子)が“0”の場合(第3のアドレス生成形態)、内部アドレス信号ACCADRの上位側は外部アドレス端子のAD13~AD11に値によって固定的に決まる。例えばAD13~AD11=“000”の場合にはCPG13の制御レジスタ領域(0xE6350**)とされ、AD13~AD11=“001”の場合にはSYSC14の制御レジスタ領域(0xE6380**)とされる。それによって上位側が決まったレジスタ領域の下位側アドレスは外部端子AD10~AD0の値によって任意に指定することができる。すなわち、下位アドレスは外部端子から参照し、0x****000~0x****FFFまでを直接指定出来、4キロバイト(KByte)の領域を自由にアクセスすることができる。

【0106】

図9には第3モード(第4のアドレス生成形態及び第5のアドレス生成形態)におけるアドレス入力状態が例示される。補完レジスタ401の10ビットを用いると共に、アドレス端子304の1ビットと、16ビットのマルチプレクス端子304を用いてアドレス系情報及びアドレスの入力を行い、外部からの特定ビットの入力A16, AD11~AD13に対してハード的なアドレスデコードを実施し、そのデコード結果を参照して内部アドレス信号ACCADRを生成する。

10

20

30

40

50

【 0 1 0 7 】

図 1 0 には第 4 のアドレス生成形態の詳細が例示される。

【 0 1 0 8 】

第 2 モードと同様に理由から特定ビットのハードウェアデコードを行う。第 4 モードでは外部端子 3 0 4 のビット A 1 6 の論理値に応じて第 4 のアドレス生成形態又は第 5 のアドレス生成形態を選択する。アドレスビット A 1 6 が “ 1 ” の場合は上位側ビットに S D R A M のアドレス空間を指定するビットを挿入した内部アドレス信号 A C C A D R を生成し (第 4 のアドレス生成形態) 、アドレスビット A 1 6 が “ 0 ” の場合はアドレスビット A D 1 3 ~ A D 1 1 の値にしたがって上位側に内部レジスタ空間を指定するビットを挿入した内部アドレス信号 A C C A D R を生成する (第 5 のアドレス生成形態) 。第 2 モード (第 2 のアドレス生成形態、第 3 のアドレス生成形態) との相違は、外部端子 3 0 4 の参照ビット数と、補完レジスタ 4 0 1 による補完も可能であることである。アドレス補完が有効になるのは、アドレスビット A 1 6 が “ 1 ” の場合、すなわち内部アドレス信号 A C C A D R を S D R A M のアドレス空間に固定する場合に有効となる。

10

【 0 1 0 9 】

第 3 モードにおいてアドレスビット A 1 6 (外部端子) が “ 1 ” の場合 (第 4 のアドレス生成形態) を示す図 1 0 では、内部アドレス信号 A C C A D R のうちビット 1 6 までは外部アドレス端子 3 0 3 によって指定可能であり、その上位のビット 2 6 ~ 1 7 は補完レジスタ 4 0 1 の補完情報 C M P L の 1 0 ビットで指定可能にされ、最上位側のビット 3 1 ~ ビット 2 7 は S D R A M のマッピングアドレスを指している。この場合、外部アドレス端子 3 0 4 の 1 6 ビット A 1 5 ~ A 0 と補完レジスタ 4 0 1 の 1 0 ビットでアクセスできる S D R A M の連続空間は 1 2 8 M B y t e となる。

20

【 0 1 1 0 】

第 3 モードにおいてアドレスビット A 1 6 (外部端子) が “ 0 ” の場合 (第 5 のアドレス生成形態) はアドレス補完レジスタによる補完が行われない為、前記第 3 のアドレス生成形態と基本的に同じとされ、図示を省略する。

【 0 1 1 1 】

図 1 1 には第 4 モードにおける第 6 のアドレス生成形態の詳細が例示される。第 4 モードでアドレス信号を生成する場合、アドレス端子 3 0 4 を使用せず、下位側 1 6 ビットをマルチプレクス端子 3 0 3 からの入力 A D 1 5 ~ A D 0 とし、上位側 1 5 ビットを補完レジスタ 4 0 1 の 1 5 ビットの補完情報 C M P L とする。このとき、マルチプレクス端子 3 0 3 による連続アドレス空間は 1 2 8 K b y t e とされる。

30

【 0 1 1 2 】

上述のアドレス制御回路によるアドレス変換によれば以下の作用効果を得る。

【 0 1 1 3 】

(1) 補完レジスタに設定された補完情報は外部端子から入力されたアドレス情報の上位側を補完するから、外部端子のビット数で決まるアドレス範囲よりも広い空間を、少ないビット数の外部端子でアクセスすることができる。

【 0 1 1 4 】

(2) アドレス情報の補完は補完レジスタに予め設定された補完情報を用いることができるから、その場合には外部端子の一部をデコードして補完すべき情報を生成するような処理を必要としないから、アドレス生成動作の遅延は小さい。

40

【 0 1 1 5 】

(3) モードレジスタの設定内容に従って外部端子からのアドレス情報と必要な補完情報を用いたアドレス情報の生成形態を決定することができるので、少ない外部端子数でもアドレス生成形態に多くのバリエーションを得ることが容易である。

【 0 1 1 6 】

(4) 第 1 モードの第 1 のアドレス生成形態では、内部アドレス信号 A C C A D R の上位 5 ビットを補完レジスタ 4 0 1 を用いて補完し、その他アドレスビットは外部端子 3 0 3 , 3 0 4 からの入力に従って生成する。したがって、アドレス単独端子 3 0 4 は 1 0 ビ

50

ットの接続が必要になる。アドレス補完レジスタを用いることで、ベースバンドプロセッサ3はアプリケーションプロセッサ2の内部アドレス空間の全ての領域に対してアクセス可能になる。外部端子303, 304だけで連続的にアクセスすることができるアドレス空間は128MByteに及ぶ。

【0117】

(5)第2モードの第2のアドレス生成形態及び第3のアドレス生成形態では補完レジスタ401による補完を用いず、外部端子303, 304からの入力の一部をハードデコードした結果を用いて内部アドレス信号ACCADRを生成する。アドレス単独端子304は10ビットの接続が必要になる。外部端子303, 304からの入力の一部をハードデコードした結果を用いるから、レジスタ補完を用いなくても外部端子からのアドレス情報だけで特定のリソースに対しアクセスすることができる。外部端子303, 304だけで連続的にアクセスできるSDRAMアドレス空間は64MByteになる。

10

【0118】

(6)第3モードの第4のアドレス生成形態及び第5のアドレス生成形態では、SDRAM空間へのアクセスに際してはアドレス中位の10ビットをレジスタ補完で生成し、その他アドレスビットは外部端子304とハードデコードを共に用いることで生成する。したがって、アドレス単独端子304は1ビットの接続が必要になるだけである。固定的なハードデコードにより、ベースバンドプロセッサ3はマルチプレクス端子303を用いてアプリケーションプロセッサ2の制御レジスタのような特定のリソースをアクセスすることができる。SDRAMに対しては補完レジスタ401を用いれば128MByteの領域をアクセスすることができ、マルチプレクス端子303からのアドレス情報の入力によるSDRAMに対する連続アクセス空間は128KByteとされる。

20

【0119】

(7)第4モードの第6のアドレス生成形態では、アドレス上位15ビットを補完レジスタ401の補完情報CMLで補完し、その他アドレスはマルチプレクス端子303を用いて生成するから、アドレス単独のアドレス端子304を接続する必要は無い。アドレス補完レジスタを用いることで、ベースバンドプロセッサ3はアプリケーションプロセッサ2の内部アドレス空間の全ての領域に対してアクセス可能である。マルチプレクス端子303だけによるアクセスの連続空間は128KByteである。

【0120】

《補完レジスタに対するアドレスインクリメント》

上記第2のアドレス生成形態に対して第4のアドレス生成形態は外部端子を用いた連続アクセス空間が128KByteと小さく、同様に第1のアドレス生成形態に対して第6のアドレス生成形態は外部端子を用いた連続アクセス空間が128KByteと小さい。これよりも大きなアドレス範囲で連続アクセスを行う場合には、外部端子からのアドレス入力が一巡する度に補完レジスタ401に対するレジスタアクセスを介在させてその値を書き換える操作を行わなければならない。この書き換え操作を不要にするために補完レジスタ401に対するアドレスインクリメント機能を採用することができる。

30

【0121】

図12にはアドレス変換機能にアドレスインクリメントの機能を追加した構成が例示される。図1の構成に対して補完レジスタ401の補完情報CMLをインクリメントするインクリメンタ403とアドレスインクリメントモードレジスタ402が設けられ、前記内部バッファ制御回路207はアドレスインクリメント制御ロジック510を備える。内部バッファ制御回路207はアドレス制御回路202から供給される内部アドレス信号ACCADRをバッファ制御ロジック512及びアドレスバッファ511にラッチし、所要の出力タイミングに同期して内部アドレス信号ACCADRをバス制御回路205に出力する。アドレスインクリメント制御回路510はアドレスインクリメントモードレジスタ402で指定されるアドレスインクリメントモードにしたがって、補完レジスタ401による補完対象とされる前記マルチプレクス端子303からのアドレス情報のビット数で表現される値が一巡される一つ前の値に達する毎に前記インクリメンタ403にインクリメ

40

50

ントイネーブル信号 $E N i n c$ でインクリメント動作を指示する。

【0122】

アドレスインクリメントモードは、特に制限されないが、アドレスインクリメントの不使用、16バイトアドレスインクリメント対応モード、32バイトアドレスインクリメント対応モードとされる。アドレスインクリメント機能の存在意義より、前記第4のアドレス生成形態及び第6のアドレス生成形態以外はアドレスインクリメントの不使用が設定される。16バイトアドレスインクリメント対応モードが設定されると、アドレスインクリメント制御回路510は、前記外部入力端子303からのアドレス情報AD15～AD0が16バイトアドレス単位で変化される16バイトアドレスインクリメントモードによる外部入力端子303からのアドレス情報AD15～AD0の値が、前記アドレス情報のビット数(16ビット)で表現される最終値の一つ前の値(16進表記で“FFF0”)にされることに応答してインクリメンタ403にインクリメント動作を指示する。32バイトアドレスインクリメント対応モードが設定されたときは、アドレスインクリメント制御回路510は、前記外部入力端子303からのアドレス情報AD15～AD0が32バイトアドレス単位で変化される32バイトアドレスインクリメントモードによる外部入力端子303からのアドレス情報AD15～AD0の値が、前記アドレス情報のビット数(16ビット)で表現される最終値の一つ前の値(16進表記で“FFE0”)にされることに応答してインクリメンタ403にインクリメント動作を指示する。

10

【0123】

これにより、マルチプレクス端子303から入力されるアドレス情報AD15～AD0が一巡されるたびにベースバンドプロセッサ3はアプリケーションプロセッサ2の補完レジスタ401の値を書き換えることをしなくても、最大で、使用可能なマルチプレクス端子303の16ビットと補完レジスタのビット数(第4のアドレス生成形態の場合は10ビット、第6のアドレス生成形態の場合は15ビット)の合計ビット数の範囲で指定可能な領域を連続的にアクセスすることができるようになる。したがって、ベースバンドプロセッサ3とアプリケーションプロセッサ2との間でアドレス情報の伝達に使用する外部端子をマルチプレクス端子303に制限しても第2のアドレス生成形態と同様のアドレス範囲に連続アクセスを行うことが可能になる。すなわち、第3モードにおける第4のアドレス生成形態において外部端子で連続的に表現できるSDRAMのアドレス空間は、アドレスインクリメントモード未使用時は128Kbyteであるが、アドレスインクリメントモード使用時には128Mbyteに増加し、同様に、第4モードにおける第6のアドレス生成形態において外部端子で連続的に表現できるSDRAMのアドレス空間は、アドレスインクリメントモード未使用時は128Kbyteであるが、アドレスインクリメントモード使用時には128Mbyte以上まで増やすことができる。第4のアドレス生成形態においてアドレス補完レジスタ401は内部アドレス信号の17ビット目から26ビット目まで使用している関係上、連続的にアクセス可能なSDRAMアドレス空間は128Mbyteまで拡張されるが、第6のアドレス生成形態では内部アドレス信号の17ビット目から31ビット目までの残りの上位全てのビットにアドレス補完レジスタを適用しているため、連続的にアクセス可能なSDRAMアドレス空間は128Mbyte以上に拡張される。アドレスインクリメントモードでは、インクリメントする対象はアドレス補完レジスタなので、アドレス補完レジスタを適用するアドレス変換モードであれば使用可能である。

20

30

40

【0124】

上述の補完レジスタ401に対するアドレスインクリメント機能を採用することにより、ベースバンドプロセッサ3が16バイトアドレス単位にアクセス要求を発行し、これを受けるアプリケーションプロセッサ2の11, 12などのバスコントローラがそのアクセス要求アドレスを基点に16バイトアドレスを内部で生成する16バイトアドレスインクリメントモードのバースト動作のバス制御機能を備える場合、或いは同様に32バイトアドレスインクリメントモードのバースト動作のバス制御機能を備える場合などに簡単に対応することができる。

50

【 0 1 2 5 】

アドレスインクリメントモードレジスタ 4 0 2 によってインクリメンタのインクリメントモードを設定できるので、16 バイトアドレスインクリメントモードや 32 バイトアドレスインクリメントモードなどへの対応がきわめて容易になる。

【 0 1 2 6 】

《アドレス変換モードを用いたアクセス例》

図 1 3 にはアプリケーションプロセッサ 2 への第 1 モードを使用したアクセス例が示される。例えばアプリケーションプロセッサ 2 のアドレス空間におけるアドレス 0x_41231234 (1) にアクセスする場合を一例とする。0x_4*****は S D R A M のアドレス空間とする。

10

【 0 1 2 7 】

まず、ベースバンドプロセッサ 3 が M F I 1 4 0 の補完レジスタ 4 0 1 のビット 3 1 ~ ビット 1 6 に対し、" 0x_4000 " をライトする。

【 0 1 2 8 】

ベースバンドプロセッサ 3 よりアドレスを " 0x_0091891a " で出力するようアクセスを発行する (" 0x_0091891a " は、" 0x_01231234 " を 2 バイトバウンダリアドレスということでこれを右に 1 ビットシフトしたものである)。すなわち、ベースバンドプロセッサ 3 はそのアドレスフェーズにおいて、マルチプレクス端子 3 0 3 に AD[15:0] = " 1000100100011010 " を出力し、アドレス端子 3 0 4 に A[25:16] = " 0010010001 " を出力してアクセスを発行する。AD[15:0] は内部アドレス信号 A C C A D R の内部アドレス [16:1] であり、A[25:16] は内部アドレス信号 A C C A D R の内部アドレス [26:17] である。

20

【 0 1 2 9 】

図 1 4 にはアプリケーションプロセッサ 2 への第 2 モードを使用したアクセス例が示される。例えばアプリケーションプロセッサ 2 のアドレス空間におけるアドレスの 0x_41231234 にアクセスする場合を一例とする。0x_4*****は S D R A M のアドレス空間とする。

【 0 1 3 0 】

まず、ベースバンドプロセッサ 3 がアドレス " 0x_0091891a " を出力するアクセスを発行する (" 0x_0091891a " は、" 0x_01231234 " を 2 バイトバウンダリアドレスということでこれを右に 1 ビットシフトしたものである)。すなわち、ベースバンドプロセッサ 3 はそのアドレスフェーズにおいて、マルチプレクス端子 3 0 3 に AD[15:0] = " 1000100100011010 " を出力し、アドレス端子 3 0 4 に A[25] = " 1 "、A[24:16] = " 010010001 " とするアクセスを発行する。AD[15:0] は内部アドレス信号 A C C A D R の内部アドレス [16:1] であり、A[24:16] は内部アドレス信号 A C C A D R の内部アドレス [25:17] である。ここではアクセス先が S D R A M 空間である為に、A[25] 端子を " 1 " とする必要がある。

30

【 0 1 3 1 】

図 1 5 にはアプリケーションプロセッサ 2 への第 3 モードを使用したアクセス例が示される。例えばアプリケーションプロセッサ 2 のアドレス空間におけるアドレスの 0x_41231234 にアクセスする場合を一例とする。0x_4*****は S D R A M のアドレス空間とする。

40

【 0 1 3 2 】

まず、ベースバンドプロセッサ 3 が M F I 1 4 0 の補完レジスタ 4 0 1 のビット 3 1 ~ ビット 1 6 に対し、" 0x_0122 " をライトする。補完対象ビットは内部アドレス信号 A C C A D R の [26:17] となることから、アクセス先上位アドレスの " 0x_4123 " より " 0x_0122 " をライトする。

【 0 1 3 3 】

ベースバンドプロセッサ 3 よりアドレスを " 0x_891a " で出力するようアクセスを発行する (上記 " 0x891a " は、" 0x31234 " を 2 バイトバウンダリアドレスということでこれを右に 1 ビットシフトし、ビット [19:16] を削ったものである)。すなわち、ベースバン

50

ドプロセッサ 3 はそのアドレスフェーズにおいて、マルチプレクス端子 3 0 3 にAD[15:0] = "1000100100011010" を出力し、アドレス端子 3 0 4 にA[16] = "1" を出力してアクセスを発行する。AD[15:0] は内部アドレス信号 A C C A D R の[16:1] である。内部アドレス信号 A C C A D R の[26:17] は補完レジスタのビット[26:17] に対応する。ここではアクセス先が S D R A M 空間である為に、A[16] 端子を "1" とする必要がある。

【 0 1 3 4 】

図 1 6 にはアプリケーションプロセッサ 2 への第 4 モードを使用したアクセス例が示される。例えばアプリケーションプロセッサ 2 のアドレス空間におけるアドレスの 0x_4123 1234 にアクセスする場合を一例とする。0x_4***** は S D R A M のアドレス空間とする。

10

【 0 1 3 5 】

まず、ベースバンドプロセッサ 3 が M F I 1 4 0 の補完レジスタ 4 0 1 のビット 31-16 に対し、"0x4122" をライトする（補完対象ビットは内部アドレス信号 A C C A D R の[31:17] となることから、アクセス先上位アドレスの "0x_4123" より "0x_4122" をライト）。

【 0 1 3 6 】

ベースバンドプロセッサ 3 よりアドレスを "0x891a" で出力するようアクセスを発行する（上記 "0x_891a" は、"0x_31234" を 2 バイトバウンダリアドレスということでこれを右に 1 ビットシフトし、ビット[19:16] を削ったものである）。すなわち、ベースバンドプロセッサ 3 はそのアドレスフェーズにおいて、マルチプレクス端子 3 0 3 にAD[15:0] = "1000100100011010" としてアクセスを発行するAD[15:0] は内部アドレス信号 A C C A D R [16:1] である。内部アドレス[31:17] は補完レジスタ 4 0 1 のビット[31:17] に対応する。

20

【 0 1 3 7 】

《アドレス変換回路の外部入力動作タイミング》

図 1 7 には外部同期インタフェース制御回路 2 0 0 に対する書き込み動作のタイミングチャートが示される。クロック信号 C K、ライトイネーブル信号 W E 及びリードイネーブル信号 R E はアドレスバリッド信号 V L D a d r と共にバスコントロール信号 C T L に含まれる信号である。図 1 7 は 8 バイトのライト動作を例示する。アドレス入力はアドレス端子 3 0 4 からのアドレス信号 A D R とマルチプレクス端子 3 0 3 からのアドレス信号 A D R m u x とが並列入力される場合を例示する。ここではバーストライトのために連続的にライトデータが入力される場合を示す。例えば S D R A M 9 に対するバーストライトの場合にはそのためのバスコントローラ 1 1 がターゲットアドレス (Target Address) に続いてバーストライトアドレスを順次生成する。

30

【 0 1 3 8 】

図 1 8 には外部同期インタフェース制御回路 2 0 0 に対する読み出し動作のタイミングチャートが示される。入力信号の種類は図 1 7 と同じであり、バーストリード動作によって連続的にリードデータが得られる例を示している。例えば S D R A M 9 に対するバーストリードの場合にはそのためのバスコントローラ 1 1 がターゲットアドレス (Target Address) に続いてバーストリードアドレスを順次生成する。

40

【 0 1 3 9 】

図 1 9 には外部非同期インタフェース制御回路 2 0 1 に対する書き込み動作のタイミングチャートが示される。クロック信号 C K は用いられず、アドレス入力はマルチプレクス端子 3 0 3 からのアドレス信号 A D R m u x とされる。ここではターゲットアドレス (Target Address) に対するシングルライトの例が示される。

【 0 1 4 0 】

図 2 0 には外部非同期インタフェース制御回路 2 0 1 に対する読み出し動作のタイミングチャートが示される。クロック信号 C K は用いられず、アドレス入力はマルチプレクス端子 3 0 3 からのアドレス信号 A D R m u x とされる。ここではターゲットアドレス (Target Address) に対するシングルリードの例が示される。

50

【 0 1 4 1 】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【 0 1 4 2 】

例えば、チップの外部端子数はパッケージの外部端子数と一致しなくてもよく、特定の動作モードだけを利用する半導体装置ではパッケージの外部端子はチップの外部端子の一部であってもよい。

【 0 1 4 3 】

本発明はアプリケーションプロセッサ以外のデータ処理用の半導体装置に広く適用することができる。

10

【 0 1 4 4 】

本発明は携帯電話以外のデータ処理システムに広く適用することができる。上記実施の形態ではマスタプロセッサとしてのベースバンドプロセッサがスレーブプロセッサとしてのアプリケーションプロセッサのアドレス空間を直接アクセスする外部インタフェース回路について説明したが、スレーブ側がマスタ側のアドレス空間を直接アクセスする外部インタフェース回路にも本発明は当然適用可能である。

【 0 1 4 5 】

内部アドレス信号のビット数、補完レジスタなどの各種レジスタのビット数、マルチプロセッサの数、アクセラレータの数や種類などについても適宜変更可能である。

20

【 符号の説明 】

【 0 1 4 6 】

- 4 高周波トランシーバ (R F I C)
- 3 ベースバンドプロセッサ (B B P)
- 2 アプリケーションプロセッサ (A P P)
- 1 1 外部インタフェース回路 (I F 2 n d)、 S D R A M コントローラ (S B S C)
- 1 2 外部インタフェース回路 (I F 2 n d)、バスステートコントローラ (B S C)
- 1 0 外部インタフェース回路 (I F 1 s t)
- 9 S D R A M
- 8 フラッシュメモリ
- 1 0 0 中央処理装置 (C P U)
- 1 3 C P G
- 1 4 S Y S C
- 1 0 マスタインタフェース回路
- 1 4 0 アドレス変換回路 (M F I)
- 1 4 1 共有メモリ (M F R A M)
- 2 0 5 バス制御回路
- 2 0 6 バス制御回路
- 2 0 0 外部同期インタフェース制御回路
- 2 0 1 外部非同期インタフェース制御回路
- 2 0 2 アドレス制御回路
- 2 0 7 内部バッファ制御回路
- 2 0 3 内部レジスタ回路
- 2 0 5 バス制御回路
- 2 0 6 バス制御回路
- 3 0 0 同期インタフェース用チップ選択信号 (C S s y) の入力端子
- 3 0 3 アドレス系信号 (A D R m u x) とデータ (D A T) のマルチプレクス端子
- 3 0 1 アドレスバリッド信号 (V L D a d r) などのバスコントロール信号 (C L T) の入力端子
- 3 0 2 ウェート信号 (W A I T) の出力端子

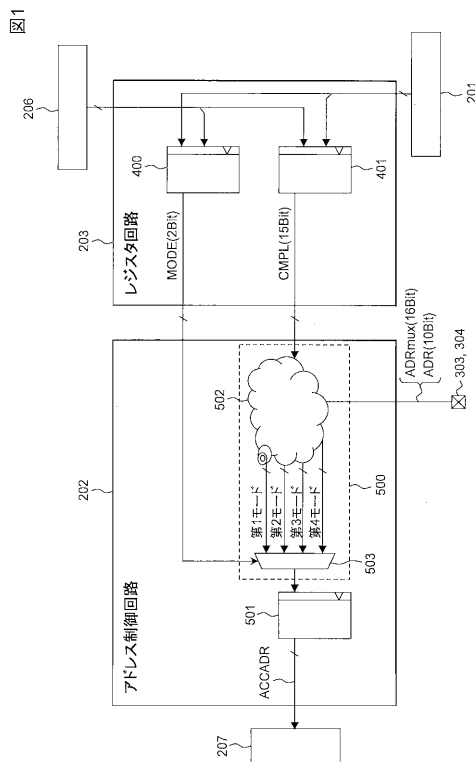
30

40

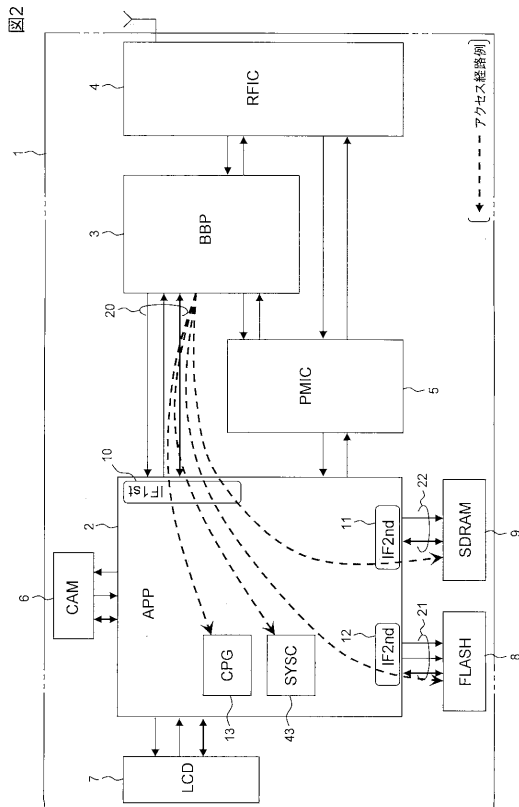
50

- 304 アドレス信号 (ADR) の入力端子
- 300 非同期インタフェース用チップ選択信号 (CSasy) の入力端子
- 401 補完レジスタ
- 400 モードレジスタ
- CMPL 補完情報
- MODE モードデータ
- 500 アドレス生成ロジック回路
- 501 アドレスラッチ
- 502 ロジック回路
- 503 セレクタ
- ACCADR 内部アドレス信号
- 403 インクリメンタ
- 402 アドレスインクリメントモードレジスタ
- 510 アドレスインクリメント制御ロジック
- 512 バッファ制御ロジック
- 511 アドレスバッファ

【図1】

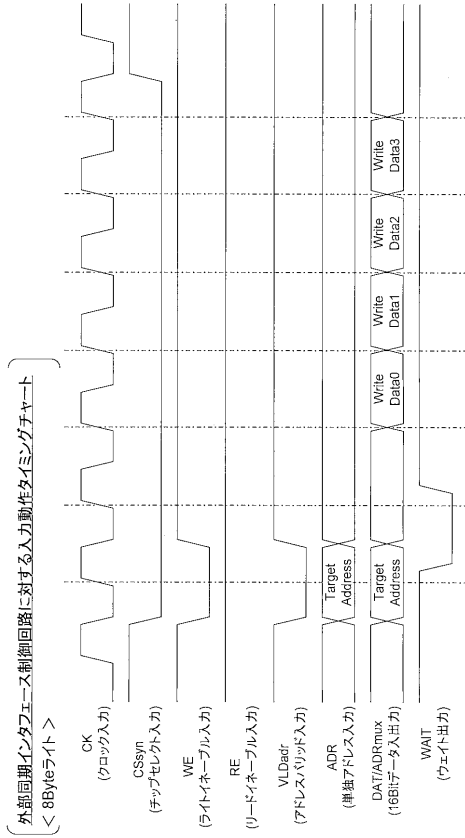


【図2】



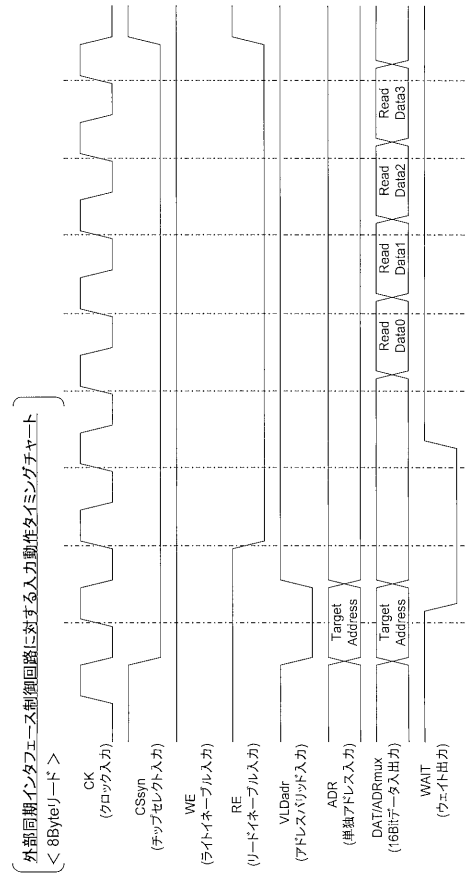
【 図 17 】

図17



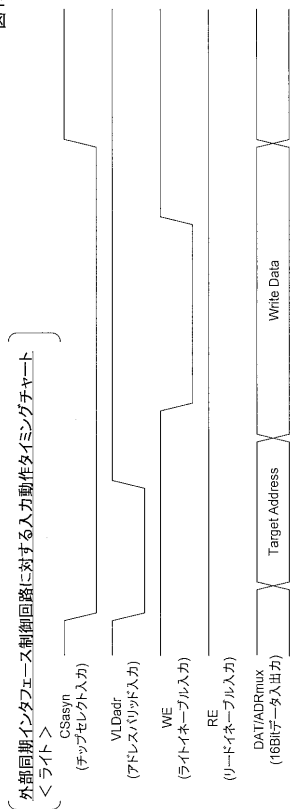
【 図 18 】

図18



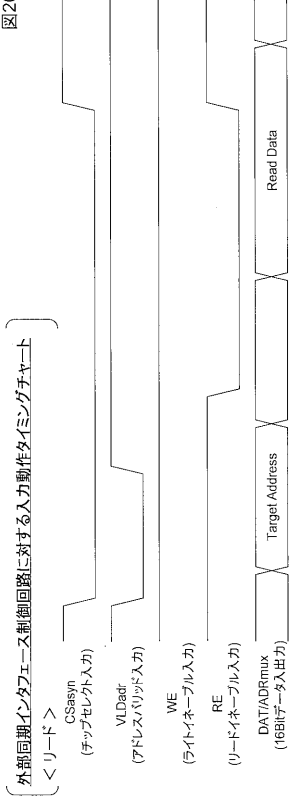
【 図 19 】

図19



【 図 20 】

図20



フロントページの続き

- (56)参考文献 特開昭62-001047(JP,A)
特開昭55-108052(JP,A)
特表2008-530721(JP,A)
特開平06-251168(JP,A)
特開平02-177190(JP,A)
特開平09-006671(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 12/00 - 12/06
G06F 13/16 - 13/18
G11C 11/401