

①9 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

①1 N° de publication : **2 630 860**  
(à n'utiliser que pour les  
commandes de reproduction)  
②1 N° d'enregistrement national : **89 05710**  
⑤1 Int-CI<sup>4</sup> : H 01 L 27/04, 29/76; H 02 M 1/08.

①2 **DEMANDE DE BREVET D'INVENTION**

A1

②2 Date de dépôt : 28 avril 1989.

③0 Priorité : US, 2 mai 1988, n° 189,442.

④3 Date de la mise à disposition du public de la  
demande : BOPI « Brevets » n° 44 du 3 novembre 1989.

⑥0 Références à d'autres documents nationaux appa-  
rentés :

⑦1 Demandeur(s) : Société dite : NATIONAL SEMICON-  
DUCTOR CORPORATION. — US.

⑦2 Inventeur(s) : Timothy J. Skovmand.

⑦3 Titulaire(s) :

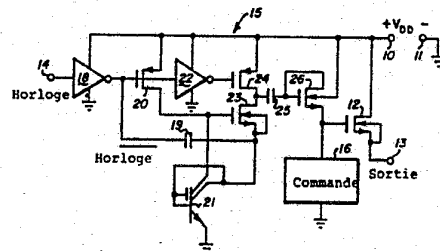
⑦4 Mandataire(s) : Cabinet Bonnet-Thirion.

⑤4 Circuit CMOS comprenant un multiplicateur de tension/redresseur associé à un transistor de puissance.

⑤7 L'invention concerne les circuits intégrés CMOS.

On utilise une structure CMOS pour former un transistor de  
sortie de puissance 12 associé à un multiplicateur de tension  
15 qui produit un supplément de tension de polarisation, par  
rapport au seuil, pour l'attaque de la base du transistor de  
puissance. Le multiplicateur de tension fonctionne sous la  
dépendance d'impulsions d'horloge et comporte deux transis-  
tors 19, 25 associés à des éléments de commutation 20, 22,  
23, 24, 26 et à un circuit miroir de courant utilisant un  
transistor bipolaire latéral parasite 21.

Application à la commande d'un transistor de puissance  
avec une alimentation à faible tension.



FR 2 630 860 - A1

D

La présente invention concerne les circuits intégrés CMOS.

Un transistor du type métal-oxyde-semiconducteur diffusé (DMOS) de puissance élevée a de façon caractéristique une tension de seuil d'environ 2 à 3 volts. On utilise souvent de tels dispositifs en interrupteurs ou éléments de commande. Dans une application correspondant à ce qu'on appelle un circuit d'attaque du côté haut, le drain du transistor de puissance est connecté à la ligne d'alimentation et la source, qui fournit le potentiel de sortie, est amenée à un niveau de potentiel très proche de celui de l'alimentation. Dans ce but, il est nécessaire de porter la grille à un potentiel supérieur à la tension d'alimentation, avec un écart nettement supérieur à une tension de seuil. On a trouvé qu'un transistor DMOS à canal N d'un circuit d'attaque de sortie exige un supplément de tension d'attaque de grille de 5 à 10 volts. Lorsqu'on considère qu'une tension d'alimentation utilisée normalement est de 5 volts, on peut voir que la tension d'attaque de grille doit être un multiple de celle-ci.

L'invention est prévue pour l'utilisation en relation avec des structures du type métal-oxyde-semiconducteur complémentaire (CMOS). Dans ces structures, des transistors MOS à canal N et à canal P sont combinés sur un substrat en silicium commun. Dans la structure dite à caisson P, des transistors à canal P sont formés dans un substrat commun de type N. On utilise des caissons de type P diffusés dans le substrat pour contenir les transistors à canal N.

D'autre part, un substrat de type P peut contenir les transistors à canal N et des caissons de type N diffusés dans celui-ci. Les caissons N contiennent alors des transistors P. Dans un cas comme dans l'autre, les transistors qui se trouvent dans les caissons sont mutuellement isolés du fait de la jonction caisson-substrat.

Un but de l'invention est d'employer un multiplicateur de tension/redresseur CMOS attaqué par une source

d'impulsions d'horloge, pour produire une polarisation continue qu'on peut utiliser pour polariser un transistor de sortie de puissance.

Un but supplémentaire de l'invention est d'appliquer un supplément de tension à la grille d'un transistor de sortie CMOS, qui est un transistor de puissance diffusé ayant une aire élevée, au moyen d'un tripleur de tension/redresseur qui est attaqué par une source d'impulsions d'horloge.

10 Ces buts ainsi que d'autres sont atteints dans un mode de réalisation préféré qui comprend une structure CMOS à caisson P, qui est conçue pour fonctionner à partir d'une alimentation de 5 volts. Le transistor de sortie de puissance est un dispositif DMOS auto-isolé à canal N, ayant  
15 une aire élevée. On dispose d'impulsions d'horloge de 5 volts crête à crête. On effectue un redressement de la valeur de crête des impulsions d'horloge, et on les utilise pour charger un premier condensateur. On utilise la phase opposée des impulsions d'horloge pour charger un second condensateur  
20 dans une configuration de doubleur de tension. Le second condensateur est connecté par un transistor à canal N recevant les impulsions d'horloge, à la grille du transistor de sortie de puissance, et la capacité de grille constitue un troisième condensateur qui est chargé à un niveau qui représente la  
25 tension de sortie d'un tripleur de tension. On peut donc polariser la grille du transistor de sortie à un niveau presque égal à trois fois celui de l'alimentation. Ceci procure un supplément de tension d'attaque approprié, même dans le cas du fonctionnement à partir d'une alimentation à 5 volts. Il  
30 faut noter que bien que le mode de réalisation préféré utilise un tripleur de tension, on pourrait employer un doubleur de tension ou un quadrupleur de tension, selon les tensions qui interviennent.

L'invention sera mieux comprise à la lecture de  
35 la description qui va suivre d'un mode de réalisation, donné

à titre d'exemple non limitatif. La suite de la description se réfère aux dessins annexés dans lesquels :

La figure 1 est un schéma synoptique qui montre les éléments fondamentaux de l'invention.

5 La figure 2 est un schéma d'un tripleur de tension/redresseur préféré, conforme à l'invention.

La figure 3 est une coupe d'une tranche de semiconducteur, montrant la structure du transistor bipolaire qui est représenté sur la figure 2.

10 Les éléments fondamentaux de l'invention sont représentés sous forme de schéma synoptique sur la figure 1. Le circuit fonctionne à partir d'une alimentation  $V_{DD}$  dont le côté + est connecté à la borne 10 et le côté - est connecté à la borne de masse 11. Cette alimentation sera de fa-  
15 çon caractéristique une alimentation de 5 volts. Le transistor de sortie 12 transmet une partie de la tension d'alimentation  $+V_{DD}$  à la borne de sortie 13. Si le transistor 12 doit être placé à l'état totalement conducteur, sa grille doit recevoir un supplément de tension d'une valeur caracté-  
20 ristique de 2 ou 3 volts, par rapport au seuil, dans la direction positive. On a trouvé qu'il était souhaitable d'avoir la possibilité d'appliquer un supplément de tension de 10 à 15 volts. On obtient cette possibilité en redressant le signal d'horloge de système, sur la borne 14, dans un redres-  
25 seur 15 du type multiplicateur. Dans le mode de réalisation préféré, le redresseur 15 sera un tripleur de tension/redresseur. Dans un système fonctionnant à partir d'une alimentation de 5 volts, qui utilise des impulsions d'horloge de 5 volts crête à crête, le tripleur produira une tension de  
30 sortie légèrement inférieure à 15 volts, qui sera capable de provoquer la conduction complète du transistor 12. Un élément de commande 16 absorbera du courant provenant du tripleur de tension et fera descendre la tension à un niveau désiré. Ceci signifie qu'on peut commander la tension sur la borne 13 de-  
35 puis un niveau proche de  $V_{DD}$  jusqu'à n'importe quelle valeur

inférieure désirée.

La figure 2 est un schéma d'un tripleur de tension/redresseur 15 préféré. Les impulsions d'horloge sur la borne 14 sont transmises par un amplificateur inverseur 18 à une armature d'un condensateur 19, à la grille d'un transistor 20 et à l'entrée d'un inverseur 22. L'autre armature du condensateur 19 est connectée à la base et à un collecteur d'un transistor 21, ainsi qu'à la source et à la grille arrière d'un transistor 23. Lorsque les impulsions d'horloge qui apparaissent en sortie de l'amplificateur-inverseur 18 sont à l'état haut, le condensateur 19 se charge à la tension de crête positive des impulsions d'horloge, diminuée de la tension  $V_{BE}$  du transistor 21. Le courant de charge circule vers le collecteur inférieur du transistor 21, qui fonctionne en miroir de courant. Le transistor 21 est donc conducteur lorsque les impulsions d'horloge sont à l'état haut. Dans cette condition, le transistor 20 est bloqué et le second collecteur, ou collecteur supérieur, du transistor 21 fait passer au niveau bas la grille du transistor 23, et bloque ce dernier. La même phase d'impulsions d'horloge transmise par l'inverseur 22 fait passer au niveau bas la grille du transistor 24, ce qui provoque la conduction de ce dernier. Ceci a pour effet de connecter à la ligne  $V_{DD}$  l'armature gauche du condensateur 25. L'armature droite du condensateur 25 est connectée à la grille du transistor 12, par l'intermédiaire du transistor 26, fonctionnant en transistor à charge de source.

Pendant l'excursion opposée des impulsions d'horloge, l'horloge est au niveau bas, ce qui fait passer l'armature gauche du condensateur 19 à un niveau proche de la masse. Cette action bloque le transistor 21 et débloque le transistor 20. L'inverseur 22 bloque le transistor 24 pendant cette phase d'horloge. La conduction du transistor 20 fait passer au niveau haut la grille du transistor 23, ce qui débloque ce transistor. Ceci connecte l'armature droite

du condensateur 19 à l'armature gauche du condensateur 25, qui est ainsi portée à un potentiel négatif. Du fait que l'armature droite du condensateur 25 est connectée au transistor 36, ce condensateur se charge vers une tension égale au double de  $V_{DD}$ . Bien que ceci puisse prendre plusieurs cycles d'impulsions d'horloge, le potentiel sur la grille et le collecteur du transistor 26 s'élèvera largement au-dessus de  $V_{DD}$ , et la charge du condensateur 25 s'approchera de  $2 V_{DD}$ . Lorsque le transistor 23 est conducteur, les deux condensateurs sont effectivement connectés en série et, par l'intermédiaire du transistor 26, ils chargent la capacité de grille du transistor 12 à une valeur proche de  $3 V_{DD}$ . On obtient ainsi une action de tripleur de tension.

Le transistor 21 est un élément critique de l'invention, du fait que son collecteur et sa base fonctionneront à des niveaux inférieurs à celui de la masse pendant les excursions d'horloge négatives. Ces électrodes sont donc polarisées à l'extérieur de la plage de l'alimentation. La figure 3 est une coupe de la partie d'une tranche CMOS qui contient le transistor 21. Sur le dessin, la métallisation ou l'interconnexion est représentée de façon schématique. Cependant, la couche d'oxyde est représentée sous l'électrode de grille. Ceci définit clairement la paire de transistors CMOS à canal N disposés côte à côte qui constituent le transistor 21, qui est fabriqué dans un caisson CMOS de type P, 27, qui se trouve dans une tranche de type N, 28. Un anneau P+ 33 entoure le caisson P 27 et recouvre son bord, de façon à établir une connexion ohmique avec le caisson P. Les deux transistors à canal N comprennent une source commune 30 qui est reliée à la masse. Cette source remplit la fonction de l'émetteur pour le transistor bipolaire parasite 21. Le drain 31 devient un collecteur bipolaire latéral qui est connecté à la connexion de caisson P qui forme la base du transistor bipolaire latéral. Ces électrodes sont également connectées aux grilles des tran-

sistors à canal N, comme il est représenté. Le drain 32 constitue le second collecteur du transistor latéral. On peut voir que si on fait fonctionner au-dessous de la masse le collecteur 31 ou 32 du transistor bipolaire, la jonction PN qu'il représente sera polarisée en inverse et donc bloquée. Le transistor à canal N associé sera polarisé au blocage, ce qui fait qu'il sera également non conducteur.

Le circuit qui est représenté procure un tri-  
pleur de tension qui fournit le supplément de tension de  
10 grille, par rapport au seuil, qui est nécessaire pour un  
transistor de sortie de puissance à canal N, et ce circuit  
est basé sur la structure CMOS à canal P. On peut voir qu'un  
câisson P isole le transistor de sortie par rapport à la  
tranche de semiconducteur. On pourrait évidemment réaliser  
15 un circuit similaire utilisant une structure CMOS à canal N.  
Dans ce cas, le drain d'un transistor de sortie de puissance  
à canal P serait connecté à un potentiel d'alimentation né-  
gatif. Dans ce cas, toutes les structures de dispositifs  
seraient remplacées par des structures complémentaires, et  
20 le transistor bipolaire latéral serait un dispositif PNP à  
deux collecteurs.

Il va de soi que de nombreuses modifications  
peuvent être apportées au dispositif décrit et représenté,  
sans sortir du cadre de l'invention.

REVENDICATIONS

1. Circuit CMOS dans lequel on utilise un transistor de sortie (12) ayant une aire élevée et un premier type de conductivité, en tant que moyen pour commander la connexion à une borne de sortie (13) d'une alimentation ( $V_{DD}$ ) à tension relativement faible, sous la dépendance d'un potentiel de polarisation qui est appliqué à l'électrode de grille du transistor de sortie à aire élevée (12), caractérisé en ce qu'il comprend : une source de signaux d'impulsions d'horloge; des moyens de multiplication de tension et de redressement (15) qui fonctionnent sous la dépendance des signaux d'impulsions d'horloge de façon à produire un potentiel de polarisation qui est nettement supérieur au potentiel de l'alimentation ( $V_{DD}$ ); des moyens pour appliquer le potentiel de polarisation à l'électrode de grille du transistor de sortie à aire élevée (12); et des moyens (16) pour commander la valeur du potentiel de polarisation.

2. Circuit CMOS selon la revendication 1, caractérisé en ce que les moyens de multiplication de tension constituent un tripleur de tension (15) comprenant : un premier condensateur (19) ayant une borne connectée à la source d'impulsions d'horloge et l'autre borne connectée à l'entrée d'un miroir de courant (21); un premier transistor (23) du premier type de conductivité et dont les bornes de source et de grille arrière sont connectées à l'autre borne du premier condensateur (19), ce premier transistor comportant également une borne de grille qui est connectée à la borne de sortie du miroir de courant (21) et une borne de drain; un second transistor (20) ayant un type de conductivité opposé et ayant son drain connecté à la grille du premier transistor (23), sa source ramenée à l'alimentation ( $V_{DD}$ ) et sa grille connectée à sa source d'impulsions d'horloge; un troisième transistor (24) ayant le type de conductivité opposé et ayant son drain connecté au drain du premier transistor (23), sa source ramenée à l'alimentation ( $V_{DD}$ ) et sa



grille connectée à la sortie d'un premier inverseur (21), dont l'entrée est connectée à la source d'impulsions d'horloge; un second condensateur (25) ayant une borne connectée au drain du premier transistor (23) et ayant une seconde borne; 5 et un quatrième transistor (26) ayant le premier type de conductivité et ayant sa grille et son drain connectés à la seconde borne du second condensateur (25), sa grille arrière connectée à l'alimentation ( $V_{DD}$ ) et sa source connectée à la grille du transistor de sortie à aire élevée (12), grâce à 10 quoi la source du quatrième transistor (26) fournit un potentiel qui est notablement supérieur au potentiel de l'alimentation ( $V_{DD}$ ).

3. Circuit CMOS selon la revendication 2, caractérisé en ce que le miroir de courant comprend un transistor bipolaire latéral parasite à deux collecteurs (21). 15

4. Circuit CMOS selon la revendication 3, caractérisé en ce que le transistor bipolaire latéral parasite à deux collecteurs (21) comporte une entrée de miroir de courant qui est constituée par un collecteur connecté à la 20 base de ce transistor, tandis que l'autre collecteur constitue la sortie du miroir de courant.

