

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公布说明书

H01L 23/532 (2006.01)

H01L 27/02 (2006.01)

H01L 21/768 (2006.01)

[21] 申请号 200910166346.8

[43] 公开日 2010年3月31日

[11] 公开号 CN 101685813A

[22] 申请日 2006.10.8

[21] 申请号 200910166346.8

分案原申请号 200610131871.2

[30] 优先权

[32] 2005.10.4 [33] JP [31] 2005-290709

[71] 申请人 松下电器产业株式会社

地址 日本大阪

[72] 发明人 岸下景介

[74] 专利代理机构 北京德琦知识产权代理有限公司

代理人 罗正云 王琦

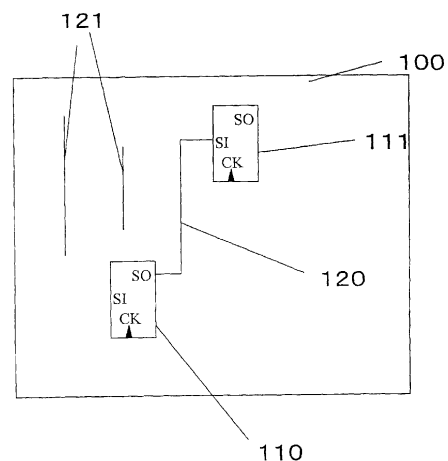
权利要求书2页 说明书14页 附图14页

[54] 发明名称

半导体装置

[57] 摘要

本发明提供了一种半导体装置。在本发明中，布线层包括分别具有不同薄层电阻值的布线，或者，用于使反向的布线层连接起来的触点，包括分别具有不同薄层电阻值的触点。



1、一种半导体装置，包括多层布线层，其中：

至少一个布线层包括第一布线和第二布线，所述第一布线和第二布线位于同一布线层中并且所述第一布线和第二布线分别具有不同的薄层电阻值。

2、根据权利要求1所述的半导体装置，其中：

所述第一布线和第二布线由可连接到其它布线材料材料构成。

3、根据权利要求1所述的半导体装置，进一步包括：

多个数据存储器，和

多个逻辑电路元件，其中：

所述第一布线的薄层电阻值大于所述第二布线的薄层电阻值；所述第一布线构成用于将所述数据存储器连接起来的信号线；并且至多三个所述逻辑电路元件连接到所述第一布线。

4、根据权利要求1所述的半导体装置，进一步包括分别具有扫描功能的多个数据存储器，其中：

所述第一布线的薄层电阻值大于所述第二布线的薄层电阻值；并且所述第一布线构成用于将所述数据存储器连接起来的扫描链布线。

5、根据权利要求1所述的半导体装置，进一步包括在正常操作中工作在不同时钟频率而在扫描模式中工作在相同频率的两个数据存储器，其中：

所述第一布线的薄层电阻值大于所述第二布线的薄层电阻值；并且所述第一布线构成用于将所述两个数据存储器连接起来的信号线。

6、根据权利要求1所述的半导体装置，进一步包括第一集成电路块和第二集成电路块，其中：

所述第二布线的薄层电阻值小于所述第一布线的薄层电阻值；并且所述第二布线构成用于将所述第一集成电路块和第二集成电路块连接起来的信号线。

7、根据权利要求1所述的半导体装置，进一步包括：

具有存取晶体管的存储单元；和

用于开启/关闭该存取晶体管的字线，其中：

所述第二布线的薄层电阻值小于所述第一布线的薄层电阻值；并且所述第二布线构成所述字线。

8、根据权利要求1所述的半导体装置，进一步包括：

用于保留数据的存储单元，和

连接到该存储单元的位线，其中：

所述第二布线的薄层电阻值小于所述第一布线的薄层电阻值；并且所述第二布线构成所述位线。

9、根据权利要求1所述的半导体装置，进一步包括时钟布线，其中：

所述第二布线的薄层电阻值小于所述第一布线的薄层电阻值；并且所述第二布线构成所述时钟布线。

10、根据权利要求1所述的半导体装置，进一步包括电源布线，其中：

所述第二布线的薄层电阻值小于所述第一布线的薄层电阻值；并且所述第二布线构成所述电源布线。

11、根据权利要求10所述的半导体装置，其中，所述电源布线是模拟电路的电源布线。

12、根据权利要求1所述的半导体装置，进一步包括扩散层，其中：

所述第一布线或者所述第二布线的部分或全部不连接到所述扩散层。

半导体装置

本申请是申请日为2006年10月8日、申请号为200610131871.2的名为“半导体装置”的发明申请的分案申请。

技术领域

本发明涉及包括多个布线层的半导体装置、制造这种半导体装置的方法和用于这种半导体装置的布线设备。

背景技术

在设置有多个晶体管的半导体装置中，由于小型化的发展，半导体装置的性质和结构的变化越来越显著地影响每个晶体管的驱动性能。这些变化的示例包括由电源电压波动引起的变化和晶体管制造中的变化，这些变化大大改变了每个晶体管的驱动性能。由于上述缺点，产生了这样的问题：在设计阶段满足时间限制并且期望随后正常操作的装置，在实际制造时不能满足该时间限制，因此，不能执行任何期望的操作。

为了避免这样的设计误差，考虑到半导体装置制造时的变化以确保充分的设计余量是十分重要的。触发器的保持时间可作为设计余量的示例，该保持时间是在时钟信号输入到触发器后，数据信号必须要在最小时间长度内保留。如果不能在最小时间长度内保留数据信号，那么触发器会因此保留不正确的数据，引起故障。因此，有必要考虑设计余量（在这种情况下是保持时间），这样，即使由于上述变化，使得晶体管的驱动性能改变，从而使时钟和数据的到达时间发生改变，那么触发器中也能保留正确的数据。

图15示出了常规半导体装置1000。半导体装置1000包括触发器1010和用于实现扫描测试的扫描链1020。附图标记SI表示用于取回扫描数据的触发器1010的端子。如在日本专利申请公开2004-301661中所提到的，为

了在 SI 端子处满足保持时间，用于扫描链 1020 的布线层的每单位长度的电阻值高于其中形成有时钟信号布线的布线层的每单位长度的电阻值。

即使由于上述变化，将附近的触发器彼此连接起来的扫描链 1020 中的信号传播时间发生改变，但由于利用较高电阻布线获得充分的延迟值，所以可以满足 SI 端子中的保持时间。

但是，在要求临界信号速度的信号线中，提供具有每单位长度较高电阻值的布线层是不够的。为了应对这种不利条件，有必要形成较高电阻的布线层以避免这种信号线。

然而，根据上述方法，与位于较高电阻布线层上下的布线层相关的触点增加，从而产生了布线聚积。在布线聚积时，可能产生布线围绕或相邻布线间的串扰，这使得在要求临界信号速度的信号线中不可能满足时间限制。结果，在期望的操作频率下对半导体装置进行操作变得十分困难。

发明内容

因此，本发明的主要目的是满足要求临界信号速度的信号线中的时间限制，并且因此便于在期望的操作频率下对半导体装置进行操作。

为了实现上述目的，根据本发明的半导体装置包括多层布线层，其中至少一个布线层包括第一布线和第二布线，并且第一布线和第二布线分别具有不同的薄层电阻值。

根据本发明，具有较低电阻值的布线和具有较高电阻值的布线可位于同一布线层中，以致与常规半导体装置相比，本发明中布线聚积难于发生。

在本发明的一个优选模式中，第一布线和第二布线由能连接到其它布线材料的材料构成。

根据本发明的另一个优选模式，半导体装置进一步包括多个数据存储器 and 多个逻辑电路元件，其中第一布线的薄层电阻值大于第二布线的薄层电阻值，第一布线构成用于将数据存储器彼此连接起来的信号线，并且至多三个逻辑电路元件连接到第一布线。

数据存储器不限于触发器，而是可以使用能记忆数据的任何器件或电路。该器件的一个示例是锁存电路。逻辑电路元件不限于缓冲元件，而是可以使用能构成逻辑电路的任何元件。该元件的一个示例是反相器。

根据上述构造，仅通过使用高电阻的布线，就能满足保持时间限制。在仅包括由小电阻材料构成的布线的半导体装置中，有必要通过在不满足保持时间限制的任何部分处插入缓冲元件或类似元件，进行延迟调节（增加调节）。在本发明中，仅通过使用由具有大电阻值的材料构成的布线，就能实现所述延迟调节。因此，可以避免由于缓冲元件的插入布置所引起的部件增加，并且可以控制半导体装置中能量损耗的增加。

在仅包括由小电阻材料构成的布线的半导体装置中，有必要通过在不满足保持时间限制的部分的布线周围绕远布线，进行延迟调节。在本发明中，仅通过使用由具有大电阻值的材料构成的布线，其不需要改变布线路径，就能实现延迟调节。因此，本发明的构造可以避免由于布线延伸引起的相关布线和其它布线之间的中间布线电容的任何改变，并且在其它布线中不产生时间变化情况下，可以进行满足保持时间限制所必需的任何改正。

本发明的一个优选模式进一步包括每一个都具有扫描功能的多个数据存储器，其中，第一布线的薄层电阻值大于第二布线的薄层电阻值，并且用于使数据存储器彼此连接的扫描链布线由第一布线构成。

本发明的另一个优选模式进一步包括在正常操作状态中工作在不同时钟频率下而在扫描模式中工作在相同频率下的两个数据存储器，其中，第一布线的薄层电阻值大于第二布线的薄层电阻值，并且用于使数据存储器彼此相连的信号线由第一布线构成。

根据这些优选模式，在难于确保插入缓冲元件的区域的情况下或者在附近提供有数据存储器的部分中布线到处延伸的情况下，以及不满足保持时间限制的情况下，仅通过改为高电阻布线，就可满足保持时间限制。

另一个优选模式进一步包括第一集成电路块和第二集成电路块，其中第二布线的薄层电阻值小于第一布线的薄层电阻值，并且第二布线构成用于使第一

集成电路和第二集成电路彼此连接的信号线。

因此，通过用具有小电阻值的材料构成在集成电路块之间具有严格时间的布线，可减小集成电路块之间的延迟时间。

另一个优选模式进一步包括具有存取晶体管和用于开启/关闭该存取晶体管的字线的存储单元，其中第二布线的薄层电阻值小于第一布线的薄层电阻值，并且第二布线构成所述字线。

因此，减小了所述字线的布线电阻，并且因此加快了打开所述存取晶体管门电路的时间。于是，可以更快速地从所述数据存储器读取数据。

另一个优选模式进一步包括用于保留数据的存储单元和与该存储单元相连的位线，其中第二布线的薄层电阻值小于第一布线的薄层电阻值，并且第二布线构成所述位线。

因此，减小了所述位线的布线电阻，并且能以更快的速度执行有关存储单元的数据读取和位线的预充电/放电操作。因此，在数据存储器中实现了更快速的操作。

另一个优选模式进一步包括时钟布线，其中第二布线的薄层电阻值小于第一布线的薄层电阻值，并且第二布线构成所述时钟布线。

因此，减小了时钟布线的电阻值，这使得由于减小了时钟布线中的等待，时钟信号传播中的变化可以控制。而且，由于时钟信号能陡峭上升和下降，因此可以减小半导体装置中的漏电，并且可以提高操作频率。

另一个优选模式进一步包括电源布线，其中第二布线的薄层电阻值小于第一布线的薄层电阻值，并且第二布线构成所述电源布线。

因此，由于可以控制电源布线中的 IR 降，所以可稳定地向位于半导体装置中的晶体管供电，从而稳定半导体装置的操作。

在上述构造中，电源布线优选模拟电路的电源布线。因此，通过用小电阻材料构成布置在从模拟电路到 IO 焊盘的电源布线，可以稳定模拟电路的操作。

另一个优选模式进一步包括扩散层，其中第一布线或者第二布线的部分或者全部不连接到所述扩散层。

因此，由于其高电阻值，不能用作信号线布线但具有低单价的材料，能构成不连接到布线层中的扩散层的布线，以将每单位面积上的布线面积比设置在规定值之内。因此，可以降低半导体装置的制造成本。

另一方面，一种半导体装置包括多层布线层，和用于使反向的布线层相连的触点，其中触点包括第一触点和第二触点，并且第一触点和第二触点分别具有不同的薄层电阻值。

根据本发明的半导体装置可按照一种制造方法制造，该制造方法包括：蚀刻中间层绝缘膜以形成第一槽并且在第一槽中嵌入具有电导率的第一材料的步骤；和蚀刻除了第一槽之外的所述中间层绝缘膜的区域以形成第二槽并且在第二槽中嵌入具有所述电导率和与第一材料的薄层电阻值不同的薄层电阻值的第二材料的步骤。

另外，根据本发明的半导体装置，可按照一种制造方法制造，该制造方法包括：根据第一布图在平面上喷洒具有电导率的第一材料从而形成由第一材料制成的第一布图的步骤；根据第二布图在所述平面上喷洒具有所述电导率和与第一材料的薄层电阻值不同的薄层电阻值的第二材料从而形成由第二材料制成的第二布图的步骤；以及在所述平面上喷洒绝缘材料从而形成使第一布图和第二布图彼此绝缘的绝缘膜的步骤。

根据上述制造方法，可制造本发明的半导体装置，其中具有不同薄层电阻值的布线可位于一个布线层中。

一种用于根据本发明的半导体装置的布线方法包括：从半导体装置提取引起违反保持时间的部分的步骤；计算布线电阻值应该增加的量以消除（dice away）引起违反保持时间的所述部分的步骤；和把用于所述布线的材料从具有低电阻值的材料改变为具有高电阻值的材料以与所述电阻值增加量的计算结果相等的步骤。因此，仅通过改变构成所述布线的材料，就可输出信息，从而提高所述保持时间的误差。

一种用于根据本发明的半导体装置的布线方法包括：在包括电子电路器件和连接到该电子电路器件的布线的半导体装置中，提取引起违反保持时间的部

分的步骤；计算消除所述部件中违反保持时间所需的、在布线任意部分中的电阻值的增加量的步骤；和根据所述布线任意部分中的电阻值增加量的计算结果，把构成所述布线任意部分的材料从具有低电阻值的材料改变为具有高电阻值的材料的步骤。

一种用于根据本发明的半导体装置的布线方法包括：在包括电子电路器件和连接到该电子电路器件的布线的半导体装置中，提取引起违反建立时间的部分的步骤；计算消除所述部件中违反建立时间所需的、在布线任意部分中的电阻值的下降量的步骤；和根据所述布线任意部分中的电阻值下降量的计算结果，把构成所述布线任意部分的材料从具有高电阻值的材料改变为具有低电阻值的材料的步骤。

根据上述布线方法，仅通过改变构成所述布线的材料，就可输出各种布线设计信息，因此可提高建立时间的误差。

由于可以调节布线延迟而不产生布线聚积，所以本发明对于意在较高集成度的半导体装置来说是有用的。

由于具有不同薄层电阻的两个布线可形成在一个布线层中，所以本发明对于要求高精度时间控制的半导体装置来说是有用的。

由于可以改变任意布线的延迟值而不影响其它布线的的时间，所以本发明对于要求小型化工艺设计的半导体装置来说是有用的。

附图说明

通过下面对本发明优选实施例的描述，本发明的这些和其它目的以及本发明的优点将变得清楚。一旦实施本发明，本领域的技术人员会注意到本说明书中没有列举的许多益处。

图 1 是本发明优选实施例 1 的半导体装置的平面图；

图 2 是优选实施例 1 的半导体装置的立体图；

图 3A-3B 是优选实施例 1 的时间图；

图 4 是本发明优选实施例 2 的半导体装置的立体图；

图 5 是优选实施例 2 的时间图；

图 6 是优选实施例 2 的半导体装置的平面图；

图 7 是优选实施例 2 的半导体装置的平面图；

图 8 是本发明优选实施例 3 的半导体装置的平面图；

图 9 是本发明优选实施例 4 的半导体装置的立体图；

图 10A-10E 是本发明优选实施例 5 的制造半导体装置的方法的工艺流程图；

图 11A-11C 是本发明优选实施例 6 的制造半导体装置的方法的工艺流程图；

图 12 是本发明优选实施例 7 的制造半导体装置的方法的工艺流程图；

图 13 是示出在优选实施例 1 中提供有缓冲元件示例的平面图；

图 14 是示出在优选实施例 1 中布线到处延伸示例的平面图；

图 15 是常规技术中半导体装置的平面图。

具体实施方式

在下文中，将参照附图对本发明的优选实施例进行描述。

优选实施例 1

图 1 是本发明优选实施例 1 的半导体装置 100 的平面图。半导体装置 100 具有多层布线层，并且如图所示，包括具有扫描功能的触发器（数据存储器）110 和 111、用于使触发器 110 和 111 相连构成扫描链的布线（扫描链布线）120，和信号布线 121。触发器 110 和 111 分别包括时钟端子 CK、扫描数据输入端子 SI，和扫描数据输出端子 SO。触发器 110 和 111 在纵向延长上相连，以在实现扫描路径测试方法的情况下，即在一种便于半导体装置功能测试的方法示例的情况下，用作移位寄存器型的扫描寄存器。因此，触发器 110 和 111 构成扫描链。

图 2 以三维方式示出了图 1 中所示的扫描链布线 120。扫描链 120 包括布线 130、140 和 150，和触点 160、170、180 和 190。布线 140（第一布线）

和信号布线 121 (第二布线) 位于第一布线层。第一布线层图案化形成在半导体装置的平面上。布线 130 和 150 位于第二布线层。第二布线层图案化形成在半导体装置的另一个平面上。第一布线层所在的平面在第二布线层所在平面之上。在优选实施例 1 中, 为了满足触发器 111 的 SI 端子的保持时间, 具有高于信号布线 121 的薄层电阻值的薄层电阻值的金属构成了布线 140。

图 3A 和 3B 是触发器 111 的时间图。由于扫描链通常使附近的触发器的 SO 端子和 SI 端子相连, 因此由布线产生的延迟时间可显著缩短, 而且在 SI 端子处保持时间限制不被满足的情况也经常发生。

图 3A 示出了在具有低薄层电阻值的金属构成布线 140 (第一布线) 的情况下的数据。图 3B 示出了在具有高薄层电阻值的金属构成布线 140 (第一布线) 的优选实施例 1 中的数据。在图 3A 中, 由于与到达触发器 111 的 CK 端子的时钟信号相比, 信号到达 SI 端子太早, 所以没有满足保持时间限制。相反在图 3B 中, 通过用具有高薄层电阻值的金属构成布线 140 (第一布线), 增加了扫描链 120 中的传播延迟, 并且信号到达触发器 111 的 SI 端子迟于时钟信号到达触发器 111 的 CK 端子。因此, 可以满足所期望的保持时间限制。钨适合作为布线 140 (第一布线) 所使用的具有较高薄层电阻值的金属。具有低薄层电阻值的铜适合作为信号布线 121 (第二布线) 所使用的材料。具有高薄层电阻值的材料和具有低薄层电阻值的材料的组合没必要局限于钨和铜。

在调节所述延迟量的构造示例中, 如图 13 所示, 至多三个缓冲元件 (逻辑电路元件) 122 可插入使触发器 (数据存储器) 110 和 111 彼此相连的扫描链布线 120 中, 或者如图 14 所示, 布线可到处延伸。在插入缓冲元件 122 的结构中, 存在例如能量损耗增加的不利结果。在布线到处延伸的结构中, 存在由于布线路径的改变所引起的中间布线电容的改变, 从而改变其它信号布线时间的不利结果。相反根据本发明优选实施例 1 的构造 (高电阻布线结构), 作为延迟量需要调节的布线的一部分的布线 140 (第一布线), 其所使用的材料被替换为具有高薄层电阻值的材料。结果, 可容易地调节延迟量,

而对其它布线没有任何影响。

另外,诸如插入缓冲元件或布线延伸之类的结构可与优选实施例1的构造(布线电阻增加)结合。在描述了扫描链的优选实施例1中,与优选实施例1的效果相似的效果可以这样的方式获得:使触发器(数据存储器)和缓冲元件(逻辑电路元件)相连的布线,或者使缓冲元件(逻辑电路元件)彼此相连的布线被看作是第一布线;并且具有高薄层电阻的材料,构成插入至多三个缓冲元件(逻辑电路元件)的部分中的第一布线,以使附近的触发器(数据存储器)相连;并且保持时间限制不能被满足。

在优选实施例1中,虽然具有高薄层电阻的金属仅构成一个布线层,然而,具有较高薄层电阻的金属可以相似的方式构成多个布线层。

优选实施例2

图4是本发明优选实施例2的半导体装置200的平面图。半导体装置200具有多层布线层,并且如图所示,包括第一集成电路块210、第二集成电路块211、第一布线220和第二布线221。第一布线220和第二布线221使第一集成电路模块210和第二集成电路模块211相连。第一布线220和第二布线221被捆扎起来,作为区域a-a'中的同一平面上布线层的一部分。区域a-a'位于第一集成电路块210和第二集成电路块211之间。

一般而言,使集成电路块彼此相连的布线在延伸的长度上被捆扎,并且布线通常彼此平行。因此,布线中的传播延迟依据布线电阻或中间布线电容而增加,因此,有时发生不满足半导体装置所需的建立时间的情况。建立时间是在时钟信号输入到触发器之前,必须确定数据信号的最小时间长度。除非数据信号在最小时间长度内确定,否则触发器会因此保持不正确数据,从而引起故障。图5是在触发器数据输入端子处的建立时间的时间图。

特别地,第二布线221使建立时间严格的元件彼此相连。在优选实施例2中,具有薄层电阻值低于第一布线220的薄层电阻值的金属构成区域a-a'中的第二布线221。从而,使得第二布线221的传播延迟小于第一布线220的传播延迟。在优选实施例2中,用铝作为第一布线220的材料,用铜作为

第二布线 221 的材料。具有高薄层电阻值的材料和具有低薄层电阻值的材料的组合并不局限于铝和铜。

根据上述构造，由具有低薄层电阻值的金属构成的第二布线 221 位于区域 a-a' 中，因此可减小第一集成电路块 210 和第二集成电路块 211 之间的传播延迟。从而，可以满足半导体装置 200 所需的建立时间。在优选实施例 2 中，虽然描述了严格时间的集成电路块 210 和 211 之间的布线，但在延迟值需要减小的任何其它部分中也可采用相似的构造，并且在这种情况下也可获得相似的效果。

优选实施例 3

图 6 示出设置在半导体装置 300 中的存储器宏单元 310。存储器宏单元 310 包括多个用于保留数据的存储单元 320。每个存储单元 320 包括多个存取晶体管 330。在优选实施例 3 中，用于开启/关掉存取晶体管 330 的字线 340 和用于从存储单元 320 读取数据的位线 350 被看作是第二布线，同一布线层中的其它布线被看作是第一布线。随后，字线 340 和位线 350（第二布线）由薄层电阻值低于其它布线（第一布线）的薄层电阻值的金属构成。

由于字线 340 通常具有长的布线长度，因此需要低电阻的布线作为字线 340，以便在这种长布线中高速执行存取晶体管 330 的开/关控制。而且，位线 350 也通常具有长的布线长度，并且在这种长布线中连接到很多存储单元，以便数据可被高速读取。因此，用低电阻的布线作为位线 350 是必要的。如本优选实施例所述，通过减小字线 340 和位线 350 的电阻，可从存储器宏单元 310 中高速读取数据。

优选实施例 4

在本发明的优选实施例 4 中，如图 7 所示，用于向半导体装置 400 的触发器 410 提供时钟信号的时钟布线 420 是第二布线，在同一布线层的其它布线是第一布线。之后，薄层电阻值低于同一布线层中的其它布线（第一布线）的薄层电阻值的金属构成时钟布线 420（第二布线），因此时钟信号的信号波形可陡峭地上升和下降。从而，可减小半导体装置的漏电。

优选实施例 5

图 8 是本发明优选实施例 5 的半导体装置 500 的平面图。半导体装置 500 具有多层布线层，并且包括电源布线 510 和集成电路块 520。

电源从半导体装置 500 的外部，通过 IO 焊盘（图 8 中未示出），从电源布线 510 提供给集成电路块 520。信号布线 530 也位于电源布线 510 所在的布线层中。在优选实施例 5 中，电源布线 510 构成第二布线，薄层电阻值低于其它信号布线 530（第一布线）的薄层电阻值的金属构成电源布线 510。在优选实施例 5 中，电源布线 510 即第二布线由铜构成，而信号布线 530 即第一布线由铝构成。

具有高薄层电阻值的材料和具有低薄层电阻值的材料的组合并不局限于铝和铜。

在优选实施例 5 中，上述构造中的电源布线 510 的电阻值被减小，即使在集成电路块 520 的部分中大电流瞬时损耗这样的情况，也可以将电源布线 510 中的电压变化控制到小的程度，以稳定半导体装置 500 的操作。

优选实施例 6

在优选实施例 5 中，描述了对集成电路块 520 供电的电源布线 510。在本发明的优选实施例 6 中，集成电路块 520 用作设置在半导体装置中的模拟电路 520，并且对模拟电路 520 供电的电源布线 510 被看作是第二布线。之后，薄层电阻值低于其它布线（第一布线）的薄层电阻值的金属构成电源布线 510。

与数字电路一起设置在半导体装置中的模拟电路的电源与数字电路的电源是分开的，并且电源通过 IO 焊盘用线连接到模拟电路。这是因为通常期望，在数字电路的噪声可避免并且 IO 焊盘没有任何压降的这种方式下，对模拟电路的电源供电。

优选实施例 7

在优选实施例 1-6 中对布线进行了描述，相似的描述可应用于触点。例如，通过用薄层电阻值高于图 2 中第二触点 180 的薄层电阻值的金属构成第

一触点 170，可以获得延迟。

优选实施例 8

图 9 是根据本发明优选实施例 8 的包括多个布线层的半导体装置 600 的平面图。半导体装置 600 包括多层布线层。图 9 是从上面观测到的多个布线层中仅布线层 610 的平面图。如图 9 所示，布线层 610 包括作为第二布线的信号布线 620 和未电连接到扩散层的第一布线 630。第一布线 630 被提供，使得在从上面观测布线层 610 时，布线层 610 整个面积中的每单位面积的布线面积比保持在规定值之内。通过提供第一布线 630，在蚀刻中可均匀切割槽，并且可以控制制造变化，因此布线的面积比可保持在规定值之内。

常规地，根据电路分布的结构，在半导体装置中布线的粗糙状态或厚状态可能产生大的偏差。为了控制半导体装置制造时产生的结构变化（布线密度），在优选实施例 8 中提供第一布线 630。第一布线 630 由比用于信号布线 620，即第二布线的材料更便宜的金属构成。因此，在优选实施例 8 中，由于布线层 610 由便宜的金属构成，所以可降低成本。

优选实施例 9

图 10A-10E 分别示出了本发明优选实施例 9 的包括多个布线层的半导体装置 700 的制造方法。在该制造方法中，第一布线和第二布线作为半导体装置 700 任意平面上的布线层形成。首先，用于中间层连接的触点 710 和 740 形成在中间层绝缘膜 701 中，其中如图 10A 所示，该中间层绝缘膜 701 所在的层在构成第一布线和第二布线的布线层的下方。触点 710 形成在连接到第一布线的部分处。触点 740 形成在连接到第二布线的部分处。接下来，中间层绝缘膜 701 进一步形成在触点 710 和触点 740 所在的中间层绝缘膜 701 的上层，并且通过蚀刻或者类似工艺，第一槽 720 形成于位于上层的中间层绝缘膜 701 中。第一槽 720 的形状与第一布线 730 的布线图的形状对应。槽形部分分布在触点 710 的上侧以与触点 710 邻接，因此触点 710 暴露于第一槽 720 的底部。接下来，如图 10B 所示，第一槽 720 充满由铜构成的第一材料，因此形成第一布线 730。第一布线 730 连接到触点 710，从而与触点

710 邻接。

接下来，通过蚀刻或者类似工艺，第二槽 750 形成于中间层绝缘膜 701 中。第二槽 750 的形状与第二布线 760 的布线图形状对应。槽形部分分布在触点 740 的上侧以与触点 740 邻接，从而触点 740 暴露于第二槽 750 的底部。接下来，如图 10D 所示，第二槽 750 充满由薄层电阻值高于铜的薄层电阻值的铝构成的第二材料，因此形成第二布线 760。第二布线 760 连接到触点 740，从而与触点 740 邻接。

最后，如图 10E 所示，平面化工艺或类似工艺可应用于其中提供有第一布线 730 和第二布线 760 的中间层绝缘膜 701，此后，绝缘膜 770 进一步形成在中间层绝缘膜 701 的上侧。

根据上面提到的半导体装置的制造方法，具有不同薄层电阻值的第一布线 730 和第二布线 760 可形成在同一布线层中。因此，通过将金属改变为符合某一目的的布线，例如期望布线延迟可随意增加或减小地调节，可形成布线。因此，可获得期望的延迟值。

在优选实施例 9 中，用铜和铝作为第一布线和第二布线的金属，但是，也可以组合不同的金属。在优选实施例 9 中，对用于制造半导体装置中布线的方法进行了描述，这些描述也可应用于触点的制造方法。

优选实施例 10

图 11A-11C 分别示出了本发明优选实施例 10 中描述的包括多个布线层的半导体装置 800 的制造方法。根据该制造方法，第一布线和第二布线在半导体装置 800 的任意平面上形成为布线层。首先，如图 11A 所示，由铜构成的第二材料喷洒在中间层绝缘膜 801 的上表面上，其中，中间层绝缘膜 801 所在的层在构成第一布线和第二布线的布线层的下方，因此形成第一布线 810。

接下来，如图 11B 所示，由薄层电阻值高于铜的薄层电阻值的钨构成的第一材料喷洒在中间层绝缘膜 801 的上表面上，因此形成第二布线 820。

最后，如图 11C 所示，绝缘材料喷洒在第一布线 810 和第二布线 820

所在的中间层绝缘膜 801 上, 因此, 形成使第一布线 810 和第二布线 820 彼此绝缘的绝缘膜 830。

根据半导体装置的制造方法, 具有不同薄层电阻值的第一布线 810 和第二布线 820 可形成在同一布线层中。因此, 通过将金属改变为符合某一目的的布线, 例如期望布线延迟可随意增加或减小地调节, 可形成布线。因此, 可获得期望的延迟值。

在优选实施例 10 中, 用铜和钨作为第一布线和第二布线的金属, 但是, 也可以组合不同的金属。虽然在优选实施例 10 中, 对半导体装置中的布线制造方法进行了描述, 但这些描述也可应用于触点的制造方法。

优选实施例 11

图 12 是在本发明优选实施例 11 的包括多个布线层的半导体装置中, 在布线设备中实现的布线方法的流程图, 其中在该布线设备中, 在保持时间不满足的部分处的布线的材料可改变。如图 12 所示, 首先, 执行从半导体装置提取引起违反保持时间的部分的步骤 900。其次, 执行对消除相关部分中违反建立时间所需的、在布线任意部分中电阻值下降量进行计算的步骤 910。最后, 执行步骤 920, 即根据布线任意部分中电阻值下降量的计算结果, 把构成布线任意部分的部件从具有高薄层电阻值的材料改变为具有低薄层电阻值的材料。

根据该布线方法, 布线材料可改变的半导体装置在一个布线层中包括具有不同薄层电阻值的布线。根据上面提到的布线设备, 可容易地改变在期望获得布线电阻的部分中的布线, 而对其它布线的没有任何影响。

虽然对期望获得足够布线延迟的部分处的布线改变进行了描述, 但是这些描述也可应用于把期望减小布线延迟的部分处的布线从具有高薄层电阻值布线改变为具有低薄层电阻值布线的布线设备。

尽管详细地描述了本发明的优选实施例, 但可以理解, 其中可进行各种修改, 并且意图在所附权利要求中覆盖落入本发明精神和范围内的所有这些修改。

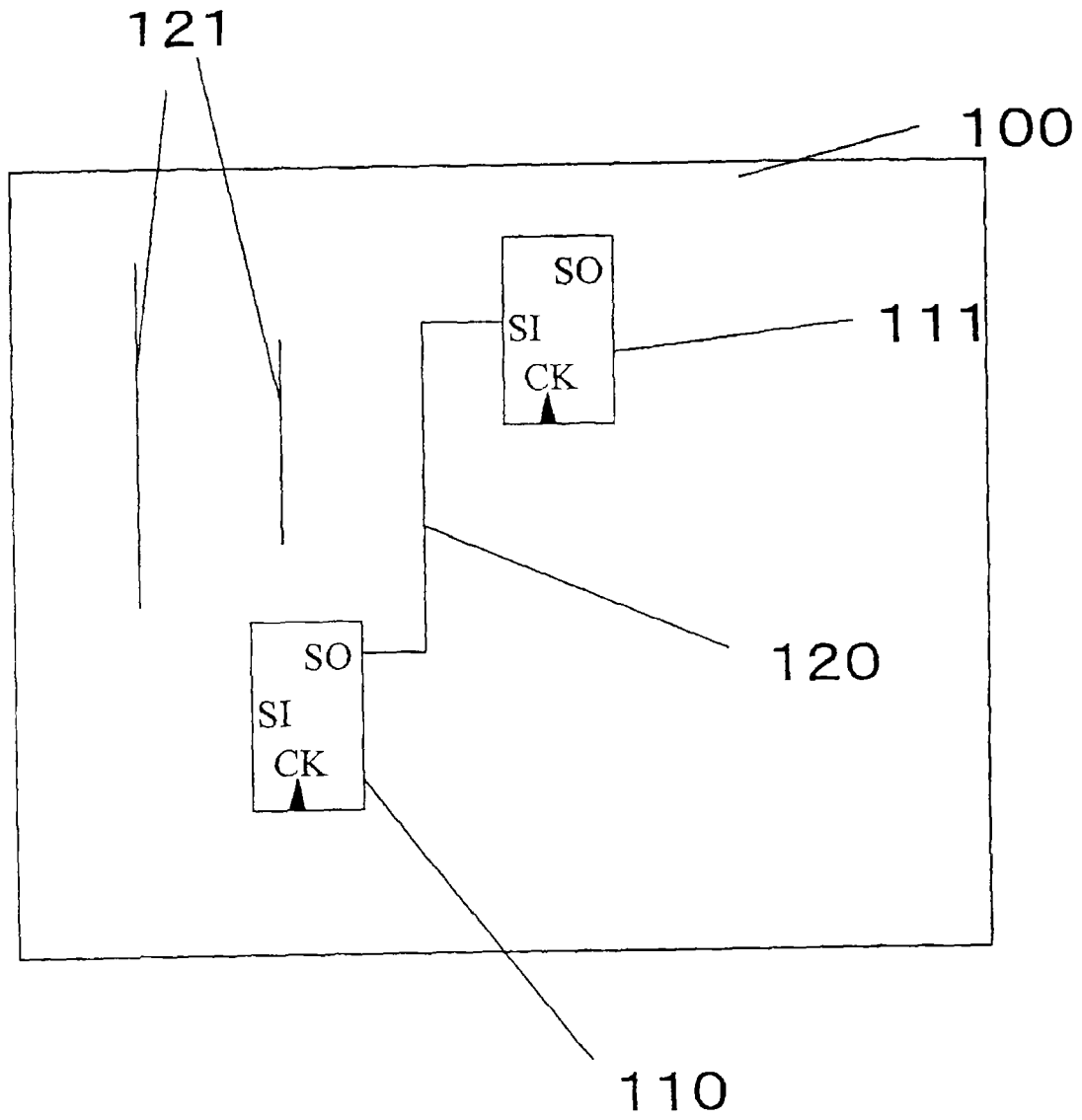


图 1

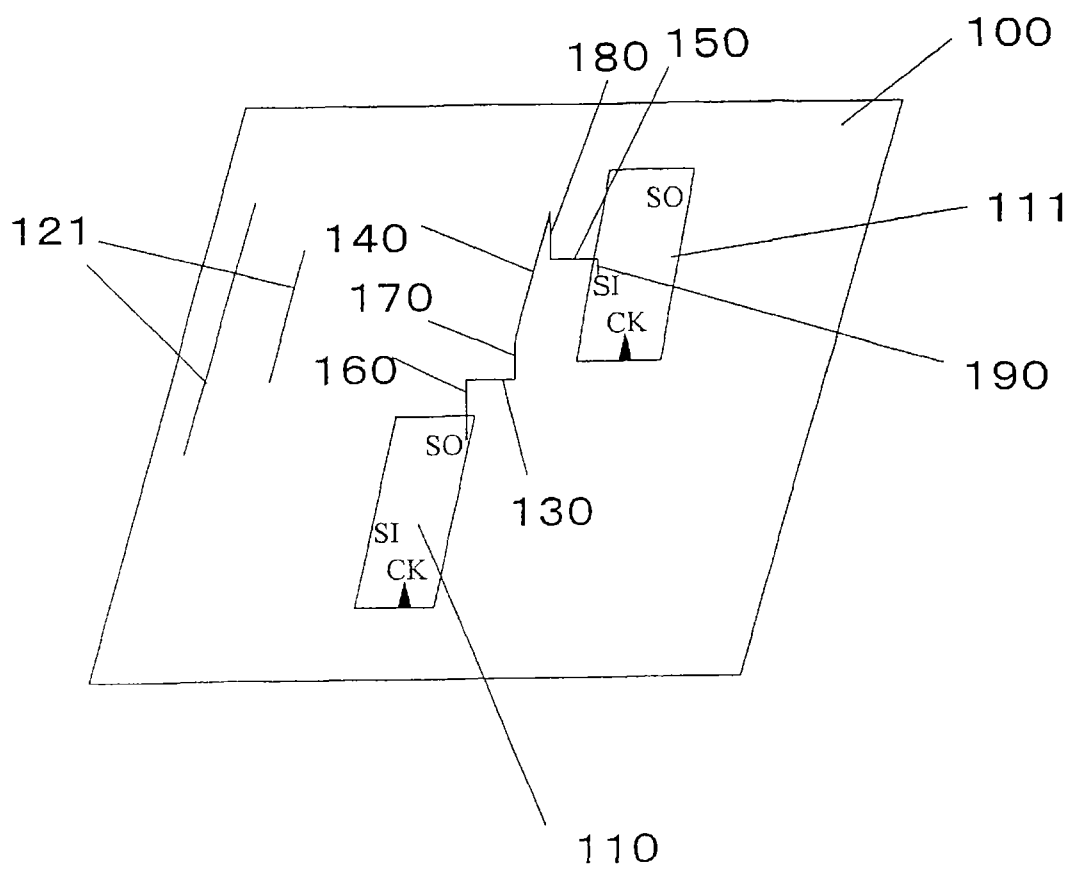


图 2

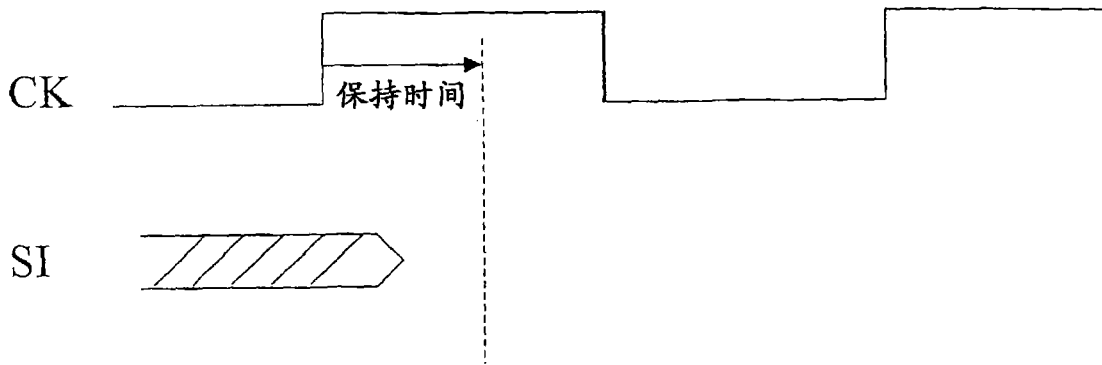


图 3A

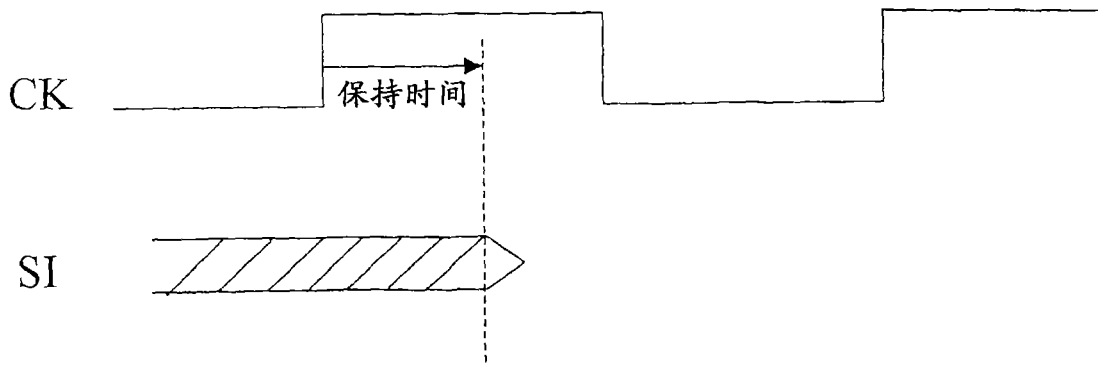


图 3B

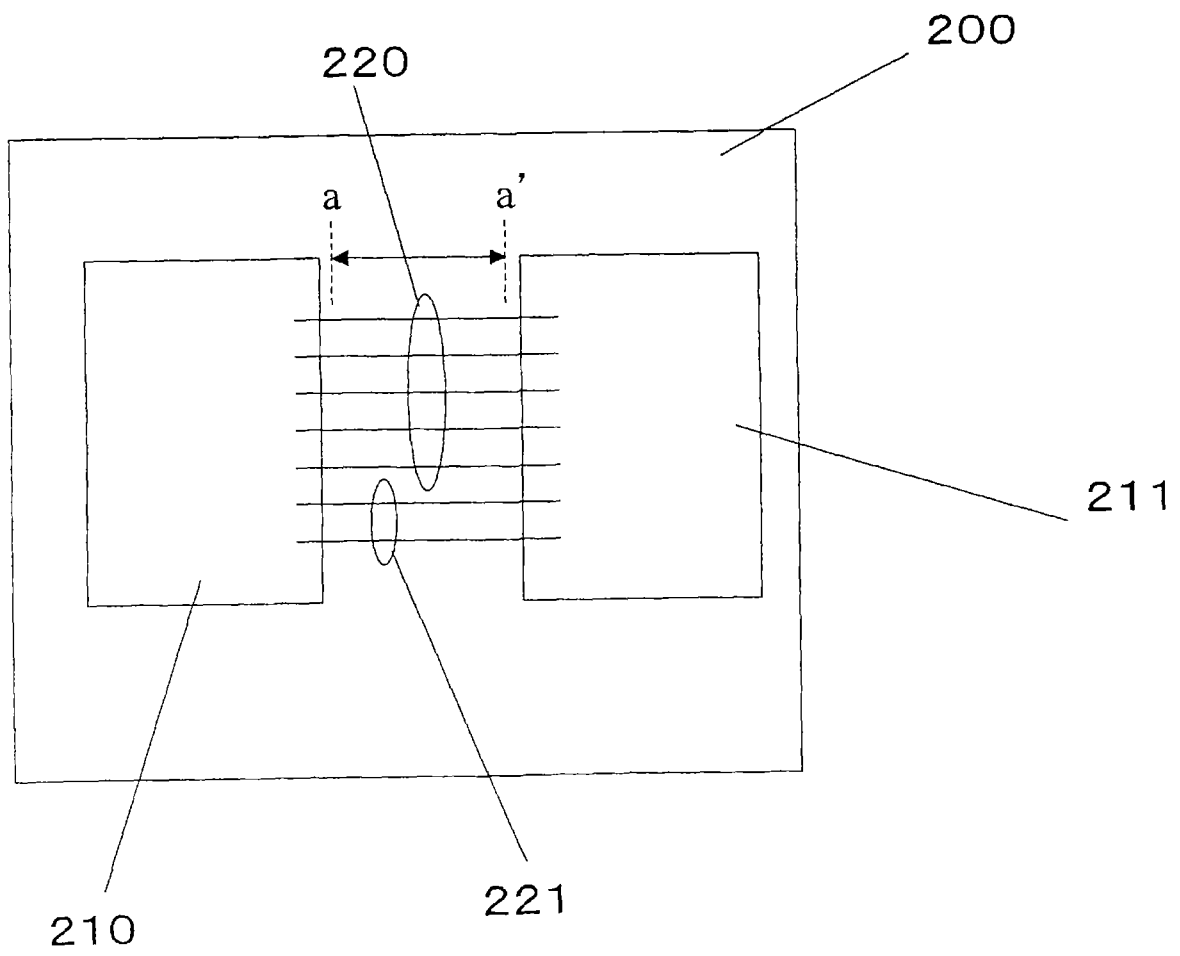


图 4

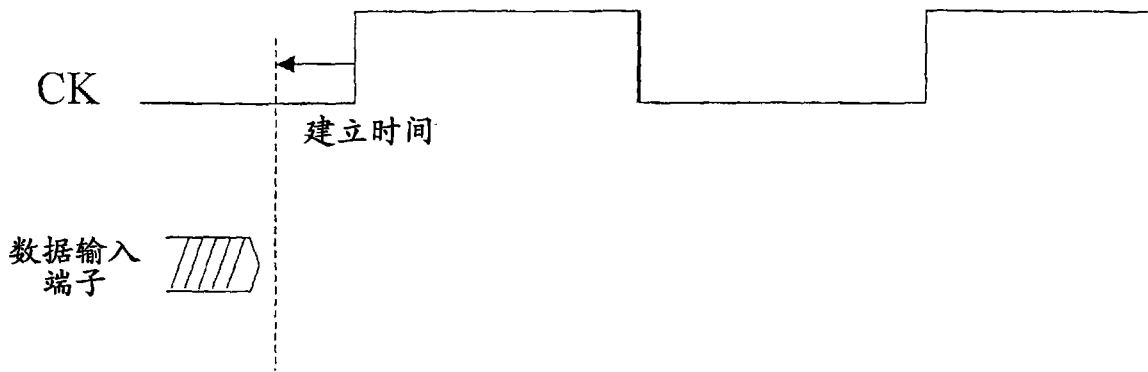


图 5

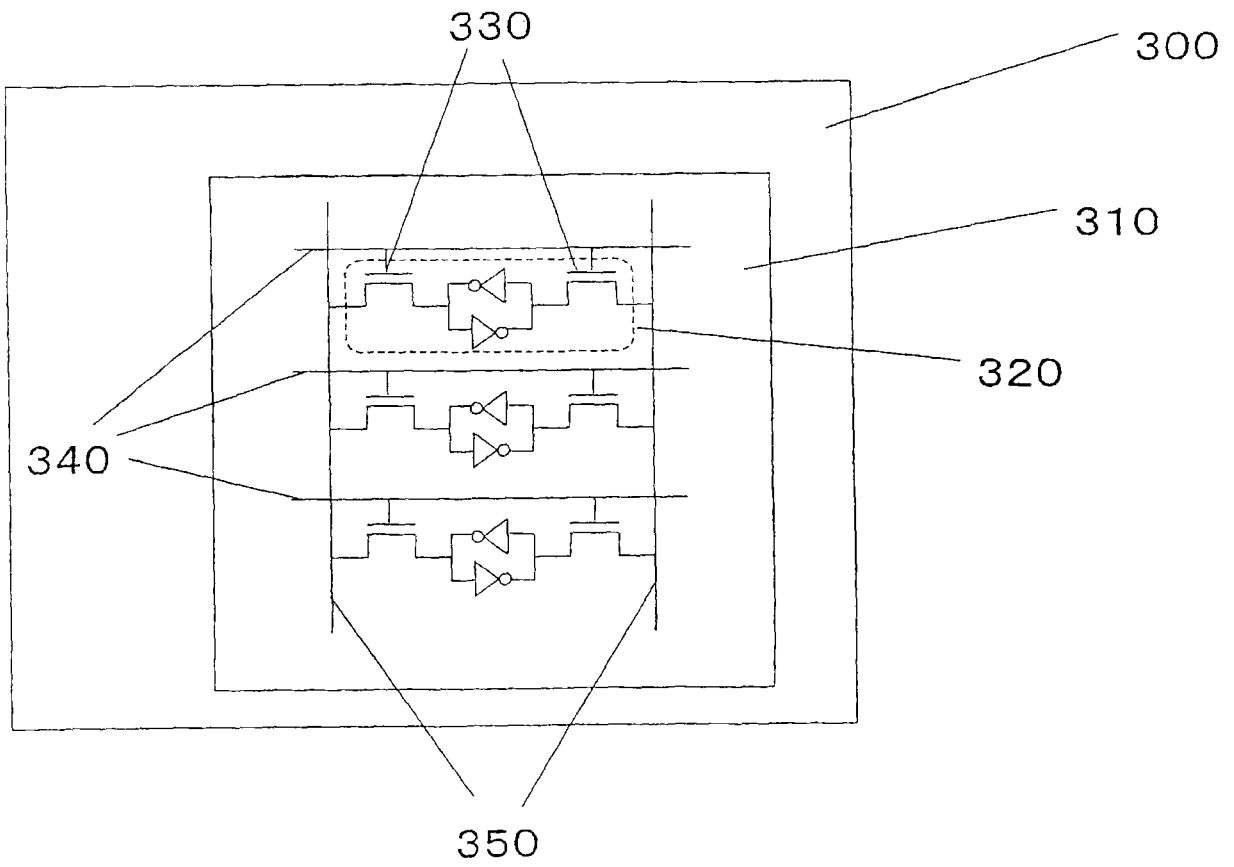


图 6

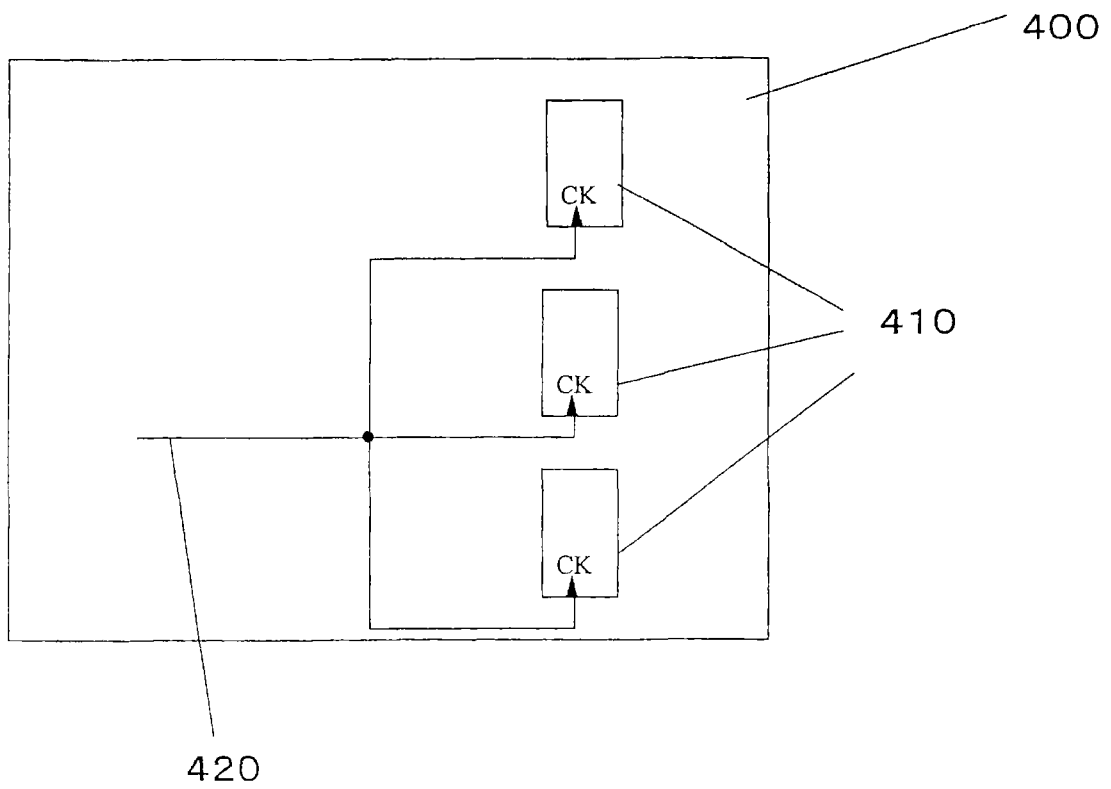


图 7

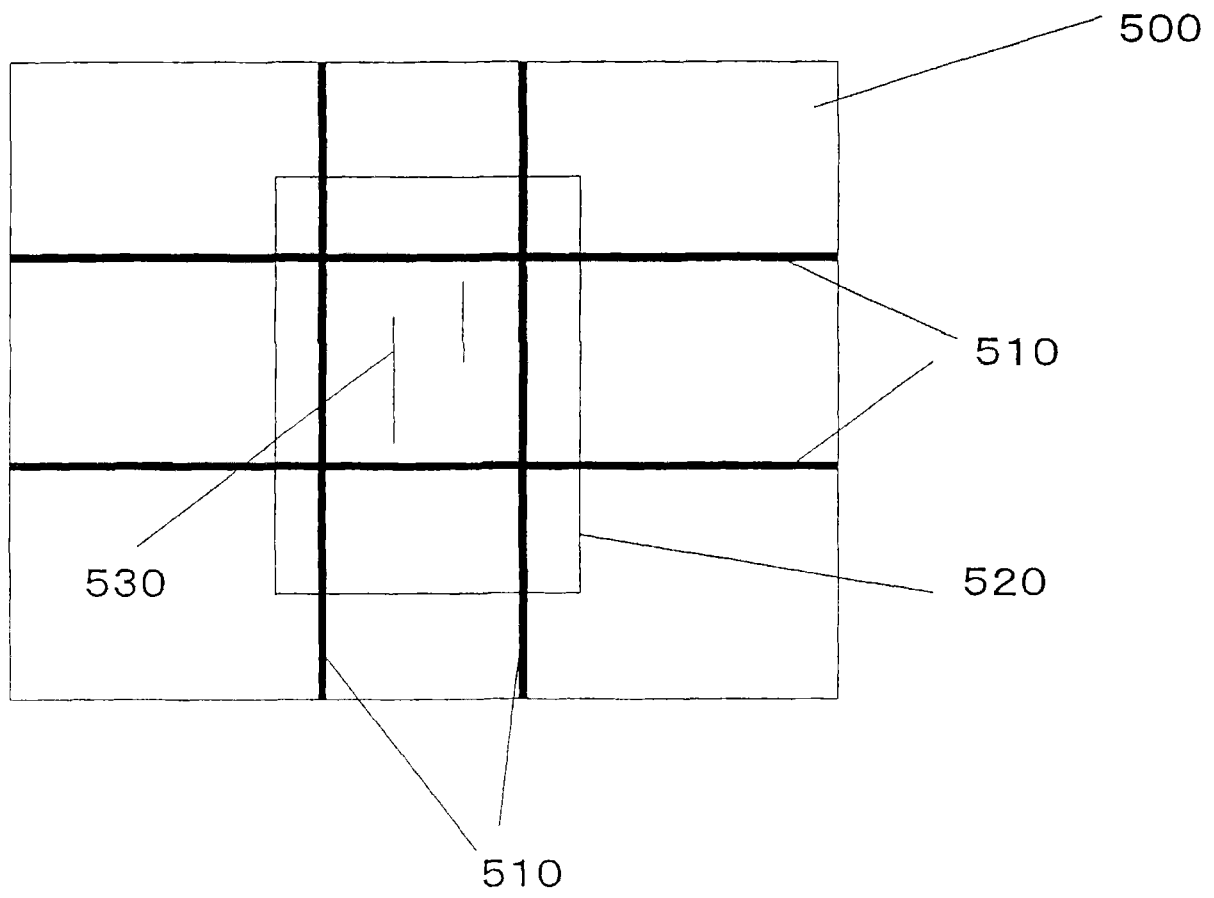


图 8

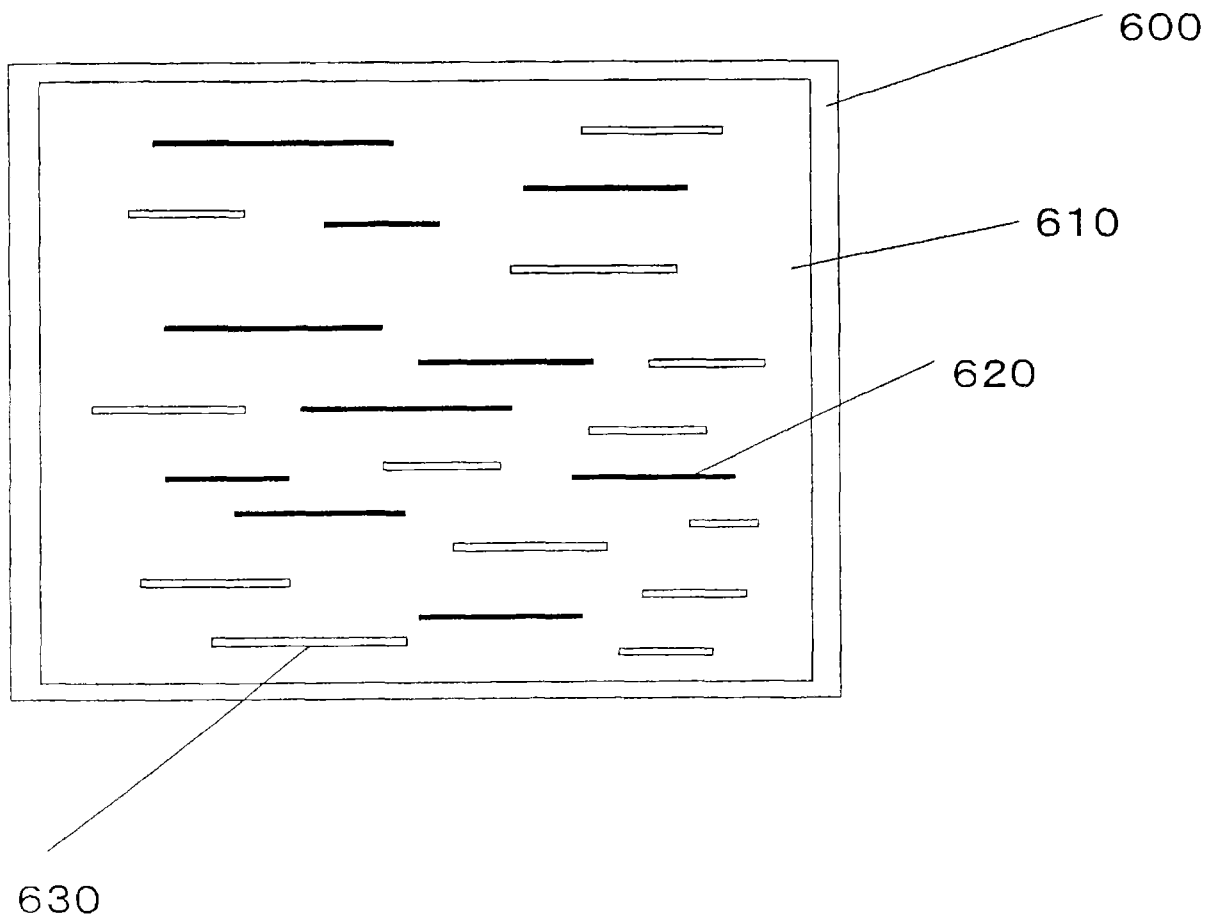
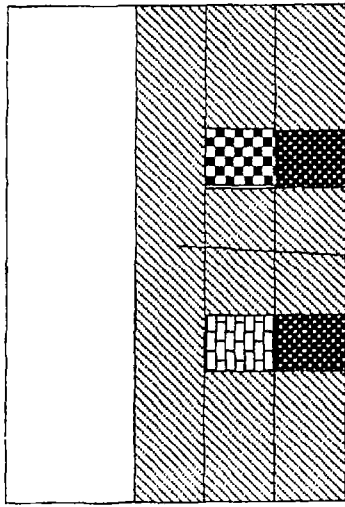
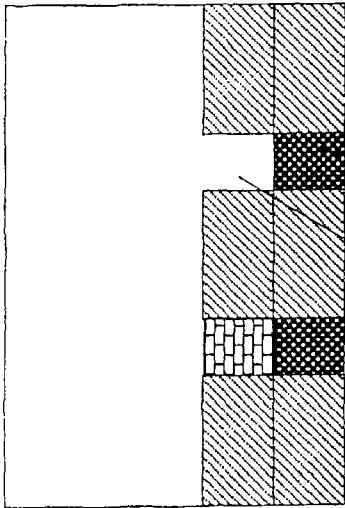


图 9



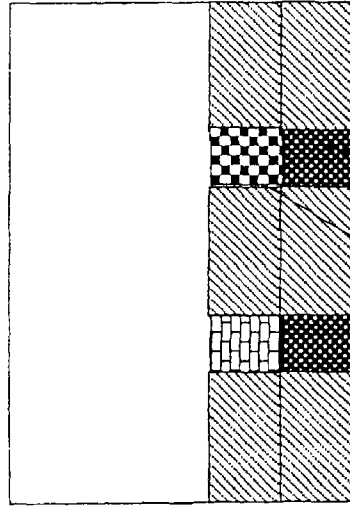
770

图 10E



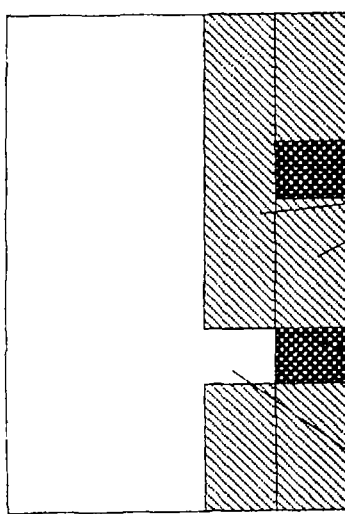
750 740

图 10C



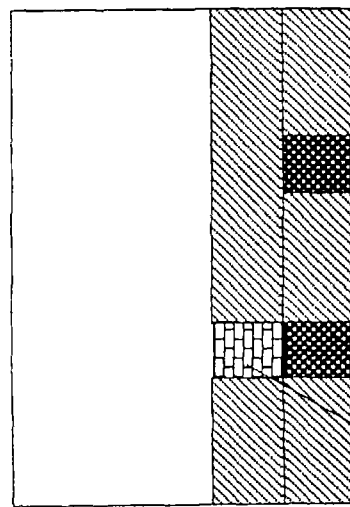
760 740

图 10D



720 710 701 700

图 10A



730 710

图 10B

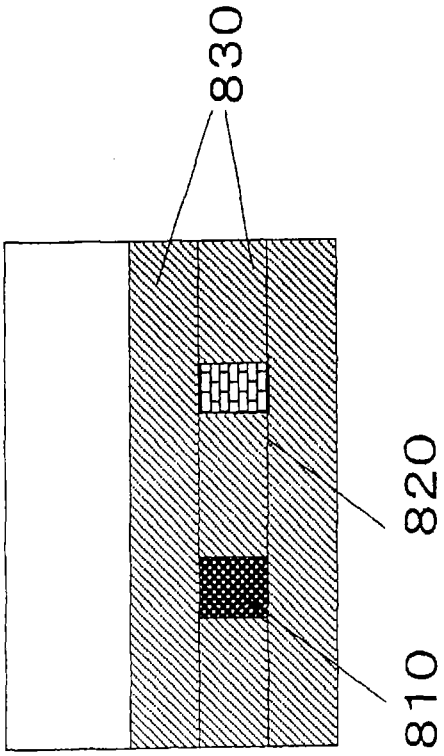


图 11C

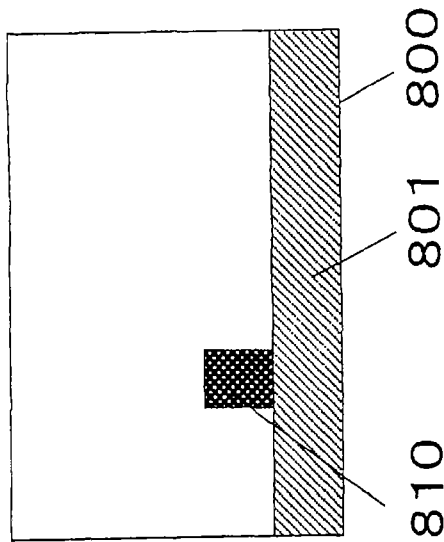


图 11A

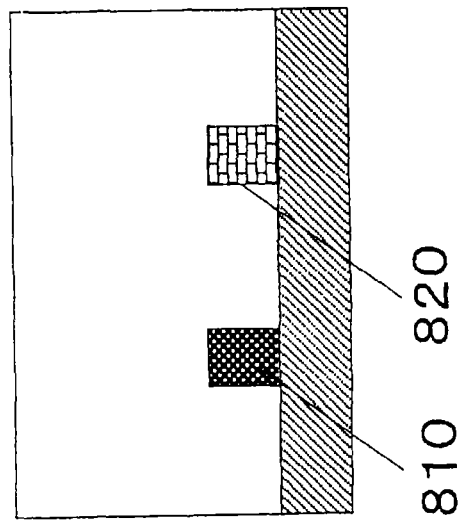


图 11B

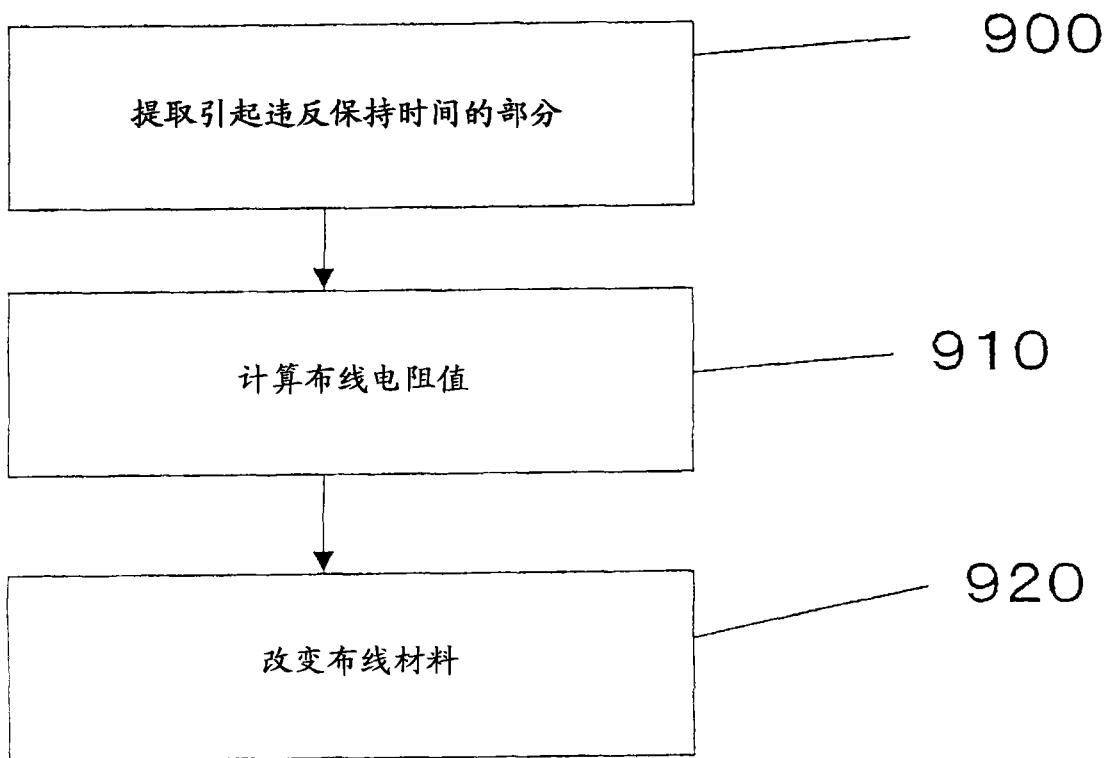


图 12

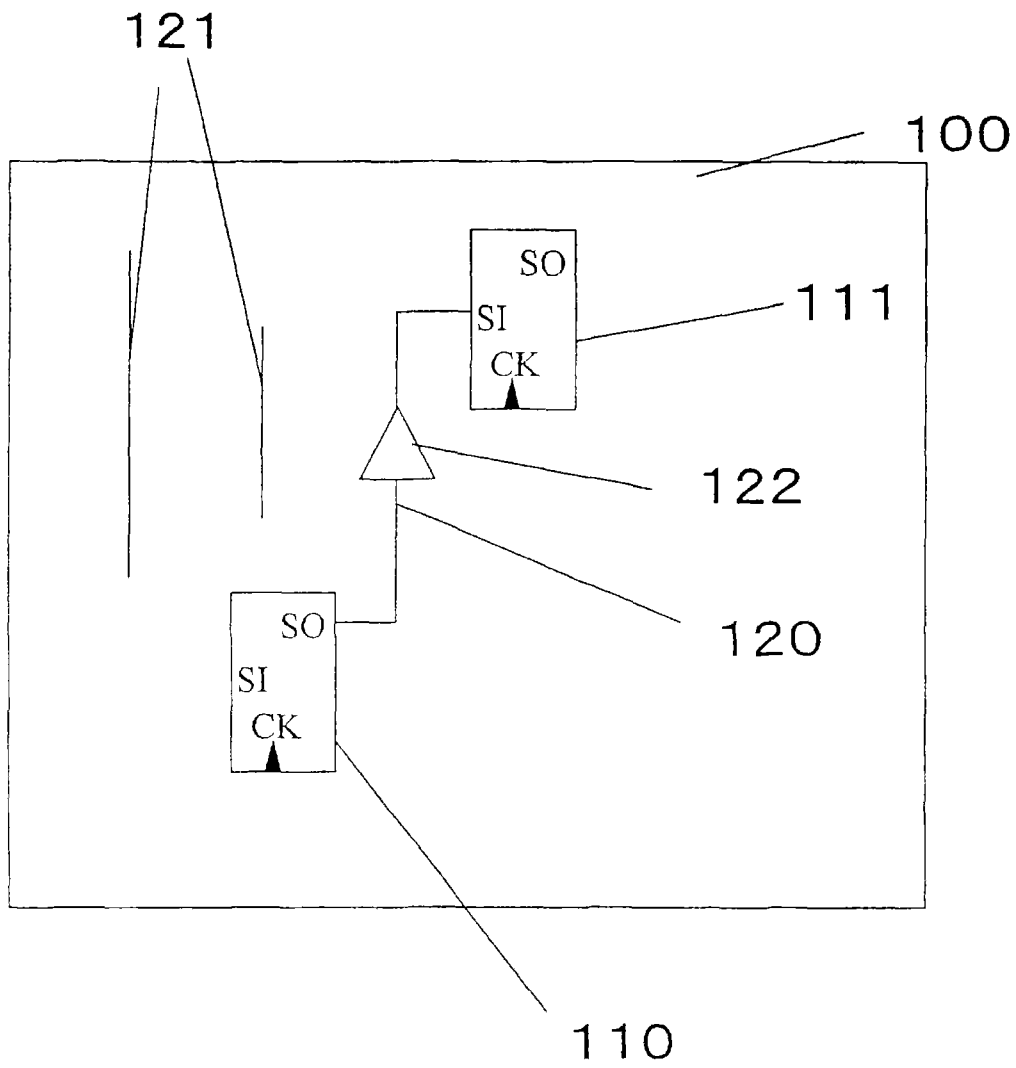


图 13

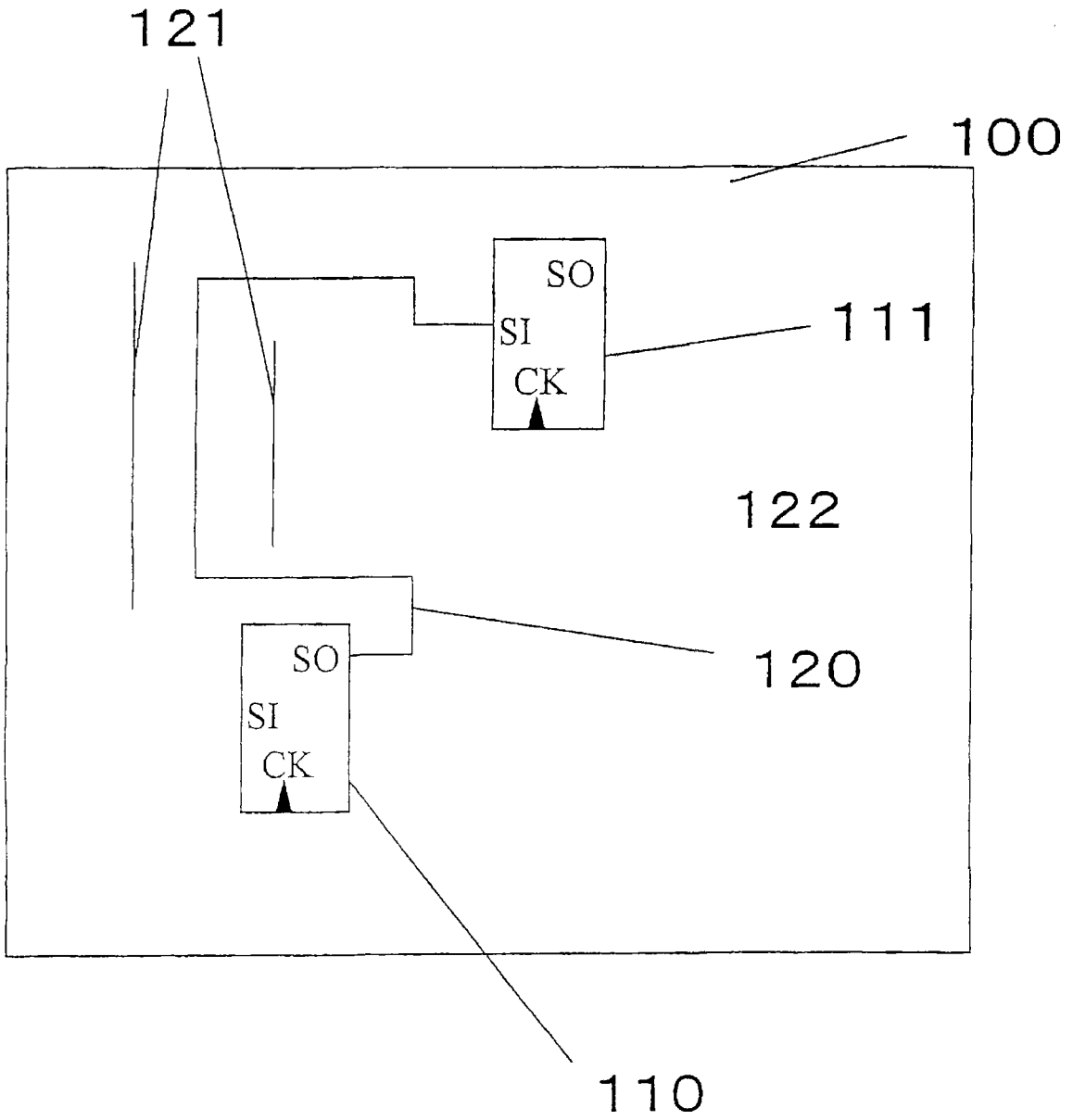


图 14

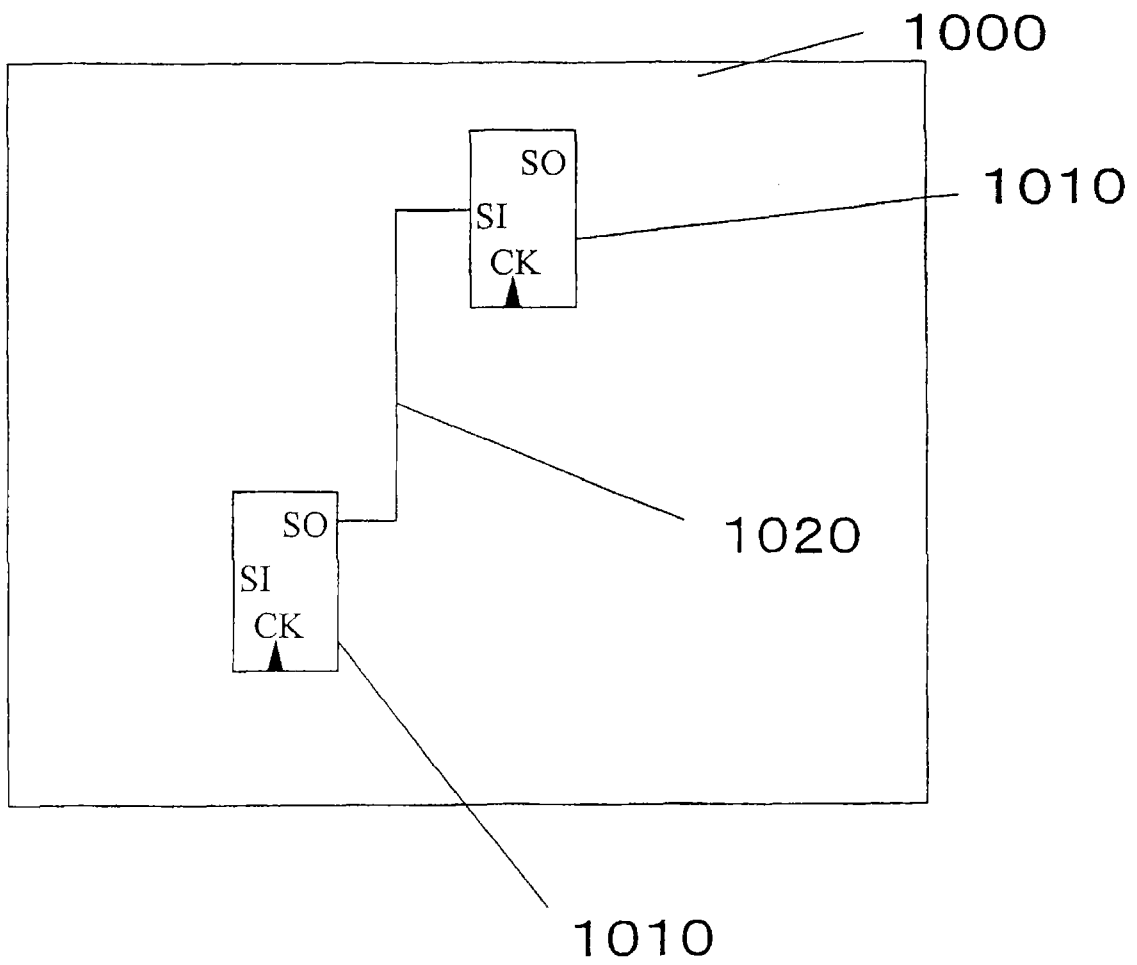


图 15