



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년08월14일
 (11) 등록번호 10-1426845
 (24) 등록일자 2014년07월30일

(51) 국제특허분류(Int. Cl.)
G11C 16/00 (2006.01)
 (21) 출원번호 10-2007-0125547
 (22) 출원일자 2007년12월05일
 심사청구일자 2012년12월04일
 (65) 공개번호 10-2009-0058790
 (43) 공개일자 2009년06월10일
 (56) 선행기술조사문헌
 KR1020060112166 A

(73) 특허권자
삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
김홍수
 경기 용인시 수지구 현암로125번길 11, 721동
 1604호 (죽전동, 새터마을죽전힐스테이트)
김건수
 경기도 화성시 영통로50번길 27, 두산위브아파트
 104동 1501호 (반월동)
 (74) 대리인
오세준, 권혁수, 송윤호

전체 청구항 수 : 총 10 항

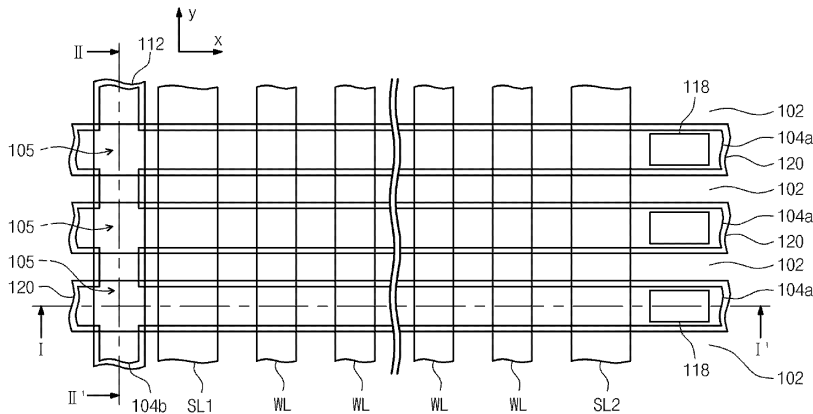
심사관 : 한선경

(54) 발명의 명칭 공통 소스를 포함하는 비휘발성 기억 소자

(57) 요약

공통 소스를 포함하는 비휘발성 기억 소자를 제공한다. 이 소자는 제1 활성영역들을 가로지르는 제2 활성영역 내에 공통 소스가 배치되고, 공통 소스 상에 소스 도전 라인이 평행하게 배치된다. 소스 도전 라인은 공통 소스와 전기적으로 접속된다.

대표도



특허청구의 범위

청구항 1

기관에 형성되되, 제1 방향을 따라 나란히 연장된 복수의 제1 활성영역들 및 상기 제1 방향과 수직한 제2 방향을 따라 연장되어 상기 복수의 제1 활성영역들과 공통으로 연결되는 제2 활성영역을 정의하는 소자분리 패턴;

상기 제2 활성영역내에 형성되고 상기 제2 방향을 따라 연장된 공통 소스;

상기 복수의 제1 활성영역들내에 각각 형성된 복수의 공통 드레인들;

상기 공통 소스와 상기 공통 드레인들 사이의 상기 제1 활성영역들을 나란히 가로지르는 제1 선택 라인, 복수의 워드 라인 및 제2 선택 라인; 및

상기 제2 활성영역 상에 배치되고 상기 제2 방향을 따라 연장되고 상기 공통 소스와 전기적으로 접속된 소스 도전 라인을 포함하되,

상기 공통 소스는 상기 제 1 및 제 2 선택 라인들의 채널 영역의 도전형과 반대의 도전형을 갖는 비휘발성 기억 소자.

청구항 2

청구항 1에 있어서,

상기 기관 전면을 덮고 상기 공통 소스를 노출시키는 소스 그루브를 포함하는 몰드 절연막을 더 포함하되, 상기 소스 도전 라인은 상기 그루브 내에 배치되어 상기 공통 소스와 접촉하는 비휘발성 기억 소자.

청구항 3

삭제

청구항 4

청구항 2에 있어서,

상기 소스 도전 라인 및 몰드 절연막 상에 배치된 층간 절연막;

상기 층간 절연막 및 몰드 절연막을 연속적으로 관통하여 상기 복수의 공통 드레인들과 각각 접속된 복수의 비트라인 플러그들; 및

상기 층간 절연막 상에서 상기 제1 방향을 따라 나란히 연장되고 상기 복수의 공통 비트라인 플러그들과 각각 접속된 복수의 비트라인들을 더 포함하는 비휘발성 기억 소자.

청구항 5

청구항 1에 있어서,

상기 기관 전면을 덮는 몰드 절연막; 및

상기 몰드 절연막을 관통하여 상기 공통 소스와 접속된 적어도 하나의 콘택 플러그를 더 포함하되, 상기 소스 도전 라인은 상기 몰드 절연막 상에 배치되어 상기 콘택 플러그와 접속된 비휘발성 기억 소자.

청구항 6

청구항 5에 있어서,

상기 콘택 플러그는 상기 제1 활성영역 및 상기 제2 활성영역간 교차 영역에 형성된 상기 공통 소스와 접속되며,

상기 몰드 절연막 내에 복수의 상기 콘택 플러그들이 배치되고, 상기 복수의 콘택 플러그들은 상기 복수의 제1 활성영역들 및 상기 제2 활성영역간 교차 영역들에 형성된 상기 공통 소스들의 일부분들에 각각 접속되고, 상기 복수의 콘택 플러그들은 상기 제2 방향으로 하나의 열을 이루는 비휘발성 기억 소자.

청구항 7

삭제

청구항 8

청구항 5에 있어서,

상기 소스 도전 라인 및 몰드 절연막 상에 배치된 층간 절연막;

상기 층간 절연막 및 몰드 절연막을 연속적으로 관통하여 상기 복수의 공통 드레인들과 각각 접속된 복수의 비트라인 플러그들; 및

상기 층간 절연막 상에서 상기 제1 방향을 따라 나란히 연장되고 상기 복수의 공통 비트라인 플러그들과 각각 접속된 복수의 비트라인들을 더 포함하는 비휘발성 기억 소자.

청구항 9

청구항 1에 있어서,

상기 소스 도전 라인은 상기 공통 소스에 비하여 낮은 비저항을 갖는 도전 물질을 포함하는 비휘발성 기억 소자.

청구항 10

청구항 1에 있어서,

상기 제1 선택 라인은 상기 공통 소스에 인접하고, 상기 제2 선택 라인은 상기 공통 드레인들에 인접하되,

상기 제1 선택 라인과 상기 제2 활성영역은 상기 제1 방향으로 서로 이격되고, 상기 공통 소스는 상기 제2 활성영역과 상기 제1 선택 라인 사이의 상기 제1 활성영역들로 연장된 비휘발성 기억 소자.

청구항 11

삭제

청구항 12

청구항 1에 있어서,

상기 각 워드 라인 양측의 상기 제1 활성영역내에 형성된 셀 소스/드레인을 더 포함하는 비휘발성 기억 소자.

청구항 13

청구항 1에 있어서,

상기 각 워드라인은,

상기 제1 활성영역을 가로지르는 제어 게이트 전극;

상기 제어 게이트 전극과 상기 제1 활성영역 사이에 개재된 전하 저장층;

상기 전하 저장층과 상기 제1 활성영역 사이에 개재된 터널 절연막; 및

상기 전하 저장층과 상기 제어 게이트 전극 사이에 개재된 블로킹 절연막을 포함하는 비휘발성 기억 소자.

명세서

발명의 상세한 설명

기술 분야

본 발명의 반도체 소자에 관한 것으로, 특히, 공통 소스를 포함하는 비휘발성 기억 소자에 관한 것이다.

[0001]

배경 기술

- [0002] 비휘발성 기억 소자는 외부 전원의 공급이 중단될지라도 저장된 데이터를 그대로 유지하는 특성을 갖는다. 비휘발성 기억 소자의 예로서, 마스크롬 소자(MASK ROM device), 에프램 소자(FRAM device), 이이프로롬 소자(EEPROM device), 상변화 기억 소자(phase change memory device), 자기 기억 소자(magnetic memory device) 또는 플래쉬 기억 소자 등이 있다. 상기 마스크롬 소자는 제조 공정 중에 데이터를 코딩하여 제조될 수 있다. 따라서, 상기 마스크롬 소자는 저장된 데이터를 변경이 불가능할 수 있다. 상기 에프램 소자는 데이터를 저장하는 요소로서 강유전체를 사용하며, 상기 상변화 기억 소자는 두가지 안정된 상태를 갖는 상변화 물질을 데이터 저장 요소로 사용한다. 상기 자기 기억 소자는 자기 모멘트를 이용하는 데이터 저장 요소를 포함할 수 있다. 상기 플래쉬 기억 소자는 전기적으로 격리된 전하 저장 요소를 포함할 수 있다.
- [0003] 플래쉬 기억 소자들 중에서 낸드형 플래쉬 기억 소자는 프로그램 및 소거 속도가 우수하고 고집적화가 용이한 특성을 갖는다. 이러한 특성으로 인하여, 상기 낸드형 플래쉬 기억 소자는 대용량의 데이터 저장 매체로서 각광 받고 있다. 최근에는, 상기 낸드형 플래쉬 기억 소자로 하드디스크를 대체하는 기술에 대한 연구들도 활발히 진행되고 있다.
- [0004] 반도체 산업이 고도로 발전함에 따라, 비휘발성 기억 소자의 고집적화 경향은 더욱 심화되고 있다. 이에 따라, 비휘발성 기억 소자의 제조 공정들이 점점 어려워지고 있다. 예컨대, 제조 공정들의 마진들이 점점 감소되고 있으며, 새로운 결함들이 발생되어 비휘발성 기억 소자의 특성을 열화시키기도 한다. 이러한 제조 공정들의 어려움을 극복하기 위한 많은 연구들이 진행되고 있다.

발명의 내용

해결 하고자하는 과제

- [0005] 본 발명이 이루고자 하는 기술적 과제는 고집적화에 최적화된 비휘발성 기억 소자를 제공하는데 있다.
- [0006] 본 발명이 이루고자 하는 다른 기술적 과제는 고집적화에 최적화되고 우수한 특성을 갖는 비휘발성 기억 소자를 제공하는 데 있다.
- [0007] 본 발명이 이루고자 하는 또 다른 기술적 과제는 공통 소스의 저항을 감소시킬 수 있는 비휘발성 기억 소자를 제공하는 데 있다.

과제 해결수단

- [0008] 상술한 기술적 과제들을 해결하기 위한 비휘발성 기억 소자를 제공한다. 이 소자는 기관에 형성되되, 제1 방향을 따라 나란히 연장된 복수의 제1 활성영역들 및 상기 제1 방향과 수직한 제2 방향을 따라 연장되어 상기 복수의 제1 활성영역들과 교차하는 제2 활성영역을 정의하는 소자분리 패턴; 상기 제2 활성영역내에 형성되고 상기 제2 방향을 따라 연장된 공통 소스; 상기 복수의 제1 활성영역들내에 각각 형성된 복수의 공통 드레인들; 상기 공통 소스와 상기 공통 드레인들 사이의 상기 제1 활성영역들을 나란히 가로지르는 제1 선택 라인, 복수의 워드 라인 및 제2 선택 라인; 및 상기 제2 활성영역 상에 배치되고 상기 제2 방향을 따라 연장되고 상기 공통 소스와 전기적으로 접속된 소스 도전 라인을 포함한다.
- [0009] 일 실시예에 따르면, 상기 소자는 상기 기관 전면을 덮고 상기 공통 소스를 노출시키는 소스 그루브를 포함하는 몰드 절연막을 더 포함할 수 있다. 이때, 상기 소스 도전 라인은 상기 그루브 내에 배치되어 상기 공통 소스와 접촉한다. 상기 소스 도전 라인은 상기 몰드 절연막의 상부면과 공면을 이루는 상부면을 가질 수 있다.
- [0010] 일 실시예에 따르면, 상기 소자는 상기 기관 전면을 덮는 몰드 절연막; 및 상기 몰드 절연막을 관통하여 상기 공통 소스와 접속된 적어도 하나의 콘택 플러그를 더 포함할 수 있다. 이 경우에, 상기 소스 도전 라인은 상기 몰드 절연막 상에 배치되어 상기 콘택 플러그와 접속된다. 상기 콘택 플러그는 상기 제1 활성영역 및 상기 제2 활성영역간 교차 영역에 형성된 상기 공통 소스와 접속될 수 있다. 상기 소자는 상기 몰드 절연막 내에 배치된 복수의 상기 콘택 플러그들을 포함할 수 있다. 상기 복수의 콘택 플러그들은 상기 복수의 제1 활성영역들 및 상기 제2 활성영역간 교차 영역들에 형성된 상기 공통 소스들의 일부분들에 각각 접속되고, 상기 복수의 콘택 플러그들은 상기 제2 방향으로 하나의 열을 이룬다.
- [0011] 일 실시예에 따르면, 상기 소스 도전 라인은 상기 공통 소스에 비하여 낮은 비저항을 갖는 도전 물질을 포함하

는 것이 바람직하다.

[0012] 일 실시예에 따르면, 상기 제1 선택 라인은 상기 공통 소스에 인접하고, 상기 제2 선택 라인은 상기 공통 드레인들에 인접할 수 있다. 이 경우에, 상기 제1 선택 라인과 상기 제2 활성영역은 상기 제1 방향으로 서로 이격될 수 있다. 이때, 상기 공통 소스는 상기 제2 활성영역과 상기 제1 선택 라인 사이의 상기 제1 활성영역들로 연장될 수 있다.

[0013] 일 실시예에 따르면, 상기 각 워드 라인 양측의 상기 제1 활성영역내에 형성된 셀 소스/드레인을 더 포함할 수 있다.

[0014] 일 실시예에 따르면, 상기 각 워드라인은 상기 제1 활성영역을 가로지르는 제어 게이트 전극; 상기 제어 게이트 전극과 상기 제1 활성영역 사이에 개재된 전하 저장층; 상기 전하 저장층과 상기 제1 활성영역 사이에 개재된 터널 절연막; 및 상기 전하 저장층과 상기 제어 게이트 전극 사이에 개재된 블로킹 절연막을 포함할 수 있다.

효 과

[0015] 상술한 본 발명에 따르면, 공통 소스는 복수의 제1 활성영역들과 교차하는 제2 활성영역내에 형성되며 또한 제2 활성영역을 따라 연장된다. 또한, 상기 공통 소스와 평행한 소스 도전 라인이 상기 공통 소스와 전기적으로 접속한다. 즉, 상기 공통 소스가 연장되고 그 위에 배치된 상기 소스 도전 라인이 상기 공통 소스와 전기적으로 접속한다. 이에 따라, 상기 공통 소스는 안정적인 낮은 저항을 가질 수 있다. 결과적으로, 비휘발성 기억 소자에 안정적인 기준 전압을 제공하여 고집적화되고 우수한 특성을 갖는 비휘발성 기억 소자를 구현할 수 있다.

발명의 실시를 위한 구체적인 내용

[0016] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층(또는 막) 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층(또는 막)이 다른 층(또는 막) 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층(또는 막) 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층(또는 막)이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

[0017] (제1 실시예)

[0018] 도 1a는 본 발명의 일 실시예에 따른 비휘발성 기억 소자를 나타내는 평면도이고, 도 1b는 도 1a의 I-I'을 따라 취해진 단면도이며, 도 1c는 도 1a의 II-II'을 따라 취해진 단면도이다.

[0019] 도 1a, 도 1b 및 도 1c를 참조하면, 반도체 기판(100, 이하, 기판이라 함)에 제1 활성영역들(104a) 및 제2 활성영역(104b)을 정의하는 소자분리 패턴(102)이 배치된다. 복수의 상기 제1 활성영역들(104a)은 제1 방향을 따라 나란히 연장된다. 상기 제1 활성영역들(104a)은 등간격으로 배열될 수 있다. 상기 제1 활성영역들(104a)은 라인 형태일 수 있다. 상기 제2 활성영역(104b)은 상기 제1 방향에 수직(perpendicular) 제2 방향을 따라 연장되어, 상기 복수의 제1 활성영역들(104a)과 교차한다. 상기 제2 활성영역(104a)도 라인 형태일 수 있다.

[0020] 상기 제1 방향은 도 1a의 x축 방향에 해당하고, 상기 제2 방향은 도 1a의 y축 방향에 해당한다. 또한, 상기 제1 방향은 상기 제1 활성영역(104a)의 길이방향에 해당하고, 상기 제2 방향은 상기 제2 활성영역(104b)의 길이방향에 해당한다. 상기 제1 및 제2 방향들은 상기 기판(100)의 상부면과 평행하다.

[0021] 상기 제1 활성영역들(104a)과 제2 활성영역(104b)간 복수의 교차 영역들(105)은 상기 제2 방향으로 하나의 열을 이룬다. 상기 각 교차 영역들(105)은 상기 제2 활성영역(104b)에 포함되며, 또한, 상기 제1 활성영역(104a)에 포함되기도 한다. 상기 제1 및 제2 활성영역들(104a,104b)은 상기 소자분리 패턴(102)에 의하여 둘러싸인 상기 기판(100)의 일부분들에 해당한다. 상기 기판(100)은 실리콘 기판, 게르마늄 기판 또는 실리콘-게르마늄 기판등일 수 있다.

[0022] 공통 소스(106s)가 상기 제2 활성영역(104b) 내에 형성된다. 상기 공통 소스(106s)는 상기 제2 방향을 따라 연장된다. 즉, 상기 공통 소스(106s)는 상기 제2 활성영역(104b)의 길이방향을 따라 연장된다. 상기 공통 소스(106s)는 상기 복수의 교차 영역들(105)을 지난다. 복수의 공통 드레인(106d)이 상기 복수의 제1 활성영역들(104a) 내에 각각 배치된다. 상기 공통 드레인들(106d)은 상기 공통 소스(106s)로부터 상기 제1 방향으로 이격되어 있다. 상기 공통 드레인들(106d)은 상기 제2 방향으로 서로 이격되어 있다. 상기 공통 드레인들(106d)은

상기 제2 방향으로 하나의 열을 따라 배열될 수 있다. 도시하지 않았지만, 상기 복수의 공통 드레인들(106d)은 상기 제2 방향을 따라 지그재그(zigzag) 형태로 배열될 수도 있다. 상기 공통 소스(106s) 및 공통 드레인들(106d)은 서로 동일한 타입의 도펀트로 도핑된다.

[0023] 제1 선택 라인(SL1) 및 제2 선택 라인(SL2)이 상기 공통 소스(106s)와 상기 공통 드레인들(106d) 사이의 상기 제1 활성영역들(104a)을 가로지른다. 복수의 워드 라인들(WL)이 상기 제1 및 제2 선택 라인들(SL1, SL2) 사이의 상기 제1 활성영역들(104a)을 나란히 가로지른다. 상기 선택 라인들(SL1, SL2) 및 워드 라인들(WL)은 상기 제2 방향으로 연장되며 서로 나란히 배열된다. 상기 각 워드 라인들(WL) 양측의 상기 제1 활성영역(104a)에 셀 소스/드레인(106c, cell source/drain)이 배치된다. 상기 셀 소스/드레인(106c)은 상기 공통 소스 및 드레인(106s, 106d)과 동일한 타입의 도펀트로 도핑된다.

[0024] 상기 각 제1 활성영역들(104a)에 셀 스트링이 형성된다. 상기 셀 스트링은 제1 선택 트랜지스터, 직렬로 연결된 복수의 비휘발성 기억 셀들 및 제2 선택 트랜지스터를 포함한다. 복수의 셀 스트링들이 상기 복수의 제1 활성영역들(104a)에 각각 형성된다. 상기 제1 선택 트랜지스터는 상기 제1 선택 라인(SL1) 및 상기 제1 선택 라인(SL1) 양측에 각각 배치된 공통 소스(106s) 및 셀 소스/드레인(106c)을 포함하고, 상기 비휘발성 기억 셀은 상기 워드 라인(WL) 및 상기 워드 라인(WL) 양측의 셀 소스/드레인(106c)을 포함한다. 상기 제2 선택 트랜지스터는 상기 제2 선택 라인(SL2) 및 상기 제2 선택 라인(SL2) 양측에 각각 배치된 셀 소스/드레인(106c) 및 공통 드레인(106d)을 포함한다. 상기 복수의 셀 스트링들에 각각 포함된 제1 선택 트랜지스터들의 소스들은 상기 소스 도전 라인(112) 및 상기 제2 활성영역(104b) 내에 형성된 공통 소스(106s)에 의하여 하나로 연결되어 있다.

[0025] 상기 제1 선택 라인(SL1)은 차례로 적층된 제1 게이트 절연막 및 제1 선택 게이트 전극을 포함할 수 있다. 상기 제2 선택 라인(SL2)은 차례로 적층된 제2 게이트 절연막 및 제2 선택 게이트 전극을 포함할 수 있다. 상기 제1 및 제2 게이트 절연막들은 서로 동일한 물질로 형성될 수 있다. 상기 제1 및 제2 선택 게이트 전극들은 서로 동일한 물질로 형성될 수 있다. 상기 워드 라인(WL)의 구체적인 형태는 후술한다.

[0026] 상기 제1 선택 라인(SL1)은 상기 공통 소스(106s)에 인접하고, 상기 제2 선택 라인(SL2)은 상기 공통 드레인들(106d)에 인접하다. 상기 제1 선택 라인(SL1)은 접지 선택 라인에 해당하고, 상기 제2 선택 라인(SL2)은 스트링 선택 라인(string selection line)에 해당한다. 상기 공통 소스(106d)는 상기 제1 선택 라인(SL1) 일측에 인접하게 배치된다. 상기 제1 선택 라인(SL1)과 상기 제2 활성영역(104b)은 상기 제1 방향으로 서로 이격될 수 있다. 이 경우에, 상기 공통 소스(106s)는 상기 제2 활성영역(104b)과 상기 제1 선택 라인(SL1) 사이의 상기 제1 활성영역들(104a) 내로 연장될 수 있다.

[0027] 소스 도전 라인(112)이 상기 공통 소스(106s) 상에 배치된다. 상기 소스 도전 라인(112)은 상기 제2 방향을 따라 연장되며 상기 공통 소스(106s)와 전기적으로 접속한다. 상기 소스 도전 라인(112)은 상기 공통 소스(106s)에 비하여 낮은 비저항을 갖는 도전 물질을 포함하는 것이 바람직하다. 예컨대, 상기 소스 도전 라인(112)은 금속(ex, 텅스텐, 구리, 알루미늄등), 도전성 금속질화물(ex, 질화티타늄 또는 질화탄탈륨등) 및 금속실리사이드(ex, 텅스텐실리사이드, 티타늄실리사이드) 및 도핑된 반도체 중에서 선택된 적어도 하나를 포함할 수 있다. 상기 소스 도전 라인(112)이 도핑된 반도체 만을 포함하는 경우에, 상기 소스 도전 라인(112)의 도펀트 농도는 상기 공통 소스(106s)의 도펀트 농도에 비하여 높은 것이 바람직하다.

[0028] 몰드 절연막(108)이 상기 기판(100) 전면을 덮는다. 상기 몰드 절연막(108)은 소스 그루브(110, source groove)를 포함할 수 있다. 상기 소스 그루브(110)는 상기 몰드 절연막(108)을 관통하여 상기 공통 소스(106s)를 노출시키고, 상기 제2 방향을 따라 연장된다. 상기 소스 도전 라인(112)은 상기 소스 그루브(110) 내에 배치되어 상기 공통 소스(106s)와 직접 접촉될 수 있다. 즉, 상기 공통 소스(106s)는 상기 제2 방향을 따라 연장되고, 상기 소스 도전 라인(112)도 상기 제2 방향을 따라 연장되어 상기 연장된 공통 소스(106s)의 상부면과 접촉될 수 있다. 상기 소스 도전 라인(112)은 상기 몰드 절연막(108)의 상부면과 공면(coplanar)을 이루는 상부면을 포함할 수 있다.

[0029] 도시된 바와 같이, 상기 제1 방향으로 상기 소스 도전 라인(112)의 폭은 상기 제2 활성영역(104b)의 폭 보다 클 수 있다. 이와는 다르게, 상기 제1 방향으로 상기 소스 도전 라인(112)의 폭은 상기 제2 활성영역(104b)의 폭에 비하여 작을 수도 있다.

[0030] 층간 절연막(114)이 상기 소스 도전 라인(112) 및 몰드 절연막(108) 상에 배치된다. 복수의 비트라인 플러그들(118)이 상기 층간 절연막(114) 및 몰드 절연막(108)을 연속적으로 관통하여 상기 복수의 공통 드레인들(106d)에 각각 접속된다. 상기 복수의 비트라인 플러그들(118)은 상기 층간 절연막(114) 및 몰드 절연막(108)을 연속

적으로 관통하는 비트라인 콘택홀들(116)을 각각 채운다. 상기 비트라인 플러그들(118)은 상기 제2 방향으로 하나의 열을 이룰 수 있다. 이와는 다르게, 상기 공통 드레인들(106s)이 상기 제2 방향을 따라 지그재그 형태로 배열되는 경우에, 상기 비트라인 플러그들(118)도 상기 제2 방향을 따라 지그재그 형태로 배열될 수 있다. 복수의 비트라인들(120)이 상기 층간 절연막(114) 상에 상기 제1 방향을 따라 나란히 배열된다. 상기 복수의 비트라인들(120)은 상기 복수의 비트라인 플러그들(118)에 각각 접속된다. 상기 비트라인들(120)은 상기 제1 활성영역들(104a)을 각각 덮을 수 있다.

[0031] 서로 접속된 상기 각 비트라인들(120) 및 각 비트라인 플러그들(118)은 하나의 바디(body)일 수 있다. 이와는 달리, 서로 접속된 상기 각 비트라인들(120) 및 각 비트라인 플러그들(118) 사이에는 경계면이 존재할 수도 있다. 상기 비트라인 플러그들(118)은 도핑된 반도체, 금속(ex, 티타늄, 탄탈늄 또는 텅스텐등), 도전성 금속질화물(ex, 질화티타늄 또는 질화탄탈늄등) 및 금속실리사이드(ex, 텅스텐실리사이드 또는 티타늄실리사이드등) 중에서 선택된 적어도 하나를 포함할 수 있다. 상기 비트라인들(120)은 도핑된 반도체, 금속(ex, 티타늄, 탄탈늄 또는 텅스텐등), 도전성 금속질화물(ex, 질화티타늄 또는 질화탄탈늄등) 및 금속실리사이드(ex, 텅스텐실리사이드 또는 티타늄실리사이드등) 중에서 선택된 적어도 하나를 포함할 수 있다. 상기 비트라인들(120) 및 비트라인 플러그들(118)은 서로 동일한 도전 물질을 포함할 수 있다. 이와는 달리, 상기 비트라인들(120) 및 비트라인 플러그들(118)은 서로 다른 도전 물질을 포함할 수도 있다.

[0032] 상기 비휘발성 기억 소자의 단위 셀을 도 1d에 확대하여 도시하였다. 도 1d를 참조하여 상기 단위 셀에 대하여 구체적으로 설명한다.

[0033] 도 1d는 도 1a, 도 1b 및 도 1c에 개시된 비휘발성 기억 소자의 단위 셀을 설명하기 위한 확대한 단면도이다.

[0034] 도 1d를 참조하면, 비휘발성 기억 소자의 단위 셀은 워드 라인(WL) 및 상기 워드 라인(WL) 양측의 제1 활성영역(104a)에 형성된 셀 소스/드레인(104c)을 포함한다. 상기 워드 라인(WL)은 차례로 적층된 터널 절연막(90), 전하 저장층(92), 블로킹 절연막(94) 및 제어 게이트 전극(96)을 포함한다. 상기 제어 게이트 전극(96)은 상기 제1 활성영역(104a)을 가로지르고, 상기 전하 저장층(92)은 상기 제어 게이트 전극(96) 및 상기 제1 활성영역(104a) 사이에 개재된다. 상기 터널 절연막(90)은 상기 전하 저장층(92) 및 상기 제1 활성영역(104a) 사이에 개재되고, 상기 블로킹 절연막(94)은 상기 전하 저장층(92) 및 제어 게이트 전극(96) 사이에 개재된다.

[0035] 상기 전하 저장층(92)은 도핑된 반도체 또는 언도프트(undoped) 반도체로 형성될 수 있다. 이와는 다르게, 상기 전하 저장층(92)은 깊은 준위의 트랩들을 포함하는 절연물질(ex, 실리콘질화물 또는 나노 크리스탈들을 포함하는 절연물질등)으로 형성될 수 있다. 상기 터널 절연막(90)은 산화막, 예컨대, 열산화막으로 형성될 수 있다. 상기 블로킹 절연막(94)은 ONO(Oxide-Nitride-Oxide)로 형성될 수 있다. 이와는 달리, 상기 블로킹 절연막(94)은 상기 터널 절연막(90)에 비하여 높은 유전상수를 갖는 고유전 물질(ex, 산화알루미늄 또는 산화하프늄등과 같은 절연성 금속산화물등)을 포함할 수 있다. 상기 제어 게이트 전극(96)은 도핑된 반도체, 금속(ex, 텅스텐 또는 몰리브덴등), 도전성 금속질화물(ex, 질화티타늄 또는 질화탄탈늄등) 및 금속실리사이드(ex, 텅스텐실리사이드, 코발트실리사이드 또는 니켈실리사이드등) 중에서 선택된 적어도 하나를 포함할 수 있다.

[0036] 상술한 비휘발성 기억 소자에 따르면, 하나의 상기 공통 소스(106s)가 상기 제1 활성영역들(104a)과 교차하는 제2 활성영역(104b) 내에 형성되고 상기 제2 활성영역(104b)을 따라 연장된다. 그리고, 상기 소스 도전 라인(112)이 상기 공통 소스(106s)과 전기적으로 접속한다. 특히, 상기 소스 도전 라인(112)은 상기 공통 소스(106s)와 평행하여 연장되어 상기 공통 소스(106s)의 상부면과 직접 접촉한다. 이에 따라, 상기 공통 소스(106s) 및 소스 도전 라인(112)을 통하여 안정적인 기준 전압을 인가할 수 있다. 그 결과, 고집적화에 최적화되고 우수한 특성을 갖는 비휘발성 기억 소자를 구현할 수 있다.

[0037] 만약, 상기 교차 영역들(105) 사이에 상기 소자분리 패턴(102)이 배치되면(즉, 상기 제2 활성영역(104b)이 존재하지 않으면), 상기 소스 도전 라인(112)으로 사용되는 도전 물질의 증착 불량등으로 인하여, 상기 교차 영역들(105)과 상기 소자분리 패턴(102) 사이의 경계 부분에 저항을 높이는 결함이 발생할 수 있다. 상기 저항을 높이는 결함은 반도체 이상 성장, 반도체 결핍 또는 고저항 화합물의 생성등 일 수 있다.

[0038] 하지만, 본 발명에 따르면, 상기 공통 소스(106s)는 상기 제1 활성영역들(104a)과 교차하는 제2 활성영역(104b) 내에 형성됨으로써 상술한 결함을 방지할 수 있다. 또한, 상기 공통 소스(106s)는 상기 소스 도전 라인(112)과 전기적으로 접속됨으로써, 상기 공통 소스(106s)의 저항을 안정적이고 낮게 유지할 수 있다.

[0039] 다음으로, 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 형성 방법을 도면들을 참조하여 설명한다.

[0040] 도 2a 및 도 3a는 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 형성 방법을 설명하기 위한 평면도들이고,

도 2b 및 도 3b는 각각 도 2a 및 도 3a의 III-III'을 따라 취해진 단면도들이며, 도 2c 및 도 3c는 각각 도 2a 및 도 3a의 IV-IV'을 따라 취해진 단면도들이다.

- [0041] 도 2a, 도 2b 및 도 2c를 참조하면, 기판(100)에 소자분리 패턴(102)을 형성하여 제1 활성영역들(104a) 및 제2 활성영역(104b)을 정의한다. 상기 제1 활성영역들(104a)은 제1 방향으로 나란히 배열되고, 상기 제2 활성영역(104b)은 상기 제1 방향에 수직한 제2 방향을 따라 연장되어 상기 제1 활성영역들(104a)과 교차한다. 상기 제1 방향은 도 2a의 x축 방향에 해당하고, 상기 제2 방향은 도 2a의 y축 방향에 해당한다. 도면들에서, 참조부호 "105"는 상기 제1 활성영역(104a) 및 제2 활성영역(104b)간 교차 영역(105)에 해당한다. 상기 소자분리 패턴(102)은 트렌치형 소자분리 패턴으로 형성될 수 있다.
- [0042] 상기 제1 활성영역들(104a)을 나란히 가로지르는 제1 선택 라인(SL1), 복수의 워드라인(WL) 및 제2 선택 라인(SL2)을 형성한다. 상기 라인들(SL1, WL, SL2)은 상기 제2 활성영역(104b)과 평행하며, 상기 제2 활성영역(104b) 옆에 형성된다. 상기 제1 선택 라인(SL1)이 상기 제2 활성영역(104b)에 가깝게 배치된다. 하지만, 상기 제1 선택 라인(SL1) 및 제2 활성영역(104b)은 상기 제1 방향으로 서로 이격될 수 있다.
- [0043] 상기 라인들(SL1, WL, SL2)을 마스크로 사용하여 상기 제1 및 제2 활성영역들(104a, 104b)에 도펀트 이온들을 주입하여 공통 소스(106s), 셀 소스/드레인들(106c) 및 공통 드레인들(106d)을 형성한다. 상기 공통 소스(106s)는 상기 제2 활성영역(104b) 내에 라인 형태로 형성된다. 또한, 상기 공통 소스(106s)는 상기 제2 활성영역(104b) 및 제1 선택 라인(SL1) 사이의 제1 활성영역들(104a) 내에도 형성될 수 있다. 상기 셀 소스/드레인(106c)은 상기 각 워드 라인들(WL) 양측의 상기 제1 활성영역(104a)내에 형성된다. 상기 공통 드레인들(106d)은 상기 제2 선택 라인(SL2) 일측의 상기 제1 활성영역들(104a)내에 각각 형성된다.
- [0044] 도 3a, 도 3b 및 도 3c를 참조하면, 상기 기판(100) 전면 상에 몰드 절연막(108)을 형성한다. 상기 몰드 절연막(108)은 단일층 또는 다층으로 형성될 수 있다. 예컨대, 상기 몰드 절연막(108)은 산화막, 질화막, 산화질화막, 탄화막 및 탄화산화막 중에서 선택된 적어도 하나를 포함할 수 있다. 상기 몰드 절연막(108)을 패터닝하여 상기 공통 소스(106s)를 노출시키는 소스 그루브(110)를 형성한다. 상기 소스 그루브(110)는 상기 제2 방향을 따라 연장된다. 상기 소스 그루브(110)를 채우는 제1 도전막을 기판(100) 전면 상에 형성한다. 상기 제1 도전막은 다층 또는 단일층일 수 있다. 상기 제1 도전막을 상기 몰드 절연막(108)이 노출될때까지 평탄화시키어 상기 소스 그루브(110) 내에 소스 도전 라인(112)을 형성한다. 상기 평탄화 공정에 의하여 상기 소스 도전 라인(112) 및 상기 몰드 절연막(108)의 상부면들은 공면을 이룰 수 있다.
- [0045] 상기 소스 도전 라인(112)을 갖는 기판(100) 전면 상에 층간 절연막(114)을 형성한다. 상기 층간 절연막(114)은 단일층 또는 다층으로 형성될 수 있다. 예컨대, 상기 층간 절연막(114)은 산화막, 질화막, 산화질화막, 탄화막 및 탄화산화막 중에서 선택된 적어도 하나를 포함할 수 있다.
- [0046] 이어서, 상기 층간 절연막(114) 및 몰드 절연막(108)을 연속적으로 패터닝하여 도 1a 및 도 1b에 도시된 비트라인 콘택홀들(116)을 형성한다. 이어서, 도 1a, 도 1b 및 도 1c에 도시된 비트라인 플러그들(118) 및 비트라인들(120)을 형성한다.
- [0047] 상기 비트라인 플러그들(118) 및 비트라인들(120)을 형성하는 일 방법을 설명한다. 상기 비트라인 콘택홀들(116)을 채우는 제2 도전막을 기판(100) 전면에서 형성한다. 상기 제2 도전막은 단일층 또는 다층일 수 있다. 상기 제2 도전막을 패터닝하여 상기 비트라인들(120)을 형성한다. 이때, 상기 비트라인 콘택홀들(116)을 채우는 제2 도전막의 일부분들은 상기 비트라인 플러그들(118)에 해당한다. 이 방법에 따르면, 상기 비트라인들(120) 및 상기 비트라인 플러그들(118)은 하나의 바디(body)로 형성된다. 즉, 상기 각 비트라인들(120) 및 각 비트라인 플러그들(118)간 경계면이 존재하지 않는다.
- [0048] 다음으로, 상기 비트라인 플러그들(118) 및 비트라인들(120)을 형성하는 다른 방법을 설명한다. 단일층 또는 다층의 제2 도전막을 상기 비트라인 콘택홀들(116)을 채우도록 기판(100) 전면 상에 형성한다. 이어서, 상기 제2 도전막을 상기 층간 절연막(114)이 노출될때까지 평탄화시키어 상기 비트라인 플러그들(118)을 형성한다. 이어서, 단일층 또는 다층의 제3 도전막을 상기 층간 절연막(118) 상에 형성하고, 상기 제3 도전막을 패터닝하여 상기 비트라인들(120)을 형성할 수 있다. 이 경우에, 상기 각 비트라인들(120) 및 각 비트라인 플러그들(118) 사이에는 경계면이 존재할 수 있다.
- [0049] (제2 실시예)

- [0050] 본 실시예에서는 상술한 제1 실시예와 다른 형태의 소스 도전 라인을 개시한다. 본 실시예에서 상술한 제1 실시예와 동일한 구성요소들은 동일한 참조부호를 사용한다. 따라서, 본 실시예의 특징적인 부분들을 중심으로 설명한다.
- [0051] 도 4a는 본 발명의 다른 실시예에 따른 비휘발성 기억 소자를 나타내는 평면도이고, 도 4b는 도 4a의 V-V'을 따라 취해진 단면도이며, 도 4c는 도 4a의 VI-VI'을 따라 취해진 단면도이다.
- [0052] 도 4a, 도 4b 및 도 4c를 참조하면, 기관(100)에 복수의 제1 활성영역들(104a) 및 제2 활성영역(104b)을 정의하는 소자분리 패턴(102)이 배치된다. 상기 제1 활성영역들(104a)은 제1 방향을 따라 연장되어 나란히 배열되고, 제2 활성영역은 제2 방향을 따라 연장되어 상기 제1 활성영역들(104a)과 교차한다.
- [0053] 공통 소스(106s)가 제2 활성영역(104b)내에 형성되어 상기 제2 방향을 따라 연장되고, 복수의 공통 드레인들(106d)이 상기 제1 활성영역들(104a) 내에 각각 형성된다. 제1 선택 라인(SL1), 복수의 워드라인들(WL) 및 제2 선택 라인(SL2)이 상기 공통 소스(106s)와 상기 공통 드레인들(106d) 사이의 제1 활성영역들(104a)을 가로지른다. 상기 공통 소스(106s)는 상기 제2 활성영역(104b)과 상기 제1 선택 라인(SL1) 사이의 제1 활성영역들(104a) 내로 연장될 수 있다.
- [0054] 몰드 절연막(108)이 상기 기관(100) 전면 상에 배치된다. 소스 도전 라인(206)이 상기 몰드 절연막(108) 상에 배치된다. 상기 공통 소스(106s) 상부에 배치된다. 상기 소스 도전 라인(206)은 상기 공통 소스(106s)와 평행하게 연장된다. 소스 콘택 플러그(204)가 상기 몰드 절연막(108)을 관통하여 상기 공통 소스(106s)와 상기 소스 도전 라인(206)을 전기적으로 접속시킨다. 상기 소스 콘택 플러그(204)는 상기 제1 및 제2 활성영역들(104a, 104b)간 교차 영역에 형성된 상기 공통 소스(106s)의 일부분과 접촉한다. 복수의 상기 소스 콘택 플러그들(204)이 상기 몰드 절연막(108)내에 배치되는 것이 바람직하다. 상기 복수의 소스 콘택 플러그들(204)은 상기 제1 활성영역들(104a) 및 제2 활성영역(104b)간 교차 영역들(105) 상에 각각 배치된다. 상기 복수의 소스 콘택 플러그들(204)은 상기 제2 방향을 따라 하나의 열로 배열된다. 상기 복수의 소스 콘택 플러그들(204)은 상기 소스 도전 라인(206)에 접속된다. 상기 복수의 소스 콘택 플러그들(204)은 상기 몰드 절연막(108)을 관통하는 복수의 소스 콘택홀들(202)내에 각각 배치된다.
- [0055] 상기 소스 도전 라인(206)은 상기 공통 소스(106s)에 비하여 낮은 비저항을 갖는 도전물질을 포함하는 것이 바람직하다. 예컨대, 상기 소스 도전 라인(206)은 금속(ex, 티타늄, 탄탈늄, 텅스텐, 구리, 알루미늄등), 도전성 금속질화물(ex, 질화티타늄 또는 질화탄탈늄등) 및 금속실리사이드(ex, 텅스텐실리사이드, 티타늄실리사이드 및 도핑된 반도체 중에서 선택된 적어도 하나를 포함할 수 있다. 상기 소스 도전 라인(206)이 도핑된 반도체 만을 포함하는 경우에, 상기 소스 도전 라인(206)의 도펀트 농도는 상기 공통 소스(106s)의 도펀트 농도에 비하여 높은 것이 바람직하다. 상기 소스 콘택 플러그(204)는 도전 물질로 형성된다. 예컨대, 상기 소스 콘택 플러그(204)는 금속(ex, 텅스텐, 구리, 알루미늄, 티타늄, 탄탈늄등), 도전성 금속질화물(ex, 질화티타늄 또는 질화탄탈늄등) 및 금속실리사이드(ex, 텅스텐실리사이드, 티타늄실리사이드) 및 도핑된 반도체 중에서 선택된 적어도 하나를 포함할 수 있다. 상기 소스 도전 라인(206)과 상기 소스 콘택 플러그들(204)은 하나의 바디(body)로 형성될 수 있다. 즉, 상기 소스 도전 라인(206)과 상기 소스 콘택 플러그들(204)간에는 경계면이 존재하지 않을 수 있다. 이와는 다르게, 상기 소스 도전 라인(206) 및 소스 콘택 플러그들(204)간에는 경계면이 존재할 수도 있다.
- [0056] 층간 절연막(114)이 상기 소스 도전 라인(206) 및 몰드 절연막(108) 상에 배치된다. 상기 층간 절연막(114)의 상부면은 평탄화된 상태일 수 있다. 복수의 비트라인 플러그들(118)이 상기 층간 절연막(114) 및 몰드 절연막(108)을 연속적으로 관통하는 복수의 비트라인 콘택홀들(116)을 채운다. 상기 복수의 비트라인 플러그들(118)은 상기 공통 드레인들(106d)에 각각 접속된다. 복수의 비트라인들(120)이 상기 층간 절연막(114)이 상에 배치되어 상기 비트라인 플러그들(118)에 각각 접속된다.
- [0057] 상술한 비휘발성 기억 소자에 따르면, 하나의 상기 공통 소스(106s)가 상기 제2 방향으로 연장된 제2 활성영역(104b) 내에 형성된다. 그리고, 상기 소스 도전 라인(206)이 상기 소스 콘택 플러그들(204)을 경유하여 상기 공통 소스(106s)와 전기적으로 접속한다. 이에 따라, 상기 공통 소스(106s) 및 소스 도전 라인(206)을 통하여 비휘발성 기억 소자에 안정적인 기준 전압을 공급할 수 있다.
- [0058] 또한, 상기 복수의 소스 콘택 플러그들(204) 중에서 적어도 하나의 평면적이 작아져 저항이 증가될지라도, 상기 작은 평면적의 소스 콘택 플러그(204) 바로 옆의 셀 스트링에 안정적인 기준전압을 인가할 수 있다. 구체적으로, 상기 제2 활성영역(104b)으로 인하여, 상기 공통 소스(106s)는 복수의 셀 스트링들과 연결되어 있

다. 이에 따라, 상기 작은 평면적의 소스 콘택 플러그(206) 바로 옆의 셀 스트링은 상기 작은 평면적의 소스 콘택 플러그(206) 양측의 다른 소스 콘택 플러그들(206)과도 전기적으로 접속된다. 그 결과, 상기 작은 평면적의 소스 콘택 플러그(206) 바로 옆의 셀 스트링에도 안정적인 기준전압을 공급할 수 있다.

- [0059] 다음으로 본 실시예에 따른 비휘발성 기억 소자의 형성 방법을 설명한다. 이 방법에서 상술한 제1 실시예와 동일한 방법들은 설명의 편의를 위하여 생략한다.
- [0060] 도 5a는 본 발명의 다른 실시예에 따른 비휘발성 기억 소자의 형성 방법을 설명하기 위한 평면도이고, 도 5b는 도 5a의 VII-VII'을 따라 취해진 단면도이며, 도 5c는 도 5a의 VIII-VIII'을 따라 취해진 단면도이다.
- [0061] 도 5a, 도 5b 및 도 5c를 참조하면, 제1 활성영역들(104a) 및 제2 활성영역(104b)을 정의하는 소자분리 패턴(102), 라인들(SL1, WL, SL2), 공통 소스(106s), 셀 소스/드레인들(106c) 및 공통 드레인들(106d)을 형성하는 방법들은 상술한 제1 실시예와 동일할 수 있다.
- [0062] 이어서, 기관(100) 전면 상에 몰드 절연막(108)을 형성한다. 상기 몰드 절연막(108)을 패터닝하여 교차 영역들(105)을 각각 노출시키는 복수의 소스 콘택홀들(202)을 형성한다. 상기 소스 콘택홀들(202)은 제2 활성영역(104a)을 따라 하나의 열을 이룬다. 물론, 상기 소스 콘택홀들(202)은 제2 방향(즉, y축 방향)으로 서로 이격되어 있다.
- [0063] 이어서, 소스 콘택 플러그들(204) 및 소스 도전 라인(206)을 형성한다. 상기 소스 콘택 플러그들(204)은 상기 소스 콘택홀들(202)을 각각 채운다. 상기 소스 도전 라인(206)은 상기 몰드 절연막(108) 상에 배치되어 상기 소스 콘택 플러그들(204)과 접촉한다.
- [0064] 상기 소스 콘택 플러그들(204) 및 소스 도전 라인(206)을 형성하는 일 방법을 설명한다. 상기 소스 콘택홀들(202)을 채우는 도전막을 기관(100) 전면 상에 형성한다. 상기 도전막은 단일층 또는 다층일 수 있다. 상기 도전막을 패터닝하여 상기 몰드 절연막(108) 상에 상기 소스 도전 라인(206)을 형성한다. 이때, 상기 소스 콘택홀들(202)을 채우는 상기 도전막의 일부분들은 각각 상기 소스 콘택 플러그들(204)에 해당한다. 이 방법에 따르면, 상기 소스 콘택 플러그들(204) 및 소스 도전 라인(206)은 하나의 바디(body)로 형성될 수 있다. 즉, 상기 소스 콘택 플러그들(204) 및 소스 도전 라인(206) 사이에는 경계면이 존재하지 않을 수 있다.
- [0065] 다음으로, 상기 소스 콘택 플러그들(204) 및 소스 도전 라인(206)을 형성하는 다른 방법을 설명한다. 상기 소스 콘택홀들(202)을 채우는 제1 도전막을 기관(100) 전면 상에 형성하고, 상기 제1 도전막을 상기 몰드 절연막(108)이 노출될때까지 평탄화시키어 상기 소스 콘택 플러그들(204)을 형성한다. 이어서, 상기 몰드 절연막(108) 상에 제2 도전막을 형성하고, 상기 제2 도전막을 패터닝하여 상기 소스 도전 라인(206)을 형성한다. 이 경우에, 상기 소스 콘택 플러그들(204) 및 소스 도전 라인(206) 사이에는 경계면이 존재할 수 있다. 상기 제1 도전막은 단일층 또는 다층일 수 있으며, 또한, 상기 제2 도전막도 단일층 또는 다층일 수 있다.
- [0066] 이어서, 도 4a, 도 4b 및 도 4c의 층간 절연막(114)을 형성한다. 상기 층간 절연막(114)을 형성한 후에, 상기 층간 절연막(114)의 상부면을 평탄화하는 공정을 더 수행할 수 있다. 이후의 비트라인 플러그들(118) 및 비트라인들(120)을 형성하는 방법들은 상술한 제1 실시예와 동일할 수 있다.
- [0067] 한편, 본 발명의 일 실시예들에 따르면, 상술한 제1 및 제2 실시예들에 개시된 비휘발성 기억 소자는 전자 시스템을 구성할 수 있다. 본 발명의 실시예에 따른 전자 시스템을 도면을 참조하여 구체적으로 설명한다.
- [0068] 도 6은 본 발명의 실시예들에 따른 전자 시스템을 나타내는 블럭도이다.
- [0069] 도 6을 참조하면, 전자 시스템(300)은 제어기(310), 입출력 장치(320) 및 기억 장치(330)를 포함할 수 있다. 상기 제어기(310), 입출력 장치(320) 및 기억 장치(330)는 버스(350, bus)를 통하여 서로 결합되어 있다. 상기 버스(350)는 데이터들이 이동하는 통로에 해당한다. 상기 제어기(310)는 적어도 하나의 마이크로프로세서, 디지털 신호 프로세서, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 상기 입출력 장치(320)는 키패드, 키보드 및 표시 장치(display device)등에서 선택된 적어도 하나를 포함할 수 있다. 상기 기억 장치(330)는 데이터를 저장하는 장치이다. 상기 기억 장치(330)는 데이터 및/또는 상기 제어기(310)에 의해 실행되는 명령어 등을 저장할 수 있다. 상기 기억 장치(330)는 상기 기억 장치(330)는 상술한 제1 및 제2 실시예들에 개시된 비휘발성 기억 소자들 중에서 선택된 적어도 하나를 포함할 수 있다. 상기 전자 시스템(300)은 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하기 위한 인터페이스(340)를 더 포함할 수 있다. 상기 인터페이스(340)는 유선 또는 무선 형태일 수 있다. 예컨대, 상기 인터페이스(340)는 안테나 또는 유무선 트랜시버등을 포함할 수 있다.

[0070] 상기 전자 시스템(300)은 모바일 시스템, 개인용 컴퓨터, 산업용 컴퓨터 또는 다양한 기능을 수행하는 시스템 등으로 구현될 수 있다. 예컨대, 상기 모바일 시스템은 개인 휴대용 정보 단말기(PDA; Personal Digital Assistant), 휴대용 컴퓨터, 웹 태블릿(web tablet), 모바일폰(mobile phone), 무선폰(wireless phone), 랩톱(laptop) 컴퓨터, 메모리 카드, 디지털 뮤직 시스템(digital music system) 또는 정보 전송/수신 시스템 등일 수 있다. 상기 전자 시스템(300)이 무선 통신을 수행할 수 있는 장비인 경우에, 상기 전자 시스템(300)은 CDMA, GSM, NADC, E-TDMA, WCDAM, CDMA2000 같은 3세대 통신 시스템 같은 통신 인터페이스 프로토콜에서 사용될 수 있다.

[0071] 다음으로, 본 발명의 실시예에 다른 메모리 카드를 도면을 참조하여 구체적으로 설명한다.

[0072] 도 7은 본 발명의 실시예에 메모리 카드를 나타내는 블록도이다.

[0073] 도 7을 참조하면, 메모리 카드(400)는 비휘발성 기억 장치(410) 및 메모리 제어기(420)를 포함한다. 상기 비휘발성 기억 장치(410)는 데이터를 저장하거나 저장된 데이터를 관독할 수 있다. 상기 비휘발성 기억 장치(410)는 상술한 제1 및 제2 실시예들에 개시된 비휘발성 기억 소자들 중에서 적어도 하나를 포함한다. 상기 메모리 제어기(420)는 호스트(host)의 관독/쓰기 요청에 응답하여 저장된 데이터를 독출하거나, 데이터를 저장하도록 상기 플래쉬 기억 장치(410)를 제어한다.

도면의 간단한 설명

[0074] 도 1a는 본 발명의 일 실시예에 따른 비휘발성 기억 소자를 나타내는 평면도.

[0075] 도 1b는 도 1a의 I-I'을 따라 취해진 단면도.

[0076] 도 1c는 도 1a의 II-II'을 따라 취해진 단면도.

[0077] 도 1d는 도 1a, 도 1b 및 도 1c에 개시된 비휘발성 기억 소자의 단위 셀을 설명하기 위한 확대한 단면도.

[0078] 도 2a 및 도 3a는 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 형성 방법을 설명하기 위한 평면도들.

[0079] 도 2b 및 도 3b는 각각 도 2a 및 도 3a의 III-III'을 따라 취해진 단면도들.

[0080] 도 2c 및 도 3c는 각각 도 2a 및 도 3a의 IV-IV'을 따라 취해진 단면도들.

[0081] 도 4a는 본 발명의 다른 실시예에 따른 비휘발성 기억 소자를 나타내는 평면도.

[0082] 도 4b는 도 4a의 V-V'을 따라 취해진 단면도.

[0083] 도 4c는 도 4a의 VI-VI'을 따라 취해진 단면도.

[0084] 도 5a는 본 발명의 다른 실시예에 따른 비휘발성 기억 소자의 형성 방법을 설명하기 위한 평면도.

[0085] 도 5b는 도 5a의 VII-VII'을 따라 취해진 단면도.

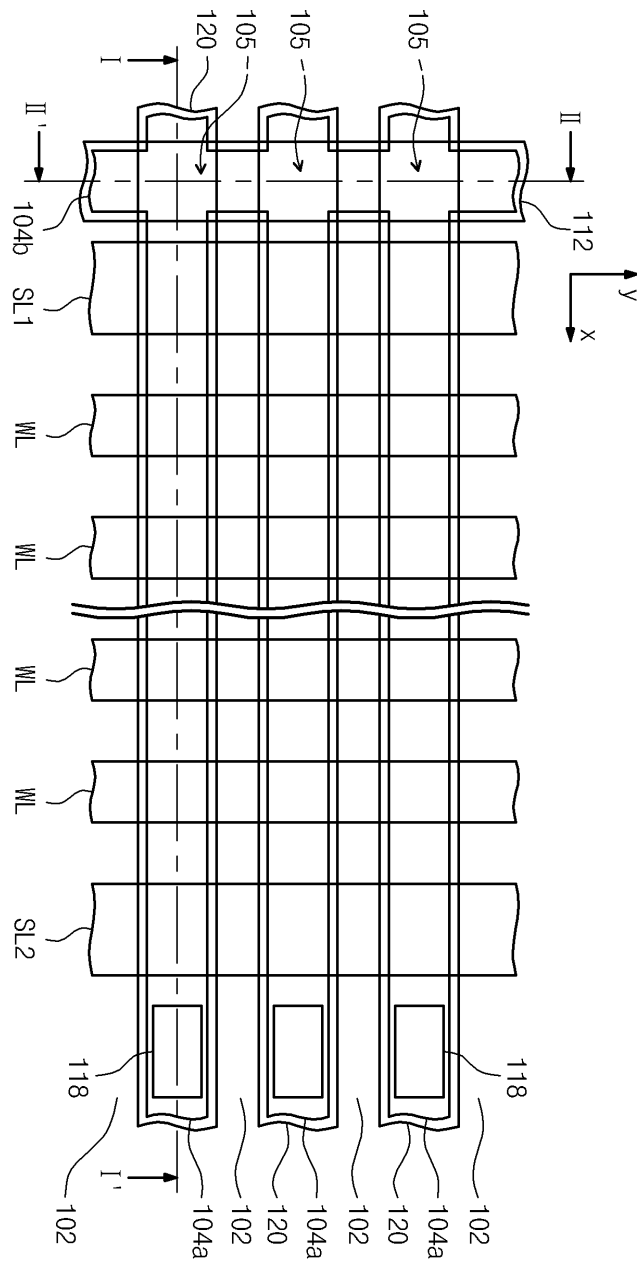
[0086] 도 5c는 도 5a의 VIII-VIII'을 따라 취해진 단면도.

[0087] 도 6는 본 발명의 실시예에 따른 전자 시스템을 나타내는 블록도.

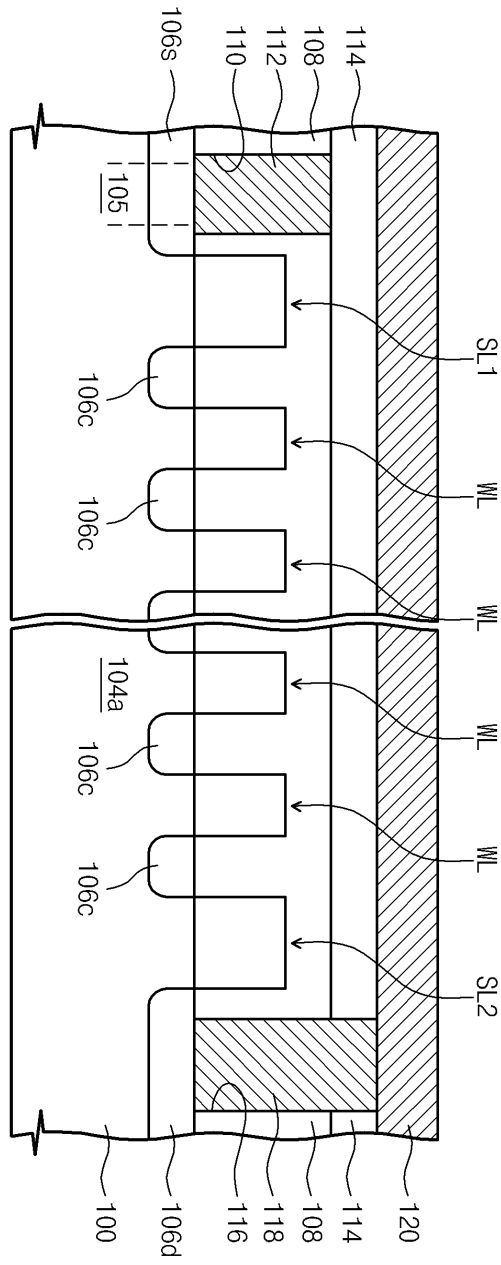
[0088] 도 7는 본 발명의 실시예에 메모리 카드를 나타내는 블록도.

도면

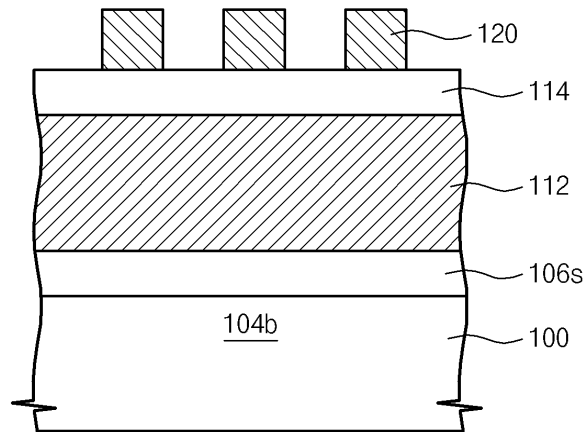
도면1a



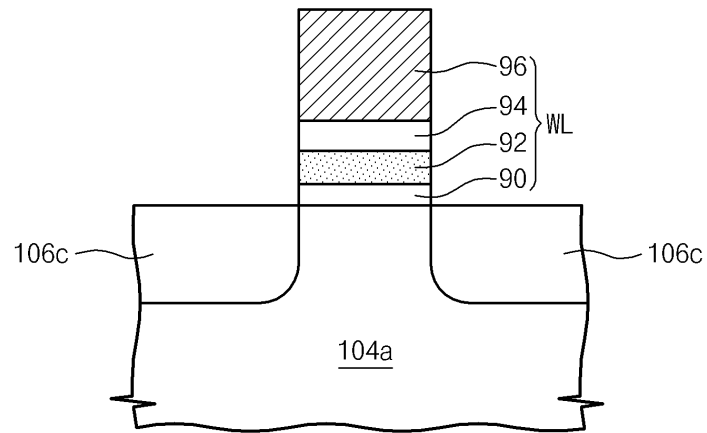
도면1b



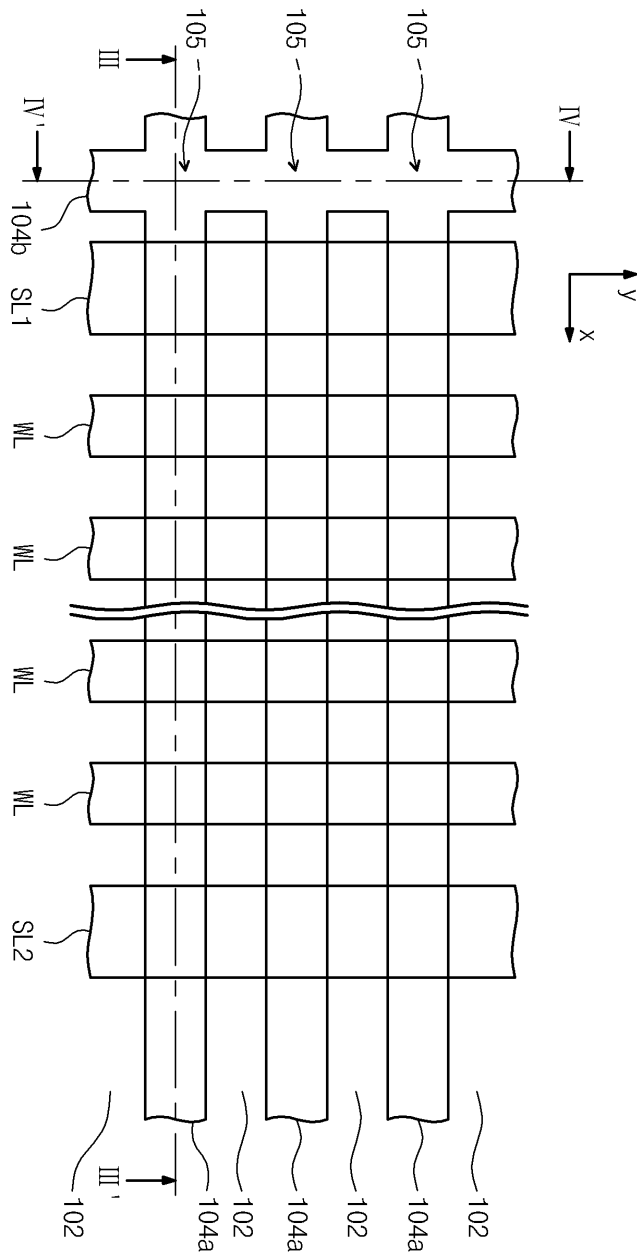
도면1c



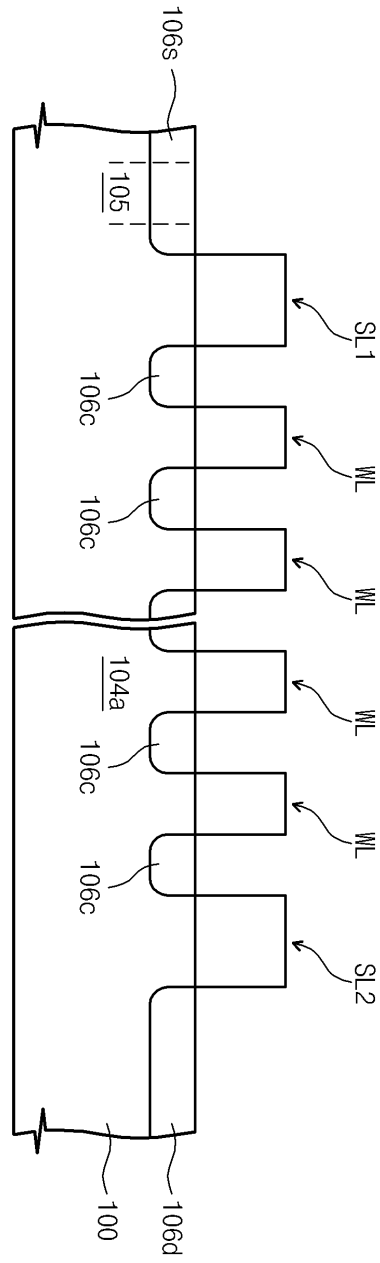
도면1d



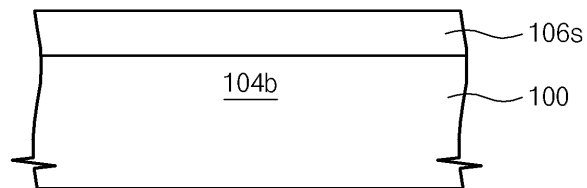
도면2a



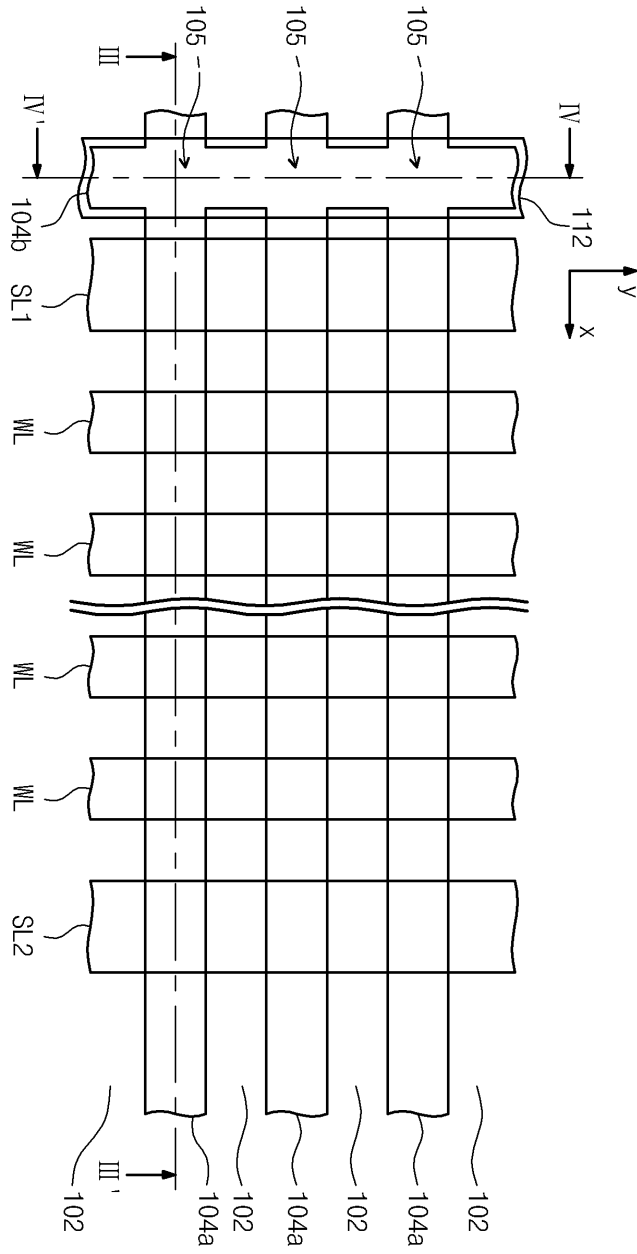
도면2b



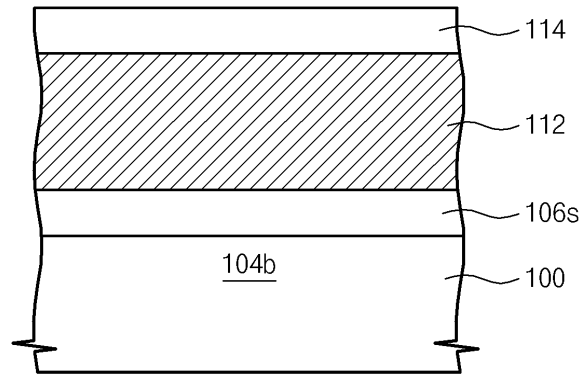
도면2c



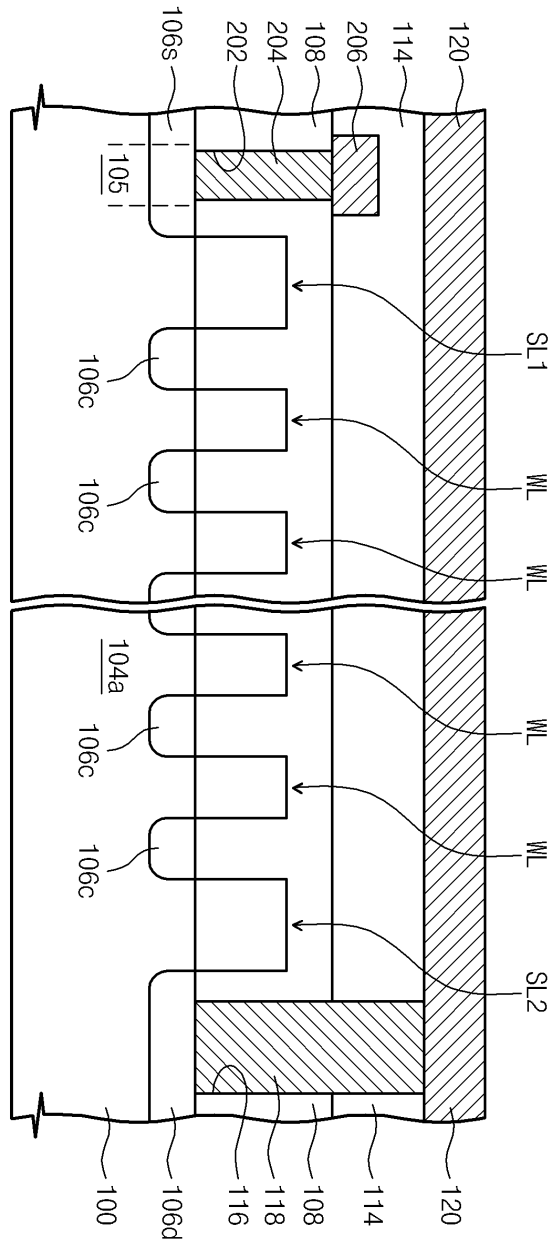
도면3a



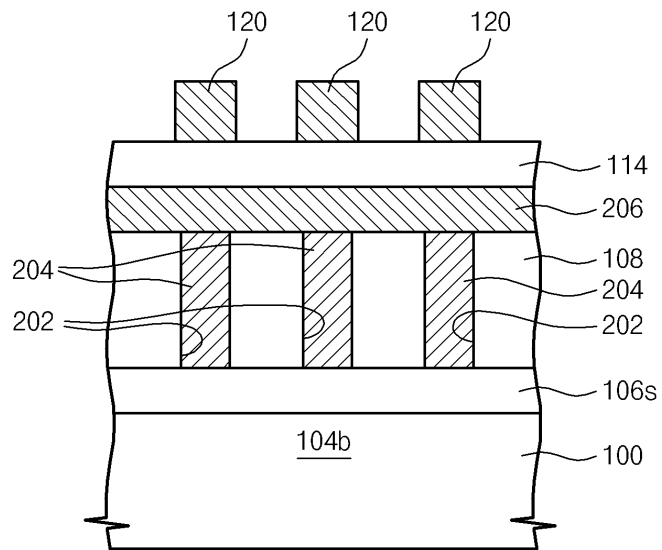
도면3c



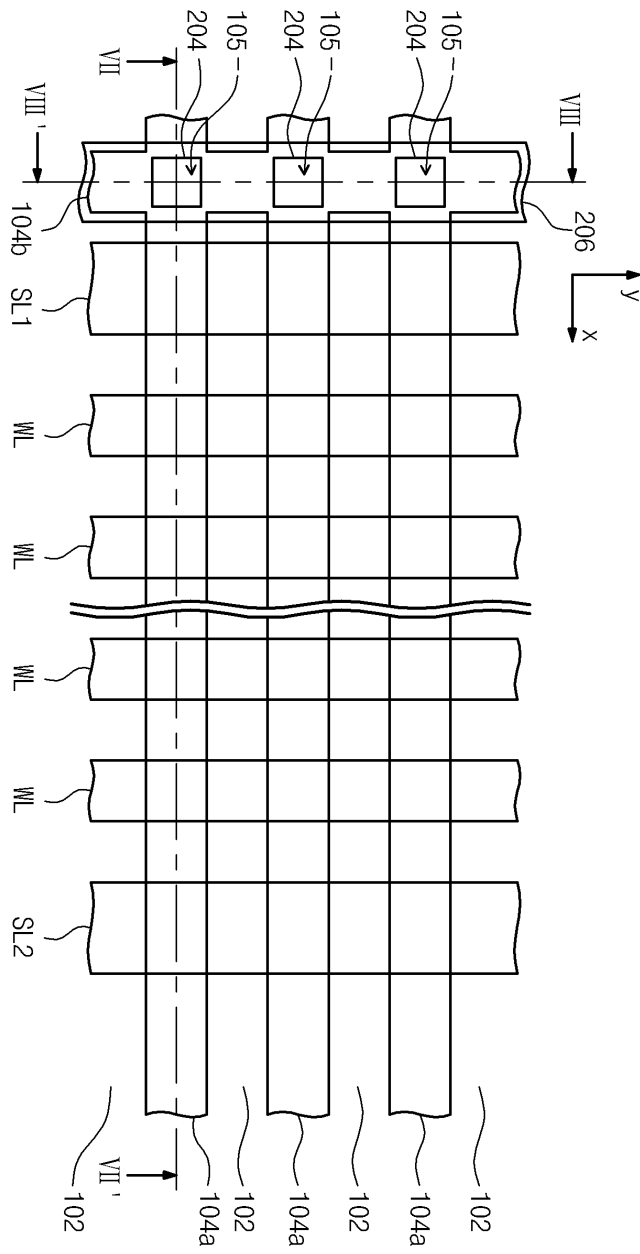
도면4b



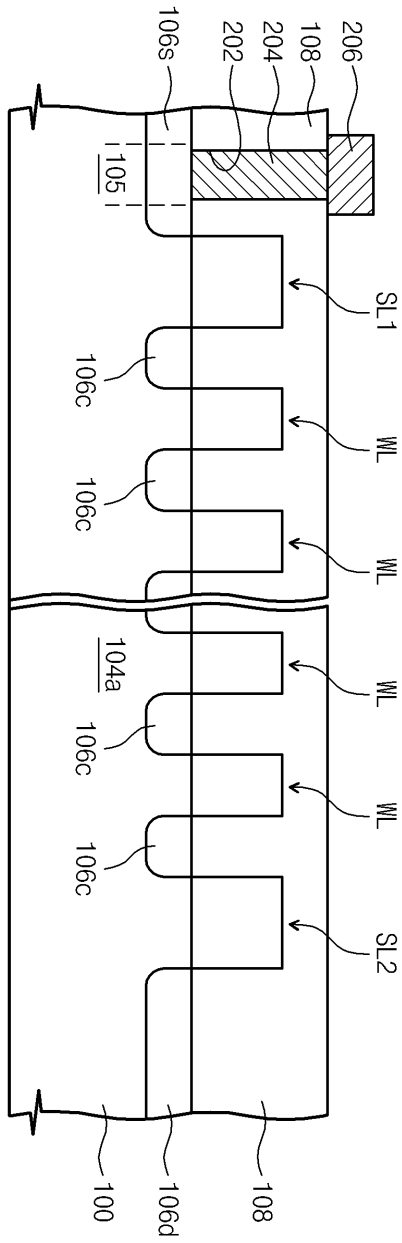
도면4c



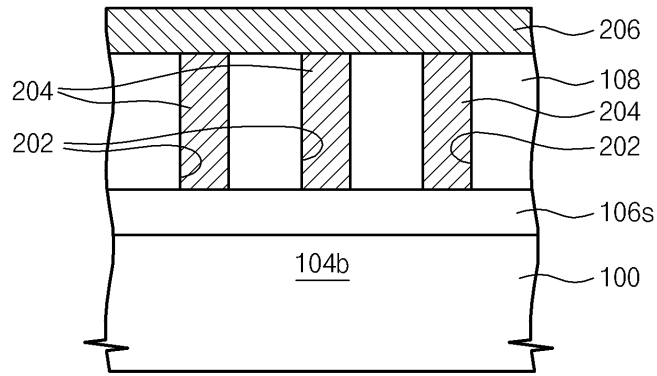
도면5a



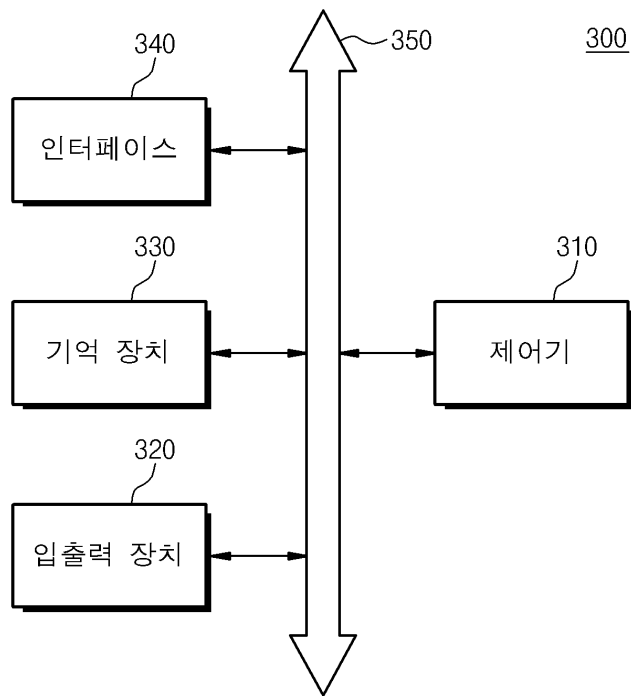
도면5b



도면5c

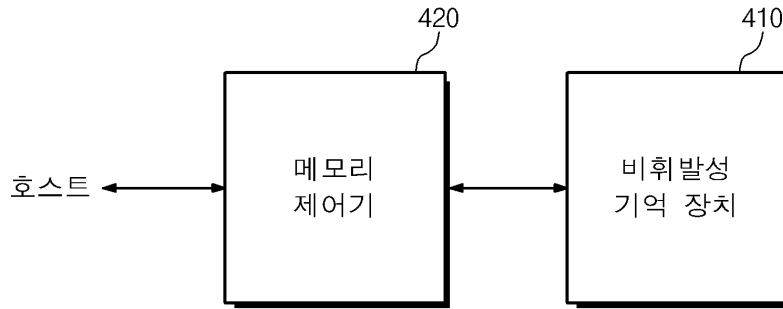


도면6



도면7

400



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 8

【변경전】

층간 절연막을 상에 상기 제1 방향을 따라

【변경후】

층간 절연막 상에서 상기 제1 방향을 따라