



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I512921 B

(45) 公告日：中華民國 104 (2015) 年 12 月 11 日

(21) 申請案號：101119146

(22) 申請日：中華民國 101 (2012) 年 05 月 29 日

(51) Int. Cl. : H01L23/48 (2006.01)

H01L21/60 (2006.01)

(71) 申請人：欣興電子股份有限公司 (中華民國) UNIMICRON TECHNOLOGY CORP. (TW)
桃園市桃園區龜山工業區興邦路 38 號

(72) 發明人：曾子章 TSENG, TZYU JANG (TW)；江書聖 CHIANG, SHU SHENG (TW)；陳宗源 CHEN, TSUNG YUAN (TW)；程石良 CHENG, SHIH LIAN (TW)

(74) 代理人：詹銘文；葉璟宗

(56) 參考文獻：

TW 200539415A

TW 200905761A

TW 200941659A

TW 201036212A

TW 201042736A

TW 201130104A

審查人員：郭德豐

申請專利範圍項數：9 項 圖式數：2 共 24 頁

(54) 名稱

載板結構與晶片封裝結構及其製作方法

CARRIER STRUCTURE, CHIP PACKAGE STRUCTURE AND MANUFACTURING METHOD THEREOF

(57) 摘要

一種載板結構與晶片封裝結構及其製作方法。載板結構包括複合基板、第一與第二介電層、第一與第二導通孔、第一與第二埋入式線路層。複合基板包括第一與第二基板。第一基板具有第一表面與第二表面。第二基板具有第三表面與第四表面。第二表面與第四表面接合。第一介電層與第二介電層分別配置於第一表面與第三表面上。第一導通孔與第二導通孔分別配置於第一介電層與第二介電層中。第一埋入式線路層配置於第一介電層中並與第一導通孔連接。第二埋入式線路層配置於第二介電層中並與第二導通孔連接。

A carrier structure, a chip package structure and manufacturing methods thereof are provided. The carrier structure includes a composite substrate, a first dielectric layer, a first conductive through hole, a second dielectric layer, a second conductive through hole, a first embedded circuit layer and a second embedded circuit layer. The composite substrate includes a first substrate and a second substrate. The first substrate has a first surface and a second surface opposite to each other. The second substrate has a third surface and a fourth surface opposite to each other. The second surface is bonded to the fourth surface. The first dielectric layer is disposed on the first surface. The second dielectric layer is disposed on the third surface. The first conductive through hole is disposed in the first dielectric layer. The second conductive through hole is disposed in the second dielectric layer. The first embedded circuit layer is disposed in the first dielectric layer and connected to the first conductive through hole. The second embedded circuit layer is disposed in the second dielectric layer and connected to the second conductive through hole.

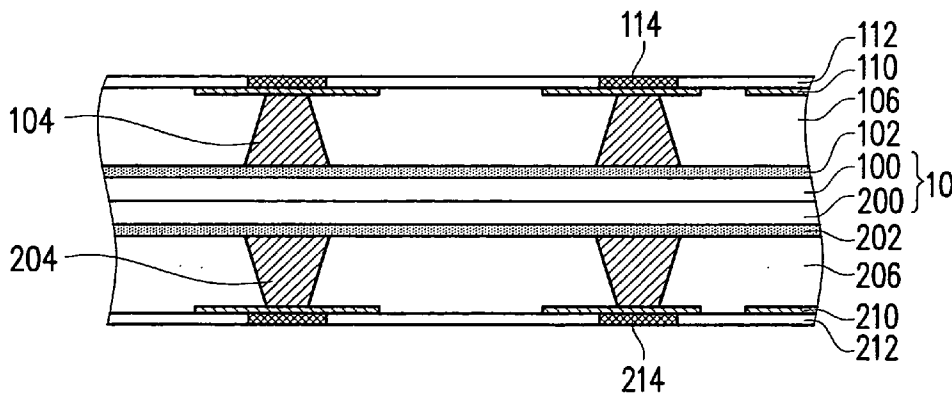
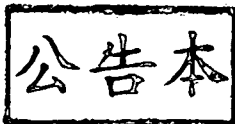


圖 1E

- 10 . . . 複合基板
- 100 . . . 第一基板
- 102 . . . 第一阻障層
- 104 . . . 第一導通孔
- 106 . . . 第一介電層
- 110 . . . 第一埋入式
線路層
- 112 . . . 第一保護層
- 114 . . . 第一表面處
理層
- 200 . . . 第二基板
- 202 . . . 第二阻障層
- 204 . . . 第二導通孔
- 206 . . . 第二介電層
- 210 . . . 第二埋入式
線路層
- 212 . . . 第二保護層
- 214 . . . 第二表面處
理層



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：10119146

※申請日：101.5.29

※IPC 分類：H01L 21/48 - 2006.01

H01L 21/60 - 2006.01

一、發明名稱：

載板結構與晶片封裝結構及其製作方法

CARRIER STRUCTURE, CHIP PACKAGE
STRUCTURE AND MANUFACTURING METHOD
THEREOF

二、中文發明摘要：

一種載板結構與晶片封裝結構及其製作方法。載板結構包括複合基板、第一與第二介電層、第一與第二導通孔、第一與第二埋入式線路層。複合基板包括第一與第二基板。第一基板具有第一表面與第二表面。第二基板具有第三表面與第四表面。第二表面與第四表面接合。第一介電層與第二介電層分別配置於第一表面與第三表面上。第一導通孔與第二導通孔分別配置於第一介電層與第二介電層中。第一埋入式線路層配置於第一介電層中並與第一導通孔連接。第二埋入式線路層配置於第二介電層中並與第二導通孔連接。

三、英文發明摘要：

A carrier structure, a chip package structure and

manufacturing methods thereof are provided. The carrier structure includes a composite substrate, a first dielectric layer, a first conductive through hole, a second dielectric layer, a second conductive through hole, a first embedded circuit layer and a second embedded circuit layer. The composite substrate includes a first substrate and a second substrate. The first substrate has a first surface and a second surface opposite to each other. The second substrate has a third surface and a fourth surface opposite to each other. The second surface is bonded to the fourth surface. The first dielectric layer is disposed on the first surface. The second dielectric layer is disposed on the third surface. The first conductive through hole is disposed in the first dielectric layer. The second conductive through hole is disposed in the second dielectric layer. The first embedded circuit layer is disposed in the first dielectric layer and connected to the first conductive through hole. The second embedded circuit layer is disposed in the second dielectric layer and connected to the second conductive through hole.

四、指定代表圖：

(一) 本案之指定代表圖：圖 1E

(二) 本代表圖之元件符號簡單說明：

10：複合基板

100：第一基板

102：第一阻障層

104：第一導通孔

106：第一介電層

110：第一埋入式線路層

112：第一保護層

114：第一表面處理層

200：第二基板

202：第二阻障層

204：第二導通孔

206：第二介電層

210：第二埋入式線路層

212：第二保護層

214：第二表面處理層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種載板結構與晶片封裝結構及其製作方法

【先前技術】

隨著科技日新月異，積體電路(integrated circuits, IC)元件已廣泛地應用於我們日常生活當中。一般而言，積體電路的生產主要分為三個階段：矽晶圓的製造、積體電路的製作及積體電路的封裝。對於積體電路的封裝來說，晶圓級封裝(wafer level package, WLP)技術被認為是今後最急速成長的封裝技術。

在一般的晶圓級封裝製程中，晶片被裝設於載板結構上，再以封裝膠體進行覆蓋。之後，再將裝設有晶片的載板結構裝設於印刷線路板上。上述的封裝載板通常包括基板以及位於基板上下二側的線路層(上側的線路層用以與晶片電性連接，而下側的線路層用以與線路板電性連接)。這些線路層皆配置於基板的表面上，因此使得封裝載板的平坦度較差而不利於後續的製程。此外，由於基板的上下二側皆必須配置線路層，因此載板結構仍必須具有一定的厚度而無法符合現今元件薄型化的需求。

【發明內容】

本發明提供一種載板結構，其具有較薄的厚度。

本發明另提供一種載板結構的製作方法，其具有較簡單的製程步驟。

本發明又提供一種晶片封裝結構，其具有較薄的厚度。

本發明再提供一種晶片封裝結構的製作方法，其具有較簡單的製程步驟。

本發明提出一種載板結構，其包括複合基板、第一介電層、第一導通孔、第二介電層、第二導通孔、第一埋入式線路層、第二埋入式線路層、第一保護層以及第二保護層。複合基板包括第一基板與第二基板，其中第一基板具有彼此相對的第一表面與第二表面，第二基板具有彼此相對的第三表面與第四表面，且第二表面與第四表面接合。第一介電層配置於第一表面上，並具有第一導通孔。第二介電層配置於第三表面上，並具有第二導通孔。第一埋入式線路層配置於第一介電層中，並與第一導通孔連接，其中第一埋入式線路層的表面與第一介電層的表面齊平。第二埋入式線路層配置於第二介電層中，並與第二導通孔連接，其中第二埋入式線路層的表面與第二介電層的表面齊平。第一保護層配置於第一介電層上，且暴露出部分第一埋入式線路層。第二保護層配置於第二介電層上，且暴露出部分第二埋入式線路層。

依照本發明實施例所述之載板結構，更包括第一阻障層與第二阻障層。第一阻障層配置於第一基板與第一介電層之間。第二阻障層配置於第二基板與第二介電層之間。

依照本發明實施例所述之載板結構，更包括第一表面處理層與第二表面處理層。第一表面處理層配置於第一保護層所暴露出的第一埋入式線路層上。第二表面處理層配置於第二保護層所暴露出的第二埋入式線路層上。

依照本發明實施例所述之載板結構，更包括增層結構，此增層結構包括堆疊設置於第一埋入式線路層和/或第二埋入式線路層上的至少一介電層與對應此介電層的金屬導線層，其中金屬導線層埋入此介電層中。

本發明另提出一種載板結構的製作方法，此方法是先提供複合基板。複合基板包括第一基板與第二基板，其中第一基板具有彼此相對的第一表面與第二表面，第二基板具有彼此相對的第三表面與第四表面，且第二表面與第四表面接合。然後，於第一表面上形成第一介電層與位於第一介電層中的第一導通孔，以及於第三表面上形成第二介電層與位於第二介電層中的第二導通孔。之後，於第一介電層中形成第一埋入式線路層，以及於第二介電層中形成第二埋入式線路層，其中第一埋入式線路層與第一導通孔連接，且第一埋入式線路層的表面與第一介電層的表面齊平，第二埋入式線路層與第二導通孔連接，且第二埋入式線路層的表面與第二介電層的表面齊平。在形成第一埋入式線路層之後，於第一介電層上形成第一保護層，第一保護層暴露出部分第一埋入式線路層。在形成第二埋入式線路層之後，於第二介電層上形成第二保護層，第二保護層暴露出部分第二埋入式線路層。

依照本發明實施例所述之載板結構的製作方法，在形成第一介電層與第一導通孔之前，還可以於第一表面上形成第一阻障層，以及在形成第二介電層與第二導通孔之前，還可以於第三表面上形成第二阻障層。

依照本發明實施例所述之載板結構的製作方法，在形成第一保護層之後，還可以於第一保護層所暴露出的第一埋入式線路層上形成第一表面處理層，以及在形成第二保護層之後，可以於第二保護層所暴露出的第二埋入式線路層上形成第二表面處理層。

依照本發明實施例所述之載板結構的製作方法，上述之第一介電層、第一導通孔、第二介電層與第二導通孔的形成方法例如是先於第一表面上形成第一導電層，以及於第三表面上形成第二導電層。然後，圖案化第一導電層以形成第一導通孔，以及圖案化第二導電層以形成第二導通孔。之後，於第一表面上壓合第一介電層，以及於第三表面上壓合第二介電層。

依照本發明實施例所述之載板結構的製作方法，上述之第一埋入式線路層與第二埋入式線路層的形成方法例如是先於第一介電層中形成第一溝槽圖案，以及於第二介電層中形成第二溝槽圖案，其中第一溝槽圖案暴露出部分第一導通孔，第二溝槽圖案暴露出部分第二導通孔。之後，於第一溝槽圖案中形成第三導電層，以及於第二溝槽圖案中形成第四導電層。

本發明又提出一種晶片封裝結構，其包括基板、介電

層、導通孔、埋入式線路層、保護層、表面處理層、晶片以及封裝膠體。介電層配置於基板上。導通孔配置於介電層中。埋入式線路層配置於介電層中，並與導通孔連接，其中埋入式線路層的表面與介電層的表面齊平。保護層配置於介電層上，且暴露出部分埋入式線路層。表面處理層配置於保護層所暴露出的埋入式線路層上。晶片配置於保護層上，並與表面處理層電性連接。封裝膠體覆蓋晶片、保護層與表面處理層。

依照本發明實施例所述之晶片封裝結構，更包括阻障層，其配置於基板與介電層之間。

依照本發明實施例所述之晶片封裝結構，上述之晶片例如以打線接合（wire bond）的方式配置於保護層上，且藉由打線（bonding wire）與表面處理層電性連接。

依照本發明實施例所述之晶片封裝結構，上述之晶片例如以覆晶接合（flip chip）的方式配置於保護層上，且藉由凸塊（bump）與表面處理層電性連接。

基於上述，本發明的載板結構中的線路層為內埋式線路層，因此本發明的載板結構可以具有較平坦的表面，而有利於後續的製程。此外，本發明同時於複合基板的二側進行相同的製程，然後再將複合基板中的第一基板與第二基板分離以形成二個次載板結構，因此可以有效地提高產率，且由於製程步驟簡單，因而降低生產成本。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

圖 1A 至圖 1H 為依照本發明實施例所繪示的晶片封裝結構之製作流程剖面圖。首先，請參照圖 1A，提供複合基板 10。複合基板 10 包括第一基板 100 與第二基板 200。第一基板 100 具有彼此相對的第一表面 100a 與第二表面 100b。第一基板 100 的材料例如為金屬或塑膠。第二基板 200 具有彼此相對的第三表面 200a 與第四表面 200b。第二基板 200 的材料例如為金屬或塑膠。在本實施例中，第一基板 100 的第二表面 100b 與第二基板 200 的第四表面 200b 接合而構成複合基板 10。

此外，複合基板 10 上還可以選擇性地形成阻障層。在本實施例中，於第一表面 100a 上形成第一阻障層 102，以及於第三表面 200a 上形成第二阻障層 202。第一阻障層 102 的材料例如為金屬或聚合物。第二阻障層 202 的材料例如為金屬或聚合物。上述的金屬例如為鋁或鎳。

然後，請參照圖 1B，於第一阻障層 102 上形成第一導電層 103，以及於第二阻障層 202 上形成第二導電層 203。第一導電層 103 與第二導電層 203 的材料例如為銅，其用以形成後續的導電通孔。在本實施例中，第一導電層 103 與第二導電層 203 例如是藉由壓合的方式分別形成於第一阻障層 102 與第二阻障層 202 上。

接著，請參照圖 1C，將第一導電層 103 圖案化以形成第一導通孔 104，以及將第二導電層 203 圖案化以形成第二導通孔 204。將第一導電層 103 與第二導電層 203 圖

案化的方法例如是先於第一導電層 103 與第二導電層 203 上分別形成圖案化光阻層。然後，以圖案化光阻層為罩幕進行蝕刻製程。之後，移除圖案化光阻層。

而後，於第一阻障層 102 上壓合第一介電層 106，以及於第二阻障層 202 上壓合第二介電層 206。接著，於第一介電層 106 中形成第一溝槽圖案 108，以及於第二介電層 206 中形成第二溝槽圖案 208。第一溝槽圖案 108 暴露出部分第一導通孔 104。第二溝槽圖案 208 暴露出部分第二導通孔 204。

在本實施例中，第一溝槽圖案 108 與第二溝槽圖案 208 分別暴露出第一導通孔 104 與第二導通孔 204 的頂面，但本發明並不限於此。在另一實施例中，第一導通孔 104 與第二導通孔 204 除了頂面被暴露出來之外，其部份側壁也可被暴露出來。此外，在本實施例中，第一溝槽圖案 108 具有均一的深度，且第二溝槽圖案 208 具有均一的深度，但本發明並不限於此。在另一實施例中，第一溝槽圖案 108 與第二溝槽圖案 208 也可視實際需求而各自具有非均一的深度。

繼之，請參照圖 1E，於第一溝槽圖案 108 中形成導電層以形成第一埋入式線路層 110，以及於第二溝槽圖案 208 中形成導電層以形成第二埋入式線路層 210。上述的導電層例如為銅層，其形成方法例如為電鍍法。所形成的第一埋入式線路層 110 與第一導通孔 104 連接，且第二埋入式線路層 210 與第二導通孔連接 204。此外，第一埋入式線

路層 110 的表面與第一介電層 106 的表面齊平，且第二埋入式線路層 210 的表面與第二介電層 206 的表面齊平。然後，於第一介電層 106 上形成第一保護層 112，以及於第二介電層 106 上形成第二保護層 212。第一保護層 112 暴露出部分第一埋入式線路層 110，且第二保護層 212 暴露出部分第二埋入式線路層 210。接著，於第一保護層 112 所暴露出的第一埋入式線路層 110 上形成第一表面處理層 114，以及於第二保護層 212 所暴露出的第二埋入式線路層 210 上形成第二表面處理層 214，以製成本發明的載板結構。第一表面處理層 114 與第二表面處理層 214 例如為金層。第一表面處理層 114/第二表面處理層 214 可作為與後續裝設的晶片連接的區域，以使晶片能夠與第一埋入式線路層 110/第二埋入式線路層 210 電性連接。

隨後，請參照圖 1F，分離第一基板 100 與第二基板，以形成次載板結構 20a 與 20b。在次載板結構 20a 與 20b 中，由於僅具有一層線路層（第一埋入式線路層 110/第二埋入式線路層 210），因此次載板結構 20a 與 20b 可以具有較薄的厚度。次載板結構 20a 與 20b 實質上具有相同的結構，因此以下將以次載板結構 20a 為例對後續的製程步驟作說明。對於次載板結構 20a 所進行的任何製程步驟同樣應用於次載板結構 20b。

接著，請參照圖 1G，於次載板結構 20a 上裝設晶片 22。晶片 22 裝設於第一保護層 112，且與第一表面處理層 114 電性連接。在本實施例中，晶片 22 以打線接合的方式

裝設於第一保護層 112 上，且藉由打線 24 與第一表面處理層 114 電性連接。然後，形成覆蓋晶片 22、打線 24、第一保護層 112 與第一表面處理層 114 的封裝膠體 26，以製成晶片封裝結構 30。

之後，請參照圖 1H，移除第一阻障層 102 與第一基板 100，以暴露出第一介電層 106 與第一導電通孔 104。特別一提的是，在本實施例中，由於第一基板 100 與第一介電層 106 之間具有第一阻障層 102，且第一阻障層 102 的材料為金屬或聚合物，因此可以容易地自第一介電層 106 移除第一阻障層 102 與第一基板 100。然後，於第一導電通孔 104 上形成鐳球 28。

在本實施例中，晶片 22 以打線接合的方式裝設於第一保護層 112 上，但本發明並不限於此。在另一實施例中，晶片 22 也可以利用覆晶接合的方式裝設於第一保護層 112 上，如圖 2 所示。在圖 2 中，晶片 22 以覆晶接合的方式裝設於第一保護層 112 上，且藉由凸塊 29 與第一表面處理層 114 電性連接。

特別一提的是，在其他未繪示的實施例中，於第一埋入式線路層 110 和/或第二埋入式線路層 120 上還可以利用增層的方式堆疊設置至少一層介電層與對應此介電層的金屬導線層，其中此金屬導線層埋入於此介電層中。

綜上所述，由於載板結構中的線路層為內埋式線路層，因此載板結構可以具有較平坦的表面，而有利於後續的製程。

另外，本發明同時於複合基板的二側進行相同的製程，然後再將複合基板中的第一基板與第二基板分離以形成二個次載板結構，因此可以有效地提高產率，且由於次載板結構的製程步驟簡單，因而可以縮短製程時間，進而降低生產成本。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 至圖 1H 為依照本發明實施例所繪示的晶片封裝結構之製作流程剖面圖。

圖 2 為依照本發明另一實施例所繪示的晶片封裝結構之剖面示意圖。

【主要元件符號說明】

- 10：複合基板
- 20a、20b：次載板結構
- 22：晶片
- 24：打線
- 26：封裝膠體
- 28：鐳球
- 29：凸塊

- 30：晶片封裝結構
- 100：第一基板
- 100a：第一表面
- 100b：第二表面
- 102：第一阻障層
- 103：第一導電層
- 104：第一導通孔
- 106：第一介電層
- 108：第一溝槽圖案
- 110：第一埋入式線路層
- 112：第一保護層
- 114：第一表面處理層
- 200：第二基板
- 200a：第三表面
- 200b：第四表面
- 202：第二阻障層
- 203：第二導電層
- 204：第二導通孔
- 206：第二介電層
- 208：第二溝槽圖案
- 210：第二埋入式線路層
- 212：第二保護層
- 214：第二表面處理層

七、申請專利範圍：

1. 一種載板結構，包括：

一複合基板，包括一第一基板與一第二基板，其中該第一基板具有彼此相對的一第一表面與一第二表面，該第二基板具有彼此相對的一第三表面與一第四表面，且該第二表面與該第四表面接合；

一第一介電層，配置於該第一表面上，並具有一第一導通孔；

一第二介電層，配置於該第三表面上，並具有一第二導通孔；

一第一埋入式線路層，配置於該第一介電層中，並與該第一導通孔連接，其中該第一埋入式線路層的表面與該第一介電層的表面齊平；

一第二埋入式線路層，配置於該第二介電層中，並與該第二導通孔連接，其中該第二埋入式線路層的表面與該第二介電層的表面齊平；

一第一保護層，配置於該第一介電層上，且暴露出部分該第一埋入式線路層；以及

一第二保護層，配置於該第二介電層上，且暴露出部分該第二埋入式線路層。

2. 如申請專利範圍第 1 項所述之載板結構，更包括：

一第一阻障層，配置於該第一基板與該第一介電層之間；以及

一第二阻障層，配置於該第二基板與該第二介電層之

間。

3. 如申請專利範圍第 1 項所述之載板結構，更包括：
一第一表面處理層，配置於該第一保護層所暴露出的該第一埋入式線路層上；以及

一第二表面處理層，配置於該第二保護層所暴露出的該第二埋入式線路層上。

4. 如申請專利範圍第 1 項所述之載板結構，更包括一增層結構，該增層結構包括堆疊設置於該第一埋入式線路層和/或該第二埋入式線路層上的至少一介電層與對應該介電層的一金屬導線層，其中該金屬導線層埋入該介電層中。

5. 一種載板結構的製作方法，包括：

提供一複合基板，該複合基板包括一第一基板與一第二基板，其中該第一基板具有彼此相對的一第一表面與一第二表面，該第二基板具有彼此相對的一第三表面與一第四表面，且該第二表面與該第四表面接合；

於該第一表面上形成一第一介電層與位於該第一介電層中的一第一導通孔，以及於該第三表面上形成一第二介電層與位於該第二介電層中的一第二導通孔；

於該第一介電層中形成一第一埋入式線路層，以及於該第二介電層中形成一第二埋入式線路層，其中該第一埋入式線路層與該第一導通孔連接，且該第一埋入式線路層的表面與該第一介電層的表面齊平，該第二埋入式線路層與該第二導通孔連接，且該第二埋入式線路層的表面與該

104年1月30日修正替換頁

第二介電層的表面齊平；

在形成該第一埋入式線路層之後，於該第一介電層上形成一第一保護層，該第一保護層暴露出部分該第一埋入式線路層；以及

在形成該第二埋入式線路層之後，於該第二介電層上形成一第二保護層，該第二保護層暴露出部分該第二埋入式線路層。

6. 如申請專利範圍第 5 項所述之載板結構的製作方法，更包括：

在形成該第一介電層與該第一導通孔之前，於該第一表面上形成一第一阻障層；以及

在形成該第二介電層與該第二導通孔之前，於該第三表面上形成一第二阻障層。

7. 如申請專利範圍第 5 項所述之載板結構的製作方法，更包括：

在形成該第一保護層之後，於該第一保護層所暴露出的該第一埋入式線路層上形成一第一表面處理層；以及

在形成該第二保護層之後，於該第二保護層所暴露出的該第二埋入式線路層上形成一第二表面處理層。

8. 如申請專利範圍第 5 項所述之載板結構的製作方法，其中該第一介電層、該第一導通孔、該第二介電層與該第二導通孔的形成方法包括：

於該第一表面上形成一第一導電層，以及於該第三表面上形成一第二導電層；

圖案化該第一導電層以形成該第一導通孔，以及圖案化該第二導電層以形成該第二導通孔；以及

於該第一表面上壓合該第一介電層，以及於該第三表面上壓合該第二介電層。

9. 如申請專利範圍第5或7項所述之載板結構的製作方法，其中該第一埋入式線路層與該第二埋入式線路層的形成方法包括：

於該第一介電層中形成一第一溝槽圖案，以及於該第二介電層中形成一第二溝槽圖案，其中該第一溝槽圖案暴露出部分該第一導通孔，該第二溝槽圖案暴露出部分該第二導通孔；以及

於該第一溝槽圖案中形成一第三導電層，以及於該第二溝槽圖案中形成一第四導電層。

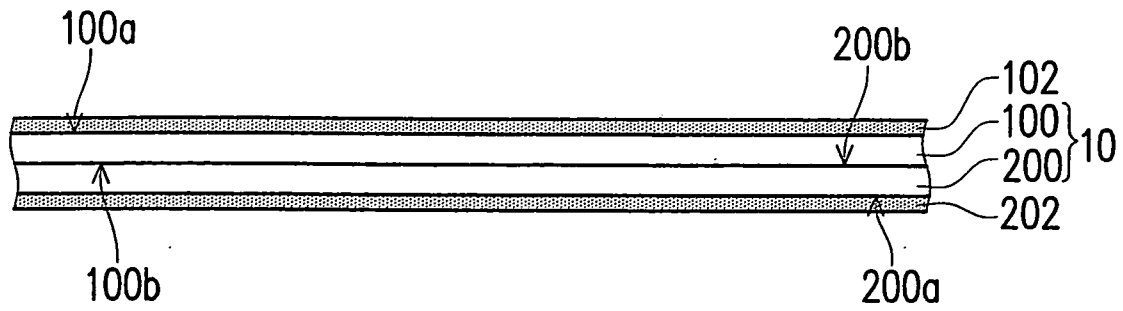


圖 1A

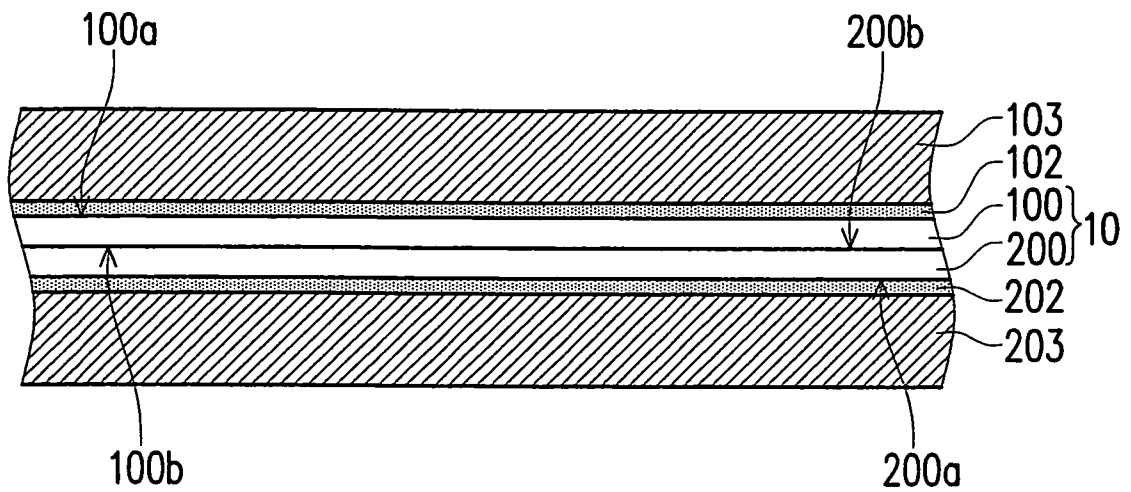


圖 1B

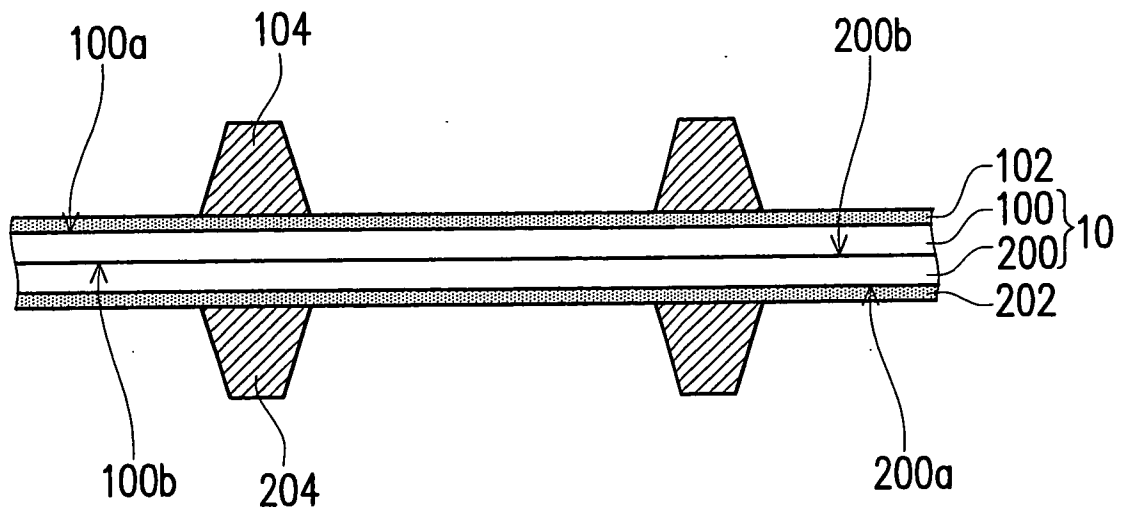


圖 1C

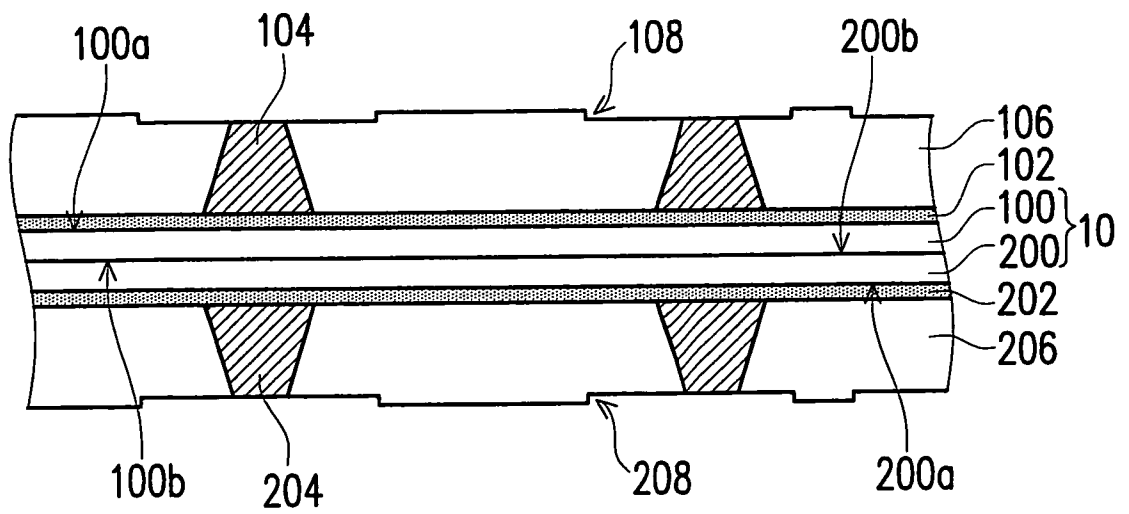


圖 1D

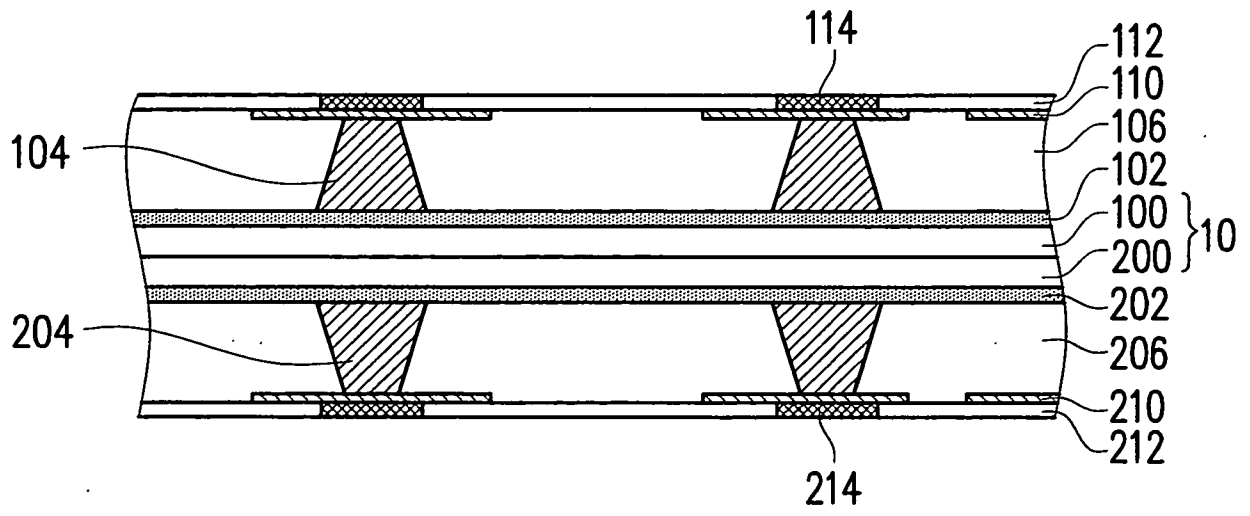


圖 1E

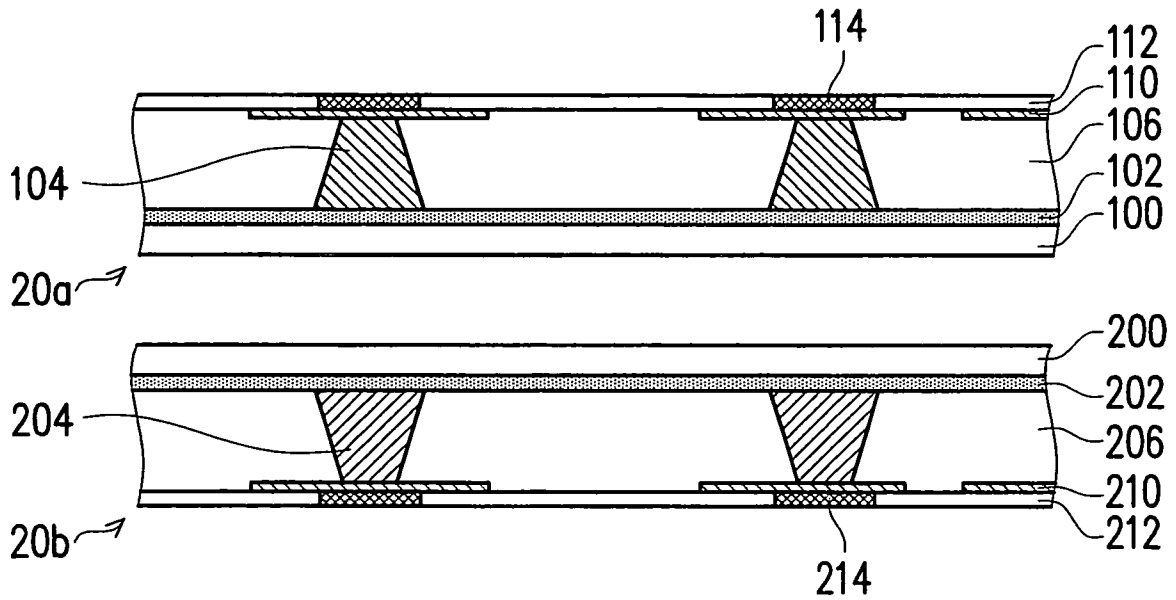


圖 1F

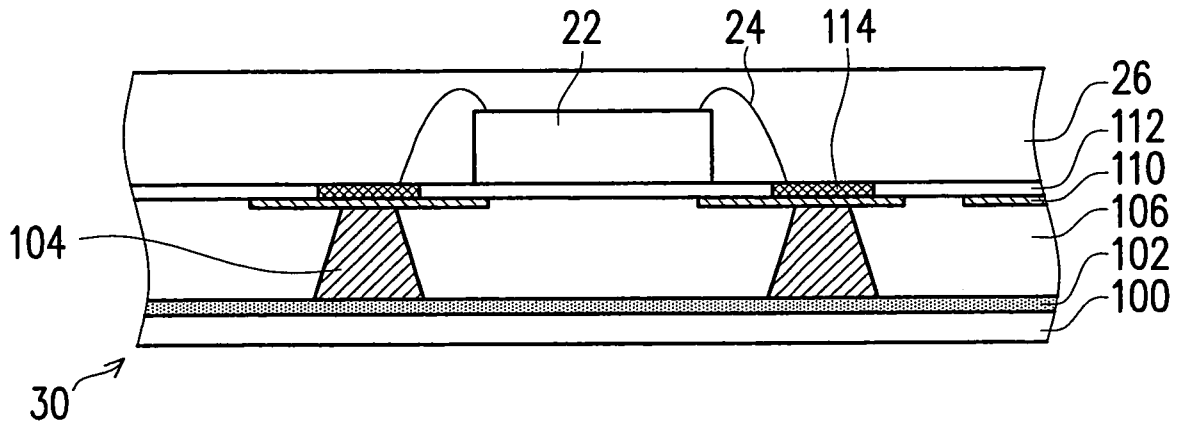


圖 1G

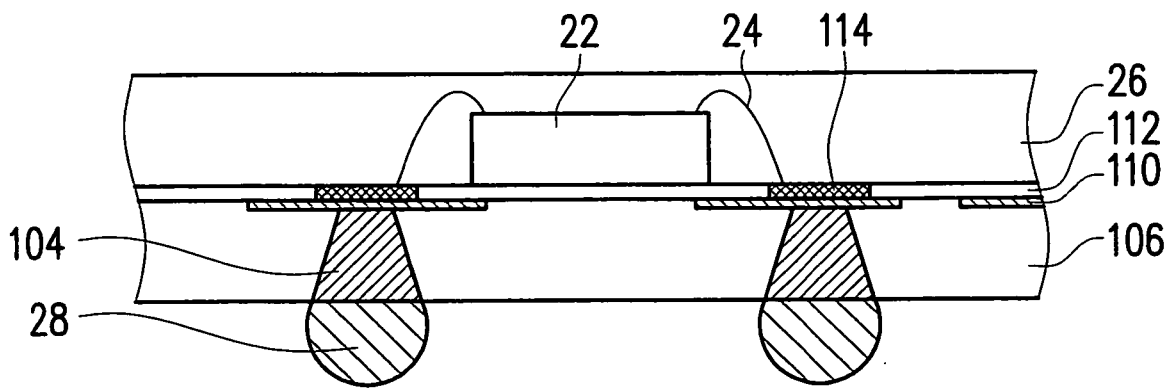


圖 1H

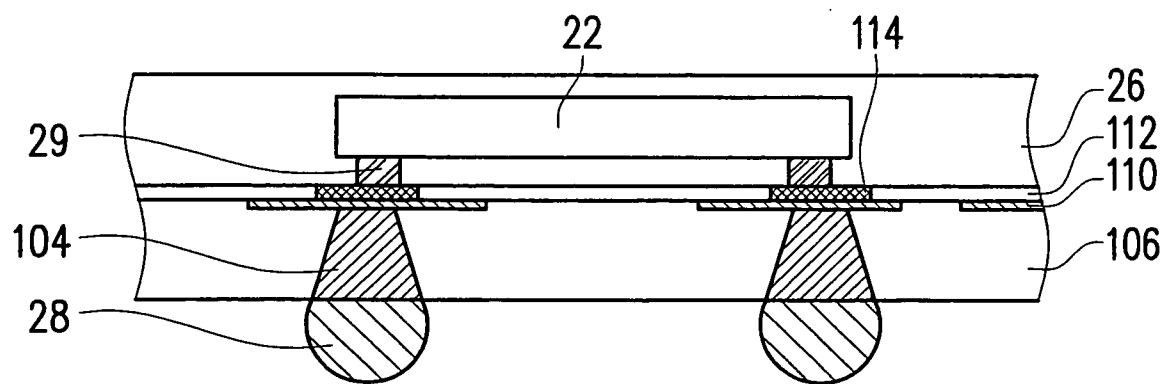


圖 2