



# (12) 发明专利申请

(10) 申请公布号 CN 115241129 A

(43) 申请公布日 2022.10.25

(21) 申请号 202210337930.0

(22) 申请日 2022.04.01

(30) 优先权数据

63/211,750 2021.06.17 US

17/397,632 2021.08.09 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 林孟汉 杨世海 徐志安

(74) 专利代理机构 北京东方亿思知识产权代理

有限责任公司 11258

专利代理师 桑敏

(51) Int. Cl.

H01L 21/8234 (2006.01)

H01L 21/3115 (2006.01)

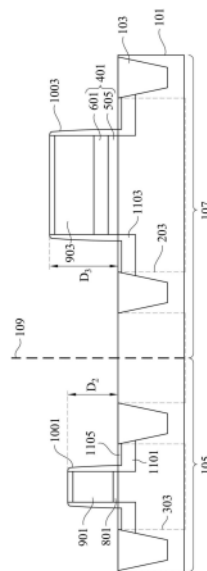
权利要求书1页 说明书12页 附图14页

(54) 发明名称

半导体器件及制造方法

(57) 摘要

提出了半导体器件及制造方法,其中,在半导体衬底的模拟区域中对栅极电介质进行处理。可以用等离子体暴露和/或退火工艺来对栅极电介质进行处理,以形成栅极电介质的恢复区域。在半导体衬底的逻辑区域中形成单独的栅极电介质,并且在栅极电介质之上形成第一栅极电极和第二栅极电极。



1. 一种制造半导体器件的方法,所述方法包括:  
在半导体衬底的逻辑区域和模拟区域之上沉积第一电介质层;  
对所述第一电介质层进行处理,以形成恢复层;  
在对所述第一电介质层进行处理之后,从所述逻辑区域去除所述恢复层的第一部分;  
在所述逻辑区域中形成第二电介质层;以及  
在所述恢复层的剩余部分和所述第二电介质层之上沉积栅极电极材料。
2. 根据权利要求1所述的方法,其中,对所述第一电介质层进行处理还包括:  
使所述第一电介质层暴露于等离子体,以形成经处理区域;以及  
对所述经处理区域进行退火。
3. 根据权利要求2所述的方法,其中,所述等离子体包括氧、氮、氟或氯。
4. 根据权利要求1所述的方法,其中,对所述第一电介质层进行处理还包括:对所述第一电介质层进行退火。
5. 根据权利要求4所述的方法,其中,所述退火是在氧气环境中执行的。
6. 根据权利要求1所述的方法,其中,所述恢复层具有第一厚度,所述第一电介质层具有第二厚度,并且所述第一厚度在所述第二厚度的5%至30%之间。
7. 根据权利要求1所述的方法,还包括:将所述栅极电极材料图案化为所述恢复层之上的第一栅极电极和所述第二电介质层之上的第二栅极电极,所述第一栅极电极的宽度大于所述第二栅极电极的宽度。
8. 一种制造半导体器件的方法,所述方法包括:  
在衬底的第一区域和所述衬底的第二区域之上均厚沉积第一电介质层;  
使所述第一电介质层的顶表面暴露于第一等离子体,以在所述第一电介质层中在所述第一电介质层的未处理区域之上形成经处理区域;  
利用第一退火工艺来恢复所述经处理区域,以在所述未处理区域之上形成恢复区域;  
从所述第一区域去除所述第一电介质层;  
在所述第一区域中形成第二电介质层;  
在所述第二区域中在第一电介质层之上形成第一栅极电极;以及  
在所述第一区域中在所述第二电介质层之上形成第二栅极电极。
9. 根据权利要求8所述的方法,还包括:替换所述第一栅极电极和所述第二栅极电极。
10. 一种半导体器件,包括:  
逻辑器件,所述逻辑器件位于衬底的逻辑区域中,所述逻辑器件包括:  
第一电介质层,整个所述第一电介质层中具有恒定不变的密度;以及  
第一栅极电极,所述第一栅极电极在所述第一电介质层上面;以及  
模拟器件,所述模拟器件位于所述衬底的模拟区域中,所述模拟器件包括:  
第二电介质层,所述第二电介质层包括恢复区域和未处理区域,所述恢复区域具有与  
所述未处理区域不同的密度;以及  
第二栅极电极,所述第二栅极电极在所述第二电介质层上面。

## 半导体器件及制造方法

### 技术领域

[0001] 本公开涉及半导体领域,尤其涉及半导体器件及制造方法。

### 背景技术

[0002] 半导体器件用于各种电子应用中,例如,个人计算机、蜂窝电话、数码相机和其他电子设备。半导体器件通常通过以下方式来制造:在半导体衬底之上按顺序地沉积绝缘或电介质层、导电层、和半导体层的材料,并且使用光刻对各种材料层进行图案化以在其上形成电路组件和元件。

[0003] 半导体工业通过不断减小最小特征尺寸来持续改进各种电子组件(例如,晶体管、二极管、电阻器、电容器等)的集成密度,这允许更多组件被集成到给定面积中。然而,随着最小特征尺寸的减小,出现了额外应解决的问题。

### 发明内容

[0004] 根据本申请一方面,提供一种制造半导体器件的方法,该方法包括:在半导体衬底的逻辑区域和模拟区域之上沉积第一电介质层;对第一电介质层进行处理,以形成恢复层;在对第一电介质层进行处理之后,从逻辑区域去除恢复层的第一部分;在逻辑区域中形成第二电介质层;以及在恢复层的剩余部分和第二电介质层之上沉积栅极电极材料。

[0005] 根据本申请另一方面,提供一种制造半导体器件的方法,该方法包括:在衬底的第一区域和衬底的第二区域之上均厚沉积第一电介质层;使第一电介质层的顶表面暴露于第一等离子体,以在第一电介质层中在第一电介质层的未处理区域之上形成经处理区域;利用第一退火工艺来恢复经处理区域,以在未处理区域之上形成恢复区域;从第一区域去除第一电介质层;在第一区域中形成第二电介质层;在第二区域中在第一电介质层之上形成第一栅极电极;以及在第一区域中在第二电介质层之上形成第二栅极电极。

[0006] 根据本申请的又一方面,提供一种半导体器件,包括:逻辑器件,该逻辑器件位于衬底的逻辑区域中,该逻辑器件包括:第一电介质层,整个第一电介质层中具有恒定不变的密度;以及第一栅极电极,该第一栅极电极在第一电介质层上面;以及模拟器件,该模拟器件位于衬底的模拟区域中,该模拟器件包括:第二电介质层,该第二电介质层包括恢复区域和未处理区域,恢复区域具有与未处理区域不同的密度;以及第二栅极电极,该第二栅极电极在第二电介质层上面。

### 附图说明

[0007] 在结合附图阅读时,可以通过下面的具体描述来最佳地理解本公开的各方面。应当注意,根据该行业的标准惯例,各种特征不是按比例绘制的。事实上,为了讨论的清楚起见,各种特征的尺寸可能被任意增大或减小。

[0008] 图1示出了根据一些实施例的衬底的逻辑区域和模拟区域。

[0009] 图2示出了根据一些实施例的第一阱的形成。

- [0010] 图3示出了根据一些实施例的第二阱的形成。
- [0011] 图4示出了根据一些实施例的第一电介质层的形成。
- [0012] 图5示出了根据一些实施例的对第一电介质层的第一处理。
- [0013] 图6示出了根据一些实施例的退火工艺。
- [0014] 图7示出了根据一些实施例的从逻辑区域去除第一电介质层。
- [0015] 图8示出了根据一些实施例的在逻辑区域中形成第二电介质层。
- [0016] 图9示出了根据一些实施例的第一栅极电极和第二栅极电极的形成。
- [0017] 图10示出了根据一些实施例的间隔件的形成。
- [0018] 图11A示出了根据一些实施例的源极/漏极区域和硅化物区域的形成。
- [0019] 图11B示出了根据一些实施例的示出归一化电流噪声谱密度的图表。
- [0020] 图12示出了根据一些实施例的后栅极工艺。
- [0021] 图13示出了根据一些实施例的具有不同工艺步骤顺序的另一后栅极工艺。

### 具体实施方式

[0022] 下面的公开内容提供了用于实现本发明的不同特征的许多不同的实施例或示例。下文描述了组件和布置的具体示例以简化本公开。当然,这些仅是示例而不意在进行限制。例如,下面的说明中,在第二特征之上或在第二特征上形成第一特征可以包括以直接接触的方式形成第一特征和第二特征的实施例,并且还可以包括可在第一特征和第二特征之间形成附加特征使得第一特征和第二特征可不直接接触的实施例。此外,本公开在各个示例中可以重复附图标记和/或字母。这种重复是为了简单和清楚的目的,并且其本身不表示所讨论的各个实施例和/或配置之间的关系。

[0023] 此外,本文可能使用了空间相关术语(例如,“之下”、“下方”、“下”、“上方”、“上”等),以易于描述附图中所示的一个要素或特征与另外(一个或多个)要素或(一个或多个)特征的关系。这些空间相关术语意在涵盖使用中或工作中的器件处于除了附图中所示朝向之外的不同朝向。装置可能以其他方式定向(旋转90度或处于其他朝向),并且本文使用的空间相关描述符可类似地进行相应解释。

[0024] 现在将关于特定实施例来描述实施例,在这些实施例中,通过对栅极电介质的处理来减少模拟器件中的(例如,在用于LCD面板的数模器件中的)闪烁噪声。然而,所描述的实施例并不旨在限制所呈现的思想,并且这些思想可以在多种其他实施例中实施。所有这些实施例完全旨在包括在本公开的范围之内。

[0025] 现在参考图1,示出了其中形成有浅沟槽隔离(STI) 103的衬底101。衬底101可以包含掺杂或未掺杂的体硅,或者绝缘体上硅(SOI)衬底的有源层。通常,SOI衬底包括半导体材料的层,所述半导体材料为例如硅、锗、硅锗、SOI、绝缘体上的硅锗(SGOI)、或它们的组合。可以使用的其他衬底包括多层衬底、梯度衬底或混合取向衬底。

[0026] 另外,衬底101可以具有逻辑区域105和模拟区域107。随后形成在逻辑区域105中的器件会被用来创建逻辑器件,而随后形成在模拟区域107中的器件将被用来创建模拟器件。在一些实施例中,逻辑区域105可以紧邻模拟区域107,而在其他实施例中,逻辑区域105可以远离模拟区域107(在图1中由标记为109的虚线表示)。

[0027] 可以通过蚀刻衬底101以形成沟槽并用本领域已知的电介质材料填充沟槽来形成

STI 103。例如,STI 103可以填充有诸如氧化物材料或高密度等离子体(HDP)氧化物之类的电介质材料。但可以使用任何合适的材料和任何合适的沉积方法。

[0028] 图2示出了在模拟区域107中形成第一阱203。为了开始在模拟区域107中创建第一阱203,首先对逻辑区域105进行保护。在一个实施例中,可以通过将第一光致抗蚀剂205放置在衬底101之上并且对该光致抗蚀剂进行成像以在曝光区域和未曝光区域之间产生差异,来保护逻辑区域105。一旦第一光致抗蚀剂205被成像,就对其进行显影,以去除第一光致抗蚀剂205的在模拟区域107之上的部分并且保留第一光致抗蚀剂205的在逻辑区域105之上的部分,从而保护逻辑区域105。

[0029] 一旦逻辑区域105已被保护,就可以通过将第一掺杂剂放入衬底101中来在模拟区域107中创建第一阱203。第一掺杂剂可以是适合于要制造的器件类型的掺杂剂。例如,在要形成的器件是n型器件的实施例中,第一掺杂剂可以是p型掺杂剂,例如硼、铝、镓、铟、或这些的组合等。在要形成的器件是p型器件的其他实施例中,第一掺杂剂可以是n型掺杂剂,例如磷、砷、锑、或这些的组合等。但可以使用任意合适的掺杂剂。

[0030] 在一个实施例中,可以使用例如第一注入工艺(在图2中由标记为201的箭头表示)来将第一掺杂剂放入衬底101中。在此实施例中,形成第一掺杂剂的离子,然后将这些离子朝着衬底101的顶表面加速,从而将第一掺杂剂的离子注入到衬底101中。但可以使用任何合适的用于注入第一掺杂剂的方法。

[0031] 一旦第一掺杂剂已经被注入到衬底101中以形成第一阱203,就去除第一光致抗蚀剂205。在一个实施例中,可以使用灰化工艺来去除第一光致抗蚀剂205,在该灰化工艺中,升高第一光致抗蚀剂205的温度直到第一光致抗蚀剂205经历热分解并且可以被容易地去除。但也可以使用任何合适的方法或方法的组合,例如湿法蚀刻。

[0032] 图3示出了:一旦在模拟区域107中形成了第一阱203,就在逻辑区域105中形成第二阱303。为了开始在逻辑区域105中创建第二阱303,首先对模拟区域107进行保护。在一个实施例中,可以通过将第二光致抗蚀剂305放置在衬底101之上并且对第二光致抗蚀剂305进行成像以在曝光区域和未曝光区域之间产生差异,来保护模拟区域107。一旦第二光致抗蚀剂305被曝光,就对其进行显影,以去除第二光致抗蚀剂305的在逻辑区域105之上的部分并且保留第二光致抗蚀剂305的在模拟区域107之上的部分,从而保护模拟区域107。

[0033] 一旦模拟区域107已被保护,就可以通过将第二掺杂剂放入衬底101中来在逻辑区域105中创建第二阱303。第二掺杂剂可以是适合于要制造的器件类型的掺杂剂。例如,在要形成的器件是n型器件的实施例中,第二掺杂剂可以是p型掺杂剂,例如硼、铝、镓、铟、或这些的组合等。在要形成的器件是p型器件的其他实施例中,第二掺杂剂可以是n型掺杂剂,例如磷、砷、锑、或这些的组合等。但可以使用任意合适的掺杂剂。

[0034] 此外,可以使用逻辑区域105和模拟区域107间的任何合适的器件组合。例如,如果在逻辑区域105中形成的器件是n型器件,则在模拟区域107中形成的器件可以是n型器件或p型器件。同样,如果在逻辑区域105中形成的器件是p型器件,则在模拟区域107中形成的器件可以是n型器件或p型器件。可以使用任何合适的器件组合。

[0035] 在一个实施例中,可以使用例如第二注入工艺(在图3中由标记为301的箭头表示)来将第二掺杂剂放入衬底101中。在此实施例中,形成第二掺杂剂的离子,然后将这些离子朝着衬底101的顶表面加速,从而将第二掺杂剂的离子注入到衬底101中。在一个实施例中,

逻辑区域105中的第二掺杂剂被注入以具有比模拟区域107中注入的第一掺杂剂更高的浓度。例如,第一掺杂剂在第一阱203中可以具有第一浓度,该第一浓度为约 $1.0 \times 10^{14} \text{cm}^{-3}$ 至约 $1.0 \times 10^{18} \text{cm}^{-3}$ ,而第二掺杂剂在第二阱303中可以具有大于第一浓度的第二浓度,该第二浓度为约 $1.0 \times 10^{14} \text{cm}^{-3}$ 至约 $1.0 \times 10^{18} \text{cm}^{-3}$ 。然而,可以利用任何合适的用于注入第二掺杂剂的方法以及第一掺杂剂和第二掺杂剂的任何合适的浓度。

[0036] 一旦第二掺杂剂已经被注入到衬底101中以形成第二阱303,就去掉第二光致抗蚀剂305。在一个实施例中,可以使用灰化工艺来去除第二光致抗蚀剂305,在该灰化工艺中,升高第二光致抗蚀剂305的温度直到第二光致抗蚀剂305经历热分解并且可以容易地被去除。但也可以使用任何合适的方法或方法的组合,例如湿法蚀刻。

[0037] 图4示出了在衬底101之上沉积第一电介质层401,以开始在模拟区域107中形成器件的栅极电介质。第一电介质层401可以是高K电介质材料,例如,氧化硅、氮氧化硅、氮化硅、氧化物、含氮氧化物、氧化铝、氧化镧、氧化铪、氧化锆、氮氧化铪、或它们的组合等。第一电介质层401可具有大于约4的相对介电常数。

[0038] 在第一电介质层401包括氧化物层的实施例中,第一电介质层401可通过任何氧化工艺(例如在包含氧化物、 $\text{H}_2\text{O}$ 、 $\text{NO}$ 或它们的组合的环境中的湿法热氧化或干法热氧化)来形成,或者通过使用正硅酸乙酯 (TEOS) 和氧作为前体的化学气相沉积 (CVD) 技术来形成。在一个实施例中,第一电介质层401可以具有第一厚度 $T_1$ ,该第一厚度 $T_1$ 在约 $10 \text{ \AA}$ 至约 $150 \text{ \AA}$ 之间,例如厚度为 $100 \text{ \AA}$ 。

[0039] 在第一电介质层401是诸如氧化铪之类的金属氧化物的其他实施例中,可以使用沉积工艺来沉积第一电介质层401。例如,可以使用原子层沉积工艺、化学气相沉积工艺、物理气相沉积工艺、或这些的组合等来沉积第一电介质层401。但可以使用任何合适的沉积方法。

[0040] 图5示出了:一旦沉积了第一电介质层401,就对第一电介质层401进行处理。在一个实施例中,该处理可以是等离子体处理(在图5中由标记为501的云表示),通过该处理,第一电介质层401被暴露于一种或多种等离子体前体的等离子体,这有助于减少在模拟区域107中形成的器件内的闪烁噪声。在特定实施例中,等离子体前体可以是诸如氧、氮、氟、氯、这些的组合之类的前体,但是可以使用任何合适的前体。

[0041] 为了开始等离子体处理501,等离子体前体的流速可以被设定为约 $10 \text{ sccm}$ 至约 $100 \text{ sccm}$ ,并且等离子体处理501的压力可以为约 $10 \text{ mTorr}$ 至约 $10 \text{ Torr}$ 。等离子体处理501的温度可被设定为约 $400^\circ\text{C}$ 至约 $800^\circ\text{C}$ 。等离子体处理501的等离子体发生器的功率可为约 $5 \text{ W}$ 至约 $500 \text{ W}$ ,并且等离子体发生器的频率可为约 $13.56 \text{ MHz}$ 或更高。在等离子体处理501期间,衬底101可以被偏置为约 $0.5 \text{ V}$ 至约 $500 \text{ V}$ 。然而,可以使用任意合适的工艺参数。

[0042] 在等离子体处理501期间,等离子体的物质可以损坏暴露的表面并且还可以扩散到第一电介质层401的暴露表面中以在第一电介质层401中形成经处理区域503,而在经处理区域503和衬底101之间保留第一电介质层401的未处理区域505。例如,用于等离子体的物质(例如氧、氮、氟、氯等)可以扩散到形成第一电介质层401的材料中至距经处理表面第一深度 $D_1$ ,该第一深度 $D_1$ 等于或小于约 $100 \text{ nm}$ (例如小于或等于 $5 \text{ nm}$ )。在一些特定实施例中,例如当希望更好地控制噪声时,第一深度可以在第一厚度 $T_1$ 的约 $1/10$ 和 $1/2$ 之间。最后,这些物质可能会扩散到浓度为约 $1.0 \times 10^{10} \text{ cm}^{-3}$ 至约 $1.0 \times 10^{15} \text{ cm}^{-3}$ 。从靠近相应经处理表面到

材料中的一深度处,这些物质的浓度可以从峰值降低。

[0043] 图6示出了:一旦经处理区域503已形成,就可以进一步对经处理区域503进行处理以使经处理区域503的密度增加并恢复固定氧化物电荷和陷阱,使得经处理区域503具有与第一电介质层401的其余部分不同的密度。在一个实施例中,可使用例如退火工艺(在图6中由标记为603的波浪线表示)来对经处理区域503进行处理,该退火工艺会从经处理区域503创建恢复区域601(参见图5)。然而,可以使用任意适当的方法。

[0044] 在具体的实施例中,退火工艺603可以是在包含氧( $O_2$ )、氮( $N_2$ )、 $N_2O$ 、氨( $NH_3$ )、或这些的组合等的周围环境中执行的热退火。此外,热退火可以在约 $500^{\circ}C$ 和约 $1000^{\circ}C$ 之间的温度下执行长达约10秒至约1小时之间的时间,但是可以使用任何合适的温度和时间。此外,虽然已经描述了热退火,但是可以使用任何合适的退火工艺,例如毫秒激光退火、闪光退火、尖峰退火、或均热退火。

[0045] 在经处理区域503已经形成并且然后被恢复成为恢复区域601之后,恢复区域601可以具有从第一电介质层401的表面延伸的第二深度 $D_2$ 。在一个实施例中,第二深度 $D_2$ 可以在第一电介质层401的原始第一厚度 $T_1$ 的约5%和约30%之间。例如,如果第一电介质层401最初被沉积为100nm厚,则恢复区域可以在5nm至约30nm之间。如果第二深度 $D_2$ 太薄,则形成的模拟器件的闪烁噪声不会得到改进,而如果第二深度 $D_2$ 太厚,则等离子体处理501期间的等离子体能量会对第一电介质层401造成过多的损伤,从而损害后续形成的栅极电介质层的整体质量。

[0046] 此外,虽然以上描述了利用等离子体处理501和退火工艺603两者来形成恢复区域601的实施例,但这旨在是举例性的并且不旨在限制实施例。而是也可以利用任何合适的工艺组合,例如单独使用退火工艺603。所有这些方法完全旨在包括在实施例的范围内。

[0047] 图7示出了:一旦在第一电介质层401中形成了恢复区域601,就对第一电介质层401进行图案化以从逻辑区域105去除第一电介质层401。在一个实施例中,对第一电介质层401的图案化可以通过以下操作来开始:将第三光致抗蚀剂701放置在衬底101之上,并且对第三光致抗蚀剂701进行成像以在曝光区域和未曝光区域之间产生差异。一旦第三光致抗蚀剂701被成像,就对其进行显影以去除第三光致抗蚀剂701的在逻辑区域105之上的部分并且保留第三光致抗蚀剂701的在模拟区域107之上的部分。

[0048] 一旦第三光致抗蚀剂701已被放置并被图案化,就去除第一电介质层401(包括恢复区域601)的位于逻辑区域105中的那些部分。在一个实施例中,可以使用例如各向异性蚀刻工艺(例如反应离子蚀刻工艺)来去除第一电介质层401。但可以使用任意合适的去除工艺。

[0049] 此外,一旦已从逻辑区域105去除了第一电介质层401,就去除第三光致抗蚀剂701。在一个实施例中,可以使用例如灰化工艺来去除第三光致抗蚀剂701,通过该工艺,第三光致抗蚀剂701的温度被增加直到第三光致抗蚀剂701经历热分解,由此可以容易地去除第三光致抗蚀剂701。但可以使用任何合适的工艺来去除第三光致抗蚀剂701。

[0050] 图8示出了在逻辑区域105之上形成第二电介质层801。第二电介质层801可以是高K电介质材料,例如,氧化硅、氮氧化硅、氮化硅、氧化物、含氮氧化物、氧化铝、氧化镧、氧化铪、氧化锆、氮氧化铪、或它们的组合等。第二电介质层801可具有大于约4的相对介电常数值。

[0051] 在第二电介质层801包括氧化物层的实施例中,第二电介质层801可通过任何氧化工艺(例如在包含氧化物、 $H_2O$ 、 $NO$ 或它们的组合的环境中进行的湿法热氧化或干法热氧化)来形成,或者通过使用正硅酸乙酯(TEOS)和氧作为前体的化学气相沉积(CVD)技术来形成。在一个实施例中,第二电介质层801可以具有第二厚度 $T_2$ ,该第二厚度 $T_2$ 在约 $10 \text{ \AA}$ 至约 $150 \text{ \AA}$ 之间,例如厚度为 $100 \text{ \AA}$ 。

[0052] 在第二电介质层801是诸如氧化钪之类的金属氧化物的其他实施例中,可以使用沉积工艺来沉积第二电介质层801。例如,可以使用原子层沉积工艺、化学气相沉积工艺、物理气相沉积工艺、或这些的组合等来沉积第二电介质层801。但可以使用任何合适的沉积方法。

[0053] 此外,因为在处理工艺501或后续的退火工艺603期间不存在第二电介质层801,所以第二电介质层801不受这些工艺的影响。因此,第二电介质层801保持未被处理,并且可以在整个第二电介质层801中具有恒定不变的成分和恒定不变的密度。

[0054] 图9示出了对第一栅极电极901(例如,逻辑栅极电极)和第二栅极电极903(例如,模拟栅极电极)的布置和图案化。用于第一栅极电极901和第二栅极电极903的材料被均厚沉积在第一电介质层401和第二电介质层801之上。在一个实施例中,第一栅极电极901和第二栅极电极903可以包含导电材料,例如金属(例如钽、钛、钼、钨、铂、铝、钪、钒)、金属硅化物(例如硅化钛、硅化钴、硅化镍、硅化钽)、金属氮化物(例如氮化钛、氮化钽)、掺杂多晶硅、其他导电材料、或它们的组合。在一个示例中,非晶硅被沉积并被重结晶以产生多晶硅(poly-silicon)。此外,虽然第一栅极电极901和第二栅极电极903在图9中被示为单层,但是第一栅极电极901和第二栅极电极903可以包括任何数量的合适的层。

[0055] 在一个实施例中,用于第一栅极电极901和第二栅极电极903的材料首先被均厚沉积在第一电介质层401和第二电介质层801之上。一旦用于第一栅极电极901和第二栅极电极903的材料就位,就在随后通过以下操作来将这些材料图案化为单独的栅极电极和期望的形状:使用例如一个或多个光刻掩模和蚀刻工艺来蚀刻穿过第一栅极电极901和第二栅极电极903的材料、第一电介质层401、以及第二电介质层801。然而,可以使用任何合适的方法。

[0056] 在一个实施例中,第一栅极电极901可以被图案化为具有第一宽度 $W_1$ (例如,形成的逻辑器件的第一沟道长度),该第一宽度 $W_1$ 在约 $0.05 \mu\text{m}$ 至约 $20 \mu\text{m}$ 之间。类似地,第二栅极电极903可以被图案化为具有第二宽度 $W_2$ (例如,所形成的模拟器件的第二通道长度),该第二宽度 $W_2$ 大于第一宽度 $W_1$ ,例如第二宽度 $W_2$ 在约 $0.1 \mu\text{m}$ 至约 $20 \mu\text{m}$ 之间。然而,可以使用任意合适的尺寸。

[0057] 图10示出了在第一栅极电极901上形成第一间隔件1001和在第二栅极电极903上形成第二间隔件1003。可以通过在第一栅极电极901和第二栅极电极903之上均厚沉积一个或多个间隔件层(未示出)来形成第一间隔件1001和第二间隔件1003。间隔件层可以包含SiN、氮氧化物、SiC、SiON、和氧化物等,并且可以通过诸如化学气相沉积(CVD)、等离子体增强CVD(PECVD)、溅射或这些的组合之类的方法来形成间隔件层。可以例如通过各向同性或各向异性蚀刻来对间隔件层进行图案化,从而从结构的水平表面去除间隔件层并形成第一间隔件层1001和第二间隔件层1003,如图10所示。

[0058] 然而,如本领域普通技术人员将认识到的,上述工艺以及如图10所示的第一间隔



件1001和第二间隔件1003的所得形状仅旨在是举例性的而非旨在将实施例限于这些描述。而是,可以使用任何合适数量和组合的间隔件层和形状来形成用于第一栅极电极901和第二栅极电极903的第一间隔件1001和第二间隔件1003,并且可以使用任何合适的间隔件组合。

[0059] 图11A示出了在衬底101中在第一栅极电极901的相反侧形成第一源极/漏极区域1101,并且还示出了在衬底101中在第二栅极电极903的相反侧形成第二源极/漏极区域1103。在逻辑区域105中的第二阱303包含n型掺杂剂的实施例中,可以通过以下操作来形成第一源极/漏极区域1101:首先保护模拟区域107(例如通过在模拟区域107之上放置光致抗蚀剂并对光致抗蚀剂进行图案化),然后注入适当的p型掺杂剂(例如硼、镓或铟等)。在逻辑区域105中的第二阱303包含p型掺杂剂的其他实施例中,可以通过注入适当的n型掺杂剂(例如磷或砷)等来形成第一源极/漏极区域1101。但可以使用任何合适的掺杂剂组合。

[0060] 类似地,对于第二源极/漏极区域1103,在第一阱203包含n型掺杂剂的实施例中,可以通过以下操作来形成第二源极/漏极区域1103:首先保护逻辑区域105(例如通过在器件区域105之上放置光致抗蚀剂并对光致抗蚀剂进行图案化),然后注入适当的p型掺杂剂(例如硼、镓或铟等)。在模拟区域107中的第一阱203包含p型掺杂剂的其他实施例中,可以通过注入适当的n型掺杂剂(例如磷或砷等)来形成第二源极/漏极区域1103。但可以使用任何合适的掺杂剂组合。

[0061] 虽然可以使用第一栅极电极901和第一间隔件1001作为掩膜来对第一源极/漏极区域1101进行注入,并且可以使用第二栅极电极903和第二间隔件1003作为掩膜来对第二源极/漏极区域1103进行注入,但需要说明的是,本领域普通技术人员将认识到,可以使用许多其他工艺或步骤等来形成这些第一源极/漏极区域1101和第二源极/漏极区域1103。例如,本领域普通技术人员将认识到,可以使用间隔件和衬里的各种组合来执行多次注入,以将第一源极/漏极区域1101和第二源极/漏极区域1103形成为具有特定形状或特性以适用于特定用途。可以使用这些工艺中的任何一种来形成第一源极/漏极区域1101和第二源极/漏极区域1103,以上的描述并不旨在将实施例限制为上述步骤。

[0062] 图11A还示出了在第一源极/漏极区域1101、第二源极/漏极区域1103、第一栅极电极901、以及第二栅极电极903之上形成硅化物区域1105。在一个实施例中,硅化物区域1105包含硅化镍,但也可以使用任何其他合适的金属硅化物(例如硅化钛、硅化钴、硅化钡、硅化铂和硅化铟等)。可以通过以下操作来形成硅化物区域1105:进行对适当金属层的初始均厚沉积,然后进行退火工艺,在该退火工艺中金属与衬底的下面的材料(例如硅)发生反应。然后例如使用选择性蚀刻工艺来去除未反应的金属。硅化物区域1105的厚度可以在约3nm和约50nm之间。

[0063] 此外,一旦形成了硅化物区域1105,第一栅极电极901的顶表面可以比第二栅极电极903相对于衬底101延伸得少。例如,第一栅极电极901可以相对于衬底101延伸第二距离 $D_2$ ,该第二距离 $D_2$ 在约25nm至约250nm之间,而第二栅极电极903可以延伸第三距离 $D_3$ ,该第三距离 $D_3$ 在约25nm至约250nm之间。然而,可以使用任意合适的距离。

[0064] 图11B示出了可以通过利用本文描述的实施例而实现的改进。如图所示,沿着y轴标度归一化电流噪声谱密度( $S_{id}/I_d^2$ ),而沿着x轴绘制频率(Freq)。可以看出,当与不使用本文描述的实施例的器件(在图11B中由标记为1107的数据线表示)相比时,使用本文描述

的实施例的器件(在图11B中由标记为1109的数据线表示)可以看到显著降低。在一些情况下,该显著降低可能导致8倍或更大的改进。

[0065] 特别地,通过改进形成在模拟区域107中的模拟器件的第一电介质层401的质量,可以在不使用额外的掩模的情况下降低这些MOSFET的闪烁噪声(例如,由第一电介质层401中的俘获和解俘获引起)性能。因此,可以使用与其余CMOS工艺完全兼容的低成本工艺来降低闪烁噪声,从而也降低模拟器件的信噪比。因此,可以实现器件的更好的整体性能,尤其是在用于将数字数据(例如从CPU)传输到模拟信号(例如到LCD面板的彩色显示器)的器件中。

[0066] 图12示出了另一实施例,该实施例可以在“后栅极”工艺中从上文关于图11A描述的结构继续(但关于图1至图11B描述的“先栅极工艺”也可以在没有额外处理的情况下使用)。在本实施例中,第一栅极电极901和第二栅极电极903的材料不是最终使用的材料,而是后续被去除的诸如多晶硅之类的虚设材料。特别地,一旦形成了硅化物区域1105,就在图11A所示的结构之上沉积第一层间电介质(ILD)1201。第一ILD 1201可以由电介质材料形成,并且可以通过任何合适的方法来沉积,例如CVD、等离子体增强CVD(PECVD)或FCVD。电介质材料可以包括磷硅酸盐玻璃(PSG)、硼硅酸盐玻璃(BSG)、掺杂硼的磷硅酸盐玻璃(BPSG)、或未掺杂的硅酸盐玻璃(USG)等。可以使用通过任何可接受的工艺形成的其他绝缘材料。在一些实施例中,在第一ILD 1201和下面的结构之间设置接触蚀刻停止层(CESL—未在图12中单独示出)。CESL可以包含电介质材料(例如氮化硅、氧化硅或氧氮化硅等),其具有低于上面的第一ILD 1201的材料的蚀刻速率。

[0067] 一旦形成了第一ILD 1201,就对第一ILD 1201进行平坦化以暴露第一栅极电极901和第二栅极电极903。在一个实施例中,平坦化工艺可以是诸如化学机械抛光、研磨或这些的组合之类的工艺。在平坦化工艺之后,第一栅极电极901的顶表面和第二栅极电极903的顶表面被贯穿第一ILD 1201而暴露。

[0068] 一旦第一栅极电极901和第二栅极电极903被暴露,就在(一个或多个)蚀刻步骤中去除第一栅极电极901和第二栅极电极903,从而形成凹部。在一些实施例中,通过各向异性干蚀刻工艺来去除第一栅极电极901和第二栅极电极903。例如,蚀刻工艺可以包括使用(一种或多种)反应气体的干法蚀刻工艺,该(一种或多种)反应气体选择性地蚀刻第一栅极电极901和第二栅极电极903,而几乎不蚀刻第一ILD 1201或第一间隔件1001和第二间隔件1003。在去除期间,第一电介质层401和第二电介质层801可以被用作蚀刻第一栅极电极901和第二栅极电极903时的蚀刻停止层。

[0069] 一旦已经形成凹部,就形成栅极电介质层1205和栅极电极1203以用作替换栅极。栅极电介质层1205是被沉积在凹部中(例如被沉积在第一电介质层401的顶表面和第二电介质层801的顶表面以及第一间隔件1001的侧壁和第二间隔件1003的侧壁上)的一个或多个层。栅极电介质层1205也可以形成在第一ILD 1201顶表面上。在一些实施例中,栅极电介质层1205包括一个或多个电介质层,例如,一个或多个层的氧化硅、氮化硅、金属氧化物、或金属硅酸盐等。例如,在一些实施例中,栅极电介质层1205包含高k电介质材料,例如铪、铝、锆、镧、镱、钪、钽、钒、以及它们的组合的金属氧化物或硅酸盐。栅极电介质层1205可以包括具有大于约7.0的k值的电介质层。栅极电介质层1205的形成方法可以包括分子束沉积(MBD)、ALD、以及PECVD等。

[0070] 栅极电极1203被分别沉积在多个栅极电介质层1205之上,并且填充凹部的剩余部分。栅极电极1203可以包含含金属的材料,例如,氮化钛、氧化钛、氮化钽、碳化钽、钴、钒、铝、钨、其组合或其多层。此外,尽管示出了单层的栅极电极1203,但是栅极电极1203可以包括任何数量的衬里层、任意数量的功函数调整层以及填充材料。在填充凹部之后,可以执行诸如CMP之类的平坦化工艺以去除栅极电介质层1205和栅极电极1203的材料的多余部分,这些多余部分位于第一ILD 1201的顶表面之上。这样,栅极电介质层1205可以沿着栅极1203的多侧延伸,并且位于模拟区域107中的栅极电极1203的顶表面和逻辑区域105中的栅极电极1203的顶表面与衬底101距离相等,例如与衬底101具有第四距离 $D_4$ ,该第四距离 $D_4$ 在约20nm至约200nm之间。因此,栅极电极1203和栅极电介质层1205的材料剩余部分形成替换栅极。栅极电极1203和栅极电介质层1205可以统称为“栅极堆叠”。

[0071] 在逻辑区域105中形成栅极电介质层1205和在模拟区域107中形成栅极电介质层1205可以同时发生,使得每个区域中的栅极电介质层1205由相同的材料形成,并且栅极电极1203的形成可以同时发生,使得每个区域中的栅极电极1203由相同的材料形成。在其他实施例中,每个区域中的栅极电介质层1205可以通过不同的工艺形成,使得栅极电介质层1205可以是不同的材料,并且每个区域中的栅极电极1203可以通过不同的工艺形成,使得栅极电极1203可以是不同的材料。当使用不同的工艺时,可以使用各种掩蔽步骤来掩蔽和暴露适当的区域。

[0072] 图13示出了另一“后栅极”实施例,在该实施例中,栅极电介质层1205不是在形成第一ILD 1201之后形成,而是在形成第一ILD 1201之前形成。在该实施例中,在沉积第一栅极电极901和第二栅极电极903的材料之前,在第一电介质层401和第二电介质层801之上沉积栅极电介质层1205的材料。可以如上文关于图12所描述的那样沉积该实施例中的栅极电介质层1205。

[0073] 一旦沉积了栅极电介质层1205,就形成第一栅极电极901和第二栅极电极903并对第一栅极电极901和第二栅极电极903进行图案化,由此对第一栅极电极901和第二栅极电极903的图案化也被用来对栅极电介质层1205进行图案化。因此,栅极电介质层1205被图案化以具有直接位于第一电介质层401和第二电介质层801之上的单个平面部分。

[0074] 一旦形成第一栅极电极901和第二栅极电极903,就沉积第一ILD 1201并对其进行平坦化,并去除第一栅极电极901和第二栅极电极903。一旦去除了第一栅极电极901和第二栅极电极903,就沉积栅极电极1203(但不沉积栅极电介质层1205,因为它已经形成)以替换第一栅极电极901和第二栅极电极903。因此,栅极电极1203被沉积为与第一间隔件1001(在逻辑区域105中)和第二间隔件(在模拟区域107中)实体接触。在一个实施例中,如上文关于图12所描述的那样沉积栅极电极1203。然而,可以使用任何合适的方法和材料。

[0075] 通过对第一电介质层401进行处理以形成恢复区域601,可以减少在模拟器件中通常在足够频率下发生的俘获和解俘获。通过减少俘获和解俘获,可以降低模拟器件的整体闪烁噪声,从而改进器件的整体性能。这些改进可以不使用额外的掩模、以低成本并且使用与用于形成CMOS器件的其余工艺完全兼容的工艺来实现。

[0076] 此外,虽然本文呈现的实施例被描述为用于平面器件的实施例,但这些想法并不旨在限于平面器件。而是,这些想法可以在多种器件中实现,包括鳍式场效应晶体管(finFET)、纳米结构器件、或这些的组合等。所有这些方法完全旨在包括在实施例的范围

内。

[0077] 根据一个实施例,一种制造半导体器件的方法,该方法包括:在半导体衬底的逻辑区域和模拟区域之上沉积第一电介质层;对所述第一电介质层进行处理,以形成恢复层;在对所述第一电介质层进行处理之后,从所述逻辑区域去除所述恢复层的第一部分;在所述逻辑区域中形成第二电介质层;以及在所述恢复层的剩余部分和所述第二电介质层之上沉积栅极电极材料。在一个实施例中,对所述第一电介质层进行处理还包括:使所述第一电介质层暴露于等离子体,以形成经处理区域;以及对所述经处理区域进行退火。在一个实施例中,所述等离子体包括氧、氮、氟、或氯。在一个实施例中,对所述第一电介质层进行处理还包括对所述第一电介质层进行退火。在一个实施例中,所述退火是在氧气环境中执行的。在一个实施例中,所述恢复层具有第一厚度,所述第一电介质层具有第二厚度,并且所述第一厚度在所述第二厚度的5%至30%之间。在一个实施例中,该方法还包括将所述栅极电极材料图案化为所述恢复层之上的第一栅极电极和所述第二电介质层之上的第二栅极电极,所述第一栅极电极的宽度大于所述第二栅极电极的宽度。

[0078] 根据另一实施例,一种制造半导体器件的方法,该方法包括:在衬底的第一区域和衬底的第二区域之上均厚沉积第一电介质层;使所述第一电介质层的顶表面暴露于第一等离子体,以在所述第一电介质层中在所述第一电介质层的未处理区域之上形成经处理区域;利用第一退火工艺来恢复所述经处理区域,以在所述未处理区域之上形成恢复区域;从所述第一区域去除所述第一电介质层;在所述第一区域中形成第二电介质层;在所述第二区域中在第一电介质层之上形成第一栅极电极;以及在所述第一区域中在所述第二电介质层之上形成第二栅极电极。在一个实施例中,该方法还包括替换所述第一栅极电极和所述第二栅极电极。在一个实施例中,所述第一等离子体包括氧等离子体。在一个实施例中,所述第一等离子体包括氯等离子体。在一个实施例中,所述第一等离子体包括氮等离子体。在一个实施例中,所述恢复区域的第一厚度小于所述第一电介质层的第二厚度的30%。在一个实施例中,所述第一区域是逻辑区域,并且所述第二区域是模拟区域。

[0079] 在又一实施例中,一种半导体器件包括:逻辑器件,所述逻辑器件位于衬底的逻辑区域中,所述逻辑器件包括:第一电介质层,整个所述第一电介质层中具有恒定不变的密度;以及第一栅极电极,所述第一栅极电极在所述第一电介质层上面;以及模拟器件,所述模拟器件位于所述衬底的模拟区域中,所述模拟器件包括:第二电介质层,所述第二电介质层包括恢复区域和未处理区域,所述恢复区域具有与所述未处理区域不同的密度;以及第二栅极电极,所述第二栅极电极在所述第二电介质层上面。在一个实施例中,所述第一栅极电极的第一顶表面距所述衬底第一距离,并且其中,所述第二栅极电极的第二顶表面距所述衬底第二距离,所述第二距离大于所述第一距离。在一个实施例中,所述第一栅极电极的第一顶表面距所述衬底第一距离,并且其中,所述第二栅极电极的第二顶表面距所述衬底所述第一距离。在一个实施例中,半导体器件还包括第一高k电介质层,所述第一高k电介质层在所述第二电介质层和所述第二栅极电极之间,其中,所述第一高k电介质层沿着所述第二栅极电极的多侧延伸。在一个实施例中,半导体器件还包括第一高k电介质层,所述第一高k电介质层在所述第二电介质层和所述第二栅极电极之间,其中,所述第二栅极电极与间隔件实体接触。在一个实施例中,所述第二栅极电极的宽度大于所述第一栅极电极的宽度。

[0080] 以下提供一些示例。

- [0081] 示例1.一种制造半导体器件的方法,所述方法包括:
- [0082] 在半导体衬底的逻辑区域和模拟区域之上沉积第一电介质层;
- [0083] 对所述第一电介质层进行处理,以形成恢复层;
- [0084] 在对所述第一电介质层进行处理之后,从所述逻辑区域去除所述恢复层的第一部分;
- [0085] 在所述逻辑区域中形成第二电介质层;以及
- [0086] 在所述恢复层的剩余部分和所述第二电介质层之上沉积栅极电极材料。
- [0087] 示例2.根据示例1所述的方法,其中,对所述第一电介质层进行处理还包括:
- [0088] 使所述第一电介质层暴露于等离子体,以形成经处理区域;以及
- [0089] 对所述经处理区域进行退火。
- [0090] 示例3.根据示例2所述的方法,其中,所述等离子体包括氧、氮、氟或氯。
- [0091] 示例4.根据示例1所述的方法,其中,对所述第一电介质层进行处理还包括:对所述第一电介质层进行退火。
- [0092] 示例5.根据示例4所述的方法,其中,所述退火是在氧气环境中执行的。
- [0093] 示例6.根据示例1所述的方法,其中,所述恢复层具有第一厚度,所述第一电介质层具有第二厚度,并且所述第一厚度在所述第二厚度的5%至30%之间。
- [0094] 示例7.根据示例1所述的方法,还包括:将所述栅极电极材料图案化为所述恢复层之上的第一栅极电极和所述第二电介质层之上的第二栅极电极,所述第一栅极电极的宽度大于所述第二栅极电极的宽度。
- [0095] 示例8.一种制造半导体器件的方法,所述方法包括:
- [0096] 在衬底的第一区域和所述衬底的第二区域之上均厚沉积第一电介质层;
- [0097] 使所述第一电介质层的顶表面暴露于第一等离子体,以在所述第一电介质层中在所述第一电介质层的未处理区域之上形成经处理区域;
- [0098] 利用第一退火工艺来恢复所述经处理区域,以在所述未处理区域之上形成恢复区域;
- [0099] 从所述第一区域去除所述第一电介质层;
- [0100] 在所述第一区域中形成第二电介质层;
- [0101] 在所述第二区域中在第一电介质层之上形成第一栅极电极;以及
- [0102] 在所述第一区域中在所述第二电介质层之上形成第二栅极电极。
- [0103] 示例9.根据示例8所述的方法,还包括:替换所述第一栅极电极和所述第二栅极电极。
- [0104] 示例10.根据示例8所述的方法,其中,所述第一等离子体包括氧等离子体。
- [0105] 示例11.根据示例8所述的方法,其中,所述第一等离子体包括氯等离子体。
- [0106] 示例12.根据示例8所述的方法,其中,所述第一等离子体包括氮等离子体。
- [0107] 示例13.根据示例8所述的方法,其中,所述恢复区域的第一厚度小于所述第一电介质层的第二厚度的30%。
- [0108] 示例14.根据示例8所述的方法,其中,所述第一区域是逻辑区域,并且所述第二区域是模拟区域。
- [0109] 示例15.一种半导体器件,包括:

- [0110] 逻辑器件,所述逻辑器件位于衬底的逻辑区域中,所述逻辑器件包括:
- [0111] 第一电介质层,整个所述第一电介质层中具有恒定不变的密度;以及
- [0112] 第一栅极电极,所述第一栅极电极在所述第一电介质层上面;以及
- [0113] 模拟器件,所述模拟器件位于所述衬底的模拟区域中,所述模拟器件包括:
- [0114] 第二电介质层,所述第二电介质层包括恢复区域和未处理区域,所述恢复区域具有与所述未处理区域不同的密度;以及
- [0115] 第二栅极电极,所述第二栅极电极在所述第二电介质层上面。
- [0116] 示例16.根据示例15所述的半导体器件,其中,所述第一栅极电极的第一项表面距所述衬底第一距离,并且其中,所述第二栅极电极的第二项表面距所述衬底第二距离,所述第二距离大于所述第一距离。
- [0117] 示例17.根据示例15所述的半导体器件,其中,所述第一栅极电极的第一项表面距所述衬底第一距离,并且其中,所述第二栅极电极的第二项表面距所述衬底所述第一距离。
- [0118] 示例18.根据示例15所述的半导体器件,还包括第一高k电介质层,所述第一高k电介质层在所述第二电介质层和所述第二栅极电极之间,其中,所述第一高k电介质层沿着所述第二栅极电极的多侧延伸。
- [0119] 示例19.根据示例15所述的半导体器件,还包括第一高k电介质层,所述第一高k电介质层在所述第二电介质层和所述第二栅极电极之间,其中,所述第二栅极电极与间隔件实体接触。
- [0120] 示例20.根据示例15所述的半导体器件,其中,所述第二栅极电极的宽度大于所述第一栅极电极的宽度。上文概述了若干实施例的特征,以使本领域技术人员可以更好地理解本公开的各个方面。本领域的技术人员应该领会的是,他们可以容易地使用本公开作为基础,用于设计或者修改其他工艺和结构,以实现与这里引入的实施例相同的目的和/或达到与这里引入的实施例相同的优点。本领域技术人员还应当认识到,这些等同构造并不脱离本公开的精神和范围,并且他们可以在不脱离本公开的精神和范围的情况下进行各种改变、替代和变更。

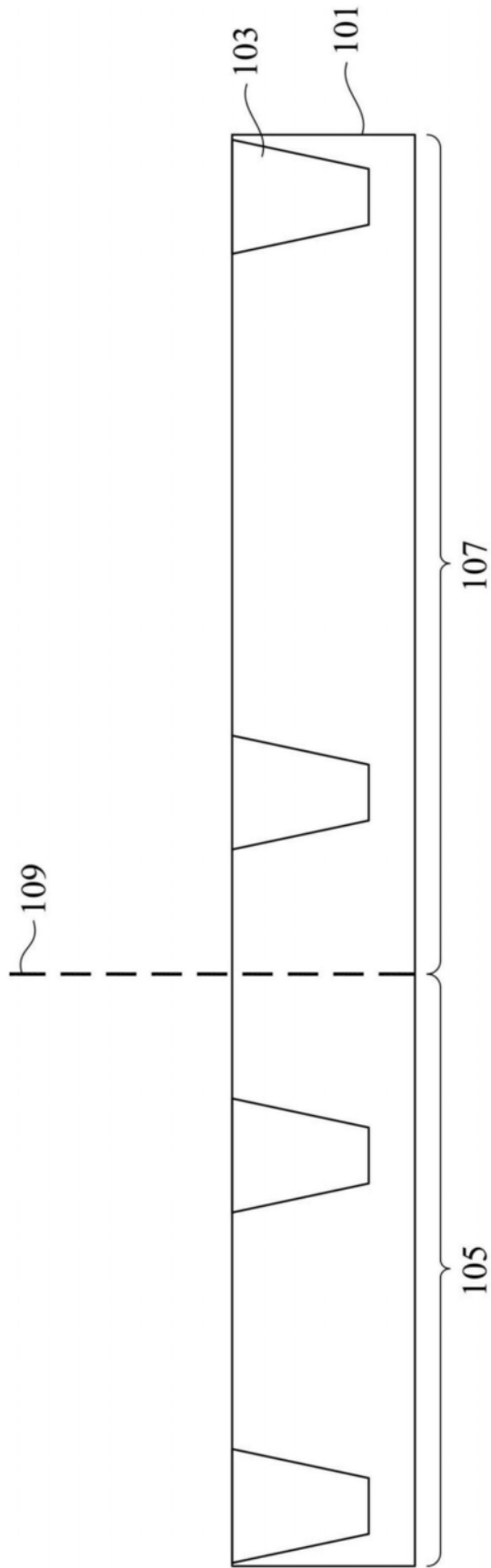


图1

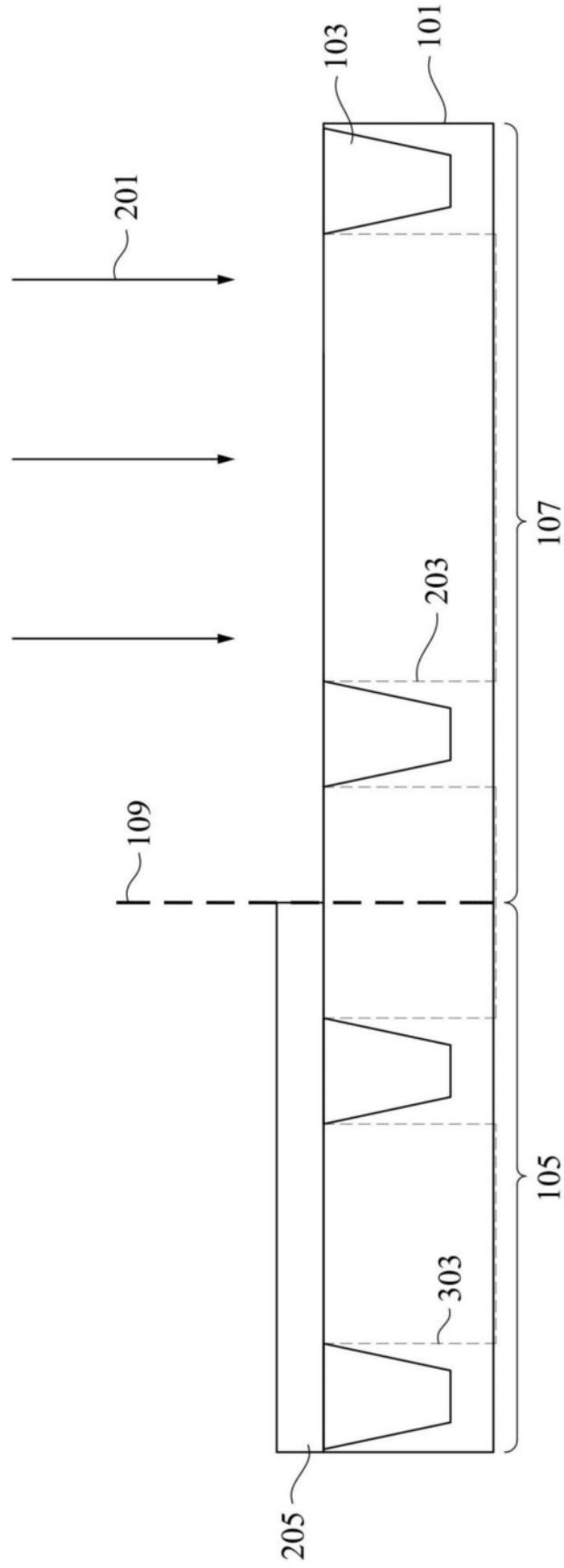


图2



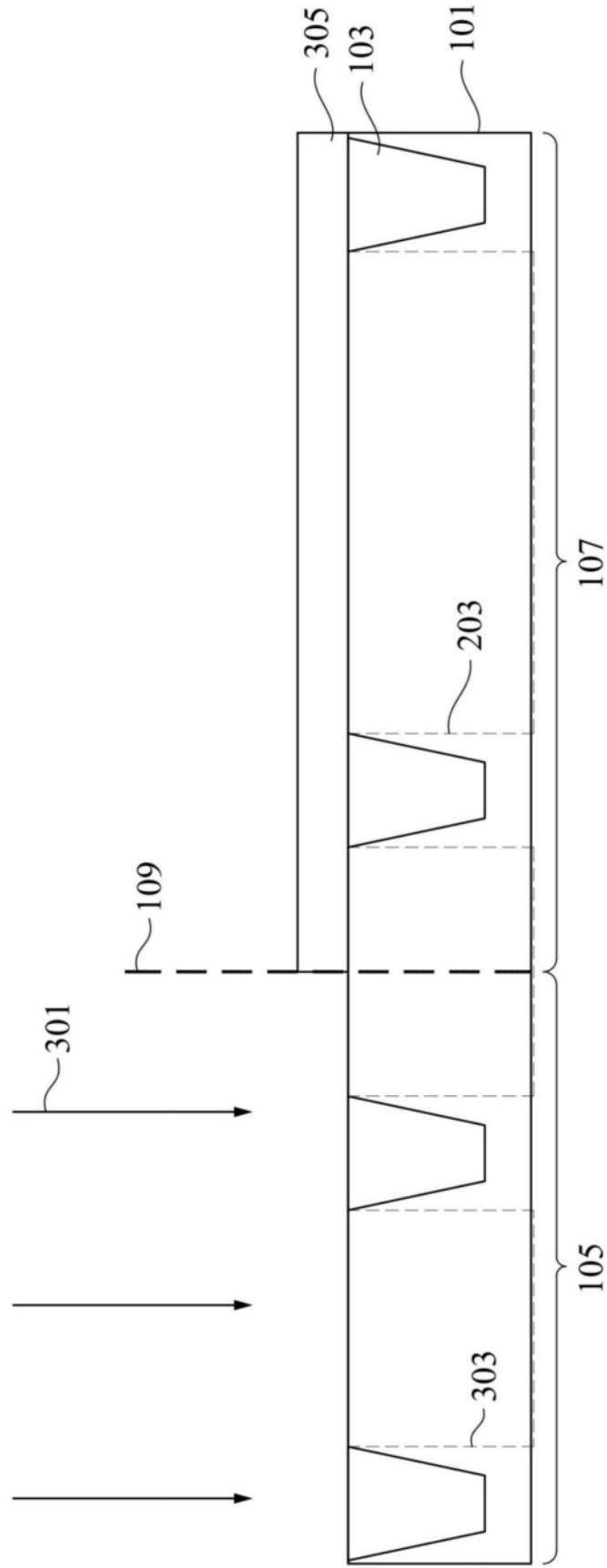


图3

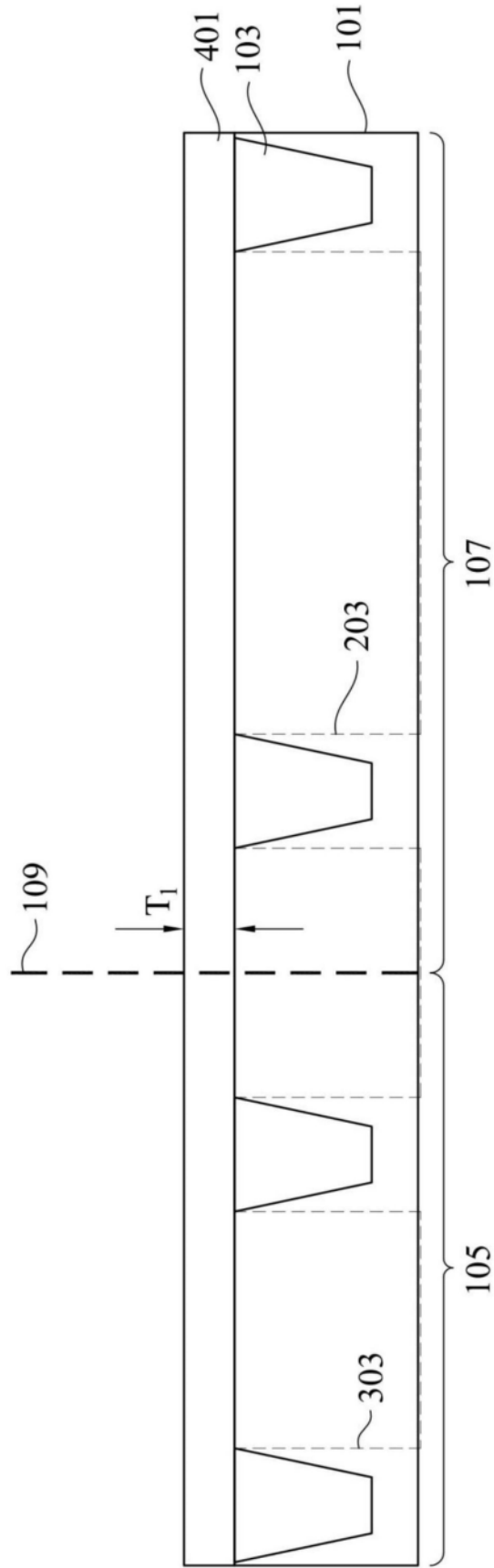


图4

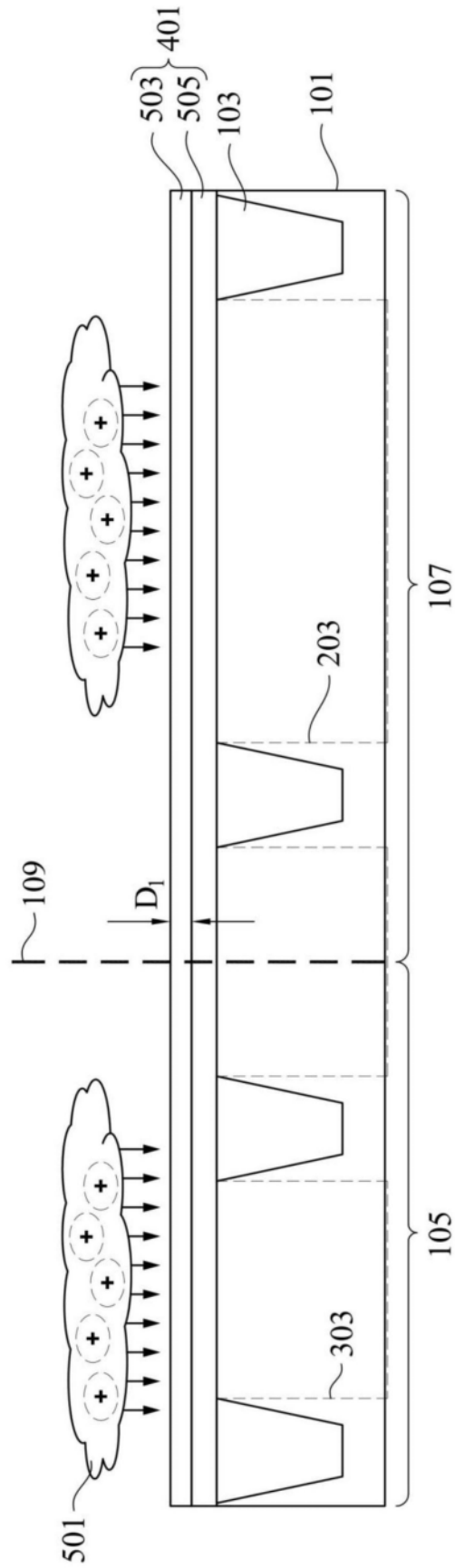


图5

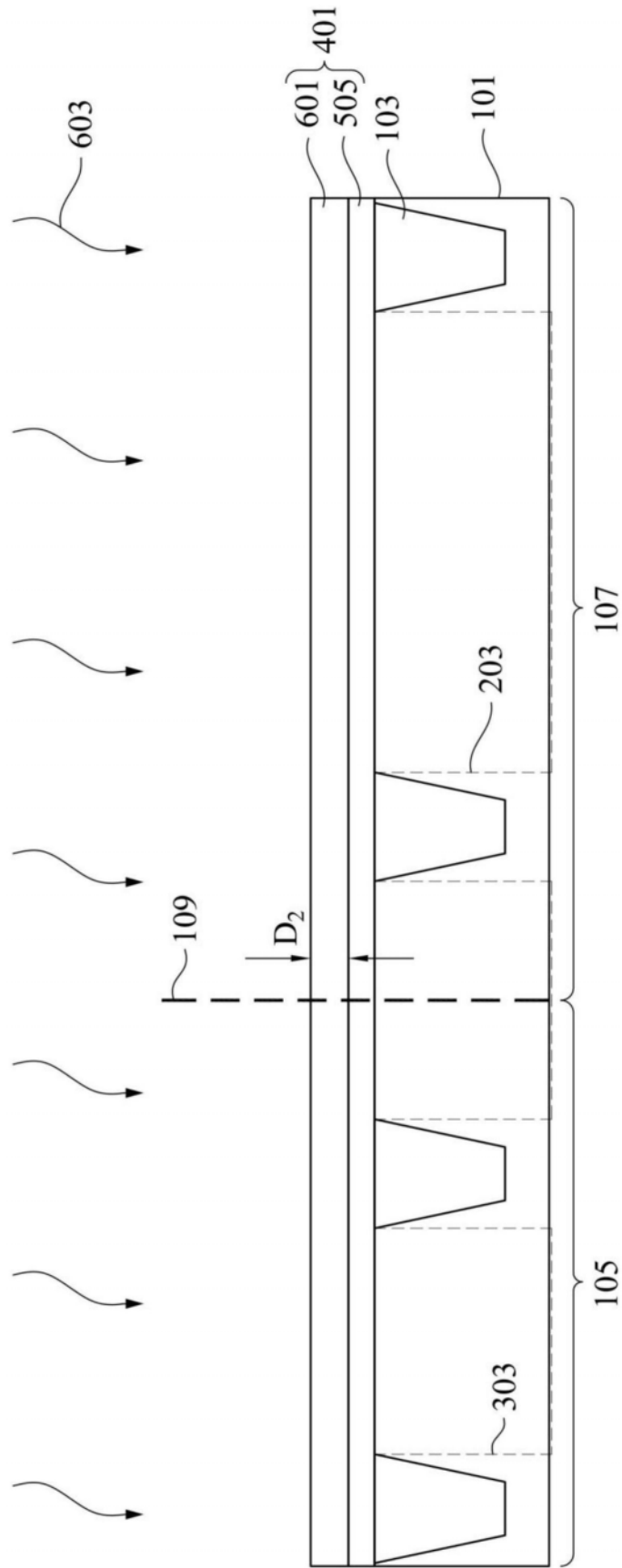


图6

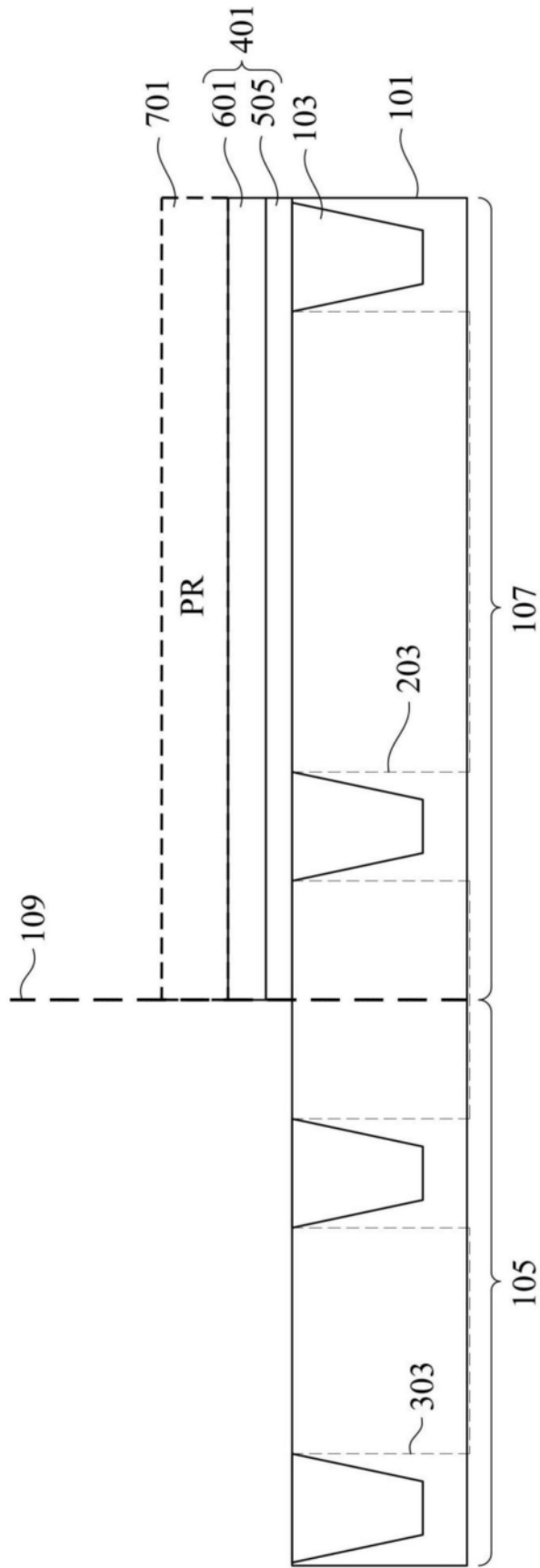


图7

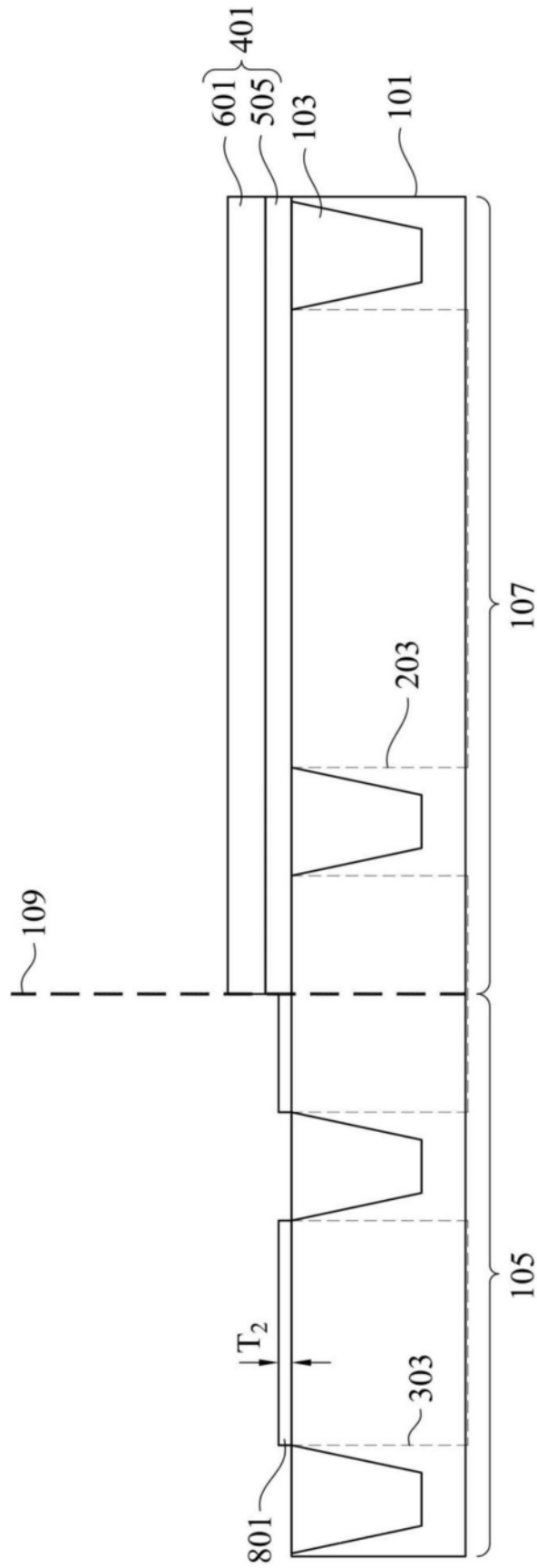


图8

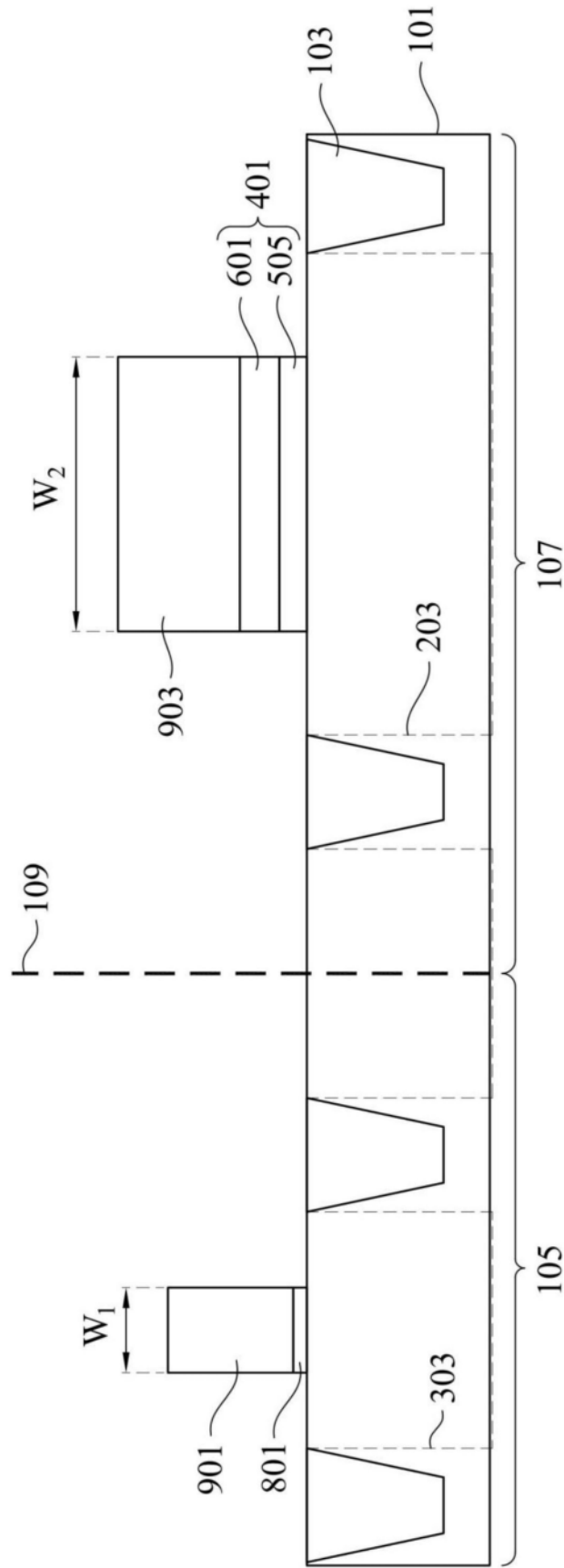


图9

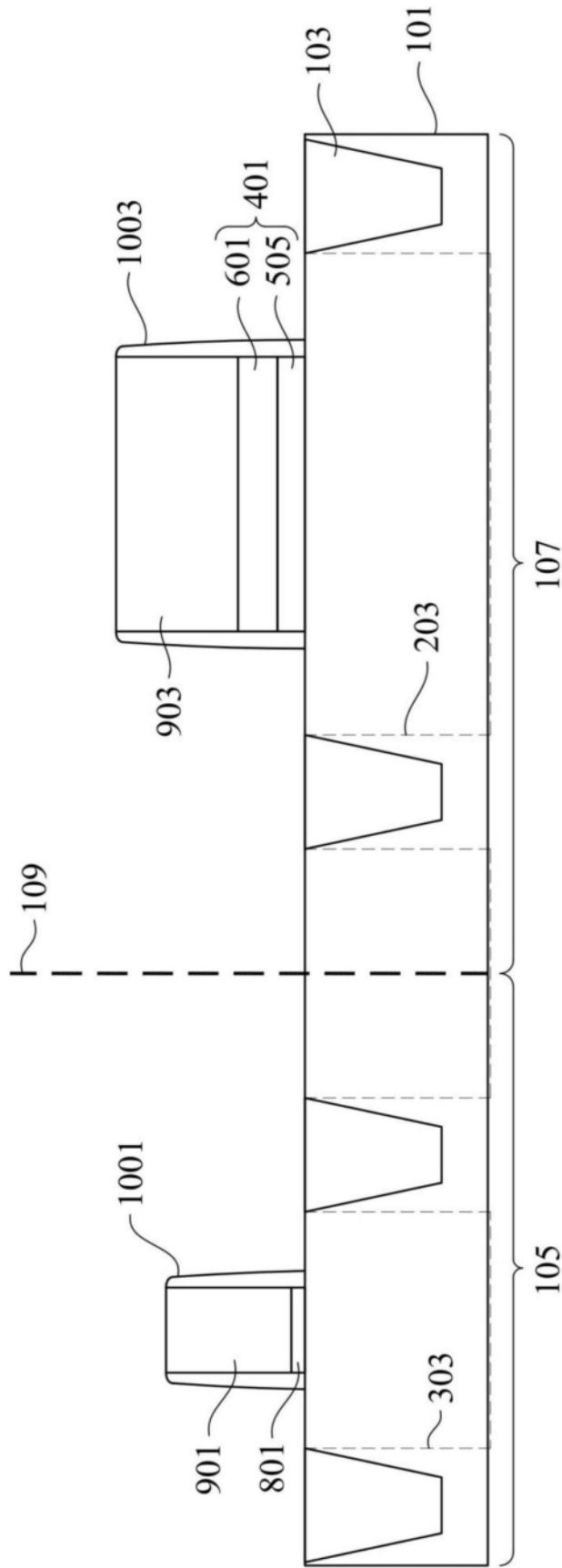


图10



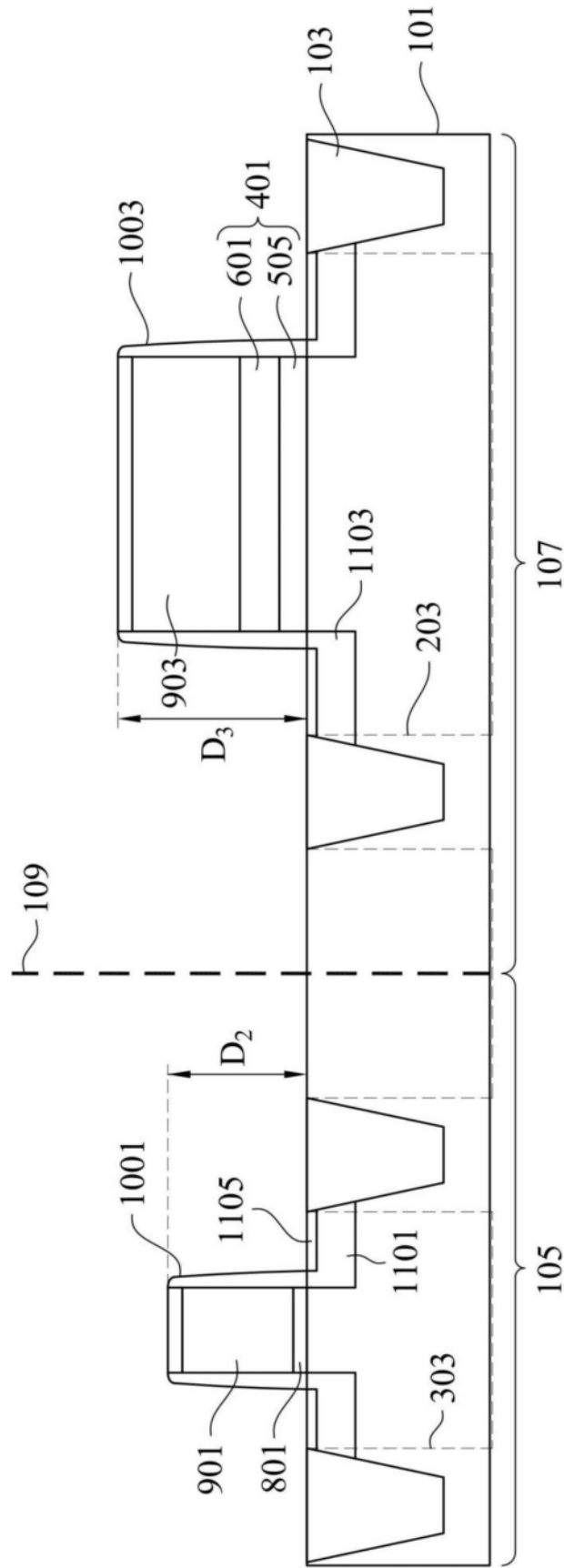


图11A

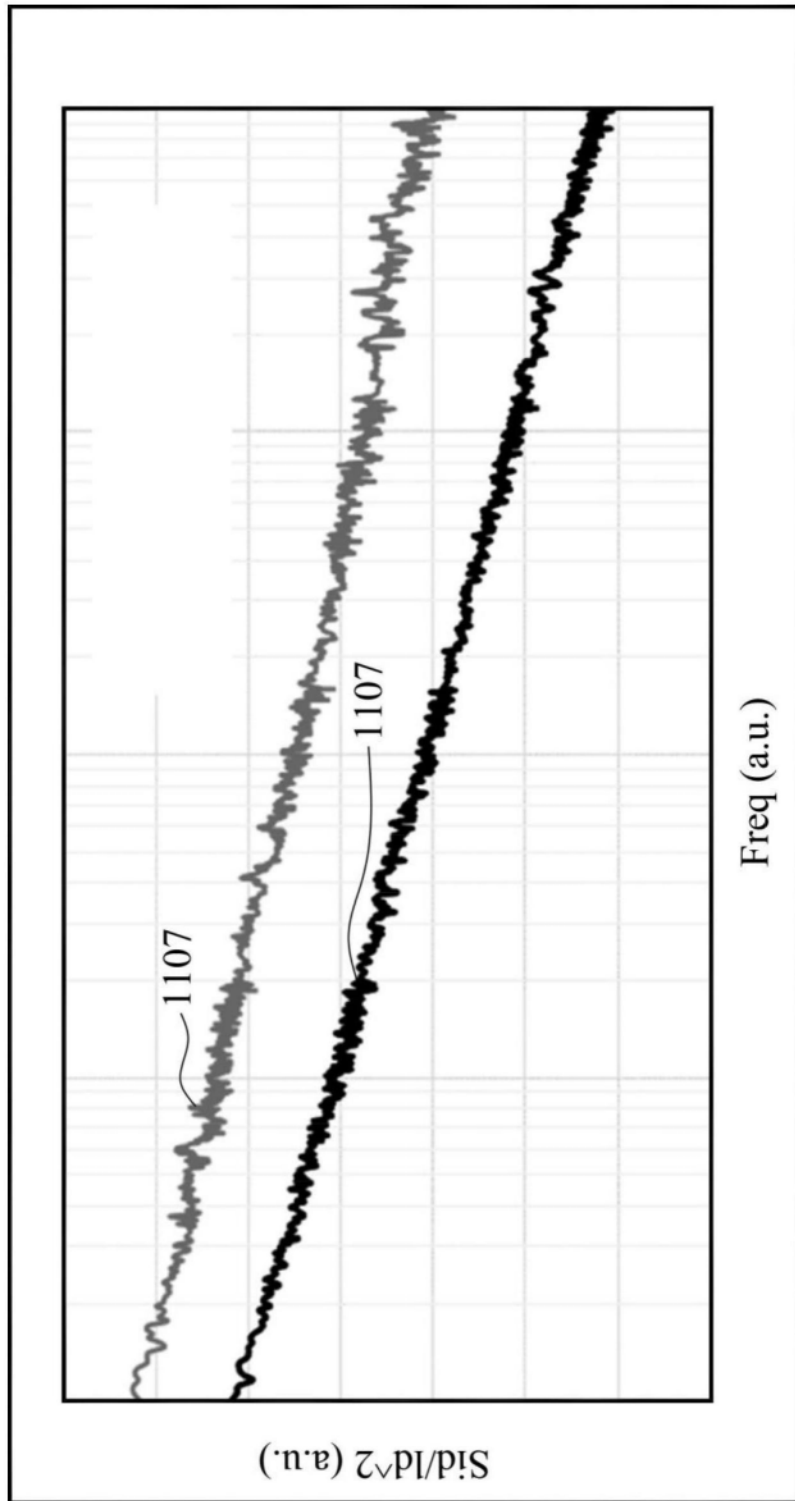


图11B

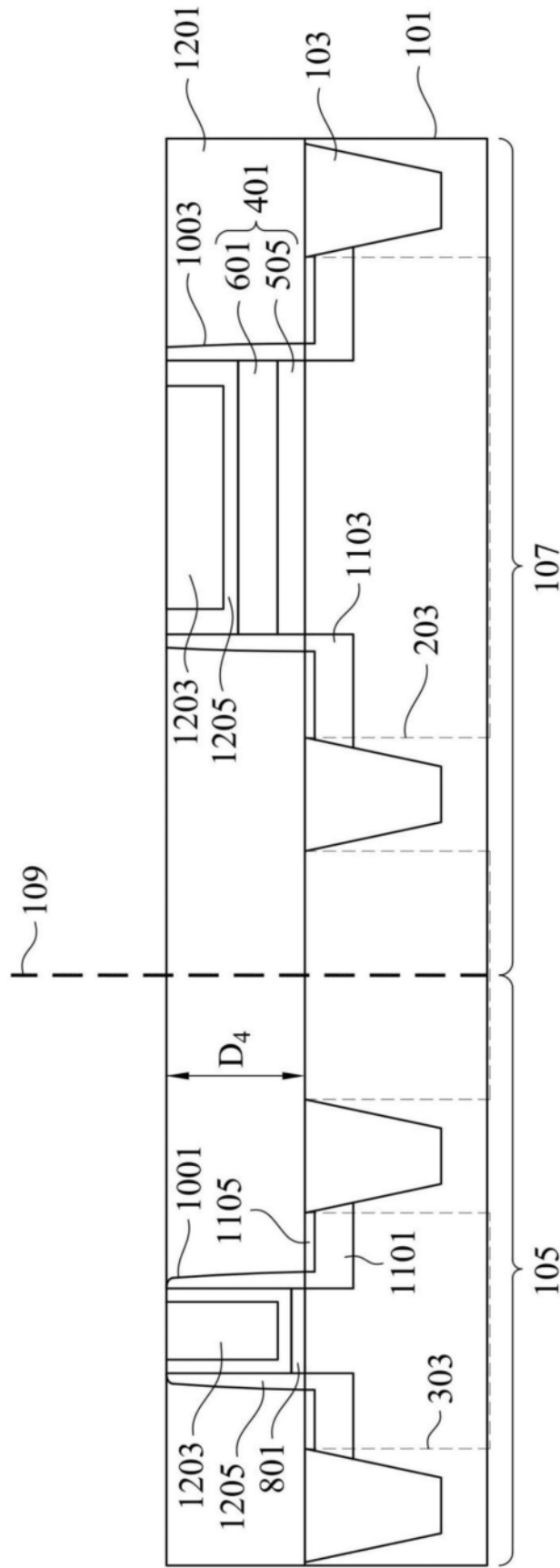


图12

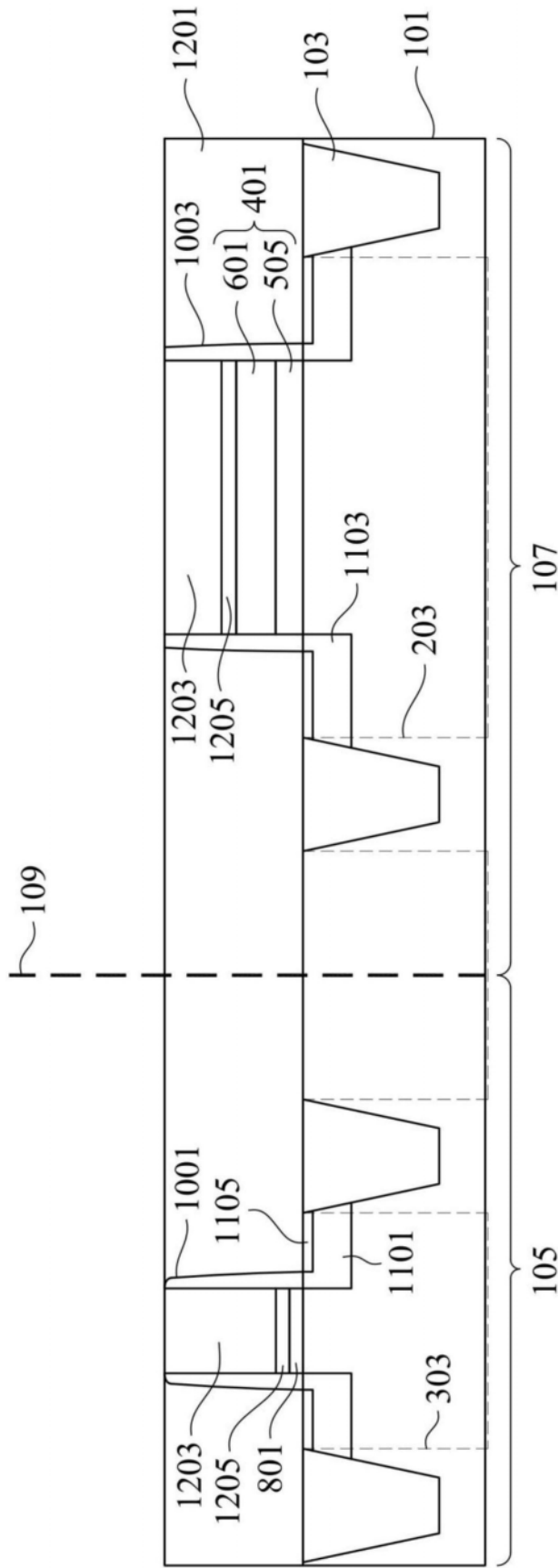


图13