



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0070026
(43) 공개일자 2011년06월24일

(51) Int. Cl.

H01L 21/306 (2006.01)

(21) 출원번호 10-2009-0126665

(22) 출원일자 2009년12월18일

심사청구일자 2009년12월18일

(71) 출원인

재단법인대구경북과학기술원

대구광역시 달성군 현풍면 상리 50-1

(72) 발명자

장환수

대구광역시 달서구 진천동 진천트윈팰리스 101동 1901호

김재현

대구광역시 달서구 감삼동 우방드림시티아파트 101동 1305호

(뒷면에 계속)

(74) 대리인

이지연

전체 청구항 수 : 총 5 항

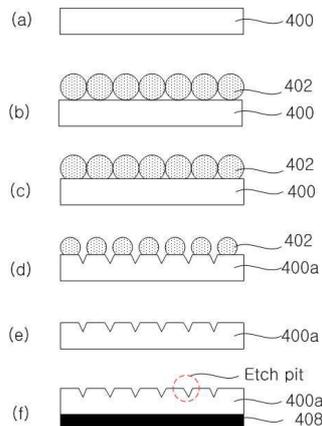
(54) 전기화학적 에칭을 위한 식각 구멍 형성 방법

(57) 요약

본 발명은 전기화학적 식각에 사용될 식각 구멍 형성 방법에 관한 것이다. 상기 식각 구멍 형성 방법은, (a) 반도체 기판위에 폴리스티렌을 도포하여 반도체 기판위에 주기적이면서 규칙적으로 폴리스티렌 입자(Polystyrene bead)를 형성하는 단계; (b) 폴리스티렌 입자가 형성된 반도체 기판을 열처리하는 단계; (c) 반도체 기판의 표면에 역피라미드 모양의 식각 구멍(etch pit)이 형성될 때까지 폴리스티렌 입자를 식각용 마스크로 하여 반도체 기판을 반응성 이온 에칭하는 단계; (d) 폴리스티렌 입자를 제거하는 단계; (e) 역피라미드 모양의 식각 구멍이 형성된 표면과 대향되는 반도체 기판의 표면에 전극층을 증착하는 단계;를 구비한다.

본 발명에 의하여, 보다 단순화된 공정으로 전기화학적 식각에 사용될 역피라미드 모양의 식각 구멍(etch pit)을 주기적이면서 주기적으로 형성할 수 있게 된다.

대표도 - 도4



(72) 발명자

우성호

대구광역시 북구 침산2동 침산한라스카이빌 101동
1506호

백성호

대구광역시 동구 방촌동 1084-751

최호진

대구광역시 북구 구암동 주공그린빌아파트 313동
404호

김성빈

인천광역시 서구 검암동 신명2차 606동 403호

이 발명을 지원한 국가연구개발사업

과제고유번호

부처명 교육과학기술부

연구관리전문기관

연구사업명 기관고유사업

연구과제명 고효율나노에너지소재 및 소자 개발

기여율

주관기관 대구경북과학기술원

연구기간 2009년 01월 01일 ~ 2009년 12월 31일

특허청구의 범위

청구항 1

- (a) 반도체 기판위에 폴리스티렌을 도포하여 반도체 기판위에 주기적이면서 규칙적으로 폴리스티렌 입자(Polystyrene bead)를 형성하는 단계;
 - (b) 폴리스티렌 입자가 형성된 반도체 기판을 열처리하는 단계;
 - (c) 반도체 기판의 표면에 역피라미드 모양의 식각 구멍(etch pit)이 형성될 때까지 폴리스티렌 입자를 식각용 마스크로 하여 반도체 기판을 반응성 이온 에칭하는 단계;
 - (d) 폴리스티렌 입자를 제거하는 단계;
 - (e) 역피라미드 모양의 식각 구멍이 형성된 표면과 대향되는 반도체 기판의 표면에 전극층을 증착하는 단계;
- 를 구비하여, 주기적이고 규칙적으로 정렬된 전기화학적 식각용 식각 구멍 형성 방법.

청구항 2

제1항에 있어서, 상기 (b) 단계는 폴리스티렌 입자가 반도체 기판의 표면에 안정되게 접합될 때까지 열처리를 수행하는 것을 특징으로 하는 전기화학적 식각용 식각 구멍 형성 방법.

청구항 3

- (a) 피라미드 모양의 패턴이 주기적이면서 규칙적으로 형성된 스탬프를 제작하는 단계;
 - (b) 반도체 기판위에 포토 레지스트를 도포하는 단계;
 - (c) 상기 포토 레지스트의 상부 표면에 상기 스탬프를 역전사시키는 단계;
 - (d) 상기 스탬프의 역전사에 의해 역피라미드 모양의 패턴이 주기적이면서 규칙적으로 형성된 포토 레지스트를 식각용 마스크로 하여, 반도체 기판을 반응성 이온 에칭하여 역피라미드 모양의 식각 구멍을 형성하는 단계;
 - (e) 상기 포토 레지스트를 제거하는 단계;
 - (f) 상기 식각 구멍이 형성된 표면과 대향되는 반도체 기판의 표면에 전극을 도포하는 단계;
- 를 구비하여, 주기적이고 규칙적으로 정렬된 전기화학적 식각용 식각 구멍 형성 방법.

청구항 4

제3항에 있어서, (a) 피라미드 모양의 패턴이 주기적이면서 규칙적으로 형성된 스탬프를 제작하는 단계는,

- (a1) 반도체 기판위에 폴리스티렌을 도포하여 반도체 기판위에 주기적이면서 규칙적으로 폴리스티렌 입자(Polystyrene bead)를 형성하는 단계;
- (a2) 폴리스티렌 입자가 형성된 반도체 기판을 열처리하는 단계;
- (a3) 반도체 기판의 표면에 역피라미드 모양의 패턴이 규칙적으로 형성될 때까지 폴리스티렌 입자를 식각용 마스크로 하여 반도체 기판을 반응성 이온 에칭하는 단계;
- (a4) 폴리스티렌 입자를 제거하는 단계;
- (a5) 상기 역피라미드 모양의 패턴이 형성된 반도체 기판의 표면에 스탬프용 물질을 일정 두께로 증착하는 단계;
- (a6) 상기 스탬프용 물질을 반도체 기판으로부터 분리하여 스탬프를 완성하는 단계;

를 구비하여, 피라미드 모양의 패턴이 형성된 스탬프를 제작하는 것을 특징으로 하는 전기화학적 식각용 식각 구멍 형성 방법.

청구항 5

제3항에 있어서, 상기 스탬프는 실리콘, 금속, PDMS(Polydimethylsiloxane), PUA(Polyurethane acrylate)물질

중 하나로 제작되는 것을 특징으로 하는 전기화학적 식각용 식각 구멍 형성 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 전기화학적 에칭 방법에 관한 것으로서, 더욱 구체적으로는 실리콘 웨이퍼에 다공성 실리콘(Porous silicon)을 형성하기 위하여 사용되는 전기화학적 에칭 방식에 있어서, 전기화학적 에칭을 수행하기 위하여 실리콘 웨이퍼의 표면에 필요한 역피라미드 모양의 식각 구멍(etch pit)들을 형성하는 방법에 관한 것이다.

배경기술

[0002] 태양 전지, LED, 센서, Photonic crystal 등의 디바이스에 적용할 수 있는 소재를 만드는 기술로서, p-타입의 (100) 결정 방향의 실리콘 웨이퍼에 고종횡비(high aspect ratio)의 실리콘 와이어 및 기둥형 어레이(pillar array)를 제작하는 것이다. 실리콘 웨이퍼에 고종횡비(high aspect ratio)의 실리콘 와이어 및 기둥형 어레이(pillar array)를 제작하기 위하여 전기화학적 에칭 방식을 사용한다.

[0003] 실리콘 웨이퍼에 전기화학적 에칭 공정을 수행하기 위하여, 먼저 실리콘 웨이퍼의 표면에 나노 또는 마이크로 크기의 역피라미드 모양의 구조체로 형성되는 식각 구멍(Etch pit)이 규칙적으로 정렬되도록 만든다. 다음, 실리콘 웨이퍼에 전기화학적 에칭 공정을 수행하면서 상기 형성된 식각 구멍에 일정한 전류 밀도, 에칭 시간, 온도, 전해액 농도 등을 조절하여 식각 구멍(Etch pit)에 정공을 집중시켜 기공(pore)을 형성하고, 그 결과 실리콘 웨이퍼에 실리콘 와이어 또는 기둥형 어레이(pillar array) 형태의 구조체를 제작하게 된다. 도 1은 종래의 기술을 사용하여 제작된 식각 구멍(etch pit)과 전기화학적 에칭 방식으로 제작된 고종횡비의 실리콘 와이어(pillar array) 구조체에 대한 SEM 이미지이며, 종횡비가 10이상이다.

[0004] 종래에는 주기적이고 규칙적으로 정렬된 식각 구멍(etch pit)을 형성하기 위하여 사진 식각 공정(Photo lithography), 고밀도 플라즈마(ICP) 식각 공정, 그리고 KOH 또는 TMAH 용액을 사용한 습식 식각 공정 등을 사용한다. 이러한 기술들은 고가의 장비와 크린 룸을 사용하여야 되므로, 여러 디바이스 제작에 필요한 소재 개발의 제작비 증가의 원인이 되기도 한다. 도 2는 종래 기술에 따라 전기화학적 에칭에 사용될 식각 구멍을 제조하는 과정을 순차적으로 도시한 단면도들이며, 도 3의 (a) 및 (b)는 도 2의 제조 방법에 의해 형성된 식각 구멍들의 평면도 및 단면도에 대한 SEM 이미지이다. 도 2를 참조하면, 종래 기술에 따라 실리콘 웨이퍼의 표면에 식각 구멍을 형성하기 위하여, 실리콘 웨이퍼(100)를 초기 세정한 후(a), 실리콘 웨이퍼를 산화시켜 제1 산화막(102) 및 제2 산화막(104)을 형성한다(b). 다음, 제1 산화막의 표면에 포토 레지스트(106)를 도포하고(c), 사진 식각 공정을 수행하여 포토 레지스트를 패터닝한다(d). 다음, 패터닝된 포토 레지스트(106a)를 식각용 마스크로 하여 제1 산화막(102)을 고밀도 플라즈마(ICP) 식각하여 패터닝하고(e), 상기 패터닝된 제1 산화막(102a)을 식각용 마스크로 하여 실리콘 웨이퍼를 습식 식각하여 실리콘 웨이퍼의 표면에 역피라미드 모양의 식각 구멍을 형성하고(f), 제1 산화막 및 제2 산화막을 제거한다(g). 다음, 식각 구멍이 형성된 표면과 대향되는 실리콘 웨이퍼(100a)의 뒷면에 Ti/Au 또는 Al을 도포하여 전극(108)을 형성한다(h). 도 3은 전술한 공정에 의하여 만들어진 역피라미드 모양의 식각 구멍에 대한 SEM 이미지들이다.

[0005] 전술한 바와 같이, 종래의 방법에 따라 실리콘 웨이퍼에 식각 구멍을 형성하기 위하여 필요한 공정수가 (a) 내지 (g) 까지 모두 7단계임을 알 수 있다. 전기화학적 에칭을 하기 바로 전 단계인 도 2의 (h)까지 완료된 웨이퍼 샘플을 만들기 위하여 샘플 제작시 마다 7단계를 반복해야 한다. 따라서, 전술한 방법은 많은 공정 수가 발생되고 그 결과 단가가 증가하게 되는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0006] 전술한 문제점을 해결하기 위한 본 발명의 목적은 폴리스티렌을 이용하여 간단한 공정으로 실리콘 웨이퍼에 주

기적이면서 규칙적인 역피라미드 모양의 식각 구멍을 형성하는 방법을 제공하는 것이다.

[0007] 본 발명의 다른 목적은 나노 임프린팅 방법을 이용하여 간단하면서도 대면적의 패턴을 용이하게 구현할 수 있으며, 실리콘 웨이퍼에 주기적이면서 규칙적인 역피라미드 모양의 식각 구멍을 형성하는 방법을 제공하는 것이다.

과제 해결수단

[0008] 전술한 기술적 과제를 달성하기 위한 본 발명의 제1 특징은 주기적이고 규칙적으로 정렬된 전기화학적 식각용 식각 구멍 형성 방법에 관한 것으로서, 상기 식각 구멍 형성 방법은, (a) 반도체 기판위에 폴리스티렌을 도포하여 반도체 기판위에 주기적이면서 규칙적으로 폴리스티렌 입자(Polystyrene bead)를 형성하는 단계; (b) 폴리스티렌 입자가 형성된 반도체 기판을 열처리하는 단계; (c) 반도체 기판의 표면에 역피라미드 모양의 식각 구멍 (etch pit)이 형성될 때까지 폴리스티렌 입자를 식각용 마스크로 하여 반도체 기판을 반응성 이온 에칭하는 단계; (d) 폴리스티렌 입자를 제거하는 단계; (e) 역피라미드 모양의 식각 구멍이 형성된 표면과 대향되는 반도체 기판의 표면에 전극층을 증착하는 단계;를 구비한다.

[0009] 전술한 제1 특징에 따른 식각 구멍 형성 방법에 있어서, 상기 (b) 단계는 폴리스티렌 입자가 반도체 기판의 표면에 안정되게 접합될 때까지 열처리를 수행하는 것이 바람직하다.

[0010] 본 발명의 제2 특징에 따른 식각 구멍 형성 방법은, (a) 피라미드 모양의 패턴이 주기적이면서 규칙적으로 형성된 스탬프를 제작하는 단계; (b) 반도체 기판위에 포토 레지스트를 도포하는 단계; (c) 상기 포토 레지스트의 상부 표면에 상기 스탬프를 역전사시키는 단계; (d) 상기 스탬프의 역전사에 의해 역피라미드 모양의 패턴이 주기적이면서 규칙적으로 형성된 포토 레지스트를 식각용 마스크로 하여, 반도체 기판을 반응성 이온 에칭하여 역피라미드 모양의 식각 구멍을 형성하는 단계; (e) 상기 포토 레지스트를 제거하는 단계; (f) 상기 식각 구멍이 형성된 표면과 대향되는 반도체 기판의 표면에 전극을 도포하는 단계; 를 구비하여, 주기적이고 규칙적으로 정렬된 전기화학적 식각용 식각 구멍을 형성한다.

[0011] 전술한 제2 특징에 따른 식각 구멍 형성 방법에 있어서, (a) 피라미드 모양의 패턴이 주기적이면서 규칙적으로 형성된 스탬프를 제작하는 단계는, (a1) 반도체 기판위에 폴리스티렌을 도포하여 반도체 기판위에 주기적이면서 규칙적으로 폴리스티렌 입자(Polystyrene bead)를 형성하는 단계; (a2) 폴리스티렌 입자가 형성된 반도체 기판을 열처리하는 단계; (a3) 반도체 기판의 표면에 역피라미드 모양의 패턴이 규칙적으로 형성될 때까지 폴리스티렌 입자를 식각용 마스크로 하여 반도체 기판을 반응성 이온 에칭하는 단계; (a4) 폴리스티렌 입자를 제거하는 단계; (a5) 상기 역피라미드 모양의 패턴이 형성된 반도체 기판의 표면에 스탬프용 물질을 일정 두께로 증착하는 단계; (a6) 상기 스탬프용 물질을 반도체 기판으로부터 분리하여 스탬프를 완성하는 단계; 를 구비하여, 피라미드 모양의 패턴이 형성된 스탬프를 제작하는 것이 바람직하다.

[0012] 전술한 제2 특징에 따른 식각 구멍 형성 방법에 있어서, 상기 스탬프는 실리콘, 금속, PDMS, PUA 등의 물질로 제작되는 것이 바람직하다.

효과

[0013] 본 발명에 따른 식각 구멍 형성 방법을 이용함으로써, 태양전지, LED, Sensor, Photonic crystals, 그리고 CMOS process에 적용에 유리한 p-type 실리콘 웨이퍼에 pore 형성, 와이어, pillar array와 같은 구조체를 쉽게 제작할 수 있다.

[0014] 또한, 본 발명에 의하여, 실리콘 웨이퍼의 타입이나 웨이퍼 저항과는 무관하게 전기화학적 에칭하기 위한 역 피라미드 모양의 식각 구멍을 용이하게 형성할 수 있다. 또한, 본 발명에 의하여 폴리스티렌을 이용하여 역 피라미드 모양의 식각 구멍을 형성함으로써, 제작 공정 단계를 줄일 수 있다.

[0015] 또한, 본 발명에 의하여 나노 임프린팅 리소그래피 방법을 이용하여 역 피라미드 모양의 식각 구멍을 형성함으로써, 제작 공정 단계를 줄일 수 있을 뿐만 아니라 스탬프를 수회 반복하여 사용함으로써 제조 단가를 줄일 수 있다. 또한, 스탬프를 저가의 비용으로 제작함으로써, 전체 제조 단가를 더욱 절감할 수 있게 된다.

발명의 실시를 위한 구체적인 내용

[0016] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 따른 전기화학적 식각에 사용될 식각 구멍을 형성하는 방법을 구체적으로 설명한다.

[0017] 제1 실시예

[0018] 본 실시예에 따른 식각 구멍 형성 방법은 폴리스티렌을 이용하여 역피라미드 모양의 식각 구멍을 규칙적이면서 주기적으로 형성하는 것을 특징으로 한다. 도 4는 본 발명의 제1 실시예에 따른 전기화학적 식각에 사용될 식각 구멍 형성 방법을 순차적으로 도시한 단면도들이다.

[0019] 도 4를 참조하면, 본 실시예에 따른 식각 구멍 형성 방법은, 먼저 실리콘 웨이퍼(400)를 초기 세정한 후(a), self-assembled 특성을 갖는 폴리스티렌 콜로이드(Polystyrene Colloid)를 스핀코팅(Spin Coating) 방식이나 드롭(drop) 방식을 이용하여 실리콘 웨이퍼의 표면에 증착시켜 실리콘 웨이퍼의 표면에 잘 정렬된 폴리스티렌 입자(bead)(402)를 단층으로 형성한다(b). 다음, 유리전이온도 근처 또는 약간 높은 온도에서 열을 인가하여 어닐링(annealing)함으로써, 폴리스티렌 입자(402)와 실리콘 웨이퍼(400)간의 결합력을 증가시킨다(c).

[0020] 다음, 폴리스티렌 입자를 식각용 마스크로 하여 실리콘 웨이퍼를 반응성 이온 에칭(Reactive ion etching : 'RIE')방식으로 식각하여 실리콘 웨이퍼의 표면에 역피라미드 모양의 식각 구멍(Etch pit)을 주기적이면서 규칙적으로 형성한다(d). 이때, RIE 수행과정 중에 주입되는 분위기 가스들에 의해 폴리스티렌 입자의 크기가 감소하게 됨으로써, 역피라미드 모양의 식각 구멍을 형성할 수 있게 된다. 또는, 상기 실리콘 웨이퍼의 식각 공정은 오버에칭(overetching)하여 역피라미드 모양의 식각 구멍이 형성될 때까지 수행하게 되면 그 자체가 실리콘 스탬프로도 사용 가능하게 된다.

[0021] 다음, 에칭 후 잔존하는 폴리스티렌 입자(402)를 톨루엔(Toluene)에 넣어 제거한 후(e), 식각 구멍이 형성된 표면과 대향되는 실리콘 웨이퍼(400a)의 표면에 Ti/Au 또는 Al 을 증착하여 전극(408)을 형성한다(f).

[0022] 본 실시예에 의하여 식각 구멍은 도 4의 (a) 내지 (e) 까지의 5 공정 단계에 의해 제작될 수 있으며, RIE 공정을 제외한 나머지 공정은 용액 공정이므로 종래의 공정 기술보다 단가가 훨씬 낮다.

[0023] 제2 실시예

[0024] 이하, 본 발명의 제2 실시예에 따른 전기화학적 식각에 사용될 식각 구멍 형성 방법을 설명한다. 본 실시예에 따른 식각 구멍 형성 방법은 나노 임프린팅 리소그래피 방식을 이용하여 역피라미드 모양의 식각 구멍을 규칙적이면서 주기적으로 형성하는 것을 특징으로 한다. 나노 임프린팅 리소그래피(Nano-imprinting lithography ; NIL)은 스탬프(Stamp)를 제작하고, 제작된 스탬프를 사용하여 실리콘 웨이퍼 위에 도포된 레지스트 일종(예를 들면 포토레지스트, NIL용 레지스트 등)의 폴리머에 압력, 온도, 그리고 UV 등을 인가함으로써 스탬프의 패턴을 역전사(Reverse pattern transfer)하는 기술이며, 임프린팅시 스탬프와 패턴이 전사될 폴리머(Polymer)와의 접착력을 최소화하기 위하여 SAM(Self-Assembled Monolayer) 처리를 한다.

[0025] 도 5는 본 발명의 제2 실시예에 따른 전기화학적 식각에 사용될 식각 구멍 형성 방법을 순차적으로 도시한 단면도들이다. 도 5를 참조하면, 먼저 피라미드 모양의 패턴이 주기적이면서 규칙적으로 형성된 스탬프(510)를 제작한다(a). 도 6은 본 발명의 제2 실시예에 사용되는 스탬프의 표면에 대한 SEM 사진들이다. 스탬프를 제작하는 과정은 후술한다.

[0026] 다음, 실리콘 웨이퍼(500)의 상부 표면에 포토 레지스트(502)를 도포한 후(a), 포토 레지스트의 상부에 피라미드 모양의 패턴이 형성된 스탬프(510)를 배치하고, 압력, 온도 및 UV를 인가하여 스탬프의 패턴을 포토 레지스트의 표면에 역전사시킨 후, 스탬프를 분리시킴으로써, 포토 레지스트의 표면은 스탬프에 의해 피라미드 모양의 패턴이 역전사되어 역피라미드 모양의 패턴이 형성된다(b). 다음, 역피라미드 모양의 패턴이 형성된 포토 레지스트(502a)를 식각용 마스크로 하여 실리콘 웨이퍼를 반응성 이온 에칭(RIE)한다(c). 이때, 실리콘 웨이퍼의 표면에 역피라미드 모양의 패턴이 규칙적이면서 주기적으로 형성될 때까지 반응성 이온 에칭을 수행한다.

[0027] 실리콘 웨이퍼(500a)의 표면에 역피라미드 모양의 식각 구멍이 형성된 후 반응성 이온 에칭을 종료하고, 포토 레지스트(502b)를 제거한다(d). 다음, 식각 구멍이 형성된 표면에 대향되는 실리콘 웨이퍼(500a)의 표면에 Ti/Au 또는 Al을 증착하여 전극(508)을 형성한다(e).

[0028] 한편, 본 발명의 제2 실시예에 따른 식각 구멍 형성 방법에서 사용되는 NIL 기술은 스탬프(510) 제작이 가장 중요하며, 제작된 스탬프를 손상없이 보관만 잘할 수 있다면 오랫동안 이 스탬프를 사용하여 패턴을 전사할 수 있다. 전술한 스탬프를 제작하는 방법은 전자빔 리소그래피(Electron beam lithography) 등을 사용하는 여러 가지가 방법이 있지만, 이러한 방법들은 고가의 장비 사용으로 인한 단가 상승과 제작 시간이 오래 걸리며, 대면적

으로 만들 수 없다는 것이 단점이다.

[0029] 따라서, 본 발명에서 스탬프를 제작하기 위하여 제1 실시예의 식각 구멍 형성 방법을 응용한다. 도 7은 본 발명의 제2 실시예에 따른 식각 구멍 형성 방법에 사용될 스탬프 제작 과정을 순차적으로 도시한 단면도들이다.

[0030] 도 7을 참조하면, 스탬프 제작하기 위하여 먼저 실리콘 웨이퍼(700)를 초기 세정한 후(a), self-assembled 특성을 갖는 폴리스티렌 코로이드(Polystyrene Colloid)를 스핀코팅(Spin Coating) 방식이나 드롭(drop) 방식을 이용하여 실리콘 웨이퍼의 표면에 증착시켜 실리콘 웨이퍼의 표면에 잘 정렬된 폴리스티렌 입자(bead)(702)를 단층으로 형성한다(b). 다음, 유리전이온도 근처 또는 약간 높은 온도에서 열을 인가하여 어닐링(annealing)함으로써, 폴리스티렌 입자(702)와 실리콘 웨이퍼(700)간의 결합력을 증가시킨다(c).

[0031] 다음, 폴리스티렌 입자(702)를 식각용 마스크로 하여 실리콘 웨이퍼(700)를 반응성 이온 에칭(Reactive ion etching : 'RIE')방식으로 식각하여 실리콘 웨이퍼의 표면에 역피라미드 모양의 패턴들을 주기적이면서 규칙적으로 형성한다(d). 이때, RIE 수행과정 중에 주입되는 분위기 가스들에 의해 폴리스티렌 입자의 크기가 감소하게 됨으로써, 역피라미드 모양의 패턴들을 형성할 수 있게 된다. 또는, 상기 실리콘 웨이퍼의 RIE 공정의 에칭 조건을 조절하여 오버에칭(overetching)되도록 하여 역피라미드 모양의 패턴들이 형성될 때까지 RIE 수행하게 되면 그 자체로 실리콘 스탬프로도 사용 가능하게 된다. 다음, 에칭 후 잔존하는 폴리스티렌 입자를 톨루엔(Toluene)에 넣어 제거한다(e).

[0032] 다음, 스탬프용 물질을 역피라미드 모양의 패턴들이 형성된 실리콘 웨이퍼(700a) 위에 증착한 후, 실리콘 웨이퍼로부터 분리시킴으로써, 스탬프(510)를 완성한다(f). 스탬프는 실리콘, 금속(Nickel), PDMS(Polydimethylsiloxane), PUA(Polyurethane acrylate) 등의 물질로 제작될 수 있다. 전술한 물질로 스탬프를 제작하는 경우, 한번 제작 비용은 약간 증가하지만, 한번 제작된 스탬프를 보관만 잘하게 되면 반복적으로 계속 사용할 수 있다. 따라서, 식각 구멍 형성 비용을 두 번째 샘플부터는 최소화시킬 수 있고 공정 수도 4 단계로 줄일 수 있게 된다. 도 6은 본 발명의 제2 실시예에 따른 방법을 이용하여 제작된 스탬프에 대한 SEM(Scanning Electron Microscopy) 사진이다.

[0033] 이상에서 본 발명에 대하여 그 바람직한 실시예를 중심으로 설명하였으나, 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 발명의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 그리고, 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

산업이용 가능성

[0034] 본 발명에 따른 식각 구멍 형성 방법은 전기화학적 에칭 방식에 사용될 수 있으며, 전기화학적 에칭 방식은 고종횡비의 실리콘 와이어 및 기둥형 어레이(pillar array)를 필요로 하는 태양전지, LED, 센서, Photonic crystal 등에 적용될 수 있다.

도면의 간단한 설명

[0035] 도 1은 종래의 기술을 사용하여 제작된 식각 구멍(etch pit)과 전기화학적 에칭 방식으로 제작된 고종횡비의 실리콘 와이어(pillar array) 구조체에 대한 SEM 이미지이다.

[0036] 도 2는 종래 기술에 따라 전기화학적 에칭에 사용될 식각 구멍을 제조하는 과정을 순차적으로 도시한 단면도들이며, 도 3의 (a) 및 (b)는 도 2의 제조 방법에 의해 형성된 식각 구멍들의 평면도 및 단면도에 대한 SEM 이미지이다.

[0037] 도 4는 본 발명의 제1 실시예에 따른 전기화학적 식각에 사용될 식각 구멍 형성 방법을 순차적으로 도시한 단면도들이다.

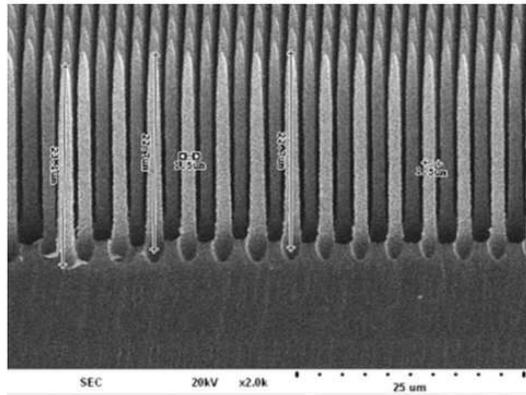
[0038] 도 5는 본 발명의 제2 실시예에 따른 전기화학적 식각에 사용될 식각 구멍 형성 방법을 순차적으로 도시한 단면도들이다.

[0039] 도 6은 본 발명의 제2 실시예에 사용되는 스탬프의 표면에 대한 SEM 사진들이다.

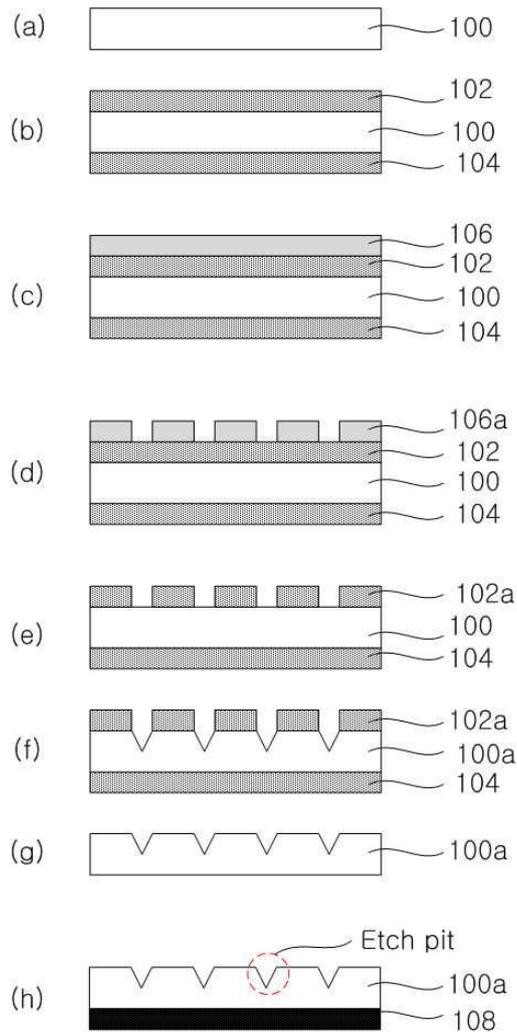
[0040] 도 7은 본 발명의 제2 실시예에 따른 식각 구멍 형성 방법에 사용될 스탬프 제작 과정을 순차적으로 도시한 단면도들이다.

도면

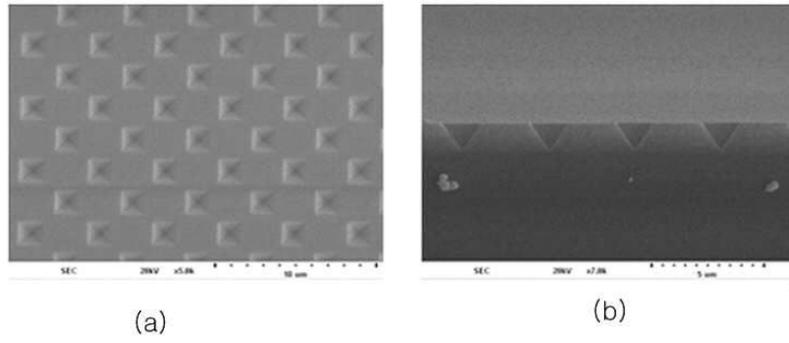
도면1



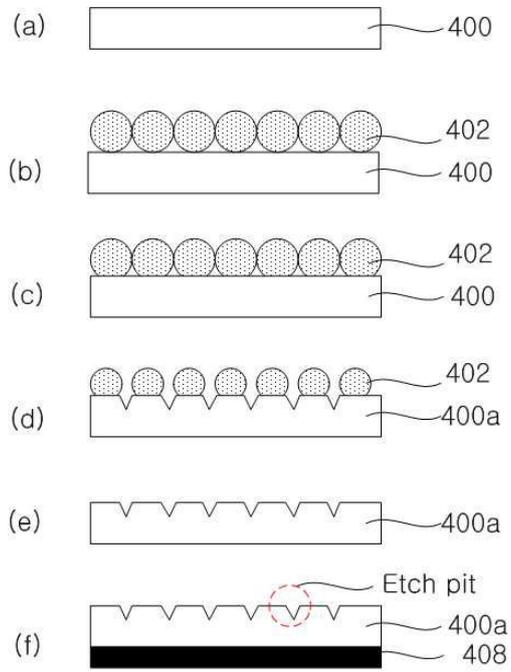
도면2



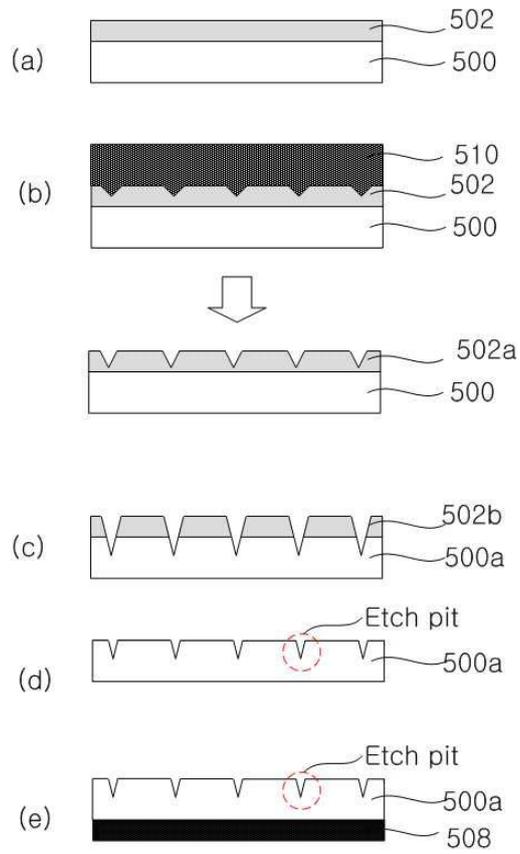
도면3



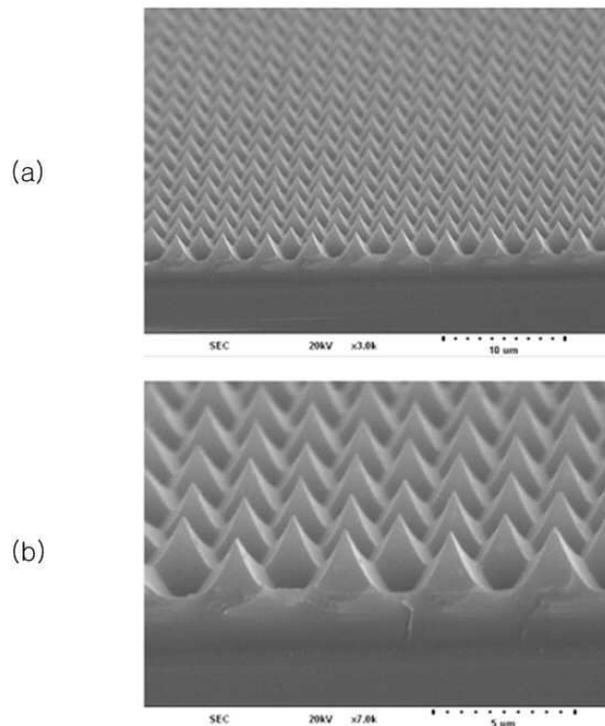
도면4



도면5



도면6



도면7

