

①2

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 30.10.90.

③0 Priorité : 30.10.89 JP 28387789.

④3 Date de la mise à disposition du public de la demande : 03.05.91 Bulletin 91/18.

⑤6 Liste des documents cités dans le rapport de recherche : *Le rapport de recherche n'a pas été établi à la date de publication de la demande.*

⑥0 Références à d'autres documents nationaux apparentés :

⑦1 Demandeur(s) : MITSUBISHI DENKI KABUSHIKI KAISHA — JP.

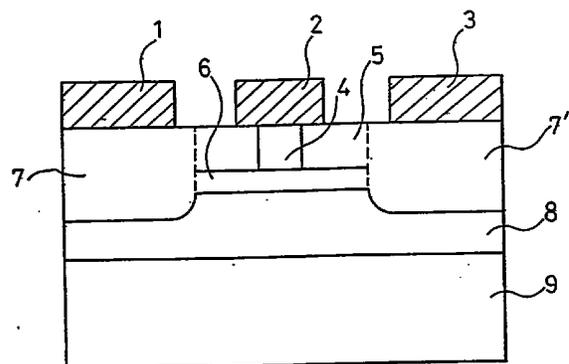
⑦2 Inventeur(s) : Shigekazu Izumi et Kohki Nagahama.

⑦3 Titulaire(s) :

⑦4 Mandataire : Cabinet Plasseraud.

⑤4 Transistor à effet de champ à jonction ayant une structure plane et procédé de fabrication.

⑤7 Un transistor à effet de champ à jonction comprend un bloc de semiconducteur (8, 9), des régions de source et de drain (7, 7') fortement dopées et d'un premier type de conductivité, une couche de canal (6) du premier type de conductivité entre les régions de source et de drain, une région de grille (4) d'un second type de conductivité, formant une jonction redresseuse avec la couche de canal, une région à résistivité relativement élevée (5) entourant la région de grille, et des électrodes de source, de grille et de drain (1, 2, 3) en contact avec les régions respectives.



La présente invention concerne des transistors à effet de champ à jonction employant une grille à jonction pn (qu'on appelle ci-après JFET), et elle concerne plus particulièrement des JFET réalisés dans un semiconducteur composé, tel que l'arséniure de gallium.

La figure 1 est une coupe qui représente schématiquement la structure d'un transistor à effet de champ à jonction classique. Le transistor comprend une électrode de source métallique 1, une électrode de grille métallique 2 et une électrode de drain métallique 3. L'électrode de grille 2 est formée sur une région de grille 4 qui est une partie résiduelle d'une couche de type p 4. Les électrodes de source et de drain 1 et 3 sont formées sur une couche de canal de type n 6 et elles forment des contacts ohmiques avec cette couche de canal. La région de grille 4 est formée sur la couche de canal 6, entre les électrodes de source et de drain 1 et 3, et elle forme une jonction redresseuse avec la couche 6. La couche de canal 6 est formée de façon caractéristique sur une couche tampon 8 qui n'est pas dopée. La structure entière est disposée sur un substrat 9, par exemple un substrat en arséniure de gallium semi-isolant, lorsque les autres matériaux employés dans le JFET sont l'arséniure de gallium ou l'arséniure d'aluminium-gallium. La région de grille 4 est formée par gravure d'une couche de semiconducteur obtenue par croissance épitaxiale,

par exemple par épitaxie par jets moléculaires (EJM), sur la couche de canal 6. L'aire de la jonction qui est formée entre la région de grille 4 et la région de canal 6 est définie par l'étendue de la gravure de la couche épitaxiale.

5 Les performances, en particulier la réponse en fréquence, du JFET qui est représenté sur la figure 1 sont sous la dépendance de l'aire de la jonction entre la région de grille 4 et la région de canal 6. La fréquence de coupure f_T du JFET lorsqu'il est utilisé dans un amplificateur, 10 ou la fréquence d'oscillation maximale f_{max} lorsque le JFET est utilisé dans un oscillateur, sont de façon caractéristique meilleures que les fréquences de coupure et d'oscillation de JFET formées par implantation ionique, comme décrit ci-dessous. Cependant, la maîtrise de l'étape de gravure formant la jonction entre la région de grille 4 et la 15 région de canal 6 est difficile, ce qui fait que les caractéristiques de dispositifs qui devraient être identiques mais qui sont fabriqués à des moments différents, peuvent être notablement différentes.

20 On illustre la variabilité des caractéristiques de JFET ayant la structure qui est représentée sur la figure 1, à l'aide de la représentation schématique partielle de la figure 2. Comme le montre la figure 2, une couche de canal 6 a une largeur W de 200 microns, et la distance l 25 entre la région de grille 4 et l'électrode de source 1 est égale à un micron. Pour faire en sorte que toute la couche de type p entre les électrodes de source et de drain, à l'exception de la région de grille 4, soit enlevée au cours d'une étape de gravure, on grave la couche de canal de type 30 n 6 et on l'enlève partiellement au voisinage de la région de grille 4. Sur la figure 2, l'interface entre la couche de canal 6 et la couche de grille 4 avant gravure est indiquée par des lignes en pointillés, tandis que les lignes continues indiquent la couche de canal 6 après gravure. De 35 façon caractéristique, l'excès de gravure enlève 10 à 30

nanomètres de la couche de canal. L'épaisseur t du canal varie donc depuis environ 100 nanomètres près des électrodes de source et de drain, jusqu'à seulement 70 nanomètres sur les côtés opposés de la région de grille 4. La concentration de porteurs n dans la couche de canal 6, en ce qui concerne les électrons, est de façon caractéristique d'environ $1,5 \times 10^{17} \text{ cm}^{-3}$, et la mobilité des électrons μ_e est d'environ $4\,000 \text{ cm}^2/(\text{V.s})$. La résistance de source R est :

$$R = (\rho/t)(l/W)$$

10 avec les notations suivantes : ρ désigne la résistivité du matériau qui est égale à $(1/qn\mu_e)$, et q , qui est la charge de l'électron, est égale à $-1,601 \times 10^{-19} \text{ C}$. Pour les valeurs caractéristiques de concentration et de mobilité de porteurs, ρ est égal à $1,041 \times 10^{-2} \text{ ohm-cm}$.

15 Lorsque l'épaisseur de canal t a une valeur constante de 100 nanomètres, la résistance de source R est égale à 5,2 ohms. Cependant, si l'épaisseur t du canal est seulement d'environ 70 nanomètres, à cause d'une opération de gravure sur 30 nm dans la couche de canal, la résistance
20 de source R augmente jusqu'à 7,5 ohms. Ce changement représente une variation d'environ 44% et dépend de la profondeur de gravure dans la couche de canal. Cependant, l'expérience pratique montre que la résistance de source varie beaucoup plus, par exemple d'environ 100%, entre des JFET
25 gravés qui sont fabriqués par le même processus mais à des moments différents.

La figure 3 est une coupe schématique de la structure d'un transistor à effet de champ à jonction classique, fabriqué par implantation ionique, avec un procédé
30 très similaire à celui qui est utilisé habituellement pour fabriquer des transistors à effet de champ à barrière de Schottky en arséniure de gallium. Sur la figure 3, comme sur les autres figures, les éléments décrits précédemment sont désignés par les mêmes références numériques. Dans la
35 structure qui est représentée sur la figure 3, la région de

grille de type p 4 se trouve à l'intérieur de la couche de canal de type n 6, et elle s'étend sur une surface sur laquelle se trouve l'électrode de grille 2. La structure de la figure 3 comprend des régions de source et de drain 7 et 7', similaires ou identiques, dopées relativement fortement avec le type n⁺, qui s'étendent respectivement au-dessous des électrodes de source et de drain 1 et 3. Dans un procédé de fabrication de ce type de JFET, on forme la couche de type n 6 par croissance épitaxiale ou par diffusion ou par implantation ionique d'impuretés. Ensuite, on masque contre l'implantation ionique la partie centrale de la couche de type n 6, et on forme les régions n⁺ 7 et 7' par implantation ionique. Enfin, on forme la région de grille de type p 4 par diffusion ou implantation ionique, en employant un masque qui protège la zone située à l'extérieur de la région de grille, vis-à-vis des ions de dopant de type p, pendant l'implantation ou la diffusion. On peut mieux maîtriser la fabrication du dispositif JFET résultant que celle de la structure de la figure 1, du fait qu'aucune opération de gravure au niveau d'une jonction pn n'est exigée. Cependant, la jonction pn qui est formée a une capacité parasite, en plus de la capacité de grille inhérente, ce qui réduit les performances de fréquence du JFET.

On exprime fréquemment les caractéristiques de réponse en fréquence d'un transistor à effet de champ au moyen d'une fréquence de coupure f_T :

$$f_T = (g_m / 2\pi C_{gs})$$

en désignant par g_m la transconductance du dispositif, et par C_{gs} la capacité entre la grille et la source.

Les éléments de la capacité parasite de la structure de la figure 3 sont illustrés sur les figures 4(a) et 4(b). La figure 4(a) montre une coupe de la partie centrale du JFET de la figure 3, comprenant la région de grille 4 et l'électrode de grille 2. La structure de la jonction est agrandie sur la figure 4(b), et cette figure illustre la

té, c'est-à-dire des caractéristiques de JFET uniformes, qui est obtenue dans la fabrication de la structure plane de la figure 3, et les meilleures performances en haute fréquence qui sont obtenues avec la structure de la figure 5 1, ayant une capacité de grille réduite.

Un but de l'invention est de procurer un transistor à effet de champ à jonction ayant d'excellentes performances en haute fréquence et une structure plane qui peut être fabriquée de façon reproductible avec des caractéris- 10 tiques uniformes.

Conformément à un premier aspect de l'invention, un transistor à effet de champ à jonction comprend un bloc de semiconducteur ayant une surface, des régions de source et de drain relativement fortement dopées, d'un premier 15 type de conductivité, disposées dans le bloc de semiconducteur en étant mutuellement espacées et en atteignant la surface, une couche de canal du premier type de conductivité disposée à l'intérieur du bloc de semiconducteur et s'étendant entre les régions de source et de drain et con- 20 nectant électriquement ces régions, une région de grille d'un second type de conductivité qui est disposée à l'intérieur du bloc de semiconducteur et qui s'étend depuis la surface jusqu'à la couche de canal et qui forme une jonction redresseuse avec la couche de canal, une région à ré- 25 sistivité relativement élevée, disposée à l'intérieur du bloc de semiconducteur, entre la surface et la couche de canal, s'étendant entre les régions de source et de drain et entourant la région de grille, et des électrodes de source, de grille et de drain disposées sur la surface et 30 respectivement en contact avec les régions de source, de grille et de drain.

Selon un autre aspect de l'invention, on fabrique un transistor à effet de champ à jonction en accomplissant séquentiellement les opérations suivantes : on fait croître 35 une couche de semiconducteur d'un premier type de conducti-

5 vité et une couche de semiconducteur à résistivité relativement élevée sur un substrat semiconducteur à résistivité relativement élevée, on forme des régions de source et de drain mutuellement espacées, ayant une résistivité relativement faible et du premier type de conductivité, dans les couches de semiconducteur à résistivité relativement élevée et du premier type de conductivité, on forme une région de grille d'un second type de conductivité dans la couche de semiconducteur à résistivité élevée, à distance des régions 10 de source et de drain, et s'étendant jusqu'à la couche de semiconducteur du premier type de conductivité, et formant une jonction redresseuse avec cette couche, et on forme des électrodes de source, de grille et de drain qui sont respectivement en contact avec les régions de source, de grille et de drain. 15

D'autres caractéristiques et avantages de l'invention seront mieux compris à la lecture de la description qui va suivre d'un mode de réalisation, donné à titre d'exemple non limitatif. La suite de la description se réfère aux dessins annexés dans lesquels : 20

La figure 1 est une coupe de la structure d'un transistor à effet de champ à jonction de l'art antérieur, comprenant une méssa formée par gravure.

La figure 2 est une coupe de détail d'une partie 25 du transistor à effet de champ à jonction de la figure 1.

La figure 3 est une coupe de la structure d'un transistor à effet de champ à jonction de l'art antérieur.

Les figures 4(a) et 4(b) sont des coupes de détail d'une partie du transistor à effet de champ à jonction 30 représenté sur la figure 3, comprenant une jonction préparée par implantation ionique ou diffusion.

La figure 5 est une vue de détail, partiellement en coupe, d'une partie du transistor à effet de champ à jonction de la figure 3.

35 La figure 6 est une coupe de la structure d'un

transistor à effet de champ à jonction conforme à un mode de réalisation de la présente invention.

Les figures 7(a) - 7(d) sont des coupes qui illustrent un procédé de fabrication du transistor à effet de champ à jonction qui est représenté sur la figure 6.

Les figures 8(a) et 8(b) sont des coupes de détail d'une partie du transistor à effet de champ à jonction de la figure 6.

La figure 9 est une représentation du gain en fonction de la fréquence pour un transistor à effet de champ à jonction conforme à l'invention et pour un transistor à effet de champ à jonction de l'art antérieur.

Un transistor à effet de champ à jonction conforme à un mode de réalisation de l'invention, qui est représenté sur la figure 6, comprend un bloc de semiconducteur qui comporte un certain nombre d'éléments. Un substrat 9, qui peut être en arséniure de gallium semi-isolant, porte une couche tampon 8 qui consiste de préférence en arséniure de gallium non dopé. La couche tampon 8 a une résistivité relativement élevée et elle peut être de type intrinsèque ou presque intrinsèque, c'est-à-dire exempte de dopants. D'autre part, le substrat semi-isolant peut contenir des impuretés introduites intentionnellement, telles que du chrome, pour produire des caractéristiques semi-isolantes.

Les régions de source et de drain 7 et 7', qui sont de façon générale similaires ou identiques, sont des régions relativement fortement dopées avec le type n^+ , qui sont mutuellement espacées dans le bloc de semiconducteur et qui atteignent une surface du bloc située du côté opposé au substrat 9. Une électrode de source 1 et une électrode de drain 3 sont disposées sur cette surface du bloc de semiconducteur, et sont respectivement en contact ohmique avec les régions de source et de drain 7 et 7'. Une couche de type n 6 est formée à l'intérieur du bloc de semiconducteur, à distance de la surface sur laquelle se trouvent les

électrodes de source et de drain, et cette couche de type n s'étend entre les deux régions n⁺ 7 et 7' et elle les connecte ensemble. La couche 6 peut être en arséniure de gallium ou bien, dans une version du JFET consistant en un transistor à mobilité élevée des électrons (ou HEMT), elle peut être en $\text{Al}_x\text{Ga}_{1-x}\text{As}$ avec $0 < x \leq 1$. Lorsque la couche 6 est en arséniure de gallium, elle se comporte comme un canal de courant à travers lequel un courant circule entre les régions 7 et 7'. Dans un mode de réalisation du type HEMT, lorsque la couche 6 est en $\text{Al}_x\text{Ga}_{1-x}\text{As}$, il se forme dans la couche tampon 8 ce qu'on appelle un gaz d'électrons bidimensionnel, en position adjacente à l'hétérojonction de la couche 6 et de la couche tampon 8, et à cause de la présence de cette hétérojonction. Du fait que la mobilité des électrons est beaucoup plus élevée dans le gaz d'électrons bidimensionnel que dans le matériau $\text{Al}_x\text{Ga}_{1-x}\text{As}$, la circulation du courant entre les régions 7 et 7' a lieu de façon prédominante dans la couche tampon, c'est-à-dire que le canal de courant s'étend de façon prédominante dans cette couche. Dans un but d'identification, on appelle ci-après la couche 6 une couche de canal, tout en sachant que dans le mode de réalisation du type HEMT, la couche de canal 6 ne remplit pas la fonction d'un canal de courant.

Une région de grille de type p 4 s'étend à partir de la surface sur laquelle se trouvent les électrodes de source et de drain, jusqu'à la couche de canal 6 en semiconducteur de type n, en formant une jonction redresseuse à l'interface entre la région de grille en semiconducteur de type p 4 et la couche de type n 6. Une région de matériau semiconducteur non dopé, 5, ayant une résistivité relativement élevée, est disposée entre la surface sur laquelle se trouvent les électrodes de source et de drain, et la couche de canal 6 qui entoure la région de grille 4. La région 5 à résistivité relativement élevée est de préférence intrinsèque, c'est-à-dire qu'elle n'est ni de type p ni de type n,

et elle est très préférablement non dopée. Une électrode de grille 2 est formée sur la surface du bloc de semiconducteur sur laquelle se trouvent les électrodes de source et de drain 1 et 3. L'électrode de grille 2 est en contact ohmique avec la région de grille 4, et comme le montre la figure 6, elle peut s'étendre au-delà de la région de grille 4 et elle peut s'étendre partiellement dans la région à résistivité relativement élevée 5. Il est très préférable que la région à résistivité relativement élevée 5 consiste en arséniure de gallium.

Les figures 7(a) - 7(d) illustrent un procédé de fabrication de la structure de la figure 6. On commence la fabrication du JFET en produisant un bloc de semiconducteur ayant la structure qui est représentée sur la figure 7(a). On forme le bloc de semiconducteur en faisant croître par épitaxie une couche tampon d'arséniure de gallium non dopé, 8, sur un substrat en arséniure de gallium 9, de préférence un substrat en arséniure de gallium semi-isolant. La couche tampon 8 a une épaisseur d'environ un micron. On fait croître la couche de canal de type n 6 sur la couche tampon 8 jusqu'à une épaisseur d'environ 0,01 à 0,5 micron. Lorsque la couche de canal 6 est en arséniure de gallium, elle est dopée de façon à produire une concentration de porteurs d'environ 10^{17} à 10^{19} cm^{-3} . Dans un autre mode de réalisation de l'invention, c'est-à-dire un mode de réalisation du type HEMT, la couche de canal 6 peut être en arséniure d'aluminium-gallium ayant une épaisseur similaire et des caractéristiques électriques similaires. Enfin, on fait croître sur la couche de canal 6 une couche non dopée 5, ayant une résistivité relativement élevée, qui est de préférence en arséniure de gallium. La couche 5 est de préférence intrinsèque, c'est-à-dire qu'elle n'est ni de type n ni de type p. Il est très préférable que la couche à résistivité élevée 5 ne contienne pas de dopants qui pourraient produire des charges électriques libres ou piégées à l'in-

térieur de la couche. On fait croître toutes ces couches par des techniques classiques, telles que l'épitaxie par jets moléculaires, le dépôt chimique en phase vapeur aux organo-métalliques (MOCVD), etc.

5 Sur la figure 7(b), une couche de résine photosensible 11a a été déposée sur la couche 5 à résistivité relativement élevée, et un motif a été défini dans la couche de résine pour mettre à nu deux régions mutuellement
10 tie centrale du bloc de semiconducteur vis-à-vis de l'implantation ionique. Comme l'indiquent les flèches sur la figure 7(b), des ions produisant une conductivité de type n sont implantés dans le bloc pour former les deux régions n⁺ 7 et 7' mutuellement espacées. Les ions implantés sont de
15 façon caractéristique des ions silicium avec une énergie de 175 keV et une dose de 2×10^{12} ions.cm². Les ions traversent de préférence la couche à résistivité élevée 5 et la couche de canal 6, pour pénétrer dans la couche tampon 8 de façon à former les régions n⁺ 7 et 7'. Lorsque la couche de
20 canal 6 est en arséniure d'aluminium-gallium et lorsque la couche 5 est en arséniure de gallium, les régions n⁺ 7 et 7' sont partiellement en arséniure d'aluminium-gallium et partiellement en arséniure de gallium. Après l'implantation ionique, une opération de recuit à 750°C pendant environ 15
25 minutes active les ions implantés pour achever la formation des régions n⁺ 7 et 7'.

Ensuite, comme le montre la figure 7(c), on retire le masque de résine photosensible 11a et on forme à sa place un nouveau masque de résine photosensible 11b. Le
30 masque 11b comprend une ouverture qui est disposée en position centrale par rapport aux régions n⁺ 7 et 7'. On utilise le masque 11b à titre de masque d'implantation ionique, et on plante à travers l'ouverture dans le masque des ions produisant une conductivité de type p, dans la couche
35 5 à résistivité relativement élevée. On plante de façon

caractéristique des ions magnésium avec une énergie de 120 keV et une dose de 1×10^{12} ions.cm². Après l'implantation ionique, on recuit la structure à 800°C pendant 30 minutes pour activer les impuretés de type p et pour former la région de grille de type p 4.

Dans les étapes finales qui sont illustrées sur la figure 7(d), on a enlevé le masque de résine photosensible 11b et on a déposé les électrodes de source et de drain 1 et 3 sur la surface du bloc de semiconducteur dans les 10 régions n⁺ 7 et 7' respectives. De plus, on a déposé une électrode de grille 2 sur la surface du bloc de semiconducteur sur laquelle se trouvent les électrodes de source et de drain, mais en contact avec la région de grille 4. L'électrode de grille 2 s'étend de préférence sur la surface 15 au-delà de la région de grille 4, pour réduire la résistance de la grille. Du fait que la couche 5 a une résistivité relativement élevée, ou est intrinsèque, l'extension de l'électrode de grille n'a pas d'effets défavorables. Ces électrodes de contact ohmiques peuvent comprendre de façon 20 caractéristique trois couches, soit une structure AuGe/Ni/Au, avec AuGe en contact avec le bloc de semiconducteur.

Le transistor à effet de champ à jonction de la figure 6 a des caractéristiques supérieures, à la fois en ce qui concerne l'uniformité de ses caractéristiques élec- 25 triques lorsqu'il est fabriqué à différentes occasions, qu'en ce qui concerne ses performances en haute fréquence, en comparaison avec les structures de transistors à effet de champ à jonction classiques des figures 1 et 3.

Les figures 8(a) et 8(b) représentent en détail 30 la région de grille d'un JFET conforme à l'invention. Comme il est indiqué sur la figure 8(b), la région de désertion qui est formée à la jonction pn est formée pratiquement entièrement à l'intérieur de la couche de canal 6. Par conséquent, la capacité grille-source C_{gs} est égale à C_o , du 35 fait que les composantes transversales C_f sont négligea-

bles. La capacité réduite augmente jusqu'à environ 42 GHz la fréquence de coupure f_T du JFET de l'invention, dans une structure ayant des dimensions similaires à celles de l'exemple décrit en relation avec la figure 5. La courbe 5 (i) de la figure 9 représente la caractéristique de réponse en fréquence calculée pour le transistor JFET de l'invention, tandis que la courbe (ii) de la figure 9 représente la réponse en fréquence calculée de l'exemple de JFET qu'on a décrit en relation avec la figure 5. Les meilleures performances en haute fréquence, c'est-à-dire la réponse en fréquence plus étendue, apparaissent aisément sur la figure 9.

Du fait que le JFET de l'invention utilise dans la formation de la région de grille un processus d'implantation ionique que l'on peut maîtriser aisément, des dispositifs fabriqués à des moments différents ont des caractéristiques électriques très similaires ou presque identiques. En d'autres termes, le JFET conforme à l'invention procure l'avantage de la structure de l'art antérieur de la figure 20 3 en ce qui concerne l'uniformité de fabrication, tout en procurant également l'avantage d'excellentes performances en haute fréquence de la structure de l'art antérieur de la figure 1. La structure simple du JFET de l'invention peut être fabriquée aisément sans coût excessif. La couche à résistivité élevée 5 permet de former la région de grille 4 dans des conditions bien définies, et elle protège également la couche de canal 6. Lorsque la couche de canal 6 est en arséniure d'aluminium-gallium au lieu d'être en arséniure de gallium, on obtient un transistor à mobilité élevée 30 des électrons, qui a d'encore meilleures performances en haute fréquence.

Bien qu'on ait décrit le procédé de fabrication du JFET de l'invention en considérant l'utilisation de l'implantation ionique, il est possible de former les régions de source et de drain 7 et 7' et/ou la région de

grille 4 par diffusion d'impuretés qui produisent le type de conductivité désiré. La technique d'implantation ionique pour la formation de la région de grille 4 utilise de préférence du magnésium pour le dopant. On peut cependant implanter ou diffuser du zinc dans la couche 5 à résistivité relativement élevée, pour former la région de grille 4. Le processus préféré d'implantation ionique permet de maîtriser la profondeur des impuretés formant la région de grille 4 plus aisément qu'on ne peut le faire dans le cas d'une diffusion.

Une caractéristique importante de l'invention réside dans la formation de la région de grille 4 dans une couche 5 à résistivité relativement élevée. Si la région de la couche 5 à l'extérieur de la région de grille 4 n'était pas un semiconducteur, on n'obtiendrait pas les avantages de l'invention. Par exemple, si la couche 5 à l'extérieur de la région 4 était un diélectrique, tel que du dioxyde de silicium, du nitrure de silicium ou du SiO_n formé sur la couche de canal, des états de surface et d'interface et des pièges pour les porteurs seraient présents et perturberaient le fonctionnement du transistor à effet de champ. En outre, les différences entre les coefficients de dilatation thermique produiraient des contraintes qui affecteraient défavorablement les performances électriques. De plus, pour former la région pour le dépôt d'une telle région diélectrique, il serait nécessaire de graver la couche de canal 6, ce qui introduirait les problèmes de non-uniformité que l'on rencontre avec la structure de la figure 1, et ce qui exposerait la couche de canal 6 à l'ambiance. Cette exposition est particulièrement indésirable dans un transistor HEMT, lorsque la couche 6 est en arséniure d'aluminium-gallium, du fait qu'une couche d'oxyde serait formée.

Il est très préférable que la jonction redresseuse entre la région de grille 4 et la couche de canal 6 soit disposée précisément à l'interface entre la couche à résis-

tivité élevée et la couche de canal 6. On peut cependant tolérer des écarts par rapport à ce positionnement précis, sans augmentation notable de la capacité grille-source et sans réduction résultante de la réponse en fréquence. Pour 5 obtenir la réponse en fréquence étendue désirée, les matériaux semiconducteurs qui sont employés dans le JFET de l'invention doivent être des semiconducteurs composés, tels que l'arséniure de gallium. Le JFET pourrait cependant également être fabriqué à partir de silicium pour des ap- 10 plications à réponse en fréquence moins élevée. Bien qu'on ait décrit la structure de JFET en indiquant qu'elle contenait une couche tampon 8 isolant la couche de canal 6 vis-à-vis du substrat 9, et procurant une meilleure surface que le substrat pour la croissance de la couche de canal, la 15 couche tampon n'est pas essentielle dans la structure de JFET.

Il va de soi que de nombreuses modifications peuvent être apportées au dispositif et au procédé décrits et représentés, sans sortir du cadre de l'invention.

REVENDEICATIONS

1. Transistor à effet de champ à jonction, caractérisé en ce qu'il comprend : un bloc de semiconducteur (8, 9) ayant une surface; des régions de source et de drain (7, 7') relativement fortement dopées, d'un premier type de conductivité, qui sont formées sur le bloc de semiconducteur dans des positions mutuellement espacées et atteignant la surface; une couche de canal (6) du premier type de conductivité, formée à l'intérieur du bloc de semiconducteur et s'étendant entre les régions de source et de drain (7, 7') et connectant électriquement ces régions; une région de grille (4) d'un second type de conductivité, formée à l'intérieur du bloc de semiconducteur et s'étendant à partir de la surface jusqu'à la couche de canal, et formant une jonction redresseuse avec la couche de canal (6); une région à résistivité relativement élevée (5), formée à l'intérieur du bloc de semiconducteur entre la surface et la couche de canal (6), s'étendant entre les régions de source et de drain (7, 7') et entourant la région de grille (4); et des électrodes de source (1), de grille (2) et de drain (3), formées sur la surface, respectivement en contact avec les régions de source (7), de grille (4) et de drain (7').

2. Transistor à effet de champ selon la revendication 1, caractérisé en ce que l'électrode de grille (2) est formée partiellement sur la région à résistivité relativement élevée (5), sur la surface du bloc de semiconducteur.

3. Transistor à effet de champ selon la revendication 1, caractérisé en ce que la région à résistivité relativement élevée (5) est de type intrinsèque.

4. Transistor à effet de champ selon la revendication 1, caractérisé en ce que la région à résistivité relativement élevée (5) est non dopée.

5. Transistor à effet de champ selon la revendication 1, caractérisé en ce que le premier type de conduc-

tivité est le type n, le second type de conductivité est le type p et le bloc de semiconducteur (8, 9) comprend plus d'un semiconducteur composé.

6. Transistor à effet de champ selon la revendication 1, caractérisé en ce que le premier type de conductivité est le type n, le second type de conductivité est le type p, et la région de grille (4) consiste en arséniure de gallium contenant des atomes de dopant consistant en magnésium qui produisent la conductivité de type p de la région de grille.

7. Transistor à effet de champ selon la revendication 1, caractérisé en ce que le bloc de semiconducteur comprend un substrat (9) en arséniure de gallium semi-isolant et une couche tampon (8) en arséniure de gallium à résistivité relativement élevée, disposée sur le substrat, la couche de canal (6) consiste en arséniure de gallium disposé sur la couche tampon (8), la région de grille (4) et la région à résistivité relativement élevée (5) sont en arséniure de gallium, et les régions de source et de drain (7, 7') sont en arséniure de gallium.

8. Procédé de fabrication d'un transistor à effet de champ à jonction, caractérisé en ce qu'il comprend les opérations suivantes : on fait croître successivement sur un substrat semiconducteur (9) à résistivité relativement élevée une couche de semiconducteur d'un premier type de conductivité (6) et une couche de semiconducteur à résistivité relativement élevée (5); on forme des régions de source et de drain (7, 7') mutuellement espacées, à résistivité relativement faible et ayant le premier type de conductivité, dans les couches de semiconducteur à résistivité relativement élevée et du premier type de conductivité; on forme une région de grille (4) du second type de conductivité dans la couche de semiconducteur à résistivité élevée (5), à distance des régions de source et de drain (7, 7'), et s'étendant jusqu'à la couche de semiconducteur du premier

type de conductivité (6), en formant une jonction redresseuse avec elle; et on forme des électrodes de source (1), de grille (2) et de drain (3), respectivement en contact avec les régions de source (7), de grille (4) et de drain 5 (7').

9. Procédé selon la revendication 8, caractérisé en ce qu'il comprend l'opération qui consiste à déposer l'électrode de grille (2) partiellement sur la couche de semiconducteur à résistivité relativement élevée (5).

10 10. Procédé selon la revendication 8, caractérisé en ce qu'il comprend l'opération consistant à faire croître la couche de semiconducteur à résistivité relativement élevée (5) sans la doper intentionnellement.

11. Procédé selon la revendication 8, caractérisé 15 en ce qu'il comprend l'opération consistant à faire croître une couche d'arséniure d'aluminium-gallium pour la couche de semiconducteur du premier type de conductivité (6) et une couche d'arséniure de gallium pour la couche de semiconducteur à résistivité relativement élevée (5).

20 12. Procédé selon la revendication 8, caractérisé en ce qu'il comprend l'opération consistant à faire croître au moins un matériau parmi l'arséniure de gallium et l'arséniure d'aluminium-gallium pour la couche de semiconducteur du premier type de conductivité (6) et la couche de 25 semiconducteur à résistivité relativement élevée (5), et à implanter des ions silicium pour former les régions de source et de drain (7, 7').

ART ANTERIEUR

FIG 1

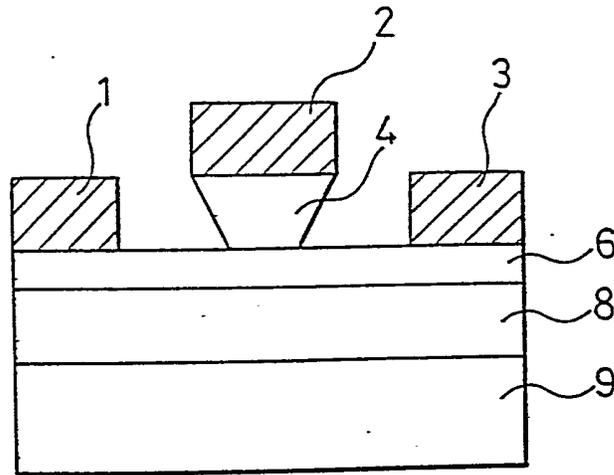
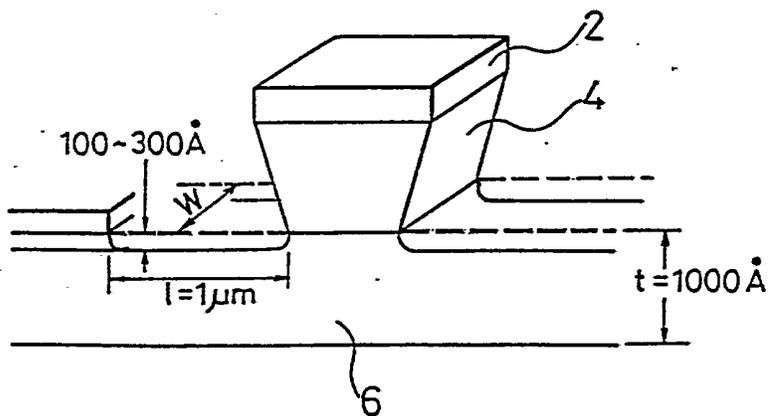


FIG 2

ART ANTERIEUR



ART ANTERIEUR

FIG 3

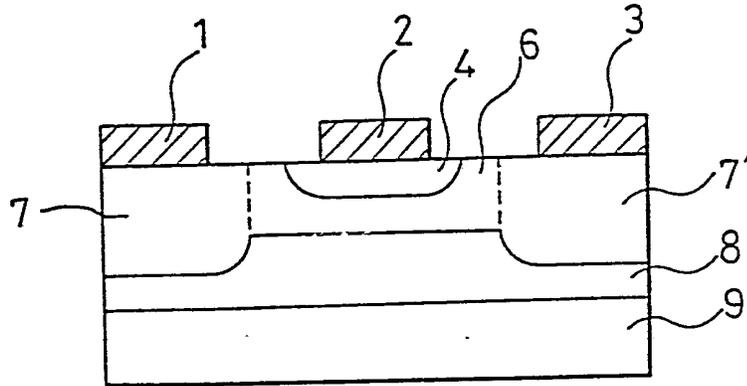


FIG 4(a)

ART ANTERIEUR

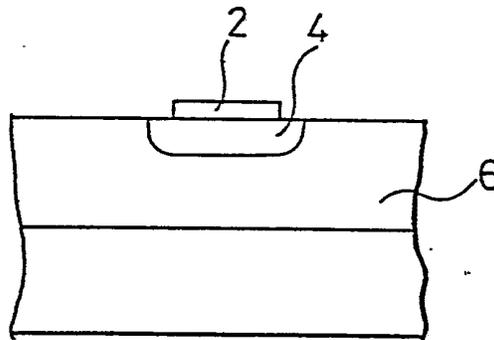
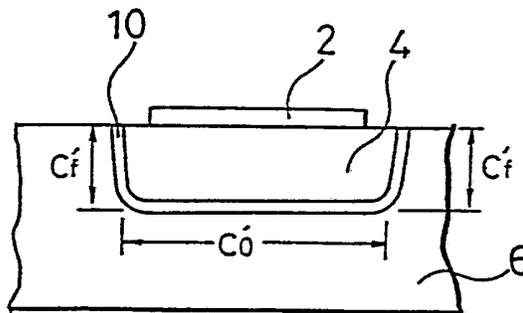


FIG 4(b)

ART ANTERIEUR



ART ANTERIEUR
FIG 5

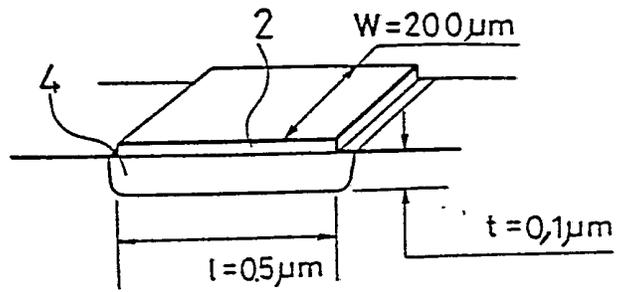


FIG 6

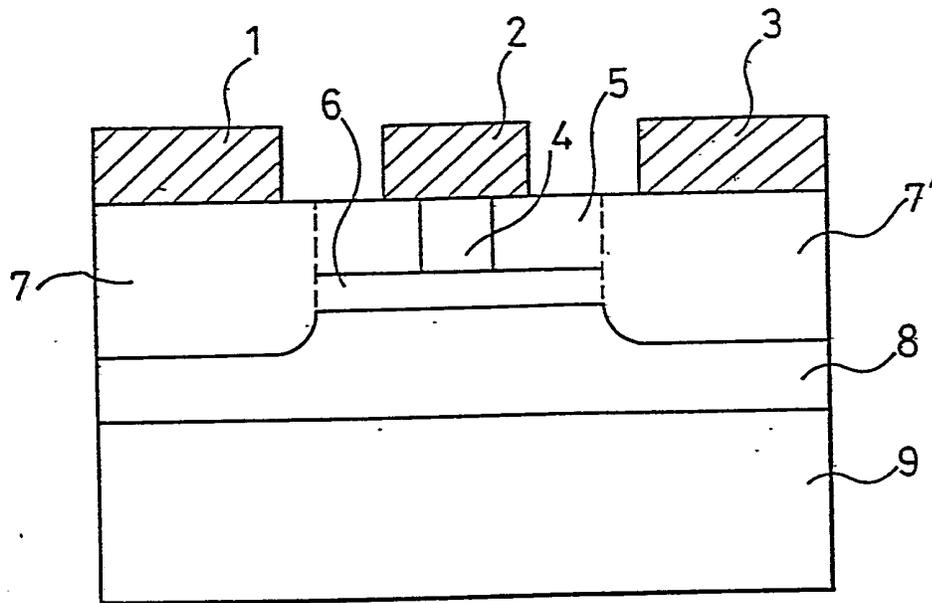


FIG 7(a)

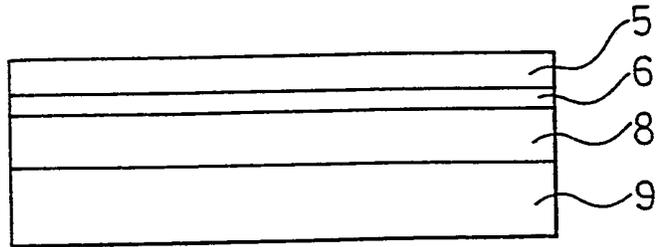


FIG 7(b)

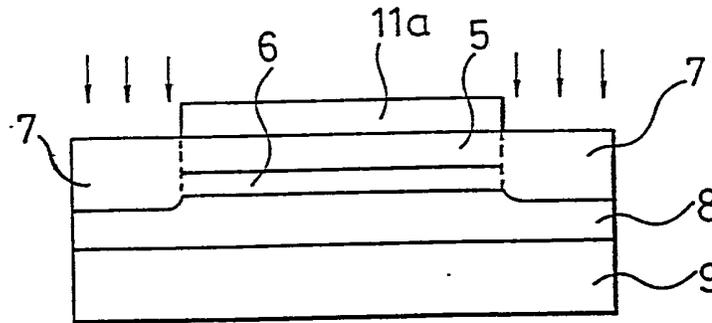


FIG 7(c)

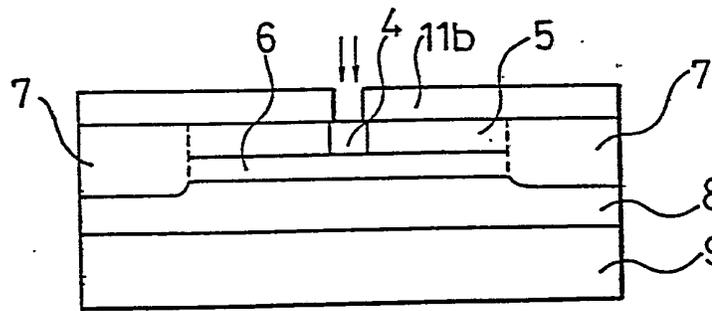


FIG 7(d)

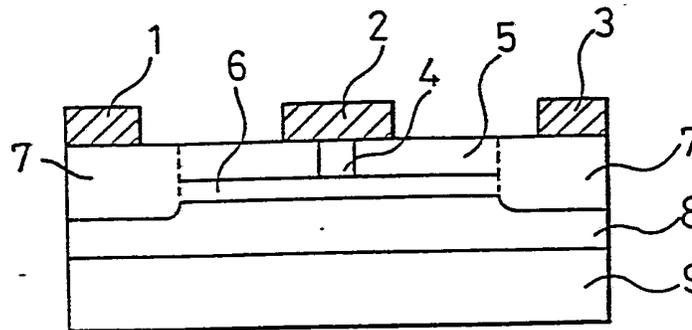


FIG 8(a)

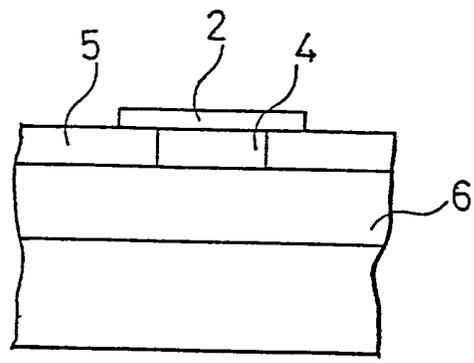


FIG 8(b)

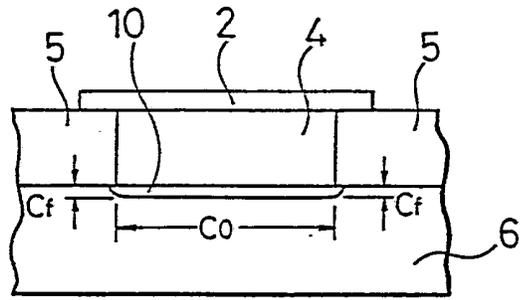


FIG 9

