

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6122290号
(P6122290)

(45) 発行日 平成29年4月26日 (2017. 4. 26)

(24) 登録日 平成29年4月7日 (2017. 4. 7)

(51) Int. Cl. F I
 HO 1 L 25/065 (2006. 01) HO 1 L 25/08 Z
 HO 1 L 25/07 (2006. 01)
 HO 1 L 25/18 (2006. 01)

請求項の数 30 (全 42 頁)

<p>(21) 出願番号 特願2012-274772 (P2012-274772) (22) 出願日 平成24年12月17日 (2012. 12. 17) (65) 公開番号 特開2013-135225 (P2013-135225A) (43) 公開日 平成25年7月8日 (2013. 7. 8) 審査請求日 平成27年12月16日 (2015. 12. 16) (31) 優先権主張番号 10-2011-0139829 (32) 優先日 平成23年12月22日 (2011. 12. 22) (33) 優先権主張国 韓国 (KR) (31) 優先権主張番号 10-2012-0054414 (32) 優先日 平成24年5月22日 (2012. 5. 22) (33) 優先権主張国 韓国 (KR) (31) 優先権主張番号 10-2012-0130947 (32) 優先日 平成24年11月19日 (2012. 11. 19) (33) 優先権主張国 韓国 (KR)</p>	<p>(73) 特許権者 390019839 三星電子株式会社 Samsung Electronics Co., Ltd. 大韓民国京畿道水原市靈通区三星路129 129, Samsung-ro, Yeon g-tong-gu, Suwon-si, G yeonggi-do, Republic of Korea (74) 代理人 110000051 特許業務法人共生国際特許事務所 (72) 発明者 田 成 勳 大韓民国 京畿道 華城市 石隅洞 49 番地 デウープルジオアパート 103棟 1601号 最終頁に続く</p>
--	--

(54) 【発明の名称】 再配線層を有する半導体パッケージ

(57) 【特許請求の範囲】

【請求項 1】

基板上に搭載されてデータパッド及び電源パッドを含む複数の第1半導体チップと、
 前記第1半導体チップのうちの最上層第1半導体チップ上に形成されて複数の再配線パ
 ターン及び複数の再配線パッドを含む上部配線層と、
 前記最上層第1半導体チップ上に形成されて前記データパッドに近い第2半導体チップ
 と、
 前記データパッドと前記第2半導体チップとの間に形成された第1導電性接続と、
 前記第2半導体チップと前記基板との間に形成された第2導電性接続と、を有し、
 前記再配線パターンは、同一レベルに配置されて互いに重畳せず、
 前記第1半導体チップの前記データパッドは、前記第1導電性接続、前記第2半導体チ
 ップ、前記再配線パターン、前記再配線パッド、及び前記第2導電性接続を経由して前記
 基板に電氣的に接続され、
 前記第2半導体チップと前記複数の第1半導体チップとの間においてデータ信号を伝達
 する役割を担う配線は、前記複数の第1半導体チップの内の最下層の第1半導体チップよ
 りも上部レベルに形成されることを特徴とする半導体パッケージ。

【請求項 2】

前記再配線パッドのうちの少なくとも1つは、前記最上層第1半導体チップの前記デー
 タパッドのうちの1つに直接的に接触することを特徴とする請求項1に記載の半導体パッ

ケージ。

【請求項 3】

前記第 2 半導体チップは、前記データパッドに相対的に近く、前記電源パッドに相対的に遠く離隔されることを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 4】

前記第 1 半導体チップと前記第 2 半導体チップとの間の第 1 電氣的接続経路は、前記第 2 半導体チップと前記基板との間の第 2 電氣的接続経路よりも短いことを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 5】

前記上部配線層は、

前記第 1 半導体チップの前記データパッドと前記第 2 半導体チップとの間に形成された第 1 再配線パターンと、

前記第 2 半導体チップと前記基板との間に形成された第 2 再配線パターンと、を含み、

前記第 1 再配線パターンは、前記第 2 再配線パターンよりも短く、

前記第 1 半導体チップの前記データパッドは、前記第 1 導電性接続、前記第 1 再配線パターン、前記第 2 半導体チップ、前記第 2 再配線パターン、及び前記第 2 導電性接続を順に経由して前記基板に接続されることを特徴とする請求項 4 に記載の半導体パッケージ。

【請求項 6】

前記上部配線層は、

前記第 1 半導体チップの前記データパッドと前記第 2 半導体チップとの間に形成された第 1 再配線パッドと、

前記第 2 半導体チップと前記基板との間に形成された再配線パターンと、

前記再配線パターンの両端に形成された第 2 及び第 3 再配線パッドと、を含み、

前記第 2 半導体チップは、前記第 1 再配線パッドに近く、

前記第 2 導電性接続は、前記第 3 再配線パッドに接続され、

前記第 1 半導体チップの前記データパッドは、前記第 1 再配線パッド、前記第 2 半導体チップ、前記第 2 再配線パッド、前記再配線パターン、前記第 3 再配線パッド、及び前記第 2 導電性接続を順に経由して前記基板に接続されることを特徴とする請求項 4 に記載の半導体パッケージ。

【請求項 7】

前記再配線パッド間に形成された第 3 導電性接続を更に含み、

前記第 3 導電性接続は、前記再配線パターンのうちの少なくとも 1 つの上部を横切り、

前記第 3 導電性接続は、前記再配線パターンと離隔され、

前記第 3 導電性接続は、ボンディングワイヤ、ビームリード、又は導電性テープであることを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 8】

前記上部配線層は、前記最上層第 1 半導体チップ上を部分的に覆い、

前記最上層第 1 半導体チップと前記第 2 半導体チップの間には、前記上部配線層がないことを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 9】

前記第 1 半導体チップの前記データパッドは、全てが前記第 2 半導体チップ、前記再配線パッド、前記再配線パターン、及び前記第 2 導電性接続を順に経由して前記基板に電氣的に接続されることを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 10】

前記基板は、基板内部配線を含み、

前記基板内部配線のそれぞれは、前記第 1 半導体チップの前記電源パッド又は前記第 2 半導体チップに接続されることを特徴とする請求項 9 に記載の半導体パッケージ。

【請求項 11】

前記基板内には、前記第 1 半導体チップの前記データパッドと前記第 2 半導体チップとの間を連結する配線がないことを特徴とする請求項 9 に記載の半導体パッケージ。

10

20

30

40

50

【請求項 1 2】

前記第 2 半導体チップは、長軸と短軸との長さ比率が 1 . 2 以下であることを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 1 3】

前記第 1 半導体チップの前記電源パッドは、前記第 2 半導体チップを経由せずに前記基板に直接的に接続されることを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 1 4】

前記第 2 半導体チップに接続されたバッファチップを更に含むことを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 1 5】

前記バッファチップは、前記上部配線層上に形成されることを特徴とする請求項 1 4 に記載の半導体パッケージ。

10

【請求項 1 6】

前記上部配線層は、
前記第 1 半導体チップの前記データパッドと前記第 2 半導体チップとの間に形成された第 1 再配線パターンと、
前記第 2 半導体チップと前記基板との間に形成された第 2 再配線パターンと、
前記第 2 半導体チップと前記バッファチップとの間に形成された第 3 再配線パターンと、
を含み、

前記バッファチップは、前記第 3 再配線パターンを経由して前記第 2 半導体チップに接続されることを特徴とする請求項 1 5 に記載の半導体パッケージ。

20

【請求項 1 7】

中間配線層を更に含み、
前記第 1 半導体チップのうちの一部は、第 1 方向に順にオフセット整列されて第 1 チップスタックを構成し、
前記第 1 半導体チップのうちの一部は、前記第 1 チップスタック上に前記第 1 方向と異なる第 2 方向に順にオフセット整列されて第 2 チップスタックを構成し、
前記中間配線層は、前記第 1 チップスタックと前記第 2 チップスタックとの間に形成され、

前記第 1 チップスタックに含まれる前記第 1 半導体チップは、前記中間配線層を経由して前記上部配線層に電氣的に接続されることを特徴とする請求項 1 に記載の半導体パッケージ。

30

【請求項 1 8】

基板上に搭載されてデータパッド及び電源パッドを含む複数の第 1 半導体チップと、
前記第 1 半導体チップのうち最上層第 1 半導体チップ上に形成され、複数の第 1 及び第 2 再配線パッド、前記第 1 再配線パッドと前記第 2 再配線パッドとの間の第 1 再配線パターン、複数の第 3 及び第 4 再配線パッド、前記第 3 再配線パッドと前記第 4 再配線パッドとの間の第 2 再配線パターン、複数の第 5 及び第 6 再配線パッド、前記第 5 再配線パッドと前記第 6 再配線パッドとの間の第 3 再配線パターン、複数の第 7 及び第 8 再配線パッド、及び前記第 7 再配線パッドと前記第 8 再配線パッドとの間の第 4 再配線パターンを含み、前記第 1 再配線パッドが前記最上層第 1 半導体チップの前記データパッドに接触する上部配線層と、

40

前記上部配線層上の第 2 半導体チップと、

前記第 1 再配線パッドと前記データパッドとの間の第 1 導電性接続と、

前記第 2 再配線パッドと前記第 2 半導体チップとの間の第 2 導電性接続と、

前記第 2 半導体チップと前記第 3 再配線パッドとの間の第 3 導電性接続と、

前記第 4 再配線パッドと前記基板との間の第 4 導電性接続と、

前記第 2 半導体チップと前記第 5 再配線パッドとの間の第 5 導電性接続と、

前記第 6 再配線パッドと前記第 7 再配線パッドとの間の第 6 導電性接続と、

前記第 8 再配線パッドと前記基板との間の第 7 導電性接続と、を有し、

50

前記第 6 導電性接続は、ボンディングワイヤ、ビームリード、又は導電性テープであり、
 前記第 1 再配線パターン及び前記第 2 再配線パターンのうちの少なくとも 1 つは、前記第 6 再配線パッドと前記第 7 再配線パッドとの間に配置され、
 前記第 6 導電性接続は、前記第 1 再配線パターン及び前記第 2 再配線パターンと離隔され、
前記第 2 半導体チップと前記複数の第 1 半導体チップとの間においてデータ信号を伝達する役割を担う配線は、前記複数の第 1 半導体チップの内の最下層の第 1 半導体チップよりも上部レベルに形成されることを特徴とする半導体パッケージ。

10

【請求項 19】

基板上に搭載されてデータパッド及び電源パッドを含む複数の第 1 半導体チップと、
 前記第 1 半導体チップのうちの最上層第 1 半導体チップ上を部分的に覆い、複数の第 1 再配線パッド、複数の第 2 再配線パッド、及び前記第 1 再配線パッドと前記第 2 再配線パッドとの間に形成された複数の再配線パターンを含む上部配線層と、
 前記最上層第 1 半導体チップ上の第 2 半導体チップと、
 前記第 1 半導体チップ間に形成されて前記データパッドに接触する第 1 導電性接続と、
 前記第 2 半導体チップと前記最上層第 1 半導体チップの前記データパッドとの間に形成された第 2 導電性接続と、
 前記第 2 半導体チップと前記第 1 再配線パッドとの間の第 3 導電性接続と、
 前記第 2 再配線パッドと前記基板との間に形成された第 4 導電性接続と、を有し、
 前記最上層第 1 半導体チップと前記第 2 半導体チップとの間には、前記上部配線層がなく、
 前記第 1 半導体チップの前記データパッドは、前記第 1 導電性接続、前記第 2 導電性接続、前記第 2 半導体チップ、前記第 3 導電性接続、前記第 1 再配線パッド、前記再配線パターン、前記第 2 再配線パッド、及び前記第 4 導電性接続を順に経由して前記基板に電氣的に接続され、
前記第 2 半導体チップと前記複数の第 1 半導体チップとの間においてデータ信号を伝達する役割を担う配線は、前記複数の第 1 半導体チップの内の最下層の第 1 半導体チップよりも上部レベルに形成されることを特徴とする半導体パッケージ。

20

30

【請求項 20】

基板上に搭載された第 1 半導体チップと、
 前記第 1 半導体チップと前記基板とを連結する第 1 導電性接続と、
 前記基板上に搭載されて前記第 1 半導体チップと同一レベルに位置する支持台と、
 前記支持台及び前記第 1 半導体チップ上に搭載されてデータパッド及び電源パッドを含む複数の第 2 半導体チップと、
 前記第 2 半導体チップのうちの最下層第 2 半導体チップの底表面に形成されて前記支持台及び前記第 1 半導体チップ上に付着された接着膜と、
 前記第 2 半導体チップのうちの最上層第 2 半導体チップ上に形成されて前記データパッドに電氣的に接続された上部配線層と、
 前記データパッドと前記上部配線層との間に形成された第 2 導電性接続と、前記上部配線層上に搭載され、前記データパッドに近く形成されて前記上部配線層に電氣的に接続された第 3 半導体チップと、
 前記第 3 半導体チップと前記基板との間に形成された第 3 導電性接続と、を有し、
 前記第 1 導電性接続は、前記接着膜の内部を通過し、
 前記複数の第 2 半導体チップは、前記データパッド、前記第 2 導電性接続、前記上部配線層、前記第 3 半導体チップ、及び前記第 3 導電性接続を順に経由して前記基板に電氣的に接続され、
前記第 3 半導体チップと前記第 1 半導体チップ、前記複数の第 2 半導体チップとの間に

40

50

においてデータ信号を伝達する役割を担う配線は、前記第1半導体チップよりも上部レベルに形成されることを特徴とする半導体パッケージ。

【請求項21】

基板上に搭載されてデータパッド及び電源パッドを含む複数の第1半導体チップと、
前記第1半導体チップのうちの最上層第1半導体チップ上に形成されて複数の再配線パターン及び複数の再配線パッドを含む上部配線層と、

前記最上層第1半導体チップ上に形成されて前記データパッドに近い第2半導体チップと、

前記最上層第1半導体チップ上に形成されて前記第2半導体チップに電氣的に接続された第1受動素子と、

前記データパッドと前記第2半導体チップとの間に形成された第1導電性接続と、

前記第2半導体チップと前記基板との間に形成された第2導電性接続と、を有し、

前記第1半導体チップの前記データパッドは、前記第1導電性接続、前記第2半導体チップ、前記再配線パターン、前記再配線パッド、及び前記第2導電性接続を経由して前記基板に電氣的に接続され、

前記第2半導体チップと前記複数の第1半導体チップとの間においてデータ信号を伝達する役割を担う配線は、前記複数の第1半導体チップの内の最下層の第1半導体チップよりも上部レベルに形成されることを特徴とする半導体パッケージ。

10

20

【請求項22】

前記第1受動素子は、前記第2半導体チップに近く搭載されることを特徴とする請求項21に記載の半導体パッケージ。

【請求項23】

前記第1受動素子は、MLCC(Multi-Layer Ceramic Capacitor)、IPD(Integrated Passive Device)、又はそれらの組み合わせであることを特徴とする請求項21に記載の半導体パッケージ。

【請求項24】

前記第1受動素子は、前記再配線パターンを経由して前記第2半導体チップに電氣的に接続されることを特徴とする請求項21に記載の半導体パッケージ。

30

【請求項25】

前記上部配線層は、前記最上層第1半導体チップのパッシベーション絶縁膜上に直接的に接触することを特徴とする請求項21に記載の半導体パッケージ。

【請求項26】

前記第1受動素子と前記再配線パッドとの間に形成された第2導電性接続を更に含み、
前記第1受動素子は、前記第2導電性接続、前記再配線パッド、及び前記再配線パターンを経由して前記第2半導体チップに電氣的に接続され、

前記第2導電性接続は、導電性ペースト、ソルダボール、又はソルダバンプであることを特徴とする請求項21に記載の半導体パッケージ。

【請求項27】

前記第1受動素子と前記第2半導体チップとの間に形成されたボンディングワイヤを更に含み、

前記第1受動素子は、前記ボンディングワイヤを経由して前記第2半導体チップに電氣的に接続されることを特徴とする請求項21に記載の半導体パッケージ。

40

【請求項28】

前記基板上に搭載された第2受動素子を更に含み、

前記第2受動素子は、前記基板に形成された電極フィンガーを経由して前記第2半導体チップに電氣的に接続されることを特徴とする請求項21に記載の半導体パッケージ。

【請求項29】

前記最上層第1半導体チップ上に形成されて前記第2半導体チップに電氣的に接続され

50

たバッファチップを更に含み、

前記バッファチップは、D R A M又はS R A Mを含むことを特徴とする請求項 2 1 に記載の半導体パッケージ。

【請求項 3 0】

基板上に搭載されてデータパッド及び電源パッドを含む複数の第 1 半導体チップと、
前記第 1 半導体チップのうちの最上層第 1 半導体チップ上に形成されてデカップリング
キャパシタ、複数の再配線パターン、及び複数の再配線パッドを含む上部配線層と、
前記最上層第 1 半導体チップ上に形成されて前記データパッドに近い第 2 半導体チップ
と、

前記データパッドと前記第 2 半導体チップとの間に形成された第 1 導電性接続と、
前記第 2 半導体チップと前記基板との間に形成された第 2 導電性接続と、を有し、
前記第 1 半導体チップの前記データパッドは、前記第 1 導電性接続、前記第 2 半導体チ
ップ、前記再配線パターン、前記再配線パッド、及び前記第 2 導電性接続を経由して前記
基板に電氣的に接続され、

前記第 2 半導体チップと前記複数の第 1 半導体チップとの間においてデータ信号を伝達
する役割を担う配線は、前記複数の第 1 半導体チップの内の最下層の第 1 半導体チップよ
りも上部レベルに形成されることを特徴とする半導体パッケージ。

10

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、複数の半導体チップ及び再配線層を有する半導体パッケージに関する。

【背景技術】

【0 0 0 2】

複数の半導体チップを搭載しながら高速動作特性を有する半導体パッケージを具現する
ための多様な方法が研究されている。

【先行技術文献】

【特許文献】

【0 0 0 3】

【特許文献 1】米国特許第 7 , 8 8 8 , 7 9 6 号明細書

【特許文献 2】米国特許出願公開第 2 0 1 1 / 2 3 3 7 8 8 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

本発明は、上記従来技術に鑑みてなされたものであって、本発明の目的は、信号伝達経
路を短縮し、大きさを縮小しながら複数の半導体チップを搭載することができる半導体パ
ッケージを提供することにある。

また、本発明の目的は、信号伝達経路を短縮し、大きさを縮小しながら複数の半導体チ
ップ及び受動素子を搭載することができる半導体パッケージを提供することにある。

【課題を解決するための手段】

【0 0 0 5】

上記目的を達成するためになされた本発明の一態様による半導体パッケージは、基板上
に搭載されてデータパッド及び電源パッドを有する複数の第 1 半導体チップと、前記第 1
半導体チップのうちの最上層第 1 半導体チップ上に形成されて複数の再配線パターン及び
複数の再配線パッドを含む上部配線層と、前記最上層第 1 半導体チップ上に形成されて前
記データパッドに近い第 2 半導体チップと、前記データパッドと前記第 2 半導体チップと
の間に形成された第 1 導電性接続と、前記第 2 半導体チップと前記基板との間に形成され
た第 2 導電性接続と、を有し、前記再配線パターンは、同一レベルに配置されて互いに重
畳せず、前記第 1 半導体チップの前記データパッドは、前記第 1 導電性接続、前記第 2 半

20

30

40

50

導体チップ、前記再配線パターン、前記再配線パッド、及び前記第2導電性接続を經由して前記基板に電氣的に接続される。

【0006】

前記再配線パッドのうちの少なくとも1つは、前記最上層第1半導体チップの前記データパッドのうちの1つに直接的に接触し得る。

前記第2半導体チップは、前記データパッドに相対的に近く、前記電源パッドに相対的に遠く離隔され得る。

前記第1半導体チップと前記第2半導体チップとの間の第1電氣的接続経路は、前記第2半導体チップと前記基板との間の第2電氣的接続経路よりも短くあり得る。

前記上部配線層は、前記第1半導体チップの前記データパッドと前記第2半導体チップとの間に形成された第1再配線パターンと、前記第2半導体チップと前記基板との間に形成された第2再配線パターンと、を含み、前記第1再配線パターンは、前記第2再配線パターンよりも短く、前記第1半導体チップの前記データパッドは、前記第1導電性接続、前記第1再配線パターン、前記第2半導体チップ、前記第2再配線パターン、及び前記第2導電性接続を順に經由して前記基板に接続され得る。

10

前記上部配線層は、前記第1半導体チップの前記データパッドと前記第2半導体チップとの間に形成された第1再配線パッドと、前記第2半導体チップと前記基板との間に形成された再配線パターンと、前記再配線パターンの両端に形成された第2及び第3再配線パッドと、を含み、前記第2半導体チップは、前記第1再配線パッドに近く、前記第2導電性接続は、前記第3再配線パッドに接続され、前記第1半導体チップの前記データパッドは、前記第1再配線パッド、前記第2半導体チップ、前記第2再配線パッド、前記再配線パターン、前記第3再配線パッド、及び前記第2導電性接続を順に經由して前記基板に接続され得る。

20

前記半導体パッケージは、前記再配線パッド間に形成された第3導電性接続を更に含むことができ、前記第3導電性接続は、前記再配線パターンのうちの少なくとも1つの上部を横切り、前記第3導電性接続は、前記再配線パターンと離隔され、前記第3導電性接続は、ボンディングワイヤ(bonding wire)、ビームリード(beam lead)、又は導電性テープ(conductive tape)であり得る。

前記上部配線層は、前記最上層第1半導体チップ上を部分的に覆い、前記最上層第1半導体チップと前記第2半導体チップとの間には、前記上部配線層がないものとし得る。

30

前記第1半導体チップの前記データパッドは、全てが前記第2半導体チップ、前記再配線パッド、前記再配線パターン、及び前記第2導電性接続を順に經由して前記基板に電氣的に接続され得る。

前記基板は、基板内部配線を含み、前記基板内部配線のそれぞれは、前記第1半導体チップの前記電源パッド又は前記第2半導体チップに接続され得る。

前記基板内には、前記第1半導体チップの前記データパッドと前記第2半導体チップとの間を連結する配線がないものとし得る。

前記第2半導体チップは、長軸と短軸の長さ比率が1.2以下であり得る。

前記第1半導体チップの前記電源パッドは、前記第2半導体チップを經由せずに前記基板に直接的に接続され得る。

40

前記半導体パッケージは、前記第2半導体チップに接続されたバッファチップを更に含むことができる。

前記バッファチップは、前記上部配線層上に形成され得る。

前記上部配線層は、前記第1半導体チップの前記データパッドと前記第2半導体チップとの間に形成された第1再配線パターンと、前記第2半導体チップと前記基板との間に形成された第2再配線パターンと、前記第2半導体チップと前記バッファチップとの間に形成された第3再配線パターンと、を含み、前記バッファチップは、前記第3再配線パターンを經由して前記第2半導体チップに接続され得る。

前記半導体パッケージは、中間配線層を更に含むことができ、前記第1半導体チップのうちの一部は、第1方向に順にオフセット整列されて第1チップスタック(chip s

50

tack)を構成し、前記第1半導体チップのうちの他の一部は、前記第1チップスタック上に前記第1方向と異なる第2方向に順にオフセット整列されて第2チップスタックを構成し、前記中間配線層は、前記第1チップスタックと前記第2チップスタックとの間に形成され、前記第1チップスタックに含まれる前記第1半導体チップは、前記中間配線層を經由して前記上部配線層に電氣的に接続され得る。

【0007】

上記目的を達成するためになされた本発明の他の態様による半導体パッケージは、基板上に搭載されてデータパッド及び電源パッドを含む複数の第1半導体チップと、前記第1半導体チップのうちの最上層第1半導体チップ上に形成され、複数の第1及び第2再配線パッド、前記第1再配線パッドと前記第2再配線パッドとの間の第1再配線パターン、複数の第3及び第4再配線パッド、前記第3再配線パッドと前記第4再配線パッドとの間の第2再配線パターン、複数の第5及び第6再配線パッド、前記第5再配線パッドと前記第6再配線パッドとの間の第3再配線パターン、複数の第7及び第8再配線パッド、及び前記第7再配線パッドと前記第8再配線パッドとの間の第4再配線パターンを含み、前記第1再配線パッドが前記最上層第1半導体チップの前記データパッドに接触する上部配線層と、前記上部配線層上の第2半導体チップと、前記第1再配線パッドと前記データパッドとの間の第1導電性接続と、前記第2再配線パッドと前記第2半導体チップとの間の第2導電性接続と、前記第2半導体チップと前記第3再配線パッドとの間の第3導電性接続と、前記第4再配線パッドと前記基板との間の第4導電性接続と、前記第2半導体チップと前記第5再配線パッドとの間の第5導電性接続と、前記第6再配線パッドと前記第7再配線パッドとの間の第6導電性接続と、前記第8再配線パッドと前記基板との間の第7導電性接続と、を有し、前記第6導電性接続は、ボンディングワイヤ(bonding wire)、ビームリード(beam lead)、又は導電性テープ(conductive tape)であり、前記第1再配線パターン及び前記第2再配線パターンのうちの少なくとも1つは、前記第6再配線パッドと前記第7再配線パッドとの間に配置され、前記第6導電性接続は、前記第1再配線パターン及び前記第2再配線パターンと離隔される。

【0008】

また、上記目的を達成するためになされた本発明の他の態様による半導体パッケージは、基板上に搭載されてデータパッド及び電源パッドを含む複数の第1半導体チップと、前記第1半導体チップのうちの最上層第1半導体チップ上を部分的に覆い、複数の第1再配線パッド、複数の第2再配線パッド、及び前記第1再配線パッドと前記第2再配線パッドとの間に形成された複数の再配線パターンを含む上部配線層と、前記最上層第1半導体チップ上の第2半導体チップと、前記第1半導体チップ間に形成されて前記データパッドに接触する第1導電性接続と、前記第2半導体チップと前記最上層第1半導体チップの前記データパッドとの間に形成された第2導電性接続と、前記第2半導体チップと前記第1再配線パッドとの間の第3導電性接続と、前記第2再配線パッドと前記基板との間の第4導電性接続と、有し、前記最上層第1半導体チップと前記第2半導体チップとの間には、前記上部配線層がなく、前記第1半導体チップの前記データパッドは、前記第1導電性接続、前記第2導電性接続、前記第2半導体チップ、前記第3導電性接続、前記第1再配線パッド、前記再配線パターン、前記第2再配線パッド、及び前記第4導電性接続を順に經由して前記基板に電氣的に接続される。

【0009】

また、上記目的を達成するためになされた本発明の他の態様による半導体パッケージは、基板上に搭載された第1半導体チップと、前記第1半導体チップと前記基板とを連結する第1導電性接続と、前記基板上に搭載されて前記第1半導体チップと同一レベルに位置する支持台と、前記支持台及び前記第1半導体チップ上に搭載されてデータパッド及び電源パッドを含む複数の第2半導体チップと、前記第2半導体チップのうちの最下層第2半導体チップの底表面に形成されて前記支持台及び前記第1半導体チップ上に付着された接着膜と、前記第2半導体チップのうちの最上層第2半導体チップ上に形成されて前記データパッドに電氣的に接続された上部配線層と、前記データパッドと前記上部配線層との間

10

20

30

40

50

に形成された第2導電性接続と、前記上部配線層上に搭載され、前記データパッドに近く形成されて前記上部配線層に電氣的に接続された第3半導体チップと、前記第3半導体チップと前記基板との間に形成された第3導電性接続と、を有し、前記第1導電性接続は、前記接着膜の内部を通過し、前記複数の第2半導体チップは、前記データパッド、前記第2導電性接続、前記上部配線層、前記第3半導体チップ、及び前記第3導電性接続を順に經由して前記基板に電氣的に接続される。

【0010】

前記第3半導体チップと前記データパッドとの間の電氣的接続経路の長さは、前記第3半導体チップと前記基板との間の電氣的接続経路よりも短くし得る。

前記上部配線層は、第1再配線パターン、前記第1再配線パターンの両端に接続された第1及び第2再配線パッド、前記第1再配線パターンと離隔された第2再配線パターン、及び前記第2再配線パターンの両端に接続された第3及び第4再配線パッドを含み、前記第2導電性接続の一端は、前記第1再配線パッドに接触し、前記第2再配線パッドは、前記第3半導体チップに電氣的に接続され、前記第3導電性接続の一端は、前記第4再配線パッドに接触し、前記第3再配線パッドは、前記第3半導体チップに電氣的に接続され、前記第2再配線パッドと前記第3半導体チップとの間に第4導電性接続が形成され、前記第3再配線パッドと前記第3半導体チップとの間に第5導電性接続が形成され得る。

前記上部配線層は、第1再配線パッド、前記第1再配線パッドと離隔された第2再配線パターン、及び前記第2再配線パターンの両端に接続された第3及び第4再配線パッドを含み、前記第2導電性接続の一端は、前記第1再配線パッドに接触し、前記第1再配線パッドは、前記第3半導体チップに電氣的に接続され、前記第3導電性接続の一端は、前記第4再配線パッドに接触し、前記第3再配線パッドは、前記第3半導体チップに電氣的に接続され得る。

前記上部配線層は、第1再配線パターン、及び前記第1再配線パターンの両端に接続された第1及び第2再配線パッドを含み、前記第2導電性接続の一端は、前記第1再配線パッドに接触し、前記第2再配線パッドは、前記第3半導体チップに電氣的に接続され、前記第3導電性接続の一端は、前記第3半導体チップに接触し得る。

前記第2半導体チップの前記電源パッドは、前記第3半導体チップを經由せずに前記基板に直接的に接続され得る。

前記複数の第2半導体チップのうちの一部は、第1方向に順にオフセット整列されて第1チップスタック(chip stack)を構成し、前記複数の第2半導体チップのうち他の一部は、前記第1チップスタック上に前記第1方向と異なる第2方向に順にオフセット整列されて第2チップスタックを構成し、前記第1チップスタック上に中間配線層が形成され、前記第1チップスタックに含まれる前記第2半導体チップは、前記中間配線層を經由して前記上部配線層に電氣的に接続され得る。

前記第2チップスタックの底表面に付着して前記中間配線層上に接触する中間接着膜が提供され、前記第2導電性接続の一部は、前記中間接着膜を通過して前記中間配線層に接続され得る。

前記第1半導体チップは、バッファチップを含み、前記第2半導体チップのそれぞれは、前記第1半導体チップよりも大きい幅を有する不揮発性メモリチップを含み、前記第3半導体チップは、前記第2半導体チップよりも狭い幅を有するロジックチップを含み得る。

【0011】

また、上記目的を達成するためになされた本発明の他の態様による半導体パッケージは、基板上に搭載されてデータパッド及び電源パッドを含む複数の第1半導体チップと、前記第1半導体チップのうち最上層第1半導体チップ上に形成されて複数の再配線パターン及び複数の再配線パッドを含む上部配線層と、前記最上層第1半導体チップ上に形成されて前記データパッドに近い第2半導体チップと、前記最上層第1半導体チップ上に形成されて前記第2半導体チップに電氣的に接続された第1受動素子と、前記データパッドと前記第2半導体チップとの間に形成された第1導電性接続と、前記第2半導体チップと前

10

20

30

40

50

記基板との間に形成された第2導電性接続と、を有し、前記第1半導体チップの前記データパッドは、前記第1導電性接続、前記第2半導体チップ、前記再配線パターン、前記再配線パッド、及び前記第2導電性接続を経由して前記基板に電氣的に接続される。

【0012】

前記第1受動素子は、前記第2半導体チップに近く搭載され得る。

前記第1受動素子は、MLCC (Multi-Layer Ceramic Capacitor)、IPD (Integrated Passive Device)、又はそれらの組み合わせであり得る。

前記第1受動素子は、前記再配線パターンを経由して前記第2半導体チップに電氣的に接続され得る。

10

前記上部配線層は、前記最上層第1半導体チップのパッシベーション絶縁膜上に直接的に接触し得る。

前記半導体パッケージは、前記第1受動素子と前記再配線パッドとの間に形成された第2導電性接続を更に含むことができ、前記第1受動素子は、前記第2導電性接続、前記再配線パッド、及び前記再配線パターンを経由して前記第2半導体チップに電氣的に接続され、前記第2導電性接続は、導電性ペースト (conductive paste)、ソルダボール (solder ball)、又はソルダバンプ (solder bump) であり得る。

前記半導体パッケージは、前記第1受動素子と前記第2半導体チップとの間に形成されたボンディングワイヤ (bonding wire) を更に含むことができ、前記第1受動素子は、前記ボンディングワイヤを経由して前記第2半導体チップに電氣的に接続され得る。

20

前記半導体パッケージは、前記基板上に第2受動素子を更に含むことができ、前記第2受動素子は、前記基板に形成された電極フィンガーを経由して前記第2半導体チップに電氣的に接続され得る。

前記半導体パッケージは、前記最上層第1半導体チップ上に形成されて前記第2半導体チップに電氣的に接続されたバッファチップを更に含むことができ、前記バッファチップは、DRAM又はSRAMを含み得る。

【0013】

また、上記目的を達成するためになされた本発明の他の態様による半導体パッケージは、基板上に搭載されてデータパッド及び電源パッドを含む複数の第1半導体チップと、前記第1半導体チップのうちの最上層第1半導体チップ上に形成されてデカップリングキャパシタ (decoupling capacitor)、複数の再配線パターン、及び複数の再配線パッドを含む上部配線層と、前記最上層第1半導体チップ上に形成されて前記データパッドに近い第2半導体チップと、前記データパッドと前記第2半導体チップとの間に形成された第1導電性接続と、前記第2半導体チップと前記基板との間に形成された第2導電性接続と、を有し、前記第1半導体チップの前記データパッドは、前記第1導電性接続、前記第2半導体チップ、前記再配線パターン、前記再配線パッド、及び前記第2導電性接続を経由して前記基板に電氣的に接続される。

30

【0014】

前記デカップリングキャパシタは、前記最上層第1半導体チップのパッシベーション絶縁膜上に形成された第1キャパシタ電極、前記第1キャパシタ電極と対向する第2キャパシタ電極、及び前記第1キャパシタ電極と前記第2キャパシタ電極との間のキャパシタ誘電膜を含み得る。

40

前記第1キャパシタ電極及び前記第2キャパシタ電極は、同一の水平レベルに形成され得る。

前記キャパシタ誘電膜は、前記第1キャパシタ電極の上部表面を覆い、前記第2キャパシタ電極は、前記キャパシタ誘電膜上に形成され得る。

前記第1キャパシタ電極及び前記第2キャパシタ電極は、前記第2半導体チップに電氣的に接続され得る。

50

前記最上層第1半導体チップ上に、前記第2半導体チップに電氣的に接続されたIPD (Integrated Passive Device) が搭載され得る。

その他の実施形態の具体的な事項は詳細な説明及び図面に含まれる。

【発明の効果】

【0015】

本発明の半導体パッケージは、基板上に複数のメモリチップ、受動素子、及びロジックチップが搭載され、メモリチップのうちの最上層メモリチップ上に再配線層が形成される。メモリチップは、ボンディングワイヤのような導電性接続により再配線層を経由してロジックチップに接続され、ロジックチップは、メモリチップのデータパッドに近く搭載される。これにより、ロジックチップとメモリチップとの間のデータ伝達経路は従来に比べて著しく短縮することができる。基板は、ロジックチップとメモリチップとの間のデータ伝達のための配線を必要としないため、基板内に形成される基板内部配線は従来に比べて著しく単純化することができる。受動素子は、ロジックチップに近く搭載されてロジックチップに接続される。

10

また、半導体パッケージは、基板上にバッファチップ、支持台、接着膜、複数のメモリチップ、及びロジックチップが搭載され、メモリチップのうちの最上層メモリチップ上に再配線層が形成される。これにより、信号伝達経路が短縮され、構造的に安定し、複数の半導体チップを搭載しながらも軽薄短小化に有利な半導体パッケージを具現することができる。

【図面の簡単な説明】

20

【0016】

【図1】本発明の一実施形態による半導体パッケージを説明するレイアウトである。

【図2】本発明の一実施形態による半導体パッケージを説明する断面図であり、(B)は(A)の一部分を詳細に示す部分断面図である。

【図3】本発明の一実施形態による半導体パッケージを説明する断面図である。

【図4】本発明の一実施形態による半導体パッケージを説明する基板内の配線を示すレイアウトである。

【図5】本発明の一実施形態による半導体パッケージを説明するレイアウトである。

【図6】本発明の一実施形態による半導体パッケージを説明する断面図である。

【図7】本発明の一実施形態による半導体パッケージを説明するレイアウトである。

30

【図8】本発明の一実施形態による半導体パッケージを説明するレイアウトである。

【図9】本発明の一実施形態による半導体パッケージを説明する断面図である。

【図10】本発明の一実施形態による半導体パッケージを説明するレイアウトである。

【図11】本発明の一実施形態による半導体パッケージを説明する断面図である。

【図12】本発明の一実施形態による半導体パッケージを説明するレイアウトである。

【図13】本発明の一実施形態による半導体パッケージを説明する断面図である。

【図14】本発明の一実施形態による半導体パッケージを説明する断面図である。

【図15】本発明の一実施形態による半導体パッケージを説明するレイアウトである。

【図16】本発明の一実施形態による半導体パッケージを説明する断面図である。

【図17】本発明の一実施形態による半導体パッケージを説明する断面図である。

40

【図18】本発明の一実施形態による半導体パッケージを説明する断面図である。

【図19】本発明の一実施形態による半導体パッケージを説明する断面図である。

【図20】本発明の一実施形態による半導体パッケージを説明する断面図である。

【図21】本発明の一実施形態による半導体パッケージを説明する断面図である。

【図22】本発明の一実施形態による半導体パッケージを説明するレイアウトであり、(B)は、(A)の一部分を示す断面図である。

【図23】本発明の一実施形態による半導体パッケージを説明するレイアウトである。

【図24】本発明の一実施形態による半導体パッケージを説明する断面図である。

【図25】本発明の一実施形態による半導体パッケージを説明するレイアウトである。

【図26】本発明の一実施形態による半導体パッケージを説明する断面図である。

50

- 【図 27】本発明の一実施形態による半導体パッケージを説明する断面図である。
- 【図 28】本発明の一実施形態による半導体パッケージを説明するレイアウトである。
- 【図 29】本発明の一実施形態による半導体パッケージを説明するレイアウトである。
- 【図 30】本発明の一実施形態による半導体パッケージを説明する断面図である。
- 【図 31】本発明の一実施形態による半導体パッケージを説明するレイアウトである。
- 【図 32】本発明の一実施形態による半導体パッケージを説明する断面図である。
- 【図 33】本発明の一実施形態による半導体パッケージを説明するレイアウトである。
- 【図 34】本発明の一実施形態による半導体パッケージを説明する断面図である。
- 【図 35】本発明の一実施形態による半導体パッケージを説明するレイアウトである。
- 【図 36】本発明の一実施形態による半導体パッケージを説明するレイアウトである。 10
- 【図 37】図 36 の一部分を詳細に示す拡大図である。
- 【図 38】本発明の一実施形態による半導体パッケージを説明する断面図である。
- 【図 39】図 36 の一部分を詳細に示す斜視図である。
- 【図 40】本発明の一実施形態による半導体パッケージを説明する断面図である。
- 【図 41】本発明の一実施形態による半導体パッケージを説明するレイアウトである。
- 【図 42】本発明の一実施形態による電子装置の斜視図である。
- 【図 43】本発明の一実施形態による電子装置のシステムブロック図である。
- 【図 44】本発明の一実施形態による電子装置の斜視図である。
- 【図 45】本発明の一実施形態による電子装置の斜視図である。
- 【図 46】本発明の一実施形態による電子装置の斜視図である。 20
- 【図 47】本発明の一実施形態による電子装置のシステムブロック図である。

【発明を実施するための形態】

【0017】

以下、本発明を実施するための形態の具体例を、図面を参照しながら詳細に説明する。しかし、本発明は、ここに説明した実施形態に限定されず、他の形態に具現化することができる。むしろ、ここに紹介した実施形態は、開示した内容が徹底的且つ完全となるように、そして当業者に本発明の思想が十分に伝達されるようにするために提供する。図面において、層及び領域の厚さは明確にするために誇張したものである。また、層が他の層又は基板「上」にあるとした場合に、それは他の層又は基板上に直接形成されるか、又はそれらの間に第3の層が介在する。明細書全体において同一参照符号で示した部分は同一構成要素を意味する。 30

【0018】

第1、第2などの用語は多様な構成要素を説明するために用いるが、構成要素は用語によって限定されない。用語は1つの構成要素を他の構成要素から区別する目的だけに用いる。例えば、本発明の権利範囲を離脱しない範囲で、第1構成要素は第2構成要素とすることができ、同様に第2構成要素は第1構成要素とすることができる。

【0019】

上端、下端、上面、下面、又は上部、下部などの用語は、構成要素において相対的な位置を区別するために用いる。例えば、便宜的に、図面上の上側を上部、図面上の下側を下部として記載する場合、実際では、本発明の権利範囲を離脱しない範囲において、上部は下部とすることができ、下部は上部とすることができる。 40

【0020】

本明細書で用いる用語は、単に特定の実施形態を説明するために用いるものであり、本発明を限定しようとする意図はない。単数の表現は文脈上で明白に示さない限り、複数の表現を含む。本出願において、「含む」又は「有する」などの用語は、明細書上に記載した特徴、数字、段階、動作、構成要素、部分品、又はこれらの組み合わせの存在を指定しようとするものであって、1つ又はそれ以上の他の特徴や数字、段階、動作、構成要素、部分品、又はこれらを組み合わせたものなどの存在又は付加可能性を予め排除しないものとして理解すべきである。

【0021】

他に定義しない限り、技術的や科学的な用語を含み、ここに用いる全ての用語は本発明が属する技術分野において通常の知識を有する者にとって一般的に理解されるものと同一の意味を有する。一般的に用いられる事前に定義されている用語は関連技術の文脈上に有する意味と一致するものとして解釈すべきであり、本明細書で明白に定義しない限り、理想的、又は過度に形式的な意味として解釈してはならない。

【0022】

図1は、本発明の一実施形態による半導体パッケージを説明するレイアウトであり、図2(A)及び図3は、本発明の一実施形態による半導体パッケージを説明する断面図であり、図2(B)は、図2(A)の一部を詳細に示す部分断面図であり、図4は、本発明の一実施形態による半導体パッケージを説明する基板内の配線を示すレイアウトである。

10

【0023】

図1及び図2(A)を参照すると、基板3上に第1チップスタック(chip stack)10が搭載される。第1チップスタック10は複数のメモリチップ11、12、13、14を含む。複数のメモリチップ11、12、13、14のうちの最上層メモリチップ14上に再配線層274が形成される。再配線層274内に、複数の第1再配線パターン275、複数の第2再配線パターン276、複数の第1再配線パッド291、複数の第2再配線パッド292、複数の第3再配線パッド293、複数の第4再配線パッド294、及び複数の第5再配線パッド297が形成される。再配線層274上にロジックチップ7が搭載される。基板3上に第1チップスタック10及びロジックチップ7を覆う封止材59が提供される。封止材59内に第1～第5導電性接続241、243、246、248、249が提供される。複数のメモリチップ11、12、13、14、及びロジックチップ7は、複数のデータパッド91及び複数の電源パッド92を含む。

20

【0024】

他の実施形態において、再配線層274は上部配線層と指称する。

【0025】

第1～第5導電性接続241、243、246、248、249のそれぞれは、ボンディングワイヤ(bonding wire)、ビームリード(beam lead)、導電性テープ、導電性スペーサ、貫通電極、ソルダボール(solder ball)、ソルダバンプ(solder bump)、又はそれらの組み合わせを含む。例えば、第1～第5導電性接続241、243、246、248、249はボンディングワイヤ(bonding wire)である。

30

【0026】

基板3は、硬性印刷回路基板(rigid printed circuit board)、軟性印刷回路基板(flexible printed circuit board)、又は硬軟性印刷回路基板(rigid-flexible printed circuit board)を含む。基板3の下部表面は下部ソルダレジスト2で覆われ、基板3の上部表面は上部ソルダレジスト4で覆われる。基板3上に第1電極フィンガー231及び第2電極フィンガー233が形成される。基板3の下部に下部ソルダレジスト2を貫通する外部端子5が形成される。第1電極フィンガー231は基板3を介して外部端子5から選択される1つと電氣的に接続される。外部端子5は、ソルダボール(solder ball)、ソルダバンプ(solder bump)、ピングリッドアレイ(pin grid array)、リードグリッドアレイ(lead grid array)、導電性タブ(conductive tab)、又はそれらの組み合わせを含む。

40

【0027】

複数のメモリチップ11、12、13、14のそれぞれは、ナンドフラッシュメモリ(NAND flash memory)のような不揮発性メモリ素子(non-volatile memory device)を含む。複数のメモリチップ11、12、13、14はデータパッド91を含む。複数のメモリチップ11、12、13、14のデータパッド91はデータ入出力パッドである。複数のメモリチップ11、12、13、14は

50

カスケード (c a s c a d e) 構造に積層される。複数のメモリチップ 1 1、1 2、1 3、1 4 は段階的に (s t e p b y s t e p) オフセット整列される。例えば、複数のメモリチップ 1 1、1 2、1 3、1 4 は基板 3 の一方向に段階的にオフセット整列される。複数のメモリチップ 1 1、1 2、1 3、1 4 のそれぞれはロジックチップ 7 よりも大きい幅である。

【 0 0 2 8 】

第 1 再配線パターン 2 7 5 のそれぞれの長さは第 2 再配線パターン 2 7 6 のそれぞれの長さよりも短い。第 1 再配線パターン 2 7 5 及び第 2 再配線パターン 2 7 6 は互いに離隔される。第 1 再配線パターン 2 7 5 の両端に接触する第 1 及び第 2 再配線パッド 2 9 1、2 9 2 が形成される。第 2 再配線パターン 2 7 6 の両端に接触する第 3 及び第 4 再配線パッド 2 9 3、2 9 4 が形成される。第 1 再配線パッド 2 9 1 は最上層メモリチップ 1 4 のデータパッド 9 1 に接触して電氣的に接続される。また、第 1 再配線パッド 2 9 1 は、第 2 導電性接続 2 4 3 を経由して複数のメモリチップ 1 1、1 2、1 3 に電氣的に接続される。第 2 導電性接続 2 4 3 は、メモリチップ 1 1、1 2、1 3 のデータパッド 9 1 及び第 1 再配線パッド 2 9 1 に接触する。

10

【 0 0 2 9 】

他の実施形態において、メモリチップ 1 1、1 2、1 3、1 4 のそれぞれは D R A M (d y n a m i c r a n d o m a c c e s s m e m o r y) のような揮発性メモリ素子 (v o l a t i l e m e m o r y d e v i c e) を含む。

【 0 0 3 0 】

ロジックチップ 7 は、ロジック素子 (l o g i c d e v i c e) を含むコントローラ (c o n t r o l l e r) 又はマイクロプロセッサ (m i c r o p r o c e s s o r) である。ロジックチップ 7 は、複数のメモリチップ 1 1、1 2、1 3、1 4 よりも狭い幅である。ロジックチップ 7 は再配線層 2 7 4 上に搭載される。再配線層 2 7 4 は最上層メモリチップ 1 4 上を覆う。ロジックチップ 7 と最上層メモリチップ 1 4 との間に再配線層 2 7 4 が介在する。ロジックチップ 7 のデータパッド 9 1 から選択される 1 つは、第 5 導電性接続 2 4 9 を経由して第 2 再配線パッド 2 9 2 に接続される。ロジックチップ 7 のデータパッド 9 1 から選択される他の 1 つは、第 4 導電性接続 2 4 8 を経由して第 3 再配線パッド 2 9 3 に接続される。第 4 再配線パッド 2 9 4 と第 1 電極フィンガー 2 3 1 との間に第 1 導電性接続 2 4 1 が形成される。

20

30

【 0 0 3 1 】

複数のメモリチップ 1 1、1 2、1 3、1 4 は、第 1 再配線パッド 2 9 1、第 1 再配線パターン 2 7 5、第 2 再配線パッド 2 9 2、第 5 導電性接続 2 4 9、ロジックチップ 7、第 4 導電性接続 2 4 8、第 3 再配線パッド 2 9 3、第 2 再配線パターン 2 7 6、第 4 再配線パッド 2 9 4、及び第 1 導電性接続 2 4 1 を順に経由して基板 3 に電氣的に接続される。

【 0 0 3 2 】

第 3 導電性接続 2 4 6 は、第 2 電極フィンガー 2 3 3、メモリチップ 1 1、1 2、1 3 の電源パッド 9 2、及び第 5 再配線パッド 2 9 7 に接触される。第 5 再配線パッド 2 9 7 は、メモリチップ 1 1、1 2、1 3、1 4 から最上層メモリチップ 1 4 の電源パッド 9 2 に接触して電氣的に接続される。メモリチップ 1 1、1 2、1 3、1 4 の電源パッド 9 2 は、ロジックチップ 7 を経由せず、第 3 導電性接続 2 4 6 を経由して第 2 電極フィンガー 2 3 3 に直接的に接続される。

40

【 0 0 3 3 】

図 2 (B) を参照すると、最上層メモリチップ 1 4 はデータパッド 9 1 及びパッシベーション絶縁膜 1 4 P を含む。パッシベーション絶縁膜 1 4 P は、最上層メモリチップ 1 4 を覆い、データパッド 9 1 を露出する。再配線層 2 7 4 は、第 1 絶縁膜 2 7 4 A、第 1 再配線パッド 2 9 1、第 1 再配線パターン 2 7 5、第 2 再配線パッド 2 9 2、第 2 絶縁膜 2 7 4 B を含む。第 1 絶縁膜 2 7 4 A は最上層メモリチップ 1 4 上を覆う。第 1 絶縁膜 2 7 4 A 上に、第 1 再配線パッド 2 9 1、第 1 再配線パターン 2 7 5、及び第 2 再配線パッド

50

292が形成される。例えば、第1再配線パッド291、第1再配線パターン275、及び第2再配線パッド292は同一レベルに形成される。第1再配線パッド291、第1再配線パターン275、及び第2再配線パッド292は互いに重畳しないように形成される。第1再配線パッド291は、第1絶縁膜274Aを貫通して最上層メモリチップ14のデータパッド91に直接的に接触する。第2絶縁膜274Bは、第1絶縁膜274A及び第1再配線パターン275を覆い、第1再配線パッド291及び第2再配線パッド292を露出する。第1再配線パッド291上に第2導電性接続243が形成される。第2再配線パッド292上に第5導電性接続249が形成される。

【0034】

いくつかの実施形態において、第1再配線パッド291、第1再配線パターン275、第2再配線パッド292、第3再配線パッド293、第2再配線パターン276、第4再配線パッド294、及び第5再配線パッド297は、互いに重畳しないように同一レベルに形成される。

10

【0035】

他の実施形態において、第1絶縁膜274A又は第2絶縁膜274Bは選択的に省略される。例えば、第1絶縁膜274Aは省略される。

【0036】

更に他の実施形態において、再配線層274は最上層メモリチップ14上に部分的に形成される。

【0037】

20

図3を参照すると、基板3、第1チップスタック10、ロジックチップ7、及び封止材59は、カード型パッケージ又はメインボード搭載型パッケージを構成する。例えば、外部端子図2(A)の外部端子5は省略される。

【0038】

図4を参照すると、基板3は基板内部配線321、322、323を含む。基板内部配線321、322、323のうちのいずれかは、メモリチップ11、12、13、14及びロジックチップ7に電源を供給する。例えば、基板内部配線321、322、323のうちのいずれかは、第2電極フィンガー233及び第3導電性接続246に電氣的に接続される。基板内部配線321、322、323のうちの他のいずれかは、ロジックチップ7とデータを入出力し、外部装置との信号伝達に用いられる。例えば、基板内部配線321、322、323のうちの他のいずれかは、第1電極フィンガー231及び第1導電性接続241に電氣的に接続される。

30

【0039】

図1～図4に示すように、ロジックチップ7は、メモリチップ11、12、13、14のデータパッド91に相対的に近く、メモリチップ11、12、13、14の電源パッド92に相対的に遠く離隔される。第1再配線パターン275、第1再配線パッド291、第2再配線パッド292、第2導電性接続243、及び第5導電性接続249は、ロジックチップ7とメモリチップ11、12、13、14との間でデータ信号を伝達する役割を担う第1電氣的接続経路と解釈される。第2再配線パターン276、第3再配線パッド293、第4再配線パッド294、第4導電性接続248、第1導電性接続241、及び第1電極フィンガー231は、ロジックチップ7と基板3との間でデータ信号を伝達する役割を担う第2電氣的接続経路と解釈される。第1電氣的接続経路は第2電氣的接続経路よりも短い。第5再配線パッド297、第3導電性接続246、及び第2電極フィンガー233は、基板3からメモリチップ11、12、13、14に電源を供給する役割を担う第3電氣的接続経路と解釈される。基板内部配線321、322、323は、第1電極フィンガー231又は第2電極フィンガー233に接続される。

40

【0040】

上述のように、本実施形態によれば、基板3内には、ロジックチップ7とメモリチップ11、12、13、14との間でデータ信号を伝達する役割を担うどのような配線も必要としない。ロジックチップ7とメモリチップ11、12、13、14との間でデータ信号

50

を伝達する役割を担う配線は、全てメモリチップ11、12、13、14のうちの最下層メモリチップ11よりも上部レベルに形成される。基板3内に形成された基板内部配線321、322、323は従来に比べて著しく単純化することができる。基板内部配線321、322、323の電源供給能力及び信号伝達能力は、従来に比べて著しく向上させることができる。

【0041】

ロジックチップ7は、メモリチップ11、12、13、14のデータパッド91に近く形成される。メモリチップ11、12、13、14のデータパッド91とロジックチップ7との間の電気的接続経路の長さは従来に比べて著しく短縮される。第1再配線パターン275の長さは第2再配線パターン276よりも短く形成される。メモリチップ11、12、13、14のデータパッド91とロジックチップ7との間の電気的接続経路の長さは、ロジックチップ7と基板3との間の電気的接続経路よりも短縮される。メモリチップ11、12、13、14の動作速度は、ロジックチップ7と外部装置との間の信号伝達速度と比べて相対的に遅くなることがある。本実施形態による半導体パッケージの動作速度はメモリチップ11、12、13、14によって決定される。ロジックチップ7とメモリチップ11、12、13、14との間の電気的接続経路を短縮することは半導体パッケージの動作速度増加に非常に効果的である。

10

【0042】

第1再配線パターン275及び第2再配線パターン276の長さは、ロジックチップ7の位置により自由に調節することができる。ロジックチップ7のデータパッド91の位置は、第1再配線パターン275と第2再配線パターン276と連携して効率的に配置される。本実施形態によれば、ロジックチップ7の設計自由度は従来に比べて著しく増加する。ロジックチップ7の高集積化に相対的に有利である。

20

【0043】

図5は、本発明の一実施形態による半導体パッケージを説明するレイアウトであり、図6は、本発明の一実施形態による半導体パッケージを説明する断面図である。

【0044】

図5及び図6を参照すると、基板3上に第1チップスタック(chip stack)10が搭載される。第1チップスタック10は複数のメモリチップ11、12、13、14を含む。複数のメモリチップ11、12、13、14のうちの最上層メモリチップ14上に再配線層274が形成される。再配線層274内に、複数の第2再配線パターン276、複数の第1再配線パッド291、複数の第3再配線パッド293、複数の第4再配線パッド294、及び複数の第5再配線パッド297が形成される。再配線層274上にロジックチップ7が搭載される。基板3上に第1チップスタック10及びロジックチップ7を覆う封止材59が提供される。封止材59内に第1～第5導電性接続241、243、246、248、249が提供される。複数のメモリチップ11、12、13、14、及びロジックチップ7は、複数のデータパッド91及び複数の電源パッド92を含む。

30

【0045】

第1再配線パターン(図1の275参照)及び第2再配線パッド(図1の292参照)は省略される。第5導電性接続249は、第1再配線パッド291に接触し、ロジックチップ7のデータパッド91に接触する。メモリチップ11、12、13、14とロジックチップ7との間の電気的接続経路の長さは従来に比べて著しく短縮される。

40

【0046】

図7は、本発明の一実施形態による半導体パッケージを説明するレイアウトである。

【0047】

図7を参照すると、基板3上に第1チップスタック(chip stack)10が搭載される。第1チップスタック10は複数のメモリチップ11、12、13、14を含む。メモリチップ11、12、13、14のうちの最上層メモリチップ14上に再配線層274が形成される。再配線層274内に、複数の第1再配線パターン275、複数の第2再配線パターン276、複数の第1再配線パッド291、複数の第2再配線パッド292

50

、複数の第3再配線パッド293、複数の第4再配線パッド294、及び複数の第5再配線パッド297が形成される。再配線層274上にロジックチップ7が搭載される。基板3上に、第1～第5導電性接続241、243、246、248、249が提供される。複数のメモリチップ11、12、13、14、及びロジックチップ7は、複数のデータパッド91及び複数の電源パッド92を含む。

【0048】

第1再配線パターン275、第2再配線パターン276、第1再配線パッド291、第2再配線パッド292、第3再配線パッド293、第4再配線パッド294、及び第5再配線パッド297は、多様な位置と長さを有するように形成される。ロジックチップ7の設計自由度は従来に比べて著しく増加する。例えば、ロジックチップ7は長軸と短軸の長さ比率が1.2以下である。

10

【0049】

図8は、本発明の一実施形態による半導体パッケージを説明するレイアウトであり、図9は、本発明の一実施形態による半導体パッケージを説明する断面図である。

【0050】

図8及び図9を参照すると、基板3上に第1チップスタック(chip stack)10が搭載される。第1チップスタック10は複数のメモリチップ11、12、13、14を含む。複数のメモリチップ11、12、13、14のうちの最上層メモリチップ14上に再配線層274が形成される。再配線層274内に、複数の第1再配線パターン275、複数の第2再配線パターン276、複数の第3再配線パターン277、複数の第1再配線パッド291、複数の第2再配線パッド292、複数の第3再配線パッド293、複数の第4再配線パッド294、複数の第5再配線パッド297、及び複数の第6再配線パッド298が形成される。再配線層274上にロジックチップ7及び第1バッファチップ261が搭載される。基板3上に、第1チップスタック10、ロジックチップ7、及び第1バッファチップ261を覆う封止材59が提供される。封止材59内に、第1導電性接続241、第2導電性接続243、第3導電性接続246、第4導電性接続248、第5導電性接続249、第6導電性接続244、及び第7導電性接続247が提供される。メモリチップ11、12、13、14、第1バッファチップ261、及びロジックチップ7は、複数のデータパッド91及び複数の電源パッド92を含む。

20

【0051】

第1バッファチップ261は第7導電性接続247を用いてロジックチップ7に接続される。第3再配線パターン277は第5再配線パッド297と第6再配線パッド298との間に形成される。第6導電性接続244は第1バッファチップ261の電源パッド92と第6再配線パッド298との間に形成される。第1バッファチップ261はDRAM又はSRAMのような揮発性メモリ素子(volatile memory device)を含む。

30

【0052】

図10は、本発明の一実施形態による半導体パッケージを説明するレイアウトであり、図11は、本発明の一実施形態による半導体パッケージを説明する断面図である。

【0053】

図10及び図11を参照すると、基板3上に第1チップスタック(chip stack)10が搭載される。第1チップスタック10は複数のメモリチップ11、12、13、14を含む。メモリチップ11、12、13、14のうちの最上層メモリチップ14上に再配線層274が形成される。再配線層274内に、複数の第2再配線パターン276、複数の第3再配線パターン277、複数の第1再配線パッド291、複数の第3再配線パッド293、複数の第4再配線パッド294、複数の第5再配線パッド297、及び複数の第6再配線パッド298が形成される。再配線層274上にロジックチップ7及び第1バッファチップ261が搭載される。基板3上に、第1チップスタック10、ロジックチップ7、及び第1バッファチップ261を覆う封止材59が提供される。封止材59内に、第1導電性接続241、第2導電性接続243、第3導電性接続246、第4導電性

40

50

接続 2 4 8、第 5 導電性接続 2 4 9、第 6 導電性接続 2 4 4、及び第 7 導電性接続 2 4 7 が提供される。メモリチップ 1 1、1 2、1 3、1 4、第 1 バッファチップ 2 6 1、及びロジックチップ 7 は、複数のデータパッド 9 1 及び複数の電源パッド 9 2 を含む。

【 0 0 5 4 】

第 1 再配線パターン (図 8 の 2 7 5 参照) 及び第 2 再配線パッド (図 8 の 2 9 2 参照) は省略される。第 5 導電性接続 2 4 9 は、第 1 再配線パッド 2 9 1 に接触し、ロジックチップ 7 のデータパッド 9 1 に接触する。

【 0 0 5 5 】

図 1 2 は、本発明の一実施形態による半導体パッケージを説明するレイアウトであり、図 1 3 及び図 1 4 は、本発明の一実施形態による半導体パッケージを説明する断面図である。

10

【 0 0 5 6 】

図 1 2 及び図 1 3 を参照すると、基板 3 上に第 1 チップスタック (chip stack) 1 0 が搭載される。第 1 チップスタック 1 0 は複数のメモリチップ 1 1、1 2、1 3、1 4 を含む。メモリチップ 1 1、1 2、1 3、1 4 のうちの最上層メモリチップ 1 4 上に再配線層 2 7 4 が形成される。再配線層 2 7 4 内に、複数の第 1 再配線パターン 2 7 5、複数の第 2 再配線パターン 2 7 6、複数の第 3 再配線パターン 2 7 7、複数の第 1 再配線パッド 2 9 1、複数の第 2 再配線パッド 2 9 2、複数の第 3 再配線パッド 2 9 3、複数の第 4 再配線パッド 2 9 4、複数の第 5 再配線パッド 2 9 7、及び複数の第 6 再配線パッド 2 9 8 が形成される。再配線層 2 7 4 上に、ロジックチップ 7、第 1 バッファチップ 2 6 1、及び第 2 バッファチップ 2 6 2 が搭載される。第 2 バッファチップ 2 6 2 は第 1 バッファチップ 2 6 1 上にオフセット (offset) 整列される。基板 3 上に、第 1 チップスタック 1 0、ロジックチップ 7、第 1 バッファチップ 2 6 1、及び第 2 バッファチップ 2 6 2 を覆う封止材 5 9 が形成される。封止材 5 9 内に、第 1 導電性接続 2 4 1、第 2 導電性接続 2 4 3、第 3 導電性接続 2 4 6、第 4 導電性接続 2 4 8、第 5 導電性接続 2 4 9、第 6 導電性接続 2 4 4、及び第 7 導電性接続 2 4 7 が提供される。メモリチップ 1 1、1 2、1 3、1 4、第 1 バッファチップ 2 6 1、第 2 バッファチップ 2 6 2、及びロジックチップ 7 は、複数のデータパッド 9 1 及び複数の電源パッド 9 2 を含む。

20

【 0 0 5 7 】

第 1 バッファチップ 2 6 1 及び第 2 バッファチップ 2 6 2 は、第 7 導電性接続 2 4 7 を用いてロジックチップ 7 に接続される。第 3 再配線パターン 2 7 7 は第 5 再配線パッド 2 9 7 と第 6 再配線パッド 2 9 8 との間に形成される。第 6 導電性接続 2 4 4 は、第 1 バッファチップ 2 6 1 及び第 2 バッファチップ 2 6 2 の電源パッド 9 2 と第 6 再配線パッド 2 9 8 との間に形成される。第 1 バッファチップ 2 6 1 及び第 2 バッファチップ 2 6 2 は、DRAM 又は SRAM のような揮発性メモリ素子 (volatile memory device) を含む。

30

【 0 0 5 8 】

図 1 4 を参照すると、第 2 バッファチップ 2 6 2 は、第 1 接着膜 2 5 3 を用いて第 1 バッファチップ 2 6 1 上に搭載される。第 1 バッファチップ 2 6 1 及び第 2 バッファチップ 2 6 2 は、第 7 導電性接続 2 4 7 を用いてロジックチップ 7 に接続される。第 7 導電性接続 2 4 7 は第 1 接着膜 2 5 3 の内部を通過する。

40

【 0 0 5 9 】

第 1 接着膜 2 5 3 は DAF (direct adhesive film) 又は FOW (film over wire) と指称する。第 7 導電性接続 2 4 7 がボンディングワイヤ (bonding wire) の場合、ボンディングワイヤの一部が第 1 接着膜 2 5 3 を部分的に貫通又は通過する。第 7 導電性接続 2 4 7 が第 1 接着膜 2 5 3 を貫通又は通過する場合、第 2 バッファチップ 2 6 2 は第 1 バッファチップ 2 6 1 上に垂直整列される。

【 0 0 6 0 】

図 1 5 は、本発明の一実施形態による半導体パッケージを説明するレイアウトである。

50

【0061】

図15を参照すると、基板3上に第1チップスタック(chip stack)10が搭載される。第1チップスタック10は複数のメモリチップ11、12、13、14を含む。メモリチップ11、12、13、14のうちの最上層メモリチップ14上に再配線層274が形成される。再配線層274内に、複数の第1再配線パターン275、複数の第2再配線パターン276、複数の第3再配線パターン277、複数の第4再配線パターン313、複数の第1再配線パッド291、複数の第2再配線パッド292、複数の第3再配線パッド293、複数の第4再配線パッド294、複数の第5再配線パッド297、複数の第6再配線パッド298、複数の第7再配線パッド311、及び複数の第8再配線パッド314が形成される。再配線層274上に、ロジックチップ7、第1バッファチップ261、及び第2バッファチップ262が搭載される。第2バッファチップ262は第1バッファチップ261上にオフセット(offset)整列される。基板3上に、第1チップスタック10、ロジックチップ7、第1バッファチップ261、及び第2バッファチップ262を覆う封止材59が形成される。封止材59内に、第1導電性接続241、第2導電性接続243、第3導電性接続246、第4導電性接続248、第5導電性接続249、第6導電性接続244、第7導電性接続247、及び第8導電性接続312が提供される。

10

【0062】

第4再配線パターン313の両端に第7再配線パッド311及び第8再配線パッド314が形成される。第4再配線パターン313、第7再配線パッド311、及び第8再配線パッド314は、第1バッファチップ261とロジックチップ7との間に形成される。第1バッファチップ261及び第2バッファチップ262は、第7導電性接続247を用いて第8再配線パッド314に接続される。ロジックチップ7は、第8導電性接続312を用いて第7再配線パッド311に接続される。

20

【0063】

図16～図21は、本発明の一実施形態による半導体パッケージを説明する断面図である。

【0064】

図16及び図17を参照すると、基板3上にバッファチップ261、262及び支持台50が搭載される。バッファチップ261、262及び支持台50上に第1チップスタック(chip stack)10が搭載される。第1チップスタック10は複数のメモリチップ11、12、13、14を含む。複数のメモリチップ11、12、13、14のうちの最上層メモリチップ14上に再配線層274が形成される。再配線層274内に、第1再配線パターン275、第2再配線パターン276、及び第1～第4再配線パッド291、292、293、294が形成される。再配線層274上にロジックチップ7が搭載される。基板3上に、バッファチップ261、262、支持台50、第1チップスタック10、及びロジックチップ7を覆う封止材59が形成される。また、封止材59内に、第1導電性接続241、第2導電性接続243、第4導電性接続248、第5導電性接続249、第9導電性接続242が形成される。バッファチップ261、262、メモリチップ11、12、13、14、及びロジックチップ7はデータパッド91を含む。導電性接続241、242、243、248、249のそれぞれは、ボンディングワイヤ(bonding wire)、ビームリード(beam lead)、導電性テープ、導電性スペーサ、貫通電極、ソルダボール(solder ball)、ソルダバンプ(solder bump)、又はそれらの組み合わせを含む。

30

40

【0065】

基板3は、硬性印刷回路基板(rigid printed circuit board)、軟性印刷回路基板(flexible printed circuit board)、又は硬軟性印刷回路基板(rigid-flexible printed circuit board)を含む。基板3の下部表面は下部ソルダレジスト2に覆われ、基板3の上部表面は上部ソルダレジスト4に覆われる。基板3上に第1電極フィンガ

50

ー 2 3 1 及び第 3 電極フィンガー 2 3 2 が形成される。基板 3 の下部に下部ソルダレジスト 2 を貫通する外部端子 5 が形成される。第 1 電極フィンガー 2 3 1 は基板 3 を介して外部端子 5 から選択される 1 つと電氣的に接続される。外部端子 5 は、ソルダボール (solder ball)、ソルダバンプ (solder bump)、ピングリッドアレイ (pin grid array)、リードグリッドアレイ (lead grid array)、導電性タブ (conductive tab)、又はそれらの組み合わせを含む。

【 0 0 6 6 】

他の実施形態において、基板 3、バッファチップ 2 6 1、2 6 2、支持台 5 0、第 1 チップスタック 1 0、ロジックチップ 7、及び封止材 5 9 は、カード型パッケージを構成する。外部端子 5 は省略される。

10

【 0 0 6 7 】

バッファチップ 2 6 1、2 6 2 のそれぞれは、DRAM 又は SRAM のような揮発性メモリ素子 (volatile memory device) を含む。バッファチップ 2 6 1、2 6 2 のデータパッド 9 1 はデータ入出力パッドである。バッファチップ 2 6 1、2 6 2 のデータパッド 9 1 と第 3 電極フィンガー 2 3 2 との間に第 9 導電性接続 2 4 2 が形成される。

【 0 0 6 8 】

バッファチップ 2 6 1、2 6 2 は、第 9 導電性接続 2 4 2 及び基板 3 を経由してロジックチップ 7 に電氣的に接続される。バッファチップは第 1 バッファチップ 2 6 1 及び第 2 バッファチップ 2 6 2 を含む。第 2 バッファチップ 2 6 2 は、第 1 接着膜 2 5 3 を用いて第 1 バッファチップ 2 6 1 上に搭載される。第 1 接着膜 2 5 3 は DAF (direct adhesive film) 又は FOW (film over wire) と指称する。第 9 導電性接続 2 4 2 は第 1 接着膜 2 5 3 の内部を通過する。例えば、第 9 導電性接続 2 4 2 がボンディングワイヤ (bonding wire) の場合、ボンディングワイヤの一部が第 1 接着膜 2 5 3 を部分的に貫通又は通過する。第 9 導電性接続 2 4 2 が第 1 接着膜 2 5 3 を貫通又は通過する場合、第 2 バッファチップ 2 6 2 は第 1 バッファチップ 2 6 1 上に垂直整列される。支持台 5 0 及び第 2 バッファチップ 2 6 2 の上部表面は実質的に同一な水平レベルである。

20

【 0 0 6 9 】

メモリチップ 1 1、1 2、1 3、1 4 のそれぞれは、ナンドフラッシュメモリ (NAND flash memory) のような不揮発性メモリ素子 (non-volatile memory device) を含む。メモリチップ 1 1、1 2、1 3、1 4 のデータパッド 9 1 はデータ入出力パッドである。メモリチップ 1 1、1 2、1 3、1 4 はカスケード (cascade) 構造に積層される。メモリチップ 1 1、1 2、1 3、1 4 は段階的に (step by step) オフセット整列される。メモリチップ 1 1、1 2、1 3、1 4 のそれぞれは、第 2 バッファチップ 2 6 2 よりも大きい幅である。メモリチップ 1 1、1 2、1 3、1 4 のうちの最下層メモリチップ 1 1 は、第 2 接着膜 2 5 4 を用いて支持台 5 0 及び第 2 バッファチップ 2 6 2 上に付着される。最下層メモリチップ 1 1 の一側面は支持台 5 0 の一側面に垂直整列される。最下層メモリチップ 1 1 の他の側面は第 2 バッファチップ 2 6 2 上に整列される。メモリチップ 1 1、1 2、1 3、1 4 間に第 3 接着膜 2 5 5 が形成される。メモリチップ 1 1、1 2、1 3、1 4 は、基板 3 の一方向に段階的にオフセット整列される。

30

40

【 0 0 7 0 】

第 2 接着膜 2 5 4 の厚さは第 3 接着膜 2 5 5 よりも厚い。第 9 導電性接続 2 4 2 は第 2 接着膜 2 5 4 の内部を通過する。例えば、第 9 導電性接続 2 4 2 がボンディングワイヤ (bonding wire) の場合、ボンディングワイヤの一部が第 2 接着膜 2 5 4 を部分的に貫通又は通過する。第 9 導電性接続 2 4 2 が第 2 接着膜 2 5 4 を貫通又は通過する場合、第 2 バッファチップ 2 6 2 及び支持台 5 0 は最下層メモリチップ 1 1 の占有面積内に搭載される。

50

【0071】

第2接着膜254は最下層メモリチップ11と同一の幅を有する。第2接着膜254は最下層メモリチップ11の下部表面に付着される。第2接着膜254は、最下層メモリチップ11、第2バッファチップ262、及び支持台50と直接的に接触する。第2接着膜254はDAF (direct adhesive film) 又はFOW (film over wire) である。第3接着膜255は第2接着膜254と同種類の物質膜である。いくつかの他の実施形態において、第3接着膜255は第2接着膜254と異なる種類の物質膜である。

【0072】

第1再配線パターン275及び第2再配線パターン276は互いに離隔される。第1再配線パターン275の両端に接触する第1及び第2再配線パッド291、292が形成される。第2再配線パターン276の両端に接触する第3及び第4再配線パッド293、294が形成される。第1再配線パッド291は、最上層メモリチップ14のデータパッド91に接触して電氣的に接続される。また、第1再配線パッド291は、第2導電性接続243を経由して複数のメモリチップ11、12、13に電氣的に接続される。第2導電性接続243は、メモリチップ11、12、13のデータパッド91及び第1再配線パッド291に接触する。

10

【0073】

ロジックチップ7はコントローラ (controller) 又はマイクロプロセッサ (microprocessor) である。ロジックチップ7はメモリチップ11、12、13よりも狭い幅である。ロジックチップ7は再配線層274上に搭載される。ロジックチップ7のデータパッド91から選択される1つは、第5導電性接続249を経由して第2再配線パッド292に接続される。ロジックチップ7のデータパッド91から選択される他の1つは、第4導電性接続248を経由して第3再配線パッド293に接続される。第4再配線パッド294と第1電極フィンガー231との間に第1導電性接続241が形成される。

20

【0074】

メモリチップ11、12、13は、データパッド91、第2導電性接続243、第1再配線パッド291、第1再配線パターン275、第2再配線パッド292、第5導電性接続249、ロジックチップ7、第4導電性接続248、第3再配線パッド293、第2再配線パターン276、第4再配線パッド294、及び第1導電性接続241を順に経由して基板3に電氣的に接続される。

30

【0075】

図16及び図17に示すように、第1再配線パターン275及び第2再配線パターン276の長さは、ロジックチップ7の位置により自由に調節される。例えば、ロジックチップ7とメモリチップ11、12、13との間の信号伝達経路を短縮しようとする場合、図16と同様に第1再配線パターン275の長さは、第2再配線パターン276よりも短縮される。メモリチップ11、12、13のデータパッド91とロジックチップ7との間の電氣的接続経路の長さは従来に比べて著しく短縮される。メモリチップ11、12、13のデータパッド91とロジックチップ7との間の電氣的接続経路の長さは、ロジックチップ7と基板3との間の電氣的接続経路よりも短縮される。

40

【0076】

第9導電性接続242が第1接着膜253を通過する構成を利用して、第2バッファチップ262は第1バッファチップ261上に垂直整列される。また、第9導電性接続242が第2接着膜254を通過する構成を利用して、第2バッファチップ262及び支持台50は最下層メモリチップ11の占有面積内に搭載される。本実施形態によると、水平幅の縮小に有利な構成を有する半導体パッケージが提供される。従来に比べて著しく早い動作速度を有し、複数の半導体チップを搭載しながら大きさの縮小に有利な半導体パッケージを具現することができる。

【0077】

50

図18を参照すると、メモリチップ11、12、13、14のうちの最上層メモリチップ14上に再配線層274が形成される。再配線層274内に、第1再配線パッド291、第2再配線パターン276、及び第2再配線パターン276の両端に第3及び第4再配線パッド293、294が形成される。再配線層274上にロジックチップ7が搭載される。ロジックチップ7のデータパッド91から選択される1つは、第5導電性接続249を経由して第1再配線パッド291に接続される。ロジックチップ7のデータパッド91から選択される他の1つは、第4導電性接続248を経由して第3再配線パッド293に接続される。第1再配線パターン(図16の275参照)、及び第2再配線パッド(図16の292参照)は省略される。

【0078】

ロジックチップ7は、第1再配線パッド291及びメモリチップ11、12、13、14のデータパッド91に近く搭載される。ロジックチップ7とメモリチップ11、12、13、14との間の電氣的接続経路は従来に比べて著しく短縮される。

【0079】

図19を参照すると、第2バッファチップ(図16の262参照)は省略される。支持台50及び第1バッファチップ261の上部表面は実質的に同一の水平レベルである。メモリチップ11、12、13、14のうちの最下層メモリチップ11は、第2接着膜254を用いて支持台50及び第1バッファチップ261上に付着される。最下層メモリチップ11の一側面は第1バッファチップ261上に整列される。第9導電性接続242は第2接着膜254の内部を通過する。第1バッファチップ261及び支持台50は最下層メモリチップ11の占有面積内に搭載される。

【0080】

図20を参照すると、バッファチップ261、262及び支持台50上にチップスタック(chip stack)9が搭載される。チップスタック9は複数のメモリチップ11、12、13、14、21、22、23、24を含む。便宜的に複数のメモリチップは、第1～第8メモリチップ11、12、13、14、21、22、23、24と指称する。第1～第4メモリチップ11、12、13、14は第1チップスタック10を構成し、第5～第8メモリチップ21、22、23、24は第2チップスタック20を構成する。第8メモリチップ24上に再配線層274が形成される。

【0081】

第4メモリチップ14上に中間再配線層284が形成される。中間再配線層284は、第5再配線パターン285、及び第5再配線パターン285の両端に形成された第9再配線パッド295及び第10再配線パッド296を含む。第1～第4メモリチップ11、12、13、14は第1カスケード(cascade)構造に積層される。第2導電性接続243は第10再配線パッド296に接触する。

【0082】

第5～第8メモリチップ21、22、23、24は第2カスケード(cascade)構造に積層される。第5～第8メモリチップ21、22、23、24は、第1～第4メモリチップ11、12、13、14と異なる方向に整列される。第5～第8メモリチップ21、22、23、24は、第1～第4メモリチップ11、12、13、14と反対方向に順にオフセット整列される。例えば、第5メモリチップ21は、第4接着膜256を用いて中間再配線層284上に付着される。第4接着膜256は第2接着膜254と実質的に同一のものである。第2導電性接続243は第4接着膜256の内部を通過する。

【0083】

第6～第8メモリチップ22、23、24は、第5接着膜257を用いて第5メモリチップ21上に順に付着される。第5～第7メモリチップ21、22、23は、第10導電性接続245を利用して第4再配線パッド294に接続される。第8メモリチップ24のデータパッド91は第4再配線パッド294に接触して電氣的に接続される。第10導電性接続245の一端は第9再配線パッド295に接触する。

【0084】

10

20

30

40

50

図 2 1 を参照すると、メモリチップ 1 1、1 2、1 3、1 4 のうちの最上層メモリチップ 1 4 上に再配線層 2 7 4 が形成される。再配線層 2 7 4 内に、第 1 再配線パターン 2 7 5、及び第 1 再配線パターン 2 7 5 の両端に第 1 及び第 2 再配線パッド 2 9 1、2 9 2 が形成される。再配線層 2 7 4 上にロジックチップ 7 が搭載される。ロジックチップ 7 のデータパッド 9 1 から選択される 1 つは、第 5 導電性接続 2 4 9 を経由して第 2 再配線パッド 2 9 2 に接続される。ロジックチップ 7 のデータパッド 9 1 から選択される他の 1 つは、第 1 導電性接続 2 4 1 を経由して第 1 電極フィンガー 2 3 1 に接続される。第 2 再配線パターン (図 1 7 の 2 7 6 参照)、及び第 3 及び第 4 再配線パッド (図 1 6 の 2 9 3、2 9 4 参照) は省略される。

【 0 0 8 5 】

図 2 2 (A) は、本発明の一実施形態による半導体パッケージを説明するレイアウトであり、図 2 2 (B) は図 2 2 (A) の一部分を示す断面図である。

【 0 0 8 6 】

図 2 2 (A) を参照すると、基板 3 上に第 1 チップスタック (chip stack) 1 0 が搭載される。第 1 チップスタック 1 0 は複数のメモリチップ 1 1、1 2、1 3、1 4 を含む。メモリチップ 1 1、1 2、1 3、1 4 のうちの最上層メモリチップ 1 4 上に再配線層 2 7 4 が形成される。再配線層 2 7 4 内に、複数の第 1 再配線パターン 2 7 5、複数の第 2 再配線パターン 2 7 6、複数の第 1 再配線パッド 2 9 1、複数の第 2 再配線パッド 2 9 2、複数の第 3 再配線パッド 2 9 3、複数の第 4 再配線パッド 2 9 4、複数の第 5 再配線パッド 2 9 7、複数の第 6 再配線パターン 3 7 6、複数の第 7 再配線パターン 3 7 7、複数の第 1 1 再配線パッド 3 9 3、複数の第 1 2 再配線パッド 3 9 4、複数の第 1 3 再配線パッド 3 9 5、及び複数の第 1 4 再配線パッド 3 9 6 が形成される。再配線層 2 7 4 上にロジックチップ 7 が搭載される。基板 3 上に第 1 ~ 第 5 導電性接続 2 4 1、2 4 3、2 4 6、2 4 8、2 4 9 及び第 1 1 ~ 第 1 3 導電性接続 3 4 1、3 4 7、3 4 8 が提供される。複数のメモリチップ 1 1、1 2、1 3、1 4、及びロジックチップ 7 は複数のデータパッド 9 1 及び複数の電源パッド 9 2 を含む。

【 0 0 8 7 】

第 1 3 導電性接続 3 4 8 はロジックチップ 7 と第 1 1 再配線パッド 3 9 3 との間に接続される。第 7 再配線パターン 3 7 7 は第 1 1 再配線パッド 3 9 3 と第 1 4 再配線パッド 3 9 6 との間に形成される。第 1 2 導電性接続 3 4 7 は第 1 4 再配線パッド 3 9 6 と第 1 3 再配線パッド 3 9 5 との間に接続される。第 6 再配線パターン 3 7 6 は第 1 3 再配線パッド 3 9 5 と第 1 2 再配線パッド 3 9 4 との間に形成される。第 1 1 導電性接続 3 4 1 は第 1 2 再配線パッド 3 9 4 と第 4 電極フィンガー 3 3 1 との間に接続される。

【 0 0 8 8 】

第 1 2 導電性接続 3 4 7 は、ボンディングワイヤ (bonding wire)、ビームリード (beam lead)、又は導電性テープ (conductive tape) を含む。例えば、第 1 2 導電性接続 3 4 7 はゴールドワイヤ又はアルミニウムワイヤのようなボンディングワイヤである。第 1 4 再配線パッド 3 9 6 と第 1 3 再配線パッド 3 9 5 との間に第 2 再配線パターン 2 7 6 が配置される。第 1 2 導電性接続 3 4 7 は第 2 再配線パターン 2 7 6 上を横切る。第 1 2 導電性接続 3 4 7 は第 2 再配線パターン 2 7 6 と離隔される。

【 0 0 8 9 】

他の実施形態において、第 1 4 再配線パッド 3 9 6 と第 1 3 再配線パッド 3 9 5 との間に第 1 再配線パターン 2 7 5 及び第 2 再配線パターン 2 7 6 のうちの少なくとも 1 つが配置される。

【 0 0 9 0 】

図 2 2 (B) を参照すると、最上層メモリチップ 1 4 はパッシベーション絶縁膜 1 4 P を含む。パッシベーション絶縁膜 1 4 P は最上層メモリチップ 1 4 を覆う。再配線層 2 7 4 は、第 1 絶縁膜 2 7 4 A、第 1 3 再配線パッド 3 9 5、第 2 再配線パターン 2 7 6、第 1 4 再配線パッド 3 9 6、第 2 絶縁膜 2 7 4 B を含む。第 1 絶縁膜 2 7 4 A は最上層メモ

10

20

30

40

50

リチップ14上を覆う。第1絶縁膜274A上に、第13再配線パッド395、第2再配線パターン276、及び第14再配線パッド396が形成される。例えば、第13再配線パッド395、第2再配線パターン276、及び第14再配線パッド396は、同一のレベルに形成される。第13再配線パッド395、第2再配線パターン276、及び第14再配線パッド396は互いに重畳しないように形成される。

【0091】

第2絶縁膜274Bは、第1絶縁膜274A及び第2再配線パターン276を覆い、第13再配線パッド395及び第14再配線パッド396を露出する。第13再配線パッド395と第14再配線パッド396との間に第12導電性接続347が形成される。第12導電性接続347は第2再配線パターン276と離隔される。第12導電性接続347は第13再配線パッド395及び第14再配線パッド396に直接的に接触する。

10

【0092】

図23は、本発明の一実施形態による半導体パッケージを説明するレイアウトであり、図24は、本発明の一実施形態による半導体パッケージを説明する断面図である。

【0093】

図23及び図24を参照すると、基板3上に第1チップスタック(chip stack)10が搭載される。第1チップスタック10は複数のメモリチップ11、12、13、14を含む。複数のメモリチップ11、12、13、14のうちの最上層メモリチップ14上に再配線層274Pが形成される。再配線層274Pは最上層メモリチップ14上を部分的に覆う。

20

【0094】

再配線層274P内に、複数の第2再配線パターン276、複数の第3再配線パッド293、複数の第4再配線パッド294、及び複数の第5再配線パッド297が形成される。最上層メモリチップ14上にロジックチップ7が搭載される。基板3上に第1チップスタック10及びロジックチップ7を覆う封止材59が提供される。封止材59内に第1～第5導電性接続241、243、246、248、249が提供される。複数のメモリチップ11、12、13、14、及びロジックチップ7は、複数のデータパッド91及び複数の電源パッド92を含む。

【0095】

ロジックチップ7と最上層メモリチップ14との間には再配線層274Pがなくともよい。例えば、再配線層274Pはロジックチップ7と重畳しないように最上層メモリチップ14上に部分的に形成される。第1再配線パッド(図5の291参照)は省略される。第5導電性接続249は、最上層メモリチップ14のデータパッド91に接触し、ロジックチップ7のデータパッド91に接触する。メモリチップ11、12、13、14とロジックチップ7との間の電氣的接続経路の長さは従来に比べて著しく短縮される。

30

【0096】

図25は、本発明の一実施形態による半導体パッケージを説明するレイアウトであり、図26は、本発明の一実施形態による半導体パッケージを説明する断面図である。

【0097】

図25及び図26を参照すると、基板3上に第1チップスタック(chip stack)10が搭載される。第1チップスタック10は複数のメモリチップ11、12、13、14を含む。複数のメモリチップ11、12、13、14のうちの最上層メモリチップ14上に再配線層274が形成される。再配線層274内に、複数の第1再配線パターン275、複数の第2再配線パターン276、複数の第8再配線パターン475、複数の第1再配線パッド291、複数の第2再配線パッド292、複数の第3再配線パッド293、複数の第4再配線パッド294、複数の第5再配線パッド297、複数の第15再配線パッド491、及び複数の第16再配線パッド492が形成される。再配線層274上にロジックチップ7及び第1デカップリングキャパシタ(decoupling capacitor)405が搭載される。基板3上に第1チップスタック10及びロジックチップ7を覆う封止材59が提供される。封止材59内に、第1～第5導電性接続241、2

40

50

43、246、248、249、第14導電性接続449、及び第15導電性接続450が提供される。複数のメモリチップ11、12、13、14、及びロジックチップ7は、複数の第1データパッド91、複数の第2データパッド93、及び複数の電源パッド92を含む。

【0098】

以下では、図1及び図2(A)を参照して説明した構成要素との相違点だけを簡略に説明する。

【0099】

第14導電性接続449はボンディングワイヤ(bonding wire)である。第15導電性接続450は導電性ペースト(conductive paste)、ソルダボール(solder ball)、又はソルダバンプ(solder bump)である。複数のメモリチップ11、12、13、14のそれぞれはナンドフラッシュメモリ(NAND flash memory)のような不揮発性メモリ素子(non-volatile memory device)を含む。複数のメモリチップ11、12、13、14のそれぞれは、ロジックチップ7及び第1デカップリングキャパシタ405よりも大きい幅である。例えば、第1デカップリングキャパシタ405はMLCC(Multi-Layer Ceramic Capacitor)である。ロジックチップ7はロジック素子(logic device)を含むコントローラ(controller)又はマイクロプロセッサ(microprocessor)である。

【0100】

第1デカップリングキャパシタ405と最上層メモリチップ14との間に再配線層274が介在する。第1デカップリングキャパシタ405は、第15導電性接続450、複数の第15再配線パッド491、複数の第8再配線パターン475、複数の第16再配線パッド492、第14導電性接続449、及び第2データパッド93を経由してロジックチップ7に接続される。第1デカップリングキャパシタ405はロジックチップ7に近く装着される。

【0101】

他の実施形態において、第1デカップリングキャパシタ405は、最上層メモリチップ14の第1データパッド91に直接的に接続される。更に他の実施形態において、第1デカップリングキャパシタ405は、複数の第1データパッド91、複数の第2データパッド93、及び複数の電源パッド92から選択される2つに接続される。更に他の実施形態において、第1デカップリングキャパシタ405は複数の電源パッド92に接続される。更に他の実施形態において、第1デカップリングキャパシタ405は、最上層メモリチップ14とロジックチップ7との間のデータ伝達経路に接続される。更に他の実施形態において、メモリチップ11、12、13、14のそれぞれはDRAM(dynamic random access memory)のような揮発性メモリ素子(volatile memory device)を含む。更に他の実施形態において、再配線層274は上部配線層と指称する。

【0102】

図27は、本発明の一実施形態による半導体パッケージを説明する断面図である。

【0103】

図27を参照すると、複数のメモリチップ11、12、13、14のうちの最上層メモリチップ14上に再配線層274が形成される。再配線層274上にロジックチップ7及び第1デカップリングキャパシタ405が搭載される。第1デカップリングキャパシタ405は第3データパッド94を含む。第3データパッド94と第2データパッド93との間に第14導電性接続449が形成される。第14導電性接続449はボンディングワイヤ(bonding wire)である。第1デカップリングキャパシタ405は、第14導電性接続449を経由してロジックチップ7に接続される。

【0104】

図28は、本発明の一実施形態による半導体パッケージを説明するレイアウトである。

【 0 1 0 5 】

図 28 を参照すると、基板 3 上に第 1 チップスタック (chip stack) 10 が搭載される。第 1 チップスタック 10 は複数のメモリチップ 11、12、13、14 を含む。複数のメモリチップ 11、12、13、14 のうちの最上層メモリチップ 14 上に再配線層 274 が形成される。再配線層 274 内に、複数の第 1 再配線パターン 275、複数の第 2 再配線パターン 276、複数の第 8 再配線パターン 475、複数の第 1 再配線パッド 291、複数の第 2 再配線パッド 292、複数の第 3 再配線パッド 293、複数の第 4 再配線パッド 294、複数の第 5 再配線パッド 297、複数の第 15 再配線パッド 491、及び複数の第 16 再配線パッド 492 が形成される。再配線層 274 上にロジックチップ 7 及び第 1 デカップリングキャパシタ (decoupling capacitor) 405 が搭載される。基板 3 上に第 1 ~ 第 5 導電性接続 241、243、246、248、249、第 14 導電性接続 449、及び第 15 導電性接続 450 が形成される。複数のメモリチップ 11、12、13、14、及びロジックチップ 7 は、複数の第 1 データパッド 91、第 2 データパッド 93、及び複数の電源パッド 92 を含む。

10

【 0 1 0 6 】

基板 3 上に第 2 デカップリングキャパシタ (decoupling capacitor) 406 が搭載される。第 2 デカップリングキャパシタ 406 は MLC C (Multi - Layer Ceramic Capacitor) である。基板 3 上に、第 1 電極フィンガー 231、第 2 電極フィンガー 233、及び第 5 電極フィンガー 431 が形成される。第 2 デカップリングキャパシタ 406 は、第 5 電極フィンガー 431 を経由してロジックチップ 7 又は複数のメモリチップ 11、12、13、14 に接続される。

20

【 0 1 0 7 】

図 29 は、本発明の一実施形態による半導体パッケージを説明するレイアウトであり、図 30 は、本発明の一実施形態による半導体パッケージを説明する断面図である。

【 0 1 0 8 】

図 29 及び図 30 を参照すると、基板 3 上に第 1 チップスタック (chip stack) 10 が搭載される。第 1 チップスタック 10 は複数のメモリチップ 11、12、13、14 を含む。複数のメモリチップ 11、12、13、14 のうちの最上層メモリチップ 14 上に再配線層 274 が形成される。再配線層 274 内に、複数の第 1 再配線パターン 275、複数の第 2 再配線パターン 276、複数の第 9 再配線パターン 476、複数の第 1 再配線パッド 291、複数の第 2 再配線パッド 292、複数の第 3 再配線パッド 293、複数の第 4 再配線パッド 294、複数の第 5 再配線パッド 297、複数の第 17 再配線パッド 493、及び複数の第 18 再配線パッド 494 が形成される。再配線層 274 上にロジックチップ 7 及び IPD (Integrated Passive Device) 407 が搭載される。基板 3 上に、第 1 チップスタック 10、ロジックチップ 7 及び IPD (407) を覆う封止材 59 が提供される。封止材 59 内に、第 1 ~ 第 5 導電性接続 241、243、246、248、249、第 16 導電性接続 451、及び第 17 導電性接続 452 が提供される。複数のメモリチップ 11、12、13、14、及びロジックチップ 7 は、複数の第 1 データパッド 91、第 4 データパッド 95、及び複数の電源パッド 92 を含む。

30

40

【 0 1 0 9 】

第 16 導電性接続 451 はボンディングワイヤ (bonding wire) である。第 17 導電性接続 452 はソルダボール (solder ball) 又はソルダバンプ (solder bump) である。複数のメモリチップ 11、12、13、14 のそれぞれはナンドフラッシュメモリ (NAND flash memory) のような不揮発性メモリ素子 (non - volatile memory device) を含む。複数のメモリチップ 11、12、13、14 のそれぞれは、ロジックチップ 7 及び IPD (407) よりも大きい幅である。IPD 407 は、抵抗、インダクタ、キャパシタ、又はそれらの組み合わせを含む。ロジックチップ 7 はロジック素子 (logic device) を含むコントローラ (controller) 又はマイクロプロセッサ (micropr

50

o c e s s o r) である。

【 0 1 1 0 】

I P D 4 0 7 と最上層メモリチップ 1 4 との間に再配線層 2 7 4 が介在する。I P D 4 0 7 は、第 1 7 導電性接続 4 5 2、複数の第 1 8 再配線パッド 4 9 4、複数の第 9 再配線パターン 4 7 6、複数の第 1 7 再配線パッド 4 9 3、第 1 6 導電性接続 4 5 1、及び第 4 データパッド 9 5 を経由してロジックチップ 7 に接続される。I P D 4 0 7 はロジックチップ 7 に近く装着される。

【 0 1 1 1 】

他の実施形態において、I P D 4 0 7 は最上層メモリチップ 1 4 の第 1 データパッド 9 1 に直接的に接続される。更に他の実施形態において、I P D 4 0 7 は最上層メモリチップ 1 4 とロジックチップ 7 との間のデータ伝達経路に接続される。更に他の実施形態において、メモリチップ 1 1、1 2、1 3、1 4 のそれぞれは、D R A M (d y n a m i c r a n d o m a c c e s s m e m o r y) のような揮発性メモリ素子 (v o l a t i l e m e m o r y d e v i c e) を含む。

10

【 0 1 1 2 】

図 3 1 は、本発明の一実施形態による半導体パッケージを説明するレイアウトであり、図 3 2 は、本発明の一実施形態による半導体パッケージを説明する断面図である。

【 0 1 1 3 】

図 3 1 及び図 3 2 を参照すると、基板 3 上に第 1 チップスタック (c h i p s t a c k) 1 0 が搭載される。第 1 チップスタック 1 0 は複数のメモリチップ 1 1、1 2、1 3、1 4 を含む。複数のメモリチップ 1 1、1 2、1 3、1 4 のうちの最上層メモリチップ 1 4 上に再配線層 2 7 4 が形成される。再配線層 2 7 4 内に、複数の第 1 再配線パターン 2 7 5、複数の第 2 再配線パターン 2 7 6、複数の第 9 再配線パターン 4 7 6、複数の第 1 再配線パッド 2 9 1、複数の第 2 再配線パッド 2 9 2、複数の第 3 再配線パッド 2 9 3、複数の第 4 再配線パッド 2 9 4、複数の第 5 再配線パッド 2 9 7、複数の第 1 7 再配線パッド 4 9 3、及び複数の第 1 8 再配線パッド 4 9 4 が形成される。再配線層 2 7 4 上にロジックチップ 7 及び I P D (I n t e g r a t e d P a s s i v e D e v i c e) 4 0 7 が搭載される。基板 3 上に、第 1 チップスタック 1 0、ロジックチップ 7、及び I P D 4 0 7 を覆う封止材 5 9 が提供される。封止材 5 9 内に、第 1 ~ 第 5 導電性接続 2 4 1、2 4 3、2 4 6、2 4 8、2 4 9、第 1 6 導電性接続 4 5 1、及び第 1 8 導電性接続 4 5 3 が提供される。複数のメモリチップ 1 1、1 2、1 3、1 4、及びロジックチップ 7 は、複数の第 1 データパッド 9 1、第 4 データパッド 9 5、及び複数の電源パッド 9 2 を含む。

20

30

【 0 1 1 4 】

第 1 6 導電性接続 4 5 1 及び第 1 8 導電性接続 4 5 3 はボンディングワイヤ (b o n d i n g w i r e) である。複数のメモリチップ 1 1、1 2、1 3、1 4 のそれぞれはナンドフラッシュメモリ (N A N D f l a s h m e m o r y) のような不揮発性メモリ素子 (n o n - v o l a t i l e m e m o r y d e v i c e) を含む。複数のメモリチップ 1 1、1 2、1 3、1 4 のそれぞれは、ロジックチップ 7 及び I P D 4 0 7 よりも大きい幅である。I P D 4 0 7 は、抵抗、インダクタ、キャパシタ、又はそれらの組み合わせを含む。ロジックチップ 7 はロジック素子 (l o g i c d e v i c e) を含むコントローラ (c o n t r o l l e r) 又はマイクロプロセッサ (m i c r o p r o c e s s o r) である。

40

【 0 1 1 5 】

I P D 4 0 7 と最上層メモリチップ 1 4 との間に再配線層 2 7 4 が介在する。I P D 4 0 7 は第 5 データパッド 9 6 を含む。第 5 データパッド 9 6 と複数の第 1 8 再配線パッド 4 9 4 との間に第 1 8 導電性接続 4 5 3 が形成される。I P D 4 0 7 は、第 1 8 導電性接続 4 5 3、複数の第 1 8 再配線パッド 4 9 4、複数の第 9 再配線パターン 4 7 6、複数の第 1 7 再配線パッド 4 9 3、第 1 6 導電性接続 4 5 1、及び第 4 データパッド 9 5 を経由してロジックチップ 7 に接続される。I P D 4 0 7 はロジックチップ 7 に近く装着される

50

。

【0116】

図33は、本発明の一実施形態による半導体パッケージを説明するレイアウトであり、図34は、本発明の一実施形態による半導体パッケージを説明する断面図である

【0117】

図33及び図34を参照すると、基板3上に第1チップスタック(chip stack)10が搭載される。第1チップスタック10は複数のメモリチップ11、12、13、14を含む。複数のメモリチップ11、12、13、14のうちの最上層メモリチップ14上に再配線層274が形成される。再配線層274上にロジックチップ7及びIPD(Integrated Passive Device)407が搭載される。基板3上に、第1チップスタック10、ロジックチップ7、及びIPD407を覆う封止材59が提供される。封止材59内に、第1～第5導電性接続241、243、246、248、249、及び第16導電性接続451が提供される。

10

【0118】

第16導電性接続451はボンディングワイヤ(bonding wire)である。IPD407は第5データパッド96を含む。第5データパッド96と第4データパッド95との間に第16導電性接続451が形成される。IPD407は、第16導電性接続451を経由してロジックチップ7に接続される。IPD407はロジックチップ7に近く装着される。

【0119】

図35は、本発明の一実施形態による半導体パッケージを説明するレイアウトである。

20

【0120】

図35を参照すると、基板3上に第1チップスタック(chip stack)10が搭載される。第1チップスタック10は複数のメモリチップ11、12、13、14を含む。メモリチップ11、12、13、14のうちの最上層メモリチップ14上に再配線層274が形成される。再配線層274内に、複数の第1再配線パターン275、複数の第2再配線パターン276、複数の第3再配線パターン277、複数の第8再配線パターン475、複数の第9再配線パターン476、複数の第1再配線パッド291、複数の第2再配線パッド292、複数の第3再配線パッド293、複数の第4再配線パッド294、複数の第5再配線パッド297、複数の第6再配線パッド298、複数の第15再配線パッド491、複数の第16再配線パッド492、複数の第17再配線パッド493、及び複数の第18再配線パッド494が形成される。再配線層274上に、ロジックチップ7、第1バッファチップ261、第2バッファチップ262、第1デカップリングキャパシタ405、及びIPD(Integrated Passive Device)407が搭載される。

30

【0121】

基板3上に、第1導電性接続241、第2導電性接続243、第3導電性接続246、第4導電性接続248、第5導電性接続249、第6導電性接続244、第7導電性接続247、第14導電性接続449、第16導電性接続451、及び第18導電性接続453が提供される。メモリチップ11、12、13、14、第1バッファチップ261、第2バッファチップ262、及びロジックチップ7は、複数の第1データパッド91、第2データパッド93、第4データパッド95、及び複数の電源パッド92を含む。

40

【0122】

第1バッファチップ261及び第2バッファチップ262は、DRAM又はSRAMのような揮発性メモリ素子(volatile memory device)を含む。基板3上に第2デカップリングキャパシタ(decoupling capacitor)406が搭載される。第1デカップリングキャパシタ405及び第2デカップリングキャパシタ406は、MLCC(Multi-Layer Ceramic Capacitor)である。基板3上に、第1電極フィンガー231、第2電極フィンガー233、及び第5電極フィンガー431が形成される。IPD407は第5データパッド96を含む

50

。第1デカップリングキャパシタ405、第2デカップリングキャパシタ406、及びIPD407は受動素子と指称する。

【0123】

図36は、本発明の一実施形態による半導体パッケージを説明するレイアウトであり、図37は、図36の一部分を詳細に示す拡大図であり、図38は、本発明の一実施形態による半導体パッケージを説明する断面図である。

【0124】

図36及び図37を参照すると、基板3上に第1チップスタック(chip stack)10が搭載される。第1チップスタック10は複数のメモリチップ11、12、13、14を含む。複数のメモリチップ11、12、13、14のうちの最上層メモリチップ14上に再配線層274が形成される。再配線層274内に、複数の第1再配線パターン275、複数の第2再配線パターン276、複数の第1再配線パッド291、複数の第2再配線パッド292、複数の第3再配線パッド293、複数の第4再配線パッド294、複数の第5再配線パッド297、及びデカップリングキャパシタ(decoupling capacitor)511が形成される。再配線層274上にロジックチップ7が搭載される。基板3上に、第1～第5導電性接続241、243、246、248、249、及び第19導電性接続451が提供される。複数のメモリチップ11、12、13、14、及びロジックチップ7は、複数の第1データパッド91、第6データパッド97、及び複数の電源パッド92を含む。

【0125】

デカップリングキャパシタ511は、第1キャパシタ電極501、第1キャパシタ電極501と対向する第2キャパシタ電極505、及び第1キャパシタ電極501と第2キャパシタ電極505との間のキャパシタ誘電膜503を含む。第1キャパシタ電極501の一端に第1キャパシタパッド521が形成され、第2キャパシタ電極505の一端に第2キャパシタパッド525が形成される。第1キャパシタパッド521及び第2キャパシタパッド525は、第19導電性接続541により第6データパッド97に接続される。デカップリングキャパシタ511は、第19導電性接続541を経由してロジックチップ7に接続される。

【0126】

第1キャパシタ電極501及び第2キャパシタ電極505は互いに平行する。第1キャパシタ電極501及び第2キャパシタ電極505のそれぞれはジグザグ状に曲がる。第1キャパシタ電極501及び第2キャパシタ電極505のそれぞれは金属膜のような導電膜を含む。キャパシタ誘電膜503は、シリコン酸化物、シリコン窒化物、シリコン酸窒化物、高誘電膜(High-K dielectric layer)、又はそれらの組み合わせのような絶縁物を含む。第19導電性接続541はボンディングワイヤ(bonding wire)である。デカップリングキャパシタ511はロジックチップ7に近く形成される。

【0127】

他の実施形態において、デカップリングキャパシタ511は、最上層メモリチップ14の第1データパッド91に直接的に接続される。更に他の実施形態において、デカップリングキャパシタ511は最上層メモリチップ14とロジックチップ7との間のデータ伝達経路に接続される。

【0128】

図38を参照すると、最上層メモリチップ14はパッシベーション絶縁膜14Pを含む。パッシベーション絶縁膜14Pは、シリコン酸化物、シリコン窒化物、シリコン酸窒化物、又はそれらの組み合わせのような絶縁物を含む。パッシベーション絶縁膜14P上に再配線層274が形成される。再配線層274内にデカップリングキャパシタ(decoupling capacitor)511が形成される。

【0129】

例えば、パッシベーション絶縁膜14P上に第1絶縁膜274Aが形成される。第1絶

10

20

30

40

50

緑膜 274A はパッシベーション絶縁膜 14P に直接的に接触する。第 1 絶縁膜 274A 上に、第 1 キャパシタ電極 501、第 2 キャパシタ電極 505、キャパシタ誘電膜 503、第 1 キャパシタパッド 521、及び第 2 キャパシタパッド 525 が形成される。第 1 絶縁膜 274A 上にデカップリングキャパシタ 511 を覆う第 2 絶縁膜 274B が形成される。第 2 絶縁膜 274B は、第 1 キャパシタ電極 501 及び第 2 キャパシタ電極 505 を覆い、第 1 キャパシタパッド 521 及び第 2 キャパシタパッド 525 を露出する。第 1 キャパシタパッド 521 及び第 2 キャパシタパッド 525 上に第 19 導電性接続 541 が形成される。第 1 キャパシタ電極 501、第 2 キャパシタ電極 505、キャパシタ誘電膜 503、第 1 キャパシタパッド 521、及び第 2 キャパシタパッド 525 は同一の水平レベルに形成される。

10

【0130】

他の実施形態において、再配線層 274 は最上層メモリチップ 14 上に部分的に形成される。

【0131】

図 39 は、本発明の一実施形態による半導体パッケージの一部分を詳細に示す拡大図であり、図 40 は、本発明の一実施形態による半導体パッケージを説明する断面図である。

【0132】

図 39 及び図 40 を参照すると、最上層メモリチップ 14 はパッシベーション絶縁膜 14P を含む。パッシベーション絶縁膜 14P 上に再配線層 274 が形成される。再配線層 274 内にデカップリングキャパシタ (decoupling capacitor) 511A が形成される。デカップリングキャパシタ 511A は、第 1 キャパシタ電極 501A、第 1 キャパシタ電極 501A 上のキャパシタ誘電膜 503A、及びキャパシタ誘電膜 503A 上の第 2 キャパシタ電極 505A を含む。第 1 キャパシタ電極 501A の一端に第 1 キャパシタパッド 521A が形成され、第 2 キャパシタ電極 505A の一端に第 2 キャパシタパッド 525A が形成される。第 1 キャパシタパッド 521A 及び第 2 キャパシタパッド 525A 上に第 19 導電性接続 541 が形成される。

20

【0133】

キャパシタ誘電膜 503A は第 1 キャパシタ電極 501A の上部表面を覆う。キャパシタ誘電膜 503A は第 1 キャパシタ電極 501A と第 2 キャパシタ電極 505A との間に介在する。キャパシタ誘電膜 503A は、第 1 キャパシタ電極 501A 及び第 2 キャパシタ電極 505A に接触する。

30

【0134】

図 41 は、本発明の一実施形態による半導体パッケージを説明するレイアウトである。

【0135】

図 41 を参照すると、基板 3 上に第 1 チップスタック (chip stack) 10 が搭載される。第 1 チップスタック 10 は複数のメモリチップ 11、12、13、14 を含む。メモリチップ 11、12、13、14 のうちの最上層メモリチップ 14 上に再配線層 274 が形成される。再配線層 274 内に、複数の第 1 再配線パターン 275、複数の第 2 再配線パターン 276、複数の第 3 再配線パターン 277、複数の第 9 再配線パターン 476、複数の第 1 再配線パッド 291、複数の第 2 再配線パッド 292、複数の第 3 再配線パッド 293、複数の第 4 再配線パッド 294、複数の第 5 再配線パッド 297、複数の第 6 再配線パッド 298、複数の第 17 再配線パッド 493、及び第 1 デカップリングキャパシタ 511 が形成される。再配線層 274 上に、ロジックチップ 7、第 1 バッファチップ 261、第 2 バッファチップ 262、及び IPD (Integrated Passive Device) 407 が搭載される。

40

【0136】

基板 3 上に、第 1 導電性接続 241、第 2 導電性接続 243、第 3 導電性接続 246、第 4 導電性接続 248、第 5 導電性接続 249、第 6 導電性接続 244、第 7 導電性接続 247、第 16 導電性接続 451、及び第 19 導電性接続 541 が形成される。メモリチップ 11、12、13、14、第 1 バッファチップ 261、第 2 バッファチップ 262、

50

及びロジックチップ7は、複数の第1データパッド91、第4データパッド95、第6データパッド97、及び複数の電源パッド92を含む。

【0137】

第1デカップリングキャパシタ511は第1キャパシタパッド521及び第2キャパシタパッド525を含む。第1キャパシタパッド521及び第2キャパシタパッド525は、第19導電性接続541により第6データパッド97に接続される。基板3上に第2デカップリングキャパシタ(decoupling capacitor)406が搭載される。第2デカップリングキャパシタ406はMLCC(Multi-Layer Ceramic Capacitor)である。基板3上に、第1電極フィンガー231、第2電極フィンガー233、及び第5電極フィンガー431が形成される。

10

【0138】

図1～図41を参照して説明したように、再配線層274、メモリチップ11、12、13、14、ロジックチップ7、バッファチップ261、262、IPD407、及びデカップリングキャパシタ405、406、511の構成は、信号伝達経路を短縮し、動作速度を改善し、大きさ縮小に有利な半導体パッケージの具現に非常に効果的に用いられる。例えば、メモリチップ11、12、13、14は、ロジックチップ7及び再配線層274を経由して基板3に電氣的に接続される。メモリチップ11、12、13、14とロジックチップ7との間の信号伝達経路を短縮することで半導体パッケージの動作速度は従来に比べて著しく増加する。基板3内には、ロジックチップ7とメモリチップ11、12、13、14との間にデータ信号を伝達する役割を担うどのような配線も必要としない。

20

【0139】

基板3内に形成された基板内部配線321、322、323は従来に比べて著しく単純化される。基板3の電源供給能力及び信号伝達能力は従来に比べて著しく向上する。再配線層274の構成によって、ロジックチップ7、バッファチップ261、262、IPD407、及びデカップリングキャパシタ405、406、511の搭載位置に対する自由度は従来に比べて著しく改善される。再配線層274の構成は半導体パッケージの大きさの縮小に非常に効果的な手段を提供する。

【0140】

他の実施形態において、メモリチップ11、12、13、14、ロジックチップ7、バッファチップ261、262、IPD407、及びデカップリングキャパシタ405、406、511との間の信号伝達経路は多様に構成される。例えば、メモリチップ11、12、13、14又はバッファチップ261、262のいくつかは、基板3を経由してロジックチップ7に電氣的に接続される。

30

【0141】

図42は、本発明の一実施形態による電子装置の斜視図であり、図43は、本発明の一実施形態による電子装置のシステムブロック図である。電子装置は、ソリッドステートドライブ(Solid State Drive:SSD)1100のようなデータ保存装置である。

【0142】

図42及び図43を参照すると、ソリッドステートドライブ(SSD)1100は、インターフェース1113、制御器(controller)1115、不揮発性メモリ(non-volatile memory)1118、及びバッファメモリ(buffer memory)1119を含む。ソリッドステートドライブ1100は半導体素子を用いて情報を保存する装置である。ソリッドステートドライブ1100は、ハードディスクドライブ(Hard Disk Drive:HDD)に比べて速度が早く、機械的遅延や失敗率、発熱、騒音も少なく、小型化、軽量化することができる長所がある。ソリッドステートドライブ1100は、ラップトップ、ノートパソコン、デスクトップパソコン、MP3プレーヤ、又は携帯用保存装置に用いられる。

40

【0143】

制御器1115は、インターフェース1113に隣接するように形成され、電氣的に接

50

続される。制御器 1115 はメモリ制御器及びバッファ制御器を含むマイクロプロセッサ (microprocessor) である。不揮発性メモリ 1118 は、制御器 1115 に隣接するように形成され、電氣的に接続される。ソリッドステートドライブ 1100 のデータ保存容量は不揮発性メモリ 1118 に対応する。バッファメモリ 1119 は制御器 1115 に隣接するように形成されて電氣的に接続される。

【0144】

インターフェース 1113 は、ホスト (Host) 1002 に接続され、データのような電気信号を送受信する役割を担う。例えば、インターフェース 1113 は、SATA、IDE、SCSI、及び/又はそれらの組み合わせのような規格を用いる装置である。不揮発性メモリ 1118 は制御器 1115 を経由してインターフェース 1113 に接続される。不揮発性メモリ 1118 はインターフェース 1113 を介して受信したデータを保存する役割を担う。ソリッドステートドライブ 1100 への電源供給が遮断されても、不揮発性メモリ 1118 に保存されたデータは保存される特性がある。

10

【0145】

バッファメモリ 1119 は揮発性メモリ (volatile memory) を含む。揮発性メモリは DRAM (Dynamic Random Access Memory) 及び/又は SRAM (Static Random Access Memory) である。バッファメモリ 1119 は不揮発性メモリ 1118 に比べて相対的に早い動作速度を示す。

【0146】

インターフェース 1113 のデータ処理速度は不揮発性メモリ 1118 の動作速度に比べて相対的に早い。ここで、バッファメモリ 1119 はデータを臨時的に保存する役割を担う。インターフェース 1113 を介して受信したデータは、制御器 1115 を経由してバッファメモリ 1119 に臨時的に保存された後、不揮発性メモリ 1118 のデータ書き込み (write) 速度に合わせて不揮発性メモリ 1118 に永久保存される。また、不揮発性メモリ 1118 に保存されたデータのうち、よく使われるデータは前もって読み出し (read) されてバッファメモリ 1119 に臨時的に保存される。即ち、バッファメモリ 1119 はソリッドステートドライブ 1100 の有効動作速度を増加させてエラー (error) 発生率を減少させる役割をする。

20

【0147】

不揮発性メモリ (non-volatile memory) 1118、バッファメモリ 1119、及び制御器 1115 は、図 1 ~ 図 41 を参照して説明したものと同様な構成を示す。例えば、不揮発性メモリ (non-volatile memory) 1118、バッファメモリ 1119、及び制御器 1115 は 1 つの半導体パッケージ内に搭載される。他の実施形態において、不揮発性メモリ (non-volatile memory) 1118 及び制御器 1115 は第 1 半導体パッケージ内に搭載され、バッファメモリ 1119 は第 2 半導体パッケージ内に搭載される。他の実施形態において、不揮発性メモリ (non-volatile memory) 1118 は第 1 半導体パッケージ内に搭載され、バッファメモリ 1119 は第 2 半導体パッケージ内に搭載され、制御器 1115 は第 3 半導体パッケージ内に搭載される。ソリッドステートドライブ 1100 の電氣的特性は従来に比べて著しく改善される。

30

40

【0148】

図 44 ~ 図 46 は、本発明の一実施形態による電子装置の斜視図であり、図 47 は、本発明の一実施形態による電子装置のシステムブロック図である。

【0149】

図 44 ~ 図 46 を参照すると、図 1 ~ 図 41 を参照して説明した半導体パッケージは eMMC (embedded multi-media chip) 1200、microSD 1300、携帯電話 1900、ネットブック、ノートパソコン、又はタブレット PC のような電子システムに有効に適用される。例えば、図 1 ~ 図 41 を参照して説明したものと同様な半導体パッケージは、携帯電話 1900 内のメインボードに搭載される。図 1

50

～図41を参照して説明したものと同様な半導体パッケージは、microSD1300のような拡張装置として提供され、携帯電話1900に装着して用いられる。

【0150】

図47を参照すると、図1～図41を参照して説明したものと同様な半導体パッケージは、電子システム2100に適用される。電子システム2100は、ボディ(Body)2110、マイクロプロセッサユニット(Micro Processor Unit)2120、パワーユニット(Power Unit)2130、機能ユニット(Function Unit)2140、及びディスプレイコントローラユニット(Display Controller Unit)2150を含む。ボディ2110は印刷回路基板(PCB)に形成されたマザーボード(Mother Board)である。マイクロプロセッサユニット2120、パワーユニット2130、機能ユニット2140、及びディスプレイコントローラユニット2150は、ボディ2110に装着される。ボディ2110の内部或いはボディ2110の外部にディスプレイユニット2160が配置される。例えば、ディスプレイユニット2160は、ボディ2110の表面に配置されてディスプレイコントローラユニット2150によりプロセスされたイメージを表示する。

10

【0151】

パワーユニット2130は、外部バッテリー(図示せず)などから所定電圧を受けて、これを、要求される電圧レベルに分岐して、マイクロプロセッサユニット2120、機能ユニット2140、ディスプレイコントローラユニット2150などに供給する役割を担う。マイクロプロセッサユニット2120は、パワーユニット2130から電圧を受けて機能ユニット2140とディスプレイユニット2160を制御する。機能ユニット2140は多様な電子システム2100の機能を遂行する。例えば、電子システム2100が携帯電話の場合、機能ユニット2140は、ダイヤリング、又は外部装置(External Apparatus)2170との交信によって、ディスプレイユニット2160への映像出力、スピーカへの音声出力などのような携帯電話機能を遂行する多くの構成要素を含み、カメラが装着された場合にはカメライメージプロセッサ(Camera Image Processor)の役割を担う。

20

【0152】

応用実施形態において、電子システム2100が容量拡張のためにメモリカードなどと接続する場合、機能ユニット2140はメモリカードコントローラである。機能ユニット2140は、有線或いは無線の通信ユニット(Communication Unit)2180を介して外部装置2170と信号を交信する。電子システム2100が機能拡張のためにUSB(Universal Serial Bus)などを必要とする場合、機能ユニット2140はインターフェースコントローラ(Interface Controller)の役割をする。機能ユニット2140は大容量保存装置を含むことができる。

30

【0153】

図1～図41を参照して説明したものと同様な半導体パッケージは、機能ユニット2140又はマイクロプロセッサユニット2120に適用される。例えば、機能ユニット2140は、基板3、バッファチップ261、262、メモリチップ11、12、13、14、再配線層274、及びロジックチップ7を含む。基板3はボディ2110に電氣的に接続される。上述した半導体パッケージを搭載した電子システム2100は、複数の半導体チップを搭載しながらも軽薄短小化に有利であり、信号伝達経路の短縮による高速動作特性を示す。

40

【0154】

以上、図面を参照しながら本発明の実施形態について説明したが、本発明は、上述の実施形態に限定されるものではなく、本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

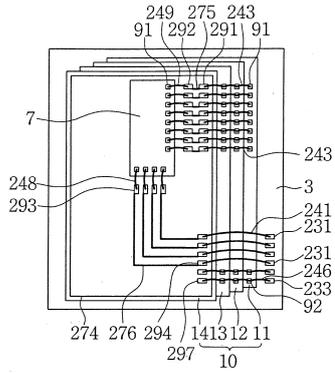
【符号の説明】

【0155】

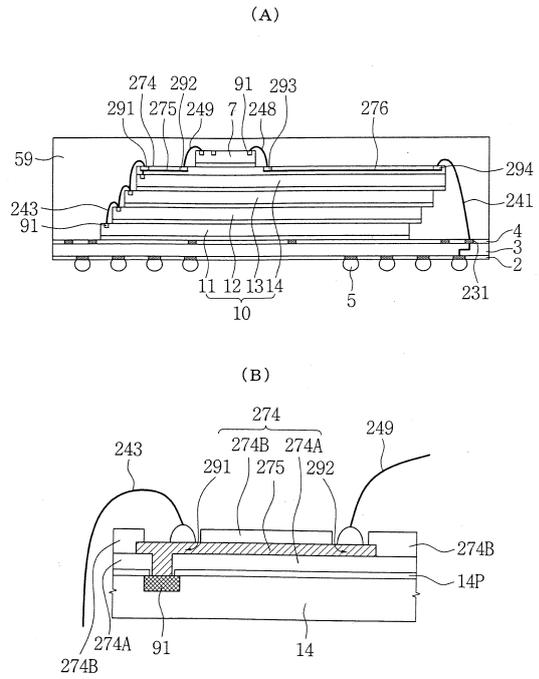
50

2、4	ソルダレジスト	
3	基板	
5	外部端子	
7	ロジックチップ	
9	チップスタック (chip stack)	
10、20	第1及び第2チップスタック	
11、12、13、14、21、22、23、24	メモリチップ	
14P	パッシベーション絶縁膜	
50	支持台	
59	封止材	10
91、93、94、95、96、97	データパッド	
92	電源パッド	
231、232、233、331、431	電極フィンガー	
241、242、243、244、245、246、247、248、249、312、341、347、348、449、450、451、452、453、541	導電性接続	
253、254、255、256、257	接着膜	
261、262	バッファチップ	
274、274P、284	再配線層	
274A	第1絶縁膜	20
274B	第2絶縁膜	
275、276、277、285、313、376、377、475、476	再配線パターン	
291、292、293、294、295、296、297、298、311、314、393、394、395、396、491、492、493、494	再配線パッド	
321、322、323	基板内部配線	
405、406、511	デカップリングキャパシタ (decoupling capacitor)	
407	IPD (Integrated Passive Device)	
501、501A、505、505A	キャパシタ電極	30
503、503A	キャパシタ誘電膜	
521、521A、525、525A	キャパシタパッド	
1002	ホスト (Host)	
1100	ソリッドステートドライブ (SSD)	
1113	インターフェース	
1115	制御器 (controller)	
1118	不揮発性メモリ (non-volatile memory)	
1119	バッファメモリ (buffer memory)	
1200	eMMC (embedded multi-media chip)	
1300	microSD	40
1900	携帯電話	
2100	電子システム	
2110	ボディ	
2120	マイクロプロセッサユニット	
2130	パワーユニット	
2140	機能ユニット	
2150	ディスプレイコントローラユニット	
2160	ディスプレイユニット	
2170	外部装置	
2180	通信ユニット	50

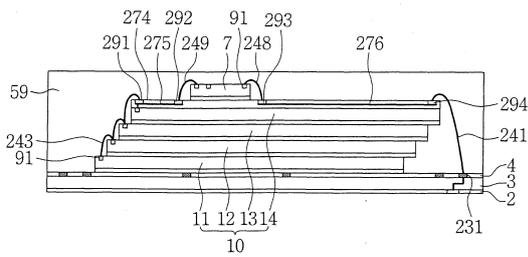
【図1】



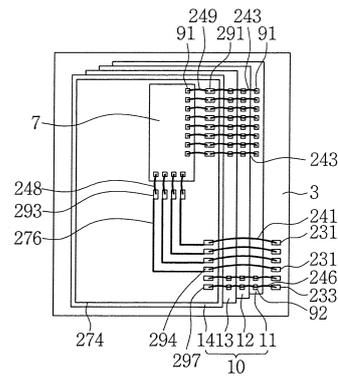
【図2】



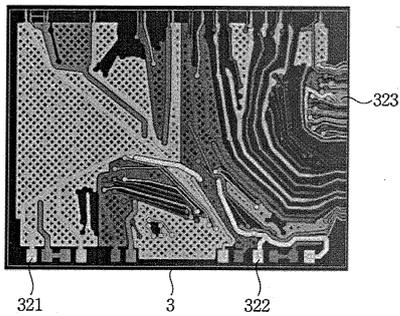
【図3】



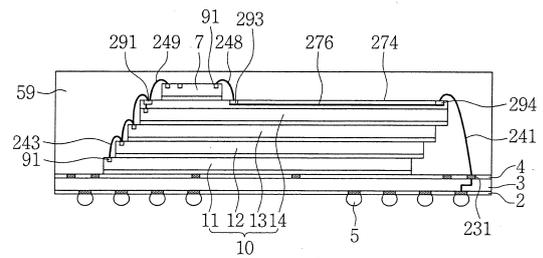
【図5】



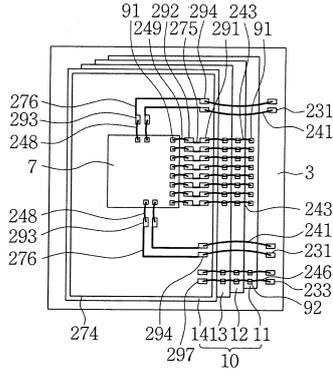
【図4】



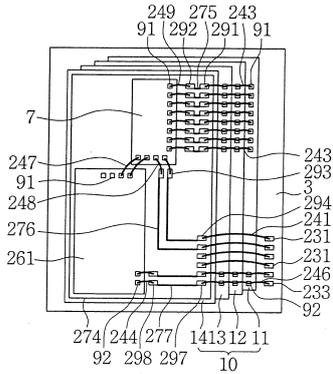
【図6】



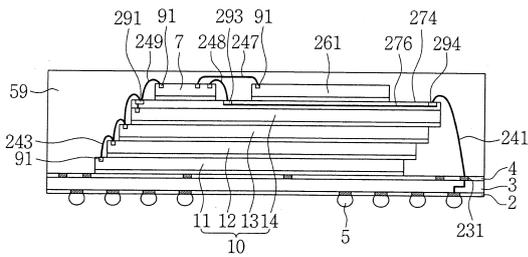
【図7】



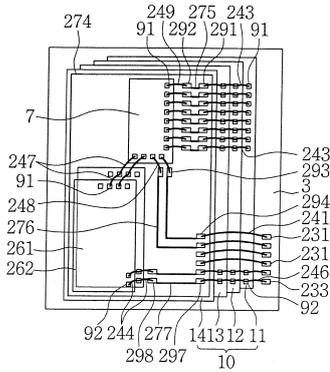
【図8】



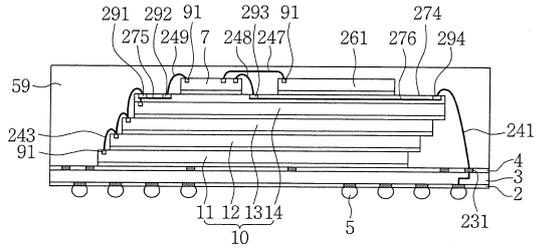
【図11】



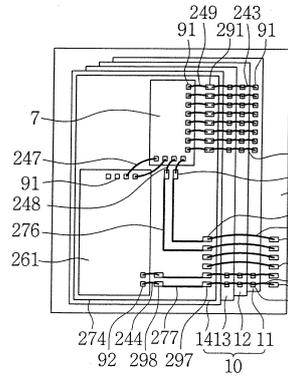
【図12】



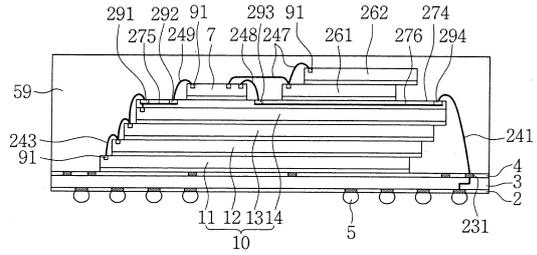
【図9】



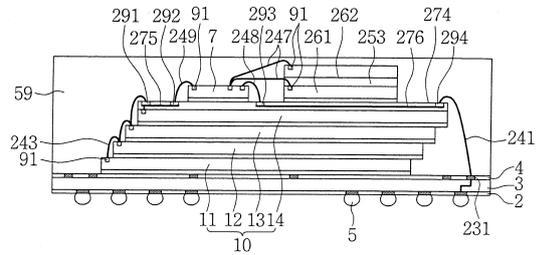
【図10】



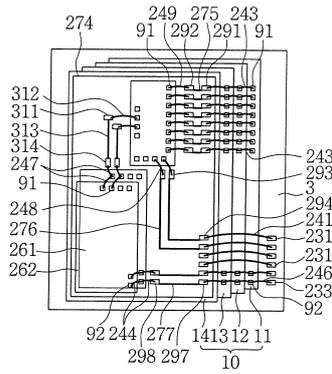
【図13】



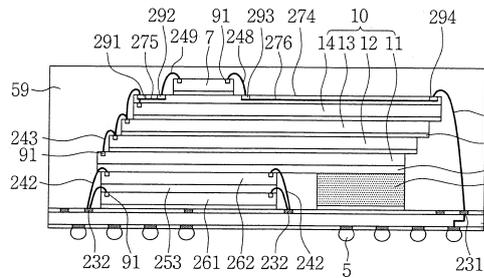
【図14】



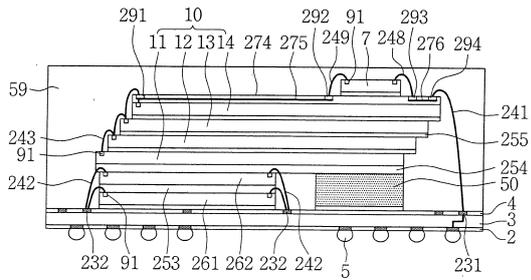
【図15】



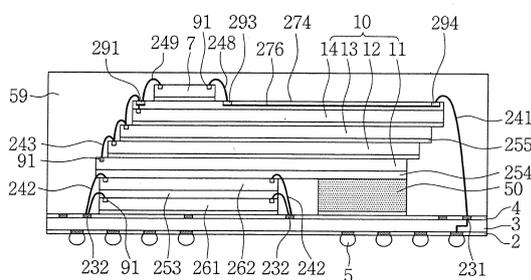
【図16】



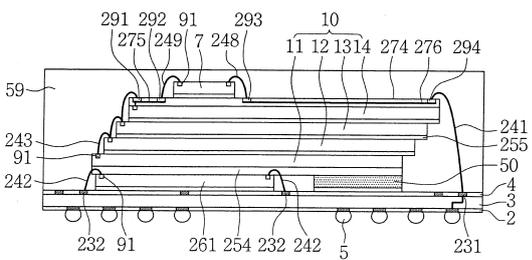
【図17】



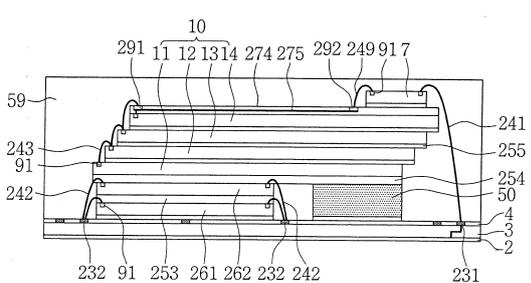
【図18】



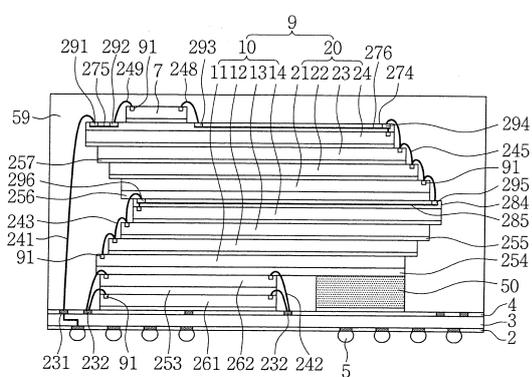
【図19】



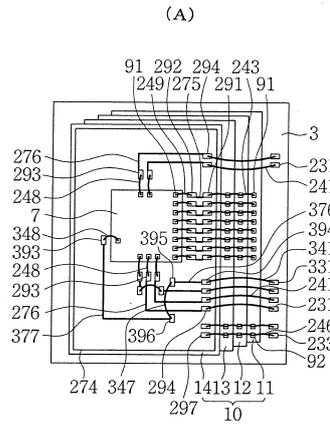
【図21】



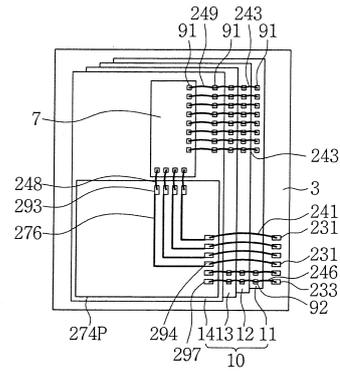
【図20】



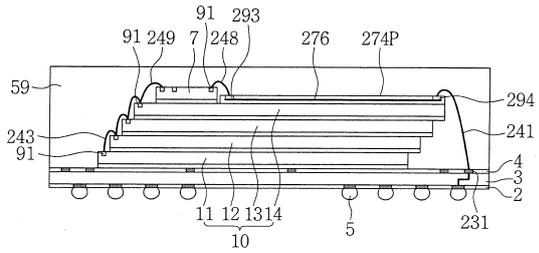
【図22】



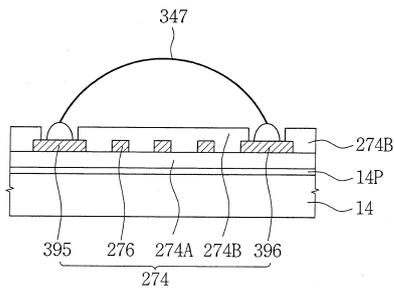
【図23】



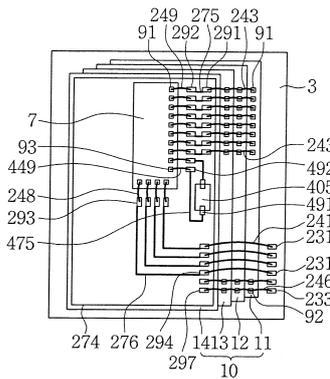
【図24】



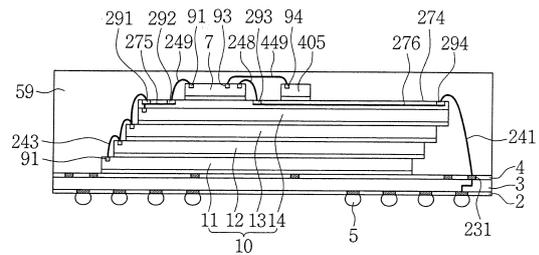
(B)



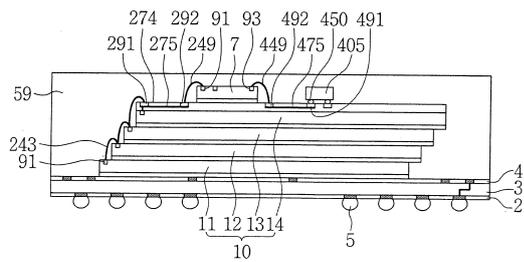
【図25】



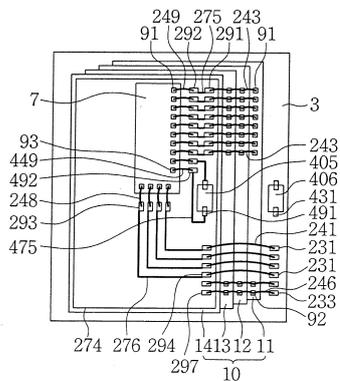
【図27】



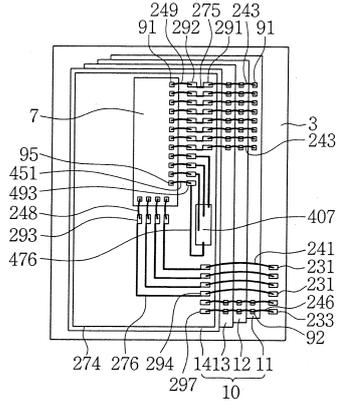
【図26】



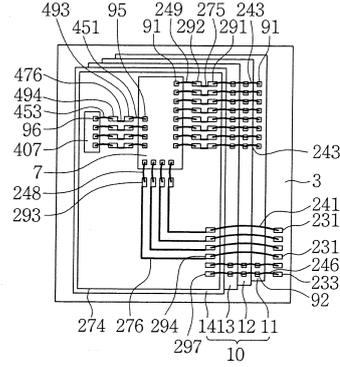
【図28】



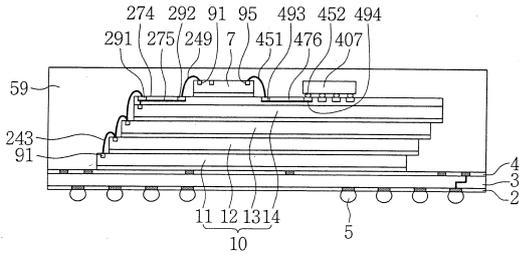
【図 29】



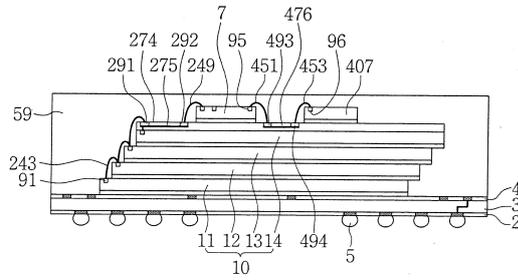
【図 31】



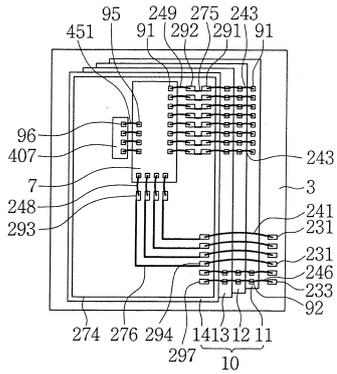
【図 30】



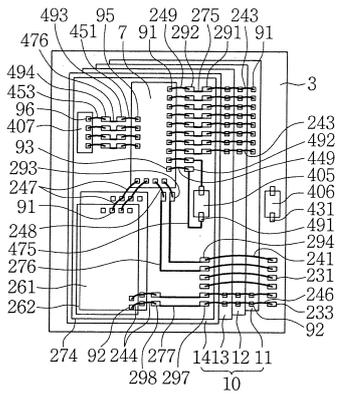
【図 32】



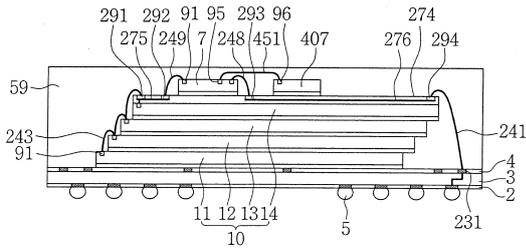
【図 33】



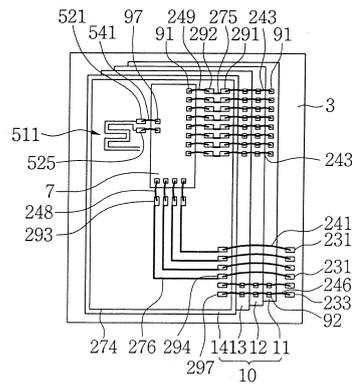
【図 35】



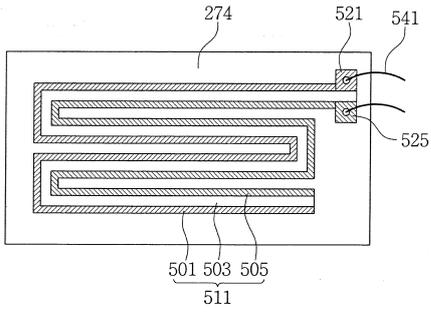
【図 34】



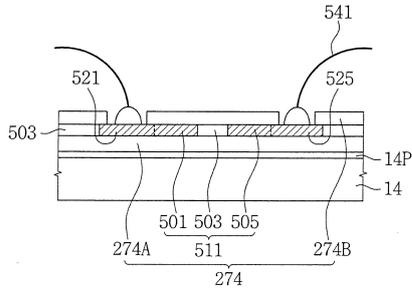
【図 36】



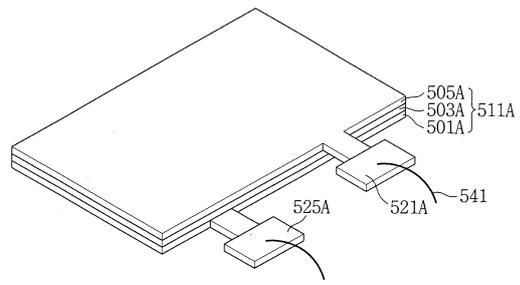
【図37】



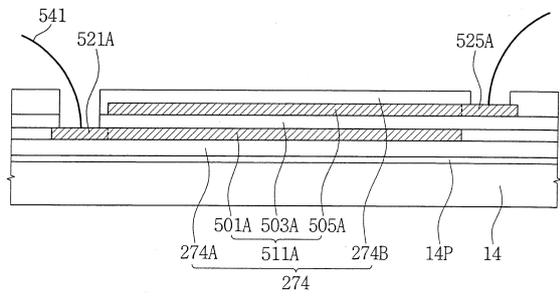
【図38】



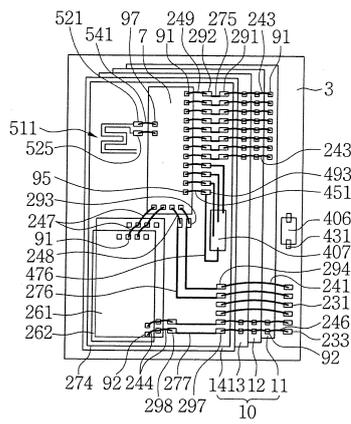
【図39】



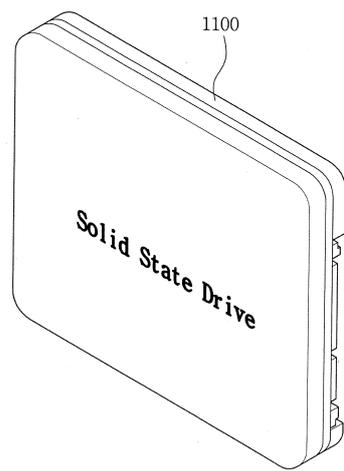
【図40】



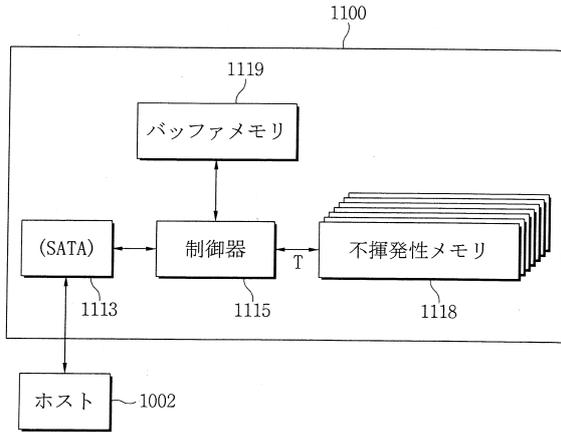
【図41】



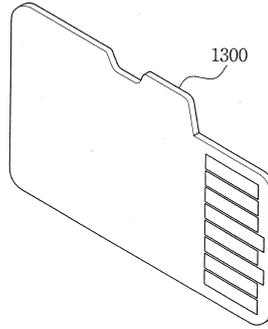
【図42】



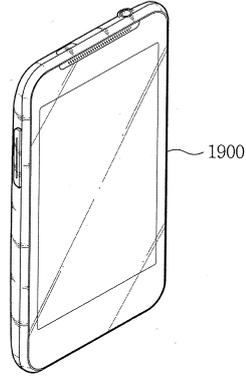
【図43】



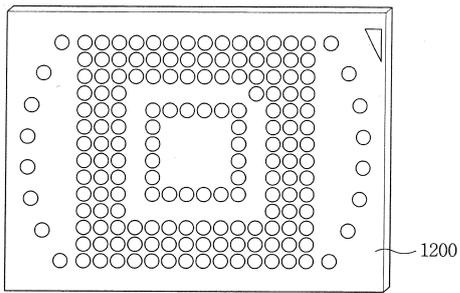
【図45】



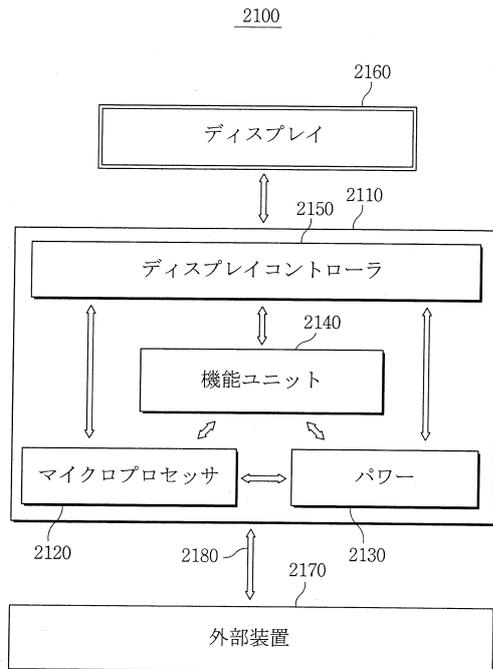
【図46】



【図44】



【図47】



フロントページの続き

(72)発明者 金 慧 眞

大韓民国 京畿道 華城市 盤松洞 シボムダウンマウルポスコザシャープアパート 317棟
1302号

(72)発明者 安 相 鎬

大韓民国 京畿道 水原市 靈通区 靈通洞 チョンミョンマウル三星アパート 431棟 13
04号

(72)発明者 金 敬 萬

大韓民国 京畿道 華城市 盤松洞 メタボリス D棟 1902号

(72)発明者 李 碩 燦

大韓民国 京畿道 華城市 盤松洞 74番地 ウーリムフィルユータウンハウスアパート 10
1棟 404号

審査官 井上 和俊

(56)参考文献 特開2011-061186(JP,A)

特開2011-034990(JP,A)

特開2010-109206(JP,A)

特開2011-086943(JP,A)

特開2006-351664(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/065

H01L 25/07

H01L 25/18