

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-245293

(P2010-245293A)

(43) 公開日 平成22年10月28日(2010.10.28)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8244 (2006.01)	HO 1 L 27/10 3 8 1	4 M 1 0 4
HO 1 L 27/11 (2006.01)	HO 1 L 29/58 G	5 F 0 8 3
HO 1 L 29/423 (2006.01)	HO 1 L 29/50 M	
HO 1 L 29/49 (2006.01)		
HO 1 L 29/417 (2006.01)		

審査請求 未請求 請求項の数 17 O L (全 23 頁)

(21) 出願番号 特願2009-92372 (P2009-92372)
 (22) 出願日 平成21年4月6日(2009.4.6)

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100102864
 弁理士 工藤 実
 (72) 発明者 南雲 俊治
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 Fターム(参考) 4M104 AA01 AA10 BB40 CC01 CC05
 DD07 DD26 FF04 GG09 GG10
 GG14 GG16
 5F083 BS02 BS14 BS27 BS46 GA11
 KA01 KA05 LA12 LA16 LA21
 PR43 PR44 PR45 PR53 PR54
 PR55

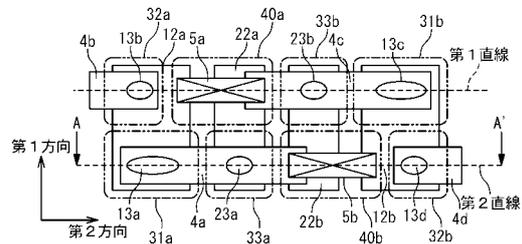
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 読み出しマージンの大きなSRAMセルを提供する。

【解決手段】 第1インバータ回路と、出力ノードが前記第1インバータ回路の入力ノードに接続され、入力ノードが前記第1インバータ回路の出力ノードに接続された、第2インバータ回路と、ソース及びドレインの一方が前記第1インバータ回路の出力ノードに接続され、他方がビット線に接続された、第1アクセストランジスタとを具備する。前記第1インバータ回路は、第1トランジスタを含む。前記第1アクセストランジスタ及び前記第1トランジスタのそれぞれは、基板上に形成され、前記基板面に対して垂直に伸びる半導体柱と、前記半導体柱を前記基板面に平行な方向で取り囲むように形成され、前記半導体柱にチャネル領域を形成させる、ゲート電極と、前記半導体柱の下端部又は上端部にそれぞれ接続されるソース及びドレインとを備える。前記第1トランジスタの電流駆動力は、前記第1アクセストランジスタのそれよりも高い。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

第 1 インバータ回路と、
 出力ノードが前記第 1 インバータ回路の入力ノードに接続され、入力ノードが前記第 1 インバータ回路の出力ノードに接続された、第 2 インバータ回路と、
 ソース及びドレインの一方が前記第 1 インバータ回路の出力ノードに接続され、他方がビット線に接続された、第 1 アクセストランジスタと、
 を具備し、
 前記第 1 インバータ回路は、第 1 トランジスタを含み、
 前記第 1 アクセストランジスタ及び前記第 1 トランジスタのそれぞれは、
 基板上に形成され、前記基板面に対して垂直に延びる半導体柱と、
 前記半導体柱を前記基板面に平行な方向で取り囲むように形成され、前記半導体柱にチャンネル領域を形成させる、ゲート電極と、
 前記半導体柱の下端部又は上端部にそれぞれ接続されるソース及びドレインとを備え、
 前記第 1 トランジスタの電流駆動力は、前記第 1 アクセストランジスタのそれよりも高い
 半導体装置。

10

【請求項 2】

請求項 1 に記載された半導体装置であって、
 前記第 1 トランジスタに含まれる半導体柱の外周長の総和は、前記第 1 アクセストランジスタのそれよりも長い
 半導体装置。

20

【請求項 3】

請求項 1 又は 2 に記載された半導体装置であって、
 前記第 1 トランジスタに含まれる半導体柱は、単一である
 半導体装置。

【請求項 4】

請求項 1 又は 2 に記載された半導体装置であって、
 前記第 1 トランジスタに含まれる半導体柱は、複数である
 半導体装置。

30

【請求項 5】

請求項 1 乃至 4 の何れかに記載された半導体装置であって、
 更に、
 ソース及びドレインの一方が前記第 2 インバータ回路の出力ノードに接続され、他方がビット線に接続された、第 2 アクセストランジスタ、
 を具備し、
 前記第 2 インバータ回路は、第 2 トランジスタを含み、
 前記第 2 トランジスタにおける前記半導体柱の外周長は、前記第 2 アクセストランジスタのそれよりも長い
 半導体装置。

40

【請求項 6】

請求項 5 に記載された半導体装置であって、
 前記基板面に平行な第 1 方向と、前記基板面に平行な平面内で前記第 1 方向に直交する第 2 方向とが定義された場合に、前記第 1 トランジスタ及び前記第 1 アクセストランジスタそれぞれにおける半導体柱は、前記第 1 方向における長さが前記第 2 方向における長さよりも短く、前記第 1 トランジスタの半導体柱における前記第 1 方向に沿う長さは、前記第 1 アクセストランジスタの半導体柱における前記第 1 方向に沿う長さ以下である
 半導体装置。

【請求項 7】

50

請求項 6 に記載された半導体装置であって、

前記第 1 アクセストランジスタ、前記第 2 アクセストランジスタ、前記第 1 トランジスタ、及び前記第 2 トランジスタに含まれる半導体柱のうち、少なくとも 2 つの半導体柱は、前記基板面に平行な第 1 直線に沿って配置され、他の少なくとも 2 つの半導体柱は、前記基板面と平行な方向で前記第 1 直線とは別の第 2 直線に沿って配置され、前記第 1 直線と前記第 2 直線とは平行であり、前記第 2 方向は、前記第 1 直線及び前記第 2 直線に平行な方向である

半導体装置。

【請求項 8】

請求項 6 又は 7 に記載された半導体装置であって、

前記第 1 トランジスタのゲート電極は、前記第 2 方向に沿って延びている半導体装置。

10

【請求項 9】

請求項 1 乃至 8 の何れかに記載された半導体装置であって、

前記第 1 トランジスタは、N チャネルトランジスタである半導体装置。

【請求項 10】

請求項 1 乃至 8 の何れかに記載された半導体装置であって、

前記第 1 トランジスタは、P チャネルトランジスタである半導体装置。

20

【請求項 11】

請求項 1 乃至 10 の何れかに記載された半導体装置であって、

前記第 1 トランジスタは、前記第 1 インバータ回路の出力ノードに保持された信号を前記第 1 アクセストランジスタを介して読み出す際に電流が流される、ドライバトランジスタである半導体装置。

【請求項 12】

請求項 1 に記載された半導体装置であって、

前記第 1 アクセストランジスタ及び前記第 1 トランジスタのそれぞれに含まれる半導体柱は、シリコン層により形成され、

30

前記第 1 トランジスタは、半導体柱の側面がシリコンの「100」面に沿うように形成されており、

前記第 1 アクセストランジスタは、半導体柱の側面がシリコンの「110」面に沿うように形成されている

半導体装置。

【請求項 13】

請求項 1 乃至 12 の何れかに記載された半導体装置であって、

前記第 1 トランジスタ及び前記第 1 アクセストランジスタのそれぞれは、前記半導体柱の下端部に接続される下側ソース又はドレイン領域を備え、

前記第 1 インバータ回路の出力ノードは、前記第 1 トランジスタ及び前記第 1 アクセストランジスタそれぞれの下側ソース又はドレイン領域に接続されている

40

半導体装置。

【請求項 14】

第 1 トランジスタを有する第 1 インバータ回路と、出力ノードが前記第 1 インバータ回路の入力ノードに接続され、入力ノードが前記第 1 インバータ回路の出力ノードに接続された、第 2 インバータ回路と、ソース及びドレインの一方が前記第 1 インバータ回路の出力ノードに接続され、他方がビット線に接続された第 1 アクセストランジスタとを備える半導体装置の製造方法であって、

基板上に、前記第 1 トランジスタ及び前記第 1 アクセストランジスタそれぞれのチャンネル形成領域として、前記基板面に対して垂直に延びる複数の半導体柱を形成する工程と、

50

前記複数の半導体柱それぞれの下端部に接続される、下部ソース・ドレイン領域を形成する工程と、

前記複数の半導体柱それぞれの上端部に接続される、上部ソース・ドレイン領域を形成する工程と、

前記複数の半導体柱それぞれを、前記基板面に対して平行な方向で取り囲むゲート電極を形成する工程と、

を具備し、

前記複数の半導体柱を形成する工程は、前記複数の半導体柱を、前記第1トランジスタの電流駆動力が前記第1アクセストランジスタのそれよりも高くなるように、形成する工程を備える

10

半導体装置の製造方法。

【請求項15】

請求項14に記載された半導体装置の製造方法であって、

前記複数の半導体柱を形成する工程は、前記第1トランジスタの半導体柱の外周長が、前記第1アクセストランジスタのそれよりも長くなるように、形成する工程を備える

半導体装置の製造方法。

【請求項16】

請求項15に記載された半導体装置の製造方法であって、

前記複数の半導体柱を形成する工程は、更に、前記基板面に平行な第1方向と、前記基板面に平行な平面内で前記第1方向に直交する第2方向とが定義された場合に、前記第1トランジスタ及び前記第1アクセストランジスタそれぞれにおける前記半導体柱が、前記第1方向における長さが前記第2方向における長さよりも短く、前記第1トランジスタの前記半導体柱における前記第1方向に沿う長さが、前記第1アクセストランジスタの前記半導体柱における前記第1方向に沿う長さ以下になるように、形成する工程を含んでいる半導体装置の製造方法。

20

【請求項17】

請求項16に記載された半導体装置の製造方法であって、

前記複数の半導体柱を形成する工程は、更に、前記基板を前記第2方向に沿う開口パターンを有するマスクを用いてパターニングする工程と、前記基板を前記第1方向に沿う開口パターンを有するマスクを用いてパターニングする工程とを備える

30

半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置及び半導体装置の製造方法に関する。

【背景技術】

【0002】

大容量半導体メモリとして、スタティックランダムアクセスメモリ(SRAM)が知られている。SRAMのメモリセル(以下、SRAMセルと称す)の一例として、一对のインバータ回路と一对のアクセストランジスタとを含むセルが挙げられる。その一对のインバータ回路の各々として、ドライバトランジスタとロードトランジスタとを含む回路が挙げられる。各インバータ回路が2つのトランジスタを含む場合、SRAMセルは、合計6つのトランジスタにより構成される。そのようなSRAMセルは、例えば、特許文献1(特開2008-135169号公報)に記載されている。

40

【0003】

SRAMセルに含まれる各トランジスタとして、主に、平面型の電界効果トランジスタが用いられている(例えば、特許文献2(特開2001-28401号公報)参照)。

【0004】

これに対して、特許文献3(WO2005-119763)及び非特許文献1(H. Kawasaki et al., "Embedded Bulk FinFET S

50

RAM Cell Technology with Planar FET Peripheral Circuit for hp32 nm node and beyond, " 2006 Symposium on VLSI technology, pp. 70-71, 2006)には、SRAMセルとして、フィン型電界効果トランジスタを用いることが記載されている。フィン型電界効果トランジスタを用いることにより、SRAMセルの面積を縮小することができる。それにより、SRAMセルを高集積化させることができ、大容量化や低コスト化が可能となる。加えて、特許文献3には、駆動トランジスタのチャネル幅を、アクセストランジスタのチャネル幅よりも広くすることが記載されている。これにより、ノイズマージンを拡大することができ、ノイズ耐性に優れた半導体装置が提供される旨が記載されている。

10

【0005】

しかし、フィン型電界効果トランジスタを用いた場合であっても、リーク電流や特性ばらつき増大に伴い、セル面積の縮小が困難となりつつある。

【0006】

そこで、SRAMセルを構成するトランジスタとして、柱状電界効果トランジスタを用いることが提案されている。柱状電界効果トランジスタを用いたSRAMセルに関連して、特許文献4(特許第2703970号公報)が挙げられる。特許文献4に記載の半導体装置では、半導体基板上に溝により分離された複数の柱状半導体層が配列形成され、各柱状半導体層の外周面にゲート絶縁膜が形成される。そして、これら複数の柱状半導体層を取り囲むように溝内に連続的にゲート電極が配設される。各柱状半導体層の上面及び各半導体層を取り囲む溝底部にそれぞれソース、ドレイン拡散層が形成される。このような構成によれば、複数の柱状半導体層の周囲を取り囲むようにチャネル領域が設けられるため、大きいゲート幅を小さいチップ占有面積で実現できる。また、柱状半導体層の側壁がチャネル領域となり、チャネル領域が通常の平面構造のMOSトランジスタのようにフィールド領域に接する部分がない。従って、フィールド端の高電界のチャネル領域への影響がなく、ホット・キャリア効果が抑制される。

20

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2008-135169号公報

30

【特許文献2】特開2001-28401号公報

【特許文献3】WO2005-119763

【特許文献4】特許第2703970号公報

【非特許文献】

【0008】

【非特許文献1】H. Kawasaki et al., "Embedded Bulk FinFET SRAM Cell Technology with Planar FET Peripheral Circuit for hp32 nm node and beyond," 2006 Symposium on VLSI technology, pp. 70-71, 2006

40

【発明の概要】

【発明が解決しようとする課題】

【0009】

特許文献4に記載されるように、柱状電界効果トランジスタをSRAMセルに用いることにより、省スペース化が実現される。柱状電界効果トランジスタを用いれば、ゲート長を短くすることなく、セル面積を縮小することが可能である。ゲート長を短くすると、リーク電流やオンオフ特性がばらつき易い。従って、ゲート長としては、ある程度の長さが必要である。平面型やフィン型トランジスタでは、ゲート長方向が、基板面と平行な方向になる。そのため、ゲート長としてある程度の長さを確保するためには、ある程度のセル面積が必要となる。これに対して、柱状電界効果トランジスタでは、ゲート長方向は、基

50

板面と垂直な方向（厚さ方向）になる。従って、セル面積を増加させずに、ゲート長を確保することができる。従って、柱の径や間隔を小さくすることにより、ゲート長を短くすることなく、セル面積を縮小することが可能である。

【0010】

しかし、SRAMセルの読み出し動作において十分な動作マージンを確保するためには、SRAMセルを構成する各トランジスタの電流駆動力がバランスよく設定されている必要がある。特許文献4では、各トランジスタの電流駆動力については考慮されていない。仮に、ドライバトランジスタに含まれる柱状半導体層とアクセストランジスタに含まれる柱状半導体層とが同一サイズであるとする、読み出し時における十分な動作マージンを確保し難くなる、という問題点がある。

10

【課題を解決するための手段】

【0011】

本発明に係る半導体装置は、入力ノード及び出力ノードを有する第1インバータ回路と、入力ノード及び出力ノードを有し、出力ノードが前記第1インバータ回路の入力ノードに接続され、入力ノードが前記第1インバータ回路の出力ノードに接続された、第2インバータ回路と、ソース及びドレインの一方が前記第1インバータ回路の出力ノードに接続された、第1アクセストランジスタと、を具備する。前記第1インバータ回路は、第1トランジスタを含む。前記第1アクセストランジスタ及び前記第1トランジスタのそれぞれは、基板上に形成され、前記基板面に対して垂直に延びる半導体柱と、前記半導体柱を前記基板面に平行な方向で取り囲むように形成され、前記半導体柱にチャンネル領域を形成させる、ゲート電極と、前記半導体柱の下端部及び上端部にそれぞれ接続されるソース及びドレインとを備える。前記第1トランジスタの電流駆動力は、前記第1アクセストランジスタのそれよりも高い。

20

【0012】

本発明に係る半導体装置の製造方法は、第1トランジスタを有する第1インバータ回路と、出力ノードが前記第1インバータ回路の入力ノードに接続され、入力ノードが前記第1インバータ回路の出力ノードに接続された、第2インバータ回路と、ソース及びドレインの一方が前記第1インバータ回路の出力ノードに接続された第1アクセストランジスタとを備える半導体装置の製造方法である。この製造方法は、基板上に、前記第1トランジスタ及び前記第1アクセストランジスタそれぞれのチャンネル領域として、前記基板面に対して垂直に延びる複数の半導体柱を形成する工程と、前記複数の半導体柱それぞれの下端部に接続される、下部ソース・ドレイン領域を形成する工程と、前記複数の半導体柱それぞれの上端部に接続される、上部ソース・ドレイン領域を形成する工程と、前記複数の半導体柱それぞれを、前記基板面に対して平行な方向で取り囲むゲート電極を形成する工程とを具備する。前記複数の半導体柱を形成する工程は、前記複数の半導体柱を、前記第1トランジスタの電流駆動力が前記第1アクセストランジスタのそれよりも高くなるように、形成する工程を備える。

30

【発明の効果】

【0013】

本発明によれば、柱状電界効果トランジスタを用いたSRAMセルにおいて、読み出し動作において十分な動作マージンを確保することができる、半導体装置及び半導体装置の製造方法が提供される。

40

【図面の簡単な説明】

【0014】

【図1】本発明の実施形態に係るSRAMセルを示す等価回路図である。

【図2A】本実施形態に係るSRAMセルに用いられる各トランジスタを概略的に示す斜視図である。

【図2B】トランジスタの上面図である。

【図2C】トランジスタの断面図である。

【図3】SRAMセルの上面図である。

50

- 【図4】図3のAA'に沿う垂直断面図である。
- 【図5】パタフライカーブを示すグラフである。
- 【図6】変形例に係るSRAMセルを示す上面図である。
- 【図7】図6に示されるAA'に沿う断面図である。
- 【図8】他の変形例に係るSRAMセルを示す上面図である。
- 【図9】実施例にかかるSRAMセルを示す上面図である。
- 【図10A】実施例に係るSRAMセルの製造方法を示す平面図である。
- 【図10B】実施例に係るSRAMセルの製造方法を示す断面図である。
- 【図11A】実施例に係るSRAMセルの製造方法を示す平面図である。
- 【図11B】実施例に係るSRAMセルの製造方法を示す断面図である。
- 【図12A】実施例に係るSRAMセルの製造方法を示す平面図である。
- 【図12B】実施例に係るSRAMセルの製造方法を示す断面図である。
- 【図13A】実施例に係るSRAMセルの製造方法を示す平面図である。
- 【図13B】実施例に係るSRAMセルの製造方法を示す断面図である。
- 【図14】実施例に係るSRAMセルの製造方法を示す平面図である。
- 【図15A】実施例に係るSRAMセルの製造方法を示す平面図である。
- 【図15B】実施例に係るSRAMセルの製造方法を示す断面図である。
- 【図16A】実施例に係るSRAMセルの製造方法を示す平面図である。
- 【図16B】実施例に係るSRAMセルの製造方法を示す断面図である。
- 【図17A】実施例に係るSRAMセルの製造方法を示す平面図である。
- 【図17B】実施例に係るSRAMセルの製造方法を示す断面図である。
- 【図18A】実施例に係るSRAMセルの製造方法を示す平面図である。
- 【図18B】実施例に係るSRAMセルの製造方法を示す断面図である。
- 【図19A】実施例に係るSRAMセルの製造方法を示す平面図である。
- 【図19B】実施例に係るSRAMセルの製造方法を示す断面図である。
- 【図20A】実施例に係るSRAMセルの製造方法を示す平面図である。
- 【図20B】実施例に係るSRAMセルの製造方法を示す断面図である。
- 【図21A】半導体柱の断面形状の一例を示す図である。
- 【図21B】半導体柱の断面形状の一例を示す図である。
- 【図21C】半導体柱の断面形状の一例を示す図である。
- 【図21D】半導体柱の断面形状の一例を示す図である。
- 【図21E】半導体柱の断面形状の一例を示す図である。

10

20

30

【発明を実施するための形態】

【0015】

以下に、図面を参照して、本発明の実施形態について詳細に説明する。

【0016】

図1は、本実施形態に係るSRAMセル（半導体装置）を示す等価回路図である。図1に示されるように、SRAMセルは、一对のインバータ（第1インバータ6aおよび第2インバータ6b）と、一对のアクセストランジスタ（第1アクセストランジスタ32a及び第2アクセストランジスタ32b）とを含んでいる。

40

【0017】

第1インバータ6aは、2つのトランジスタ（31aおよび33a）を含んでいる。2つのトランジスタ31a及び33aは、導電型が逆である。第2インバータ6bも、2つのトランジスタ（31bおよび33b）を含んでいる。2つのトランジスタ31a及び33bは、導電型が逆である。トランジスタ31aおよび31bは、それぞれ、ソース・ドレイン端子のうち一方がグラウンド線42に接続されている。トランジスタ33aおよび33bは、それぞれ、ソース・ドレイン端子のうち一方が電源線41に接続されている。トランジスタ31aのソース・ドレイン端子のうち他方は、ノード40a（出力ノード）を介して、トランジスタ33aのソース・ドレイン端子のうち他方に接続されている。同様に、トランジスタ31bのソース・ドレイン端子のうち他方は、ノード40b

50

(出力ノード)を介して、トランジスタ33bのソース・ドレイン端子のうちの他方に接続されている。更に、出力ノード40aは、第2インバータ6bの入力ノード(トランジスタ31bおよび33bのゲート)に接続されている。同様に、出力ノード40bは、第1インバータ6aの入力ノード(トランジスタ31aおよび33aのゲート)に接続されている。

【0018】

第1アクセストランジスタ32aは、ソース・ドレイン端子のうちの一方が、出力ノード40aに接続されており、他方がビット線44aに接続されている。同様に、第2アクセストランジスタ32bは、ソース・ドレイン端子のうちの一方が出力ノード40bに接続されており、他方がビット線44bに接続されている。第1アクセストランジスタ32a及び第2アクセストランジスタ32bそれぞれのゲートは、ワード線43に接続されている。

10

【0019】

上述のような回路構成を有するSRAMセルでは、出力ノード40aおよび40bが、記憶ノードとして機能する。すなわち、一方の記憶ノード(40a又は40b)の電位が高ければ、他方の記憶ノードの電位は必ず低くなる。どちらの記憶ノードの電位が高いかを区別することにより、1または0の値を区別することができる。第1アクセストランジスタ32a及び第2アクセストランジスタ32bがオフ状態の場合には、ノード40aおよび40bのそれぞれにおいて、電位レベルが保持される。アクセストランジスタ32a及び32bをオンにすることにより、ノード40a及び40bの電位レベルが、それぞれビット線44a及び44bを介して読み出される。書き込み時には、ビット線44a及び44bのうちの一方を高電位に、他方を低電位に設定する。そして、アクセストランジスタ32a及び32bをオンにする。これにより、ノード40a及び40bの電位レベルが所望のレベルになる。すなわち、値が書き込まれる。

20

【0020】

各インバータ(6a、6b)に含まれる2つのトランジスタのうち、一方はドライバトランジスタとして機能し、他方はロードトランジスタとして機能する。ドライバトランジスタは、読み出し時に、電荷の引き抜きまたは流し込みが行われるトランジスタである。すなわち、ドライバトランジスタは、読み出し時に電流が流れるトランジスタである。このSRAMセルにおけるデータの読み出し方法としては、二通りの方法が考えられる。一つの方法は、ビット線44a及び44bを高電位にプリチャージしておく方法である。この方法の場合、アクセストランジスタ32a及び32bをオンにする。すると、低電位が保持されていたノード(40a又は40b)側において、ビット線(44a又は44b)の電荷が、アクセストランジスタ(32a又は32b)及びトランジスタ(31a又は31b)を介して、グラウンド線42に引き抜かれる。これにより、データの読み出しが行われる。この方法の場合には、トランジスタ31a及び31bがドライバトランジスタとして機能し、トランジスタ33a及び33bがロードトランジスタとして機能する。他の方法として、ビット線44a及び44bを低電位にプリチャージしておく方法がある。この方法の場合でも、アクセストランジスタ32a及び32bをオンにする。すると、高電位が保持されていたノード(40a又は40b)側において、電源線41から、トランジスタ(33aまたは33b)及びアクセストランジスタ(32aまたは32b)を介して、ビット線(44a又は44b)へ電荷が流し込まれる。これにより、データの読み出しが行われる。この方法の場合には、トランジスタ33aおよび33bがドライバトランジスタとして機能し、トランジスタ31aおよび31bがロードトランジスタとして機能する。いずれの方法を用いる場合も、ドライバトランジスタとしては、ロードトランジスタよりも電流駆動力の大きいトランジスタを用いることが望ましい。

30

40

【0021】

本実施形態では、以下の説明において、トランジスタ31a及び31bがドライバトランジスタとして機能する場合について説明する。また、ドライバトランジスタ31aおよび31bがNチャネル素子であり、ロードトランジスタ33aおよび33bがPチャネル

50

素子である場合について説明する。また、アクセストランジスタ32aおよび32bが、Nチャネル素子である場合について説明する。但し、これらはいくまで一例であり、各トランジスタの導電型を逆にしても本発明を適用することは可能である。また、ドライバトランジスタとロードトランジスタとを逆にしても本発明を適用することは可能である。

【0022】

本実施形態に係るSRAMセルに含まれる各トランジスタ(31a, 31b, 33a, 33b, 32a, 32b)の構成について説明する。これらのトランジスタとしては、柱状電界効果トランジスタが用いられる。本実施形態では、各トランジスタに含まれるチャネル材料として、シリコンが用いられるものとする。図2Aは、本実施形態に係るSRAMセルに用いられる各トランジスタを概略的に示す斜視図である。図2Bは、図2Aに示される各トランジスタの上面図である。図2Cは、図2Aに示される各トランジスタの断面図である。

10

【0023】

各トランジスタは、図示しないシリコン半導体基板上に形成される。図2A乃至図2Cに示されるように、各トランジスタは、半導体柱1と、下部ソース・ドレイン領域2と、上部ソース・ドレイン領域3と、ゲート電極4とを有している。半導体柱1は、基板面に対して垂直な方向に延びている。下部ソース・ドレイン領域2は、半導体柱1の基部(下端部)に接続されている。上部ソース・ドレイン領域3は、半導体柱1の頂部(上端部)に形成されている。半導体柱1の側面には、図示しないゲート絶縁膜が形成されている。ゲート電極4は、半導体柱1をゲート絶縁膜を介して基板面に平行な方向で取り囲むように、形成されている。各トランジスタでは、オン状態である場合に、半導体柱1の側面表層部にチャネル領域が形成される。これにより、基板面に垂直な方向に、電流が流れる。尚、各トランジスタがNチャネル素子である場合には、下部ソース・ドレイン領域2および上部ソース・ドレイン領域3は、高濃度のN型不純物によりドーピングされる。一方、各トランジスタがPチャネル素子である場合には、下部ソース・ドレイン領域2および上部ソース・ドレイン領域3は、高濃度のP型不純物によりドーピングされる。また、チャネル領域は、半導体柱1のうちの、下部ソース・ドレイン2と上部ソース・ドレイン3との間の部分に形成される。下部ソース・ドレイン領域2及び上部ソース・ドレイン領域3のうちの少なくとも一方の領域は、部分的に金属により形成されていてもよい。あるいは、下部ソース・ドレイン領域2及び上部ソース・ドレイン領域3のうちの少なくとも一方の領域は、金属により形成されていてもよい。

20

30

【0024】

続いて、SRAMセルの詳細な構成について説明する。図3は、SRAMセルの上面図である。図3において、基板面と平行な平面内に、第1方向と第2方向とが定義されている。第1方向と第2方向とは、直交している。また、図3に示されるように、第2方向に平行な直線として、第1直線と第2直線とが定義されている。

【0025】

図3に示されるように、第1直線に沿って、第1アクセストランジスタ32aと、第2ロードトランジスタ33bと、第2ドライバトランジスタ31bとが配置されている。また、第2直線に沿って、第1ドライバトランジスタ31aと、第1ロードトランジスタ33aと、第2アクセストランジスタ32bとが配置されている。

40

【0026】

図4は、図3のAA'に沿う垂直断面図である。すなわち、図4は、第2直線を通る平面による断面図である。図4に示されるように、第1ドライバトランジスタ31aは、下部ソース・ドレイン領域12aと、上部ソース・ドレイン領域13aと、半導体柱11aと、ゲート電極4aとを含んでいる。第1ロードトランジスタ33aは、下部ソース・ドレイン領域22aと、上部ソース・ドレイン領域23aと、半導体柱21aと、ゲート電極4aとを含んでいる。第2アクセストランジスタ32bは、下部ソース・ドレイン領域12bと、半導体柱11dと、上部ソース・ドレイン領域13dと、ゲート電極4dとを含んでいる。

50

【0027】

図3に示されるように、第1ドライバトランジスタ31aと、第1ロードトランジスタ33aと、第2アクセストランジスタ32bとは、上部ソース・ドレイン領域(13a, 23a, 13d)が第2直線に沿って並ぶように、配置されている。これらのトランジスタにおいて、上部ソース・ドレイン領域(13a, 23a, 13d)は、半導体柱(11a, 21a, 11d)の上端部に形成されている。従って、図3には半導体柱そのものは示されていないが、第1ドライバトランジスタ31aと、第1ロードトランジスタ33aと、第2アクセストランジスタ32bとは、半導体柱(11a, 21a, 11d)が第2直線に沿って並ぶように、配置されている。各トランジスタに含まれる半導体柱(11a, 21a, 11d)は、単一である。

10

【0028】

同様に、第1アクセストランジスタ32aと、第2ロードトランジスタ33bと、第2ドライバトランジスタ31bとは、半導体柱が第1直線に沿って並ぶように、配置されている。尚、図3には、第1アクセストランジスタ32aに関して、上部ソース・ドレイン領域13bと、下部ソース・ドレイン領域12aと、ゲート電極4bとが示されている。また、第2ロードトランジスタ33bに関して、上部ソース・ドレイン領域23bと、下部ソース・ドレイン領域22bと、ゲート電極4cとが示されている。また、第2ドライバトランジスタ31bに関して、上部ソース・ドレイン領域13cと、下部ソース・ドレイン領域12bと、ゲート電極4cとが示されている。図示していないが、これらの各トランジスタに含まれる半導体柱は、単一である。

20

【0029】

図3に示されるように、下部ソース・ドレイン領域12a、下部ソース・ドレイン領域22a、下部ソース・ドレイン領域22b、及び下部ソース・ドレイン領域12bは、それぞれ、第1方向に沿って延びている。下部ソース・ドレイン領域12aは、第1アクセストランジスタ32aと第1ドライバトランジスタ31aとで共通である。下部ソース・ドレイン領域12bは、第2ドライバトランジスタ31bと第2アクセストランジスタ32bとで共通である。

【0030】

また、各トランジスタを形成するゲート電極(4a~4c)は、第2方向に沿って延びている。ゲート電極4aは、第1ドライバトランジスタ31aと第1ロードトランジスタ33aとで共通である。同様に、ゲート電極4cは、第2ドライバトランジスタ31bと第2ロードトランジスタ33bとで共通である。

30

【0031】

図3及び図4に示されるように、ゲート電極4aは、その一端で、局所配線5bに接続されている。局所配線5bは、下部ソース・ドレイン領域22bと、下部ソース・ドレイン領域12bとを接続している。また、ゲート電極4cは、その一端で、局所配線5aに接続されている。局所配線5aは、下部ソース・ドレイン領域22aと下部ソース・ドレイン領域12aとを接続している。

【0032】

図4に示されるように、上部ソース・ドレイン領域23aには、電源線41が接続されている(図4参照)。図4には示されていないが、上部ソース・ドレイン領域23bにも、同様に、電源線41が接続されている。また、上部ソース・ドレイン領域13a及び13cには、グラウンド線42が接続されている。ゲート電極4b及び4dには、ワード線43が接続されている。上部ソース・ドレイン領域13b及び13dには、それぞれ、ビット線44a及び44bが接続されている。電源線41、グラウンド線42、ビット線44a及び44bのそれぞれは、例えば、図示しないコンタクトプラグを介して、各トランジスタの上部ソース・ドレイン領域と接続される。

40

【0033】

上述のような構成により、図1に示した等価回路を有するSRAMセルが実現される。尚、図3に示されるように、記憶ノード40aは、局所配線5aが形成された部分により

50

実現される。記憶ノード40bは、局所配線5bが形成された部分により実現される。

【0034】

ここで、本実施形態では、図3に示されるように、各トランジスタの上部ソース・ドレイン領域(13a~13c、23a~23c)は、第2方向が長軸方向となるような楕円状に形成されている。すなわち、各トランジスタの半導体柱は、基板面に平行な平面による断面の形状が、楕円である。また、第1ドライバトランジスタ31aの半導体柱の外周長は、第1アクセストランジスタ32aのそれよりも長い。同様に、第2ドライバトランジスタ31bの半導体柱の外周長は、第2アクセストランジスタ32bのそれよりも長い。

【0035】

各トランジスタにおいて、チャネル領域は、半導体柱の側面に形成される。従って、半導体柱の外周長が長いほど、トランジスタの電流駆動力が増加する。上述のように、第1ドライバトランジスタ31aにおける半導体柱の外周長が、第1アクセストランジスタ32aのそれよりも長い場合、第1ドライバトランジスタ31aの電流駆動力が、第2アクセストランジスタ32aのそれよりも大きくなる。同様に、第2ドライバトランジスタ31bの電流駆動力も、第2アクセストランジスタ32bのそれよりも大きくなる。各ドライバトランジスタの電流駆動力が対応するアクセストランジスタのそれよりも大きいため、データ読出し時における動作マージンを向上させることができる。この点について、図5を参照して説明する。

10

【0036】

図5は、バタフライカーブを示すグラフである。バタフライカーブは、読み出し動作の安定性の指標として用いられる曲線である。図5において、横軸は、ノード40aの電圧を示し、縦軸は、ノード40bの電圧を示している。図5には、カーブA1と、カーブB1と、カーブA2と、カーブB2とが示されている。これらのカーブは、SRAMセルの特性を示しており、電源線41、ワード線43、ビット線44a、及び44bのそれぞれに一定の電圧を印加したときの特性を示している。カーブA1およびカーブA2は、ノード40aの電圧を変化させた場合のノード40bの電圧を示している。カーブB1およびカーブB2は、ノード40bの電圧を変化させた場合のノード40aの電圧を示している。カーブA1およびカーブB1は、ドライバトランジスタの半導体柱の外周長とアクセストランジスタの半導体柱の外周長との比が1である場合の特性を示している。また、カーブA2およびカーブB2は、ドライバトランジスタの半導体柱の外周長のほうが、アクセストランジスタの半導体柱の外周長よりも長い場合の特性を示している。カーブA1とカーブB1とにより囲まれる領域に内接する正方形が描かれる。また、カーブA2とカーブB2とにより囲まれる領域に内接する正方形が描かれる。描かれた正方形の大きさが大きいほど、読出し動作が安定である。図5を参照すると、カーブA2とカーブB2との間に描かれる正方形は、カーブA1とカーブB1との間に描かれる正方形よりも大きい。すなわち、ドライバトランジスタの半導体柱の外周長がアクセストランジスタのそれよりも長ければ、読出し動作が安定することが理解される。

20

30

【0037】

また、本実施形態では、各トランジスタとして、柱状電界効果トランジスタが用いられている。柱状電界効果トランジスタを用いることにより、チャネル領域の不純物濃度を高くしなくても、短チャネル効果を抑制できる。不純物濃度を高くした場合には、不純物濃度のばらつきに起因する特性ばらつきが生じやすい。これに対して、本実施形態によれば、不純物濃度を高くする必要がないため、そのような特性ばらつきを抑制することが可能である。

40

【0038】

また、本実施形態では、柱状電界効果トランジスタを用いているため、ゲート長方向が基板面に対して垂直な方向に設定される。そのため、ゲート長を縮小しなくても、基板面上において各トランジスタに要する面積を低減することが可能である。その結果、面積を低減した上で、リーク電流を抑制できる。

【0039】

50

尚、本実施形態では、電源線41、グラウンド線42、ビット線44a及び44bが、それぞれ上部ソース・ドレイン領域に接続されている場合について説明した。但し、これらが、下部ソース・ドレイン領域に接続されていてもよい。この場合、記憶ノード40a及び40bは、上部ソース・ドレイン領域に形成されることになる。但し、この場合には、下部ソース・ドレイン領域からセル外部の配線までを電氣的に接続するために、長いコンタクトプラグが必要となる。本実施形態のように、電源線41などが上部ソース・ドレイン領域に接続される場合には、コンタクトプラグの長さを短くすることができ、寄生抵抗を低減できる。また、電源線41、グラウンド線42、ビット線44a及び44bのうちの一部が上部ソース・ドレイン領域に接続され、他の一部が下部ソース・ドレイン領域に接続されてもよい。しかしこの場合には、高さ(長さ)の異なるコンタクトプラグが必要となる。これに対して、電源線41、グラウンド線42、ビット線44a及び44bの全てが上部ソース・ドレイン領域に接続される場合には、異なる長さのコンタクトプラグを形成する必要がなくなる。これにより、容易にコンタクトプラグを形成することができる。

10

20

30

40

50

【0040】

また、図3に示される図では、第1ドライバトランジスタ31aと第2ドライバトランジスタ31bとにおいて、半導体柱の形状が等しいように描かれている。ただし、これらの形状は必ずしも等しい必要はなく、半導体柱の外周長が異なってもよい。同様に、第1アクセストランジスタ32aと第2アクセストランジスタ32bとにおいて、必ずしも半導体柱の形状及び外周長が同じである必要はない。第1ロードトランジスタ33aと第2ロードトランジスタ33bとの間の関係も同様である。また、各トランジスタの位置も、図3に示される位置に限定されるものではない。

【0041】

続いて、本実施形態の変形例に係るSRAMセルについて説明する。図6は、本変形例に係るSRAMセルを示す上面図である。また、図7は、図6に示されるAA'に沿う断面図である。図1に示したSRAMセルでは、各トランジスタに含まれる半導体柱は、単一である。これに対して、図6及び図7に示されるように、本変形例に係るSRAMセルでは、第1ドライバトランジスタ31aが、複数(2つ)の半導体柱を有している。第2ドライバトランジスタ31bも、同様に、2つの半導体柱を有している。一方、第1アクセストランジスタ32a及び第2アクセストランジスタ32bそれぞれの半導体柱は、単一である。第1ドライバトランジスタ31aに含まれる個々の半導体柱の外周長は、第1アクセストランジスタ32aに含まれる半導体柱の外周長と等しい。従って、第1ドライバトランジスタ31aに含まれる半導体柱の外周長の総和は、第1アクセストランジスタ32aのその2倍になっている。第2ドライバトランジスタ31bと第2アクセストランジスタ32bとの関係も、同様である。尚、各ドライバトランジスタ(31a, 31b)に含まれる半導体柱の本数は、2本に限定されるものではなく、3本以上であってもよい。

【0042】

本変形例のように、ドライバトランジスタに含まれる半導体柱の本数を複数とすることによっても、図1に示したSRAMセルと同様に、データ読み出し時における動作マージンを確保することができる。また、本変形例では、複数のトランジスタに含まれる半導体柱の形状を揃えることができる。これにより、半導体柱を容易に形成できる。但し、本変形例では、ドライバトランジスタに要する面積が増加してしまう。そのため、SRAMセルの省スペース化の観点からは、図1に示したSRAMセルの方が有利である。また、本変形例に係るSRAMセルでは、ドライバトランジスタとアクセストランジスタとにおける電流駆動力の比が、簡単な整数比(たとえば、2:1や3:2)に限定されてしまう。これに対し、図1に示したSRAMセルでは、半導体柱の太さ(外周長)を変更することにより、電流駆動力の比を任意に設定することができる。そのため、設計自由度の観点からも、図1に示したSRAMセルの方が有利である。

【0043】

続いて、本実施形態の他の変形例について説明する。図8は、他の変形例に係るSRAMセルを示す上面図である。このSRAMセルは、(100)面を主面とするシリコン基板上に形成されている。このようなシリコン基板を用いた場合、基板面に平行な平面内において、(100)面に沿う方向(以下、100方向)と、(110)面に沿う方向(以下、110方向)とが形成される。

【0044】

図8に示されるように、他の変形例に係るSRAMセルでは、各トランジスタに含まれる半導体柱が、角柱状に形成されている。ここで、第1ドライバトランジスタ31aの半導体柱は、側面が100方向に沿うように、形成されている。第2ドライバトランジスタ31bも、第1ドライバトランジスタ31aと同様に、半導体柱の側面が100方向に沿うように形成されている。一方、アクセストランジスタ(32aおよび32b)及びロードトランジスタ(33aおよび33b)では、半導体柱の側面が110方向に沿っている。ドライバトランジスタ(31a及び31b)、アクセストランジスタ(32a、及び32b)、及びロードトランジスタ(33a及33b)において、半導体柱の外周長は、同じであるものとする。

10

【0045】

シリコン層にチャネル領域が形成される場合、チャネル領域が(100)面に形成される方が、(110)面に形成される場合よりも、電子移動度が高くなる。そのため、本変形例では、半導体柱の外周長は同じであるにもかかわらず、ドライバトランジスタ(31aおよび31b)の電流駆動力の方が、対応するアクセストランジスタ(32aおよび32b)のそれよりも、大きくなる。その結果、図1に示したSRAMセルと同様に、読み出し時の動作マージンを確保することができる。また、本変形例によれば、ドライバトランジスタの占有面積を拡大することなく、ドライバトランジスタの電流駆動力を、アクセストランジスタのそれよりも大きくすることができる。

20

【0046】

以上、本発明に係る実施形態とその変形例とについて説明した。尚、上述の例では、相補型のインバータとNチャネルのアクセストランジスタとを含む、6トランジスタ型のSRAMセルを例に挙げて説明した。しかし、本発明はこれに限定されるものではない。例えば、2対以上のアクセストランジスタを含む多ポートSRAMセルに対して、本発明を適用することも可能である。また、インバータとして、ロードトランジスタの代わりに抵抗素子を用いた抵抗負荷型インバータが採用されてもよい。また、アクセストランジスタ(32aおよび32b)がPチャネルトランジスタであってもよい。ドライバトランジスタが、Pチャネルトランジスタであってもよい。この場合には、電源線41側に接続されたPチャネルトランジスタ(33aおよび33b)がドライバトランジスタとして機能することになる。

30

【0047】

(実施例)

続いて、本発明をより詳細に説明するため、実施例について説明する。図9は、本実施例にかかるSRAMセルを示す上面図である。図9には、SRAMセルの周辺セルまでもが描かれている。

40

【0048】

既述の実施形態と同様に、本実施形態のSRAMセルは、一对のドライバトランジスタ(131aおよび131b)、一对のロードトランジスタ(133a、133b)、及び一对のアクセストランジスタ(132a、132b)を備えている。SRAMセルにおいて、各トランジスタに含まれる半導体柱の形状以外の構成は、既述の実施形態と同様である。既述の実施形態と同様の構成については、詳細な説明を省略する。

【0049】

図9に示されるように、第1ドライバトランジスタ131a、第1ロードトランジスタ133a、及び第2アクセストランジスタ132bは、半導体柱が第2直線に沿って並ぶように、配置されている。第1アクセストランジスタ132a、第2ロードトランジスタ

50

133b、及び第2ドライバトランジスタ131bは、半導体柱が第1直線に沿って並ぶように、配置されている。第1直線と第2直線とは平行であり、共に第2方向に沿って延びている。また、第1ドライバトランジスタ131aと第1アクセストランジスタ132aとは、第1方向で並んでいる。第2ドライバトランジスタ131bと第2アクセストランジスタ132bとも、第1方向で並んでいる。各トランジスタのゲート電極は、第2方向に沿って延びている。

【0050】

各トランジスタに含まれる半導体柱は、基板面と平行な面による断面形状が、概ね長方形である。但し、その断面形状における角部は、電界集中を防ぐために、丸められている。また、各トランジスタの半導体柱は、その断面の長辺が第2方向に沿い、短辺が第1方向に沿うように形成されている。ここで、第1ドライバトランジスタ131aの半導体柱の短辺の長さは、第1アクセストランジスタ132a及び第1ロードトランジスタ133aそれぞれに含まれる半導体柱の短辺の長さに等しい。一方、第1ドライバトランジスタ131aに含まれる半導体柱の長辺の長さは、第1アクセストランジスタ132aのそれよりも、長い。これにより、第1ドライバトランジスタ131aに含まれる半導体柱の外周長は、第1アクセストランジスタ132aのそれよりも、長くなっている。第2ドライバトランジスタ131bと第2アクセストランジスタ132bとの関係も、同様である。

【0051】

続いて、本実施例に係るSRAMセルの製造方法について説明する。但し、以下に説明する製造方法は、あくまで一例であり、以下に例示される製造方法以外の方法を用いることも可能である。また、説明を簡単にするため、以下の説明では、図9に示される領域Xについての製造方法を説明する。

【0052】

図10A乃至図20Bは、本実施例に係るSRAMセルの製造方法を示す平面図又は断面図である。

【0053】

まず、シリコン基板100を用意する。そして、各トランジスタを形成する予定の領域に、対応する導電型の不純物を注入し、ウェル層を形成する。

【0054】

更に、このシリコン基板100の主面上に、シリコン窒化膜やシリコン酸化膜などのマスク材料171を堆積させる。そして、図10A及び図10Bに示されるように、マスク材料171上に、第1のマスク163を形成する。第1のマスク163は、第2方向に沿って延びる開口161を有している。第1のマスク163は、フォトリソグラフィなどの方法により、形成される。その後、第1のマスク163をエッチングマスクとして、マスク材料171をエッチングする。これにより、図11Aに示されるように、マスク材料171が、第2の方向に沿って延びるように、パターニングされる。尚、図11Bは、図11AのBB'断面を示す断面図である。

【0055】

次に、図12A及び図12Bに示すように、シリコン基板100上に、第2のマスク164を形成する。第2のマスク164は、第1方向に沿って伸びる開口162を有している。次いで、第2のマスク164をエッチングマスクとして、マスク材料171をエッチングする。これにより、図13Aに示されるように、マスク材料171が、矩形状になるように、パターニングされる。尚、図13Bは、図13AのCC'断面を示す断面図である。

【0056】

更に、マスク材料171をエッチングマスクとして用い、シリコン基板100をエッチングする。これにより、図14に示されるように、シリコンの柱状構造(111a、121)が形成される。この際、図14には描かれていないが、柱状構造111bも形成される。これら柱状構造(111a、111b、及び121)は、それぞれ、第1ドライバトランジスタ131a、第1アクセストランジスタ132a、及び第1ロードトランジスタ

10

20

30

40

50

133aの半導体柱に対応する。各柱状構造の第1方向における長さは、第1のマスクパターンの開口幅151(図10A参照)によって決定される。また、各柱状構造の第2方向における長さは、第2のマスクパターンの開口幅152(図12A参照)によって決定される。

【0057】

続いて、柱状構造の角部を丸める。具体的には、熱酸化処理により柱状構造の表面に熱酸化膜を形成する。そして、この熱酸化膜をエッチングすることにより、角部が丸められる。水素雰囲気中でアニールすることにより、角部が丸められてもよい。

【0058】

その後、マスク材料171が除去される。

10

【0059】

次いで、図15Aに示されるように、素子分離領域172を形成する。尚、図15Bは、図15AのCC'断面を示す断面図である。具体的には、下部ソース・ドレイン領域に対応する形状のマスクを形成する。そして、このマスクをエッチングマスクとして用い、シリコン基板100をエッチングする。これにより、素子分離領域172となる予定の領域が掘り込まれる。更に、シリコン基板100の主面の全面に、絶縁膜(例えばシリコン酸化膜)を堆積させる。この絶縁体は、柱状構造が埋まる厚みよりも更に厚く、堆積される。その後、化学機械研磨(CMP)によって絶縁膜を平坦化する。更に、絶縁膜を選択的にエッチバックすることにより、素子分離領域172が形成される。

【0060】

20

尚、ウェル形成工程、柱状構造物の形成工程、柱状構造物の角部を丸める工程、マスク材料171を除去する工程、及び素子分離領域172の形成工程は、必ずしも上述の順番で行われる必要はない。

【0061】

次いで、図16A及び図16Bに示されるように、N型の下部ソース・ドレイン領域112、N型の上部ソース・ドレイン領域(113a及び113b)、P型の下部ソース・ドレイン領域122、及びP型の上部ソース・ドレイン領域123を形成する。具体的には、まず、Pチャネル素子領域をレジストなどで覆う。そして、基板の上方から垂直にN型不純物を注入する。これにより、N型の下部ソース・ドレイン領域112、およびN型の上部ソース・ドレイン領域(113aおよび113b)が形成される。次いで、Nチャネル素子領域をレジスト等で覆う。そして、基板の上方から垂直にP型不純物を注入する。これにより、P型の下部ソース・ドレイン領域122およびP型の上部ソース・ドレイン領域123が形成される。上部ソース・ドレイン領域(113a、113b、123)は、それぞれ、第1ドライバトランジスタ131a、第1アクセストランジスタ132a、及び第1ロードトランジスタ133aに対応している。

30

【0062】

さらに、熱処理を行い、ソース・ドレイン領域の不純物を活性化させる。

【0063】

次いで、図17A及び図17Bに示されるように、ゲート電極104を形成する。具体的には、まず、絶縁体を、柱状構造よりも高い厚さとなるよう堆積する。そして、CMPにより、絶縁体の表面を平坦化する。更に、絶縁体を選択的にエッチバックすることにより、絶縁膜173を形成する。絶縁膜173は、ゲート電極104と基板100とを絶縁するために形成される。絶縁膜173は、基板の主面上に、柱状構造以外の領域の全面を覆うように、形成される。続いて、熱酸化または絶縁膜堆積、もしくは熱酸化と絶縁膜堆積の組み合わせにより、柱状構造の側面に、ゲート絶縁膜(図示しない)を形成する。続いて、ゲート電極となる金属層を、柱状構造よりも高い厚さとなるよう堆積する。さらに、CMPによって金属層の表面を平坦化する。その後、金属層を選択的にエッチバックする。これにより、基板の主面上に、柱状構造以外の領域全面を覆うように、金属膜が形成される。さらに、所望領域をレジスト等で保護した状態で金属膜をエッチングする。これにより、ゲート電極104が形成される。ゲート電極104は、柱状構造の側面の全面を

40

50

覆羽陽に形成される。ゲート電極 104 は、第 2 方向に沿って延びるように、形成される。なお、図 17A において、点線で示した構造は、絶縁膜 173 の下に埋もれている構造である。

【0064】

次いで、図 18A 及び図 18B に示されるように、局所配線を埋め込むための溝 175 を形成する。具体的には、まず、絶縁体を、柱状構造よりも高い厚さとなるように、堆積させる。その後、CMP によって、絶縁体の表面が平坦化される。これにより、基板の主面全面を覆う絶縁膜 174 が形成される。さらに、レジスト等を用いて所望領域を保護し、絶縁膜の一部をエッチングする。これにより、溝 175 が形成される。溝 175 は、ゲート電極 104 と、下部ソース・ドレイン領域 112 と、下部ソース・ドレイン領域 122 とを露出させるように、形成される。

10

【0065】

その後、図 19A 及び図 19B に示されるように、溝 175 に導体 105 を埋め込む。具体的には、導体を、絶縁膜 174 よりも厚く堆積させる。そして、CMP によって導体の表面を平坦化する。更に、導体を、所望の高さになるように、選択的にエッチングする。これにより、溝 175 に埋め込まれた導体 105 が形成される。この導体 105 は、下部ソース・ドレイン領域 112、下部ソースドレイン領域 122、及びゲート電極 104 を接続する局所配線になる。

【0066】

その後、図 20A 及び図 20B に示されるように、コンタクトホール 177 群を形成する。具体的には、絶縁体を、柱状構造よりも高い厚さになるよう堆積させる。そして、CMP によって絶縁体の表面を平坦化する。これにより、基板の主面全面を覆う層間絶縁膜 176 が形成される。さらに、レジスト等によって所望領域を保護し、絶縁膜 176 の一部をエッチングする。これにより、上部ソース・ドレイン領域に達するコンタクトホール 177、およびアクセストランジスタのゲート電極に達するコンタクトホール 177 が形成される。なお、図 20A において点線で囲まれている構造は、層間絶縁膜 176 の下に埋もれていることを示している。また、図 20B において、絶縁膜 174 は層間絶縁膜 176 と区別されず、層間絶縁膜 176 として記載されている。

20

【0067】

その後、コンタクトプラグとなる導体を、コンタクトホール 177 群を埋めるように堆積させる。そして、層間絶縁膜 176 上に形成された導体を CMP によって除去する。これにより、各コンタクトホール 177 に埋め込まれたコンタクトプラグが形成される。その後、電源線、グラウンド線、ワード線、及びビット線を、それぞれ所望のコンタクトプラグに接続されるように、形成する。

30

【0068】

以上説明した製造方法により、本実施例に係る S R A M セルが得られる。

【0069】

続いて、ドライバトランジスタに含まれる半導体柱の断面形状について説明する。図 21A 乃至図 21E は、それぞれ、ドライバトランジスタに含まれる半導体柱の断面形状の一例を示している。図 21A は、断面形状が楕円形である場合の例である。図 21B は、断面形状が、長円形である場合の例である。図 21C は、断面形状が長方形である場合の例である。図 21D は、断面形状が角部の丸められた概ね長方形である場合の例である。図 21E は、断面形状が不定形である場合の例である。図 21A 乃至図 21E に示されるように、断面形状としては、縦横比（第 2 方向に沿う長さとの比）が 1 でなければ、任意の形状を採用することができる。

40

【0070】

一方、アクセストランジスタに含まれる半導体柱の断面形状としては、特に制限はない。また、その断面形状の縦横比は、1 であってもよい。アクセストランジスタにおける半導体柱の断面形状としては、図 21A 乃至図 21E に示した形状の他にも、円形、正方形、及び角の丸まった正方形などの形状を採用することも可能である。

50

【 0 0 7 1 】

また、ドライバトランジスタに含まれる半導体柱の短辺の長さ（第1方向に沿う長さ）は、対応するアクセストランジスタのそれ以下であることが好ましい。ドライバトランジスタの半導体柱として、長辺だけでなく短辺についてもアクセストランジスタのそれよりも長い柱を用いると、ドライバトランジスタの短チャネル効果がアクセストランジスタのそれよりも悪化してしまう。これは、柱状電界効果トランジスタでは、短チャネル効果に対する耐性が、短辺の長さによって決まるからである。すなわち、短辺が長いほど、短チャネル効果に弱くなるためである。ドライバトランジスタの短辺を長くすると、しきい値電圧などの特性において、アクセストランジスタとの差が大きくなる。また、ゲート長が設計値からずれたときのトランジスタ特性の感度の差も、大きくなる。ドライバトランジスタの半導体柱の短辺の長さをアクセストランジスタのそれ以下とすることにより、これら特性差の影響を低減できる。

10

【 0 0 7 2 】

また、既述の実施例では、ドライバトランジスタとアクセストランジスタとで、半導体柱の短辺の長さが同じである。また、複数の半導体柱が、長辺方向（第2方向）に沿って並べられている。このような構成により、以下のような製造工程上の利点を得られる。すなわち、複数の半導体柱のレイアウトの規則性が高いために、加工精度を高めることができる。加えて、既述の実施例で説明したように、第2方向に沿う開口パターンを有するマスクパターンを用いてパターニングする工程と、第1方向に沿う開口パターンを有するマスクパターンを用いてパターニングする工程とによって、半導体柱を形成することができる。このような製造方法によれば、一回目のマスクパターンは単純で規則的な直線パターンでよく、二回目のマスクパターンも実際の半導体柱と比べ大きなパターンでよい。半導体柱を、一回のパターニングで作成する製法と比べ、低解像度なフォトリソグラフィ法を用いても製造可能である。加えて、同等の解像度であれば加工精度が向上し、柱の形状ばらつきを小さくすることができる。

20

【 0 0 7 3 】

更に、既述の実施形態及び実施例では、ゲート電極が延びる方向と、各トランジスタに含まれる半導体柱の長辺方向とが一致している。このような構成により、ゲート電極の幅を最小化できる。したがって、SRAMセルの面積を縮小できる。

30

【 0 0 7 4 】

本発明は、高密度の半導体集積メモリといった用途に好適に適用できる。

【 符号の説明 】

【 0 0 7 5 】

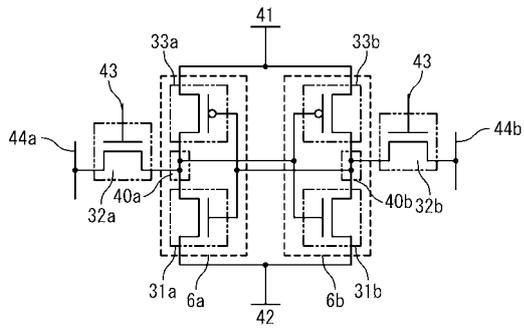
- 1 半導体柱
- 2 下部ソース・ドレイン領域
- 3 上部ソース・ドレイン領域
- 4 ゲート電極
- 4 a、4 b、4 c、4 d ゲート電極
- 5 a、5 b 局所配線
- 6 a、6 b インバータ
- 1 1 a 半導体柱
- 1 1 d 半導体柱
- 1 2 a、1 2 b 下部ソース・ドレイン領域
- 1 3 a、1 3 c 上部ソース・ドレイン領域
- 1 3 b、1 3 d 上部ソース・ドレイン領域
- 2 1 半導体柱
- 2 2 a、2 2 b 下部ソース・ドレイン領域
- 2 3 a、2 3 b 上部ソース・ドレイン領域
- 3 1 a、3 1 b ドライバトランジスタ
- 3 2 a、3 2 b アクセストランジスタ

40

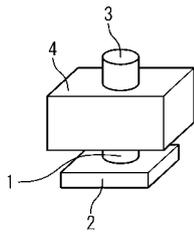
50

3 3 a、3 3 b	ロードトランジスタ	
4 0 a、4 0 b	記憶ノード	
4 1	電源線	
4 2	グラウンド線	
4 3	ワード線	
4 4 a、4 4 b	ビット線	
1 0 0	シリコン基板	
1 0 4	ゲート電極	
1 0 5	導体	
1 1 1 a	柱状構造	10
1 1 1 b	柱状構造	
1 1 2	下部ソース・ドレイン領域	
1 1 3 a	上部ソース・ドレイン領域	
1 1 3 b	上部ソース・ドレイン領域	
1 2 1	柱状構造	
1 2 2	下部ソース・ドレイン領域	
1 2 3	上部ソース・ドレイン領域	
1 3 1 a、1 3 1 b	ドライバトランジスタ	
1 3 2 a、1 3 2 b	アクセストランジスタ	
1 3 3 a、1 3 3 b	ロードトランジスタ	20
1 4 0 a、1 4 0 b	記憶ノード	
1 5 1	第1のマスクの開口幅	
1 5 2	第2のマスクの開口幅	
1 6 1	第1のマスクの開口部	
1 6 2	第2のマスクの開口部	
1 6 3	第1のマスク	
1 6 4	第2のマスク	
1 7 1	マスク材料	
1 7 2	素子分離領域	
1 7 3	絶縁膜	30
1 7 4	絶縁膜	
1 7 5	溝	
1 7 6	層間絶縁膜	
1 7 7	コンタクトホール	

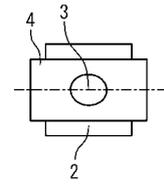
【 図 1 】



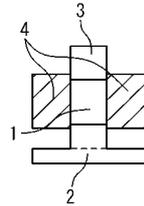
【 図 2 A 】



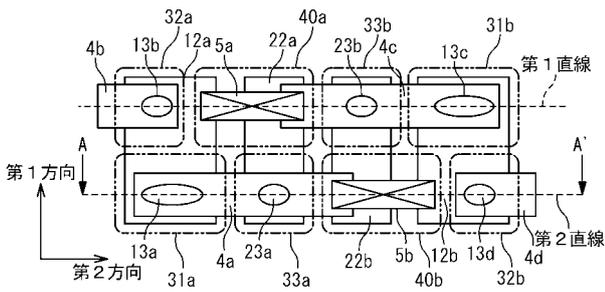
【 図 2 B 】



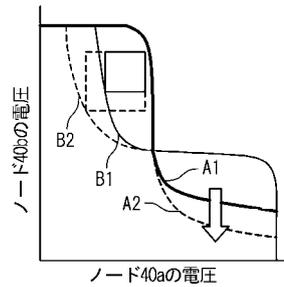
【 図 2 C 】



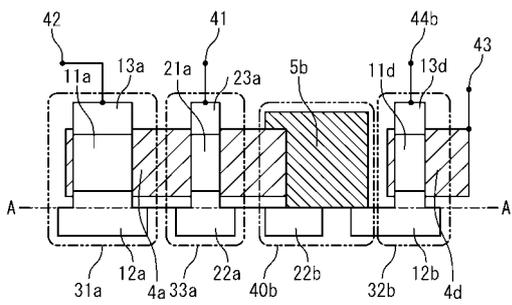
【 図 3 】



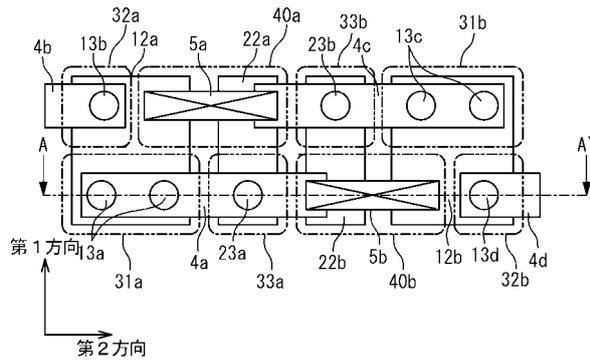
【 図 5 】



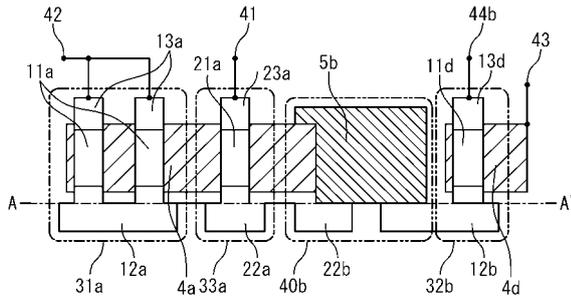
【 図 4 】



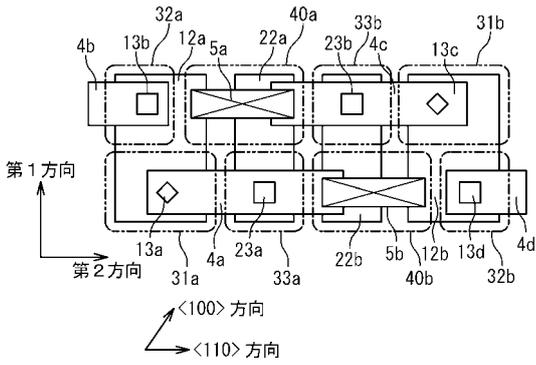
【 図 6 】



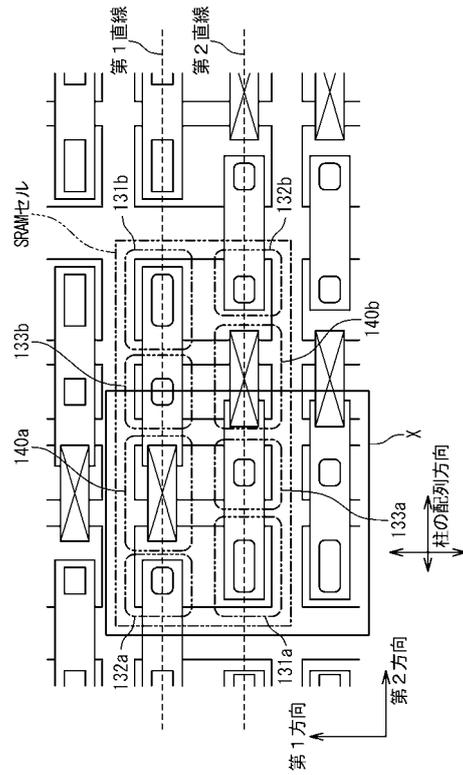
【 図 7 】



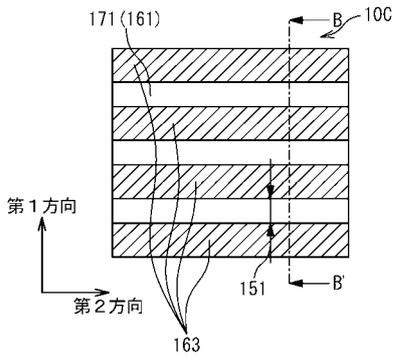
【 図 8 】



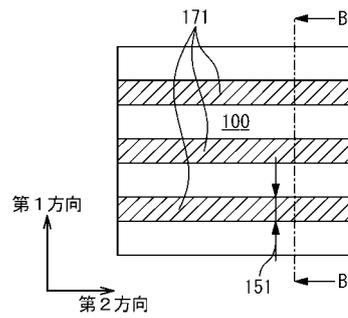
【 図 9 】



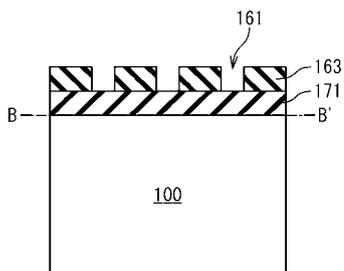
【 図 10 A 】



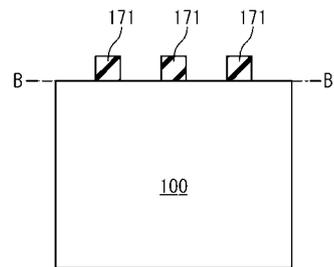
【 図 11 A 】



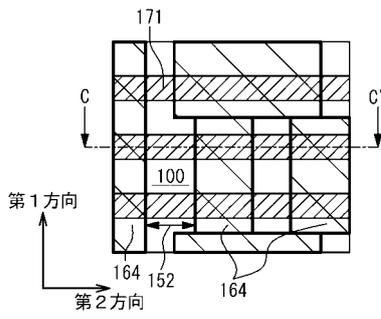
【 図 10 B 】



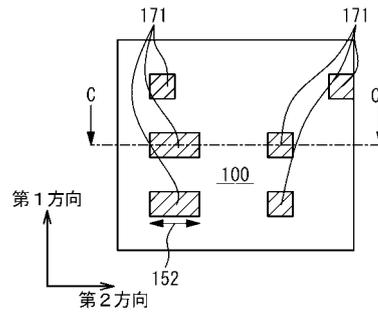
【 図 11 B 】



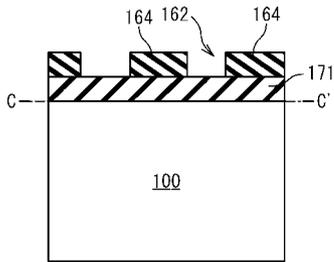
【图 1 2 A】



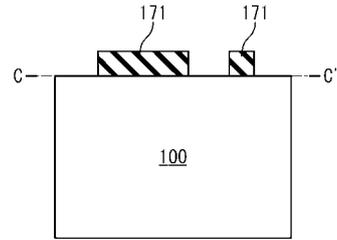
【图 1 3 A】



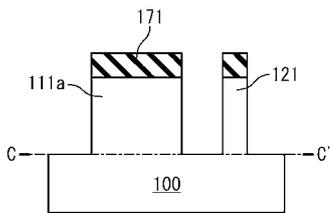
【图 1 2 B】



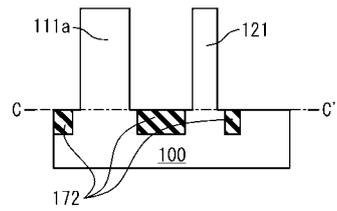
【图 1 3 B】



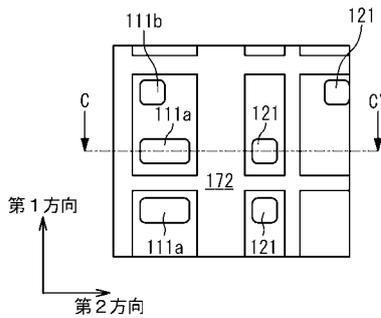
【图 1 4】



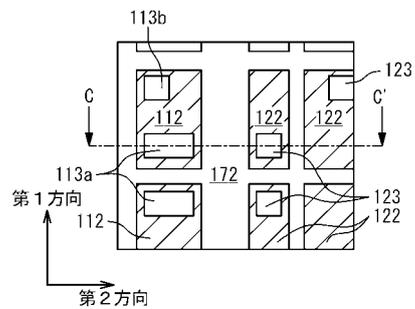
【图 1 5 B】



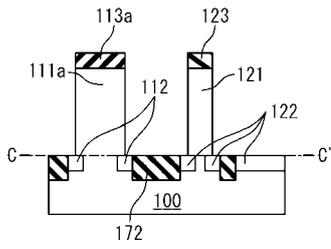
【图 1 5 A】



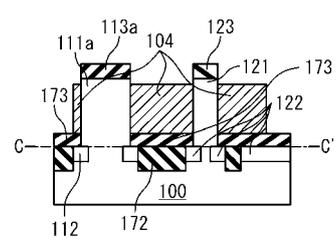
【图 1 6 A】



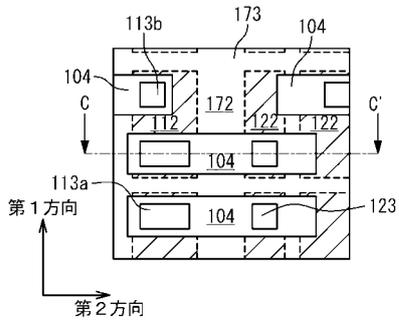
【图 16 B】



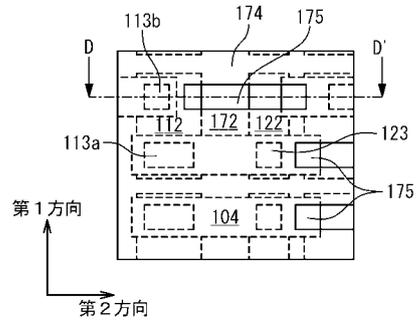
【图 17 B】



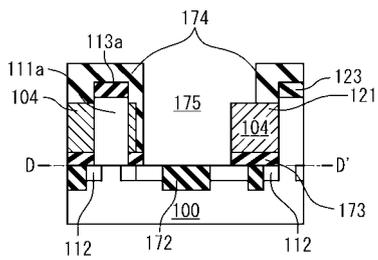
【图 17 A】



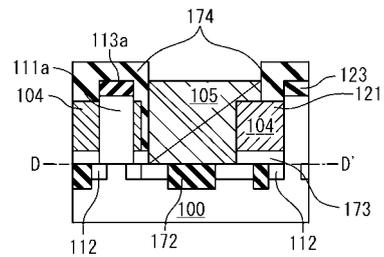
【图 18 A】



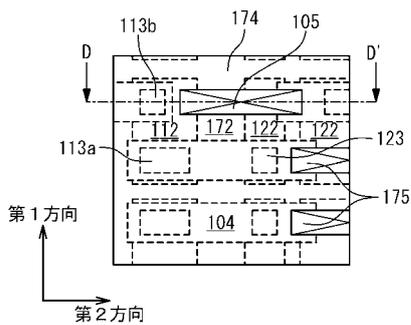
【图 18 B】



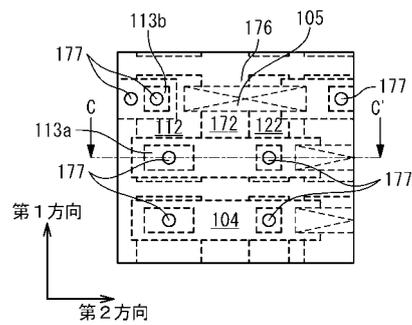
【图 19 B】



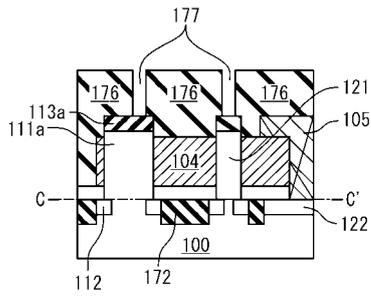
【图 19 A】



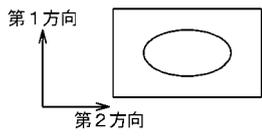
【图 20 A】



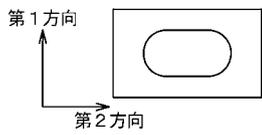
【图 2 0 B】



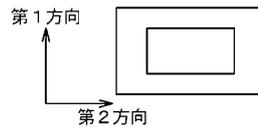
【图 2 1 A】



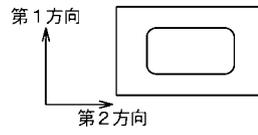
【图 2 1 B】



【图 2 1 C】



【图 2 1 D】



【图 2 1 E】

