



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I779695 B

(45)公告日：中華民國 111 (2022) 年 10 月 01 日

(21)申請案號：110124260

(22)申請日：中華民國 110 (2021) 年 07 月 01 日

(51)Int. Cl. : H01L27/08 (2006.01)

H01L27/108 (2006.01)

(30)優先權：2020/09/24 美國

17/031,477

(71)申請人：南亞科技股份有限公司 (中華民國) NANYA TECHNOLOGY CORPORATION
(TW)

新北市泰山區南林路 98 號

(72)發明人：楊吳德 YANG, WU-DER (TW)

(74)代理人：陳長文；馮博生

(56)參考文獻：

TW 201344868A

TW 201438149A

TW 201737420A

TW 201822343A

TW 201924021A

TW 202022880A

TW 202034318A

TW 202034529A

US 6337824B1

US 2010/0219502A1

審查人員：李景松

申請專利範圍項數：16 項 圖式數：5 共 48 頁

(54)名稱

具有去耦合電容器的半導體晶粒及其製造方法

(57)摘要

本揭露提供一種具有去耦合電容器的半導體晶粒及其製造方法。該半導體晶粒包括多個第一接合墊、多個第二接合墊、多個接合金屬與多個去耦合電容器。該些第一與第二接合墊分別耦合至一電源供應電壓與一參考電壓。該些接合金屬設置於該些第一與第二接合墊的多個中央區域上。該些去耦合電容器設置於該些第一與第二接合墊下方，且交疊於該些第一與第二接合墊的多個周邊區域。該些去耦合電容器並聯連接。該些去耦合電容器的多個第一端點電性連接至該些第一接合墊，且該些去耦合電容器的多個第二端點電性連接至該些第二接合墊。

The present application provides a semiconductor die with decoupling capacitors and a manufacturing method of the semiconductor die. The semiconductor die includes first bonding pads, second bonding pads, bond metals and decoupling capacitors. The first and second bonding pads are respectively coupled to a power supply voltage and a reference voltage. The bond metals are disposed on central portions of the first and second bonding pads. The decoupling capacitors are disposed under the first and second bonding pads, and overlapped with peripheral portions of the first and second bonding pads. The decoupling capacitors are in parallel connection with one another. First terminals of the decoupling capacitors are electrically connected to the first bonding pads, and second terminals of the decoupling capacitors are electrically connected to the second bonding pads.

指定代表圖：

符號簡單說明：

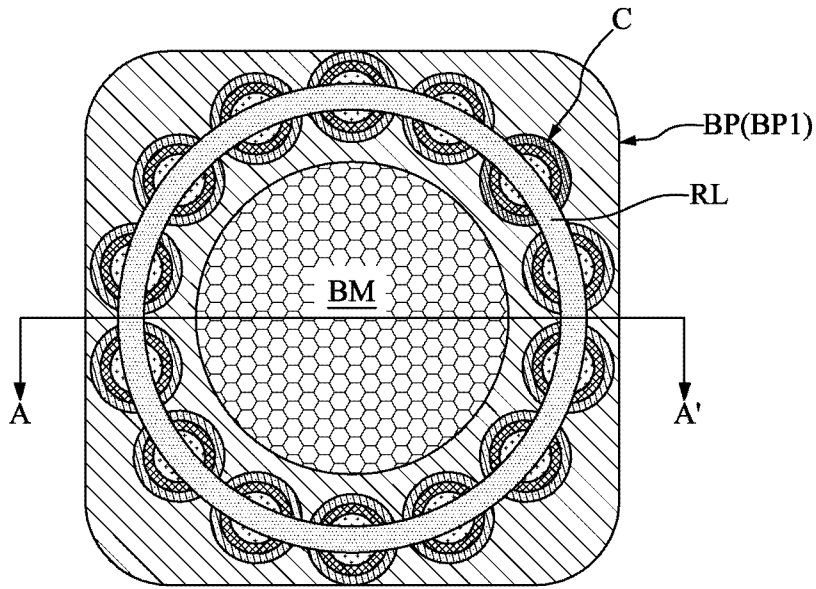
BM:接合金屬

BP:接合墊

BP1:接合墊

C:去耦合電容器

RL:繞線



【圖2A】



公告本

I779695

【發明摘要】

【中文發明名稱】

具有去耦合電容器的半導體晶粒及其製造方法

【英文發明名稱】

SEMICONDUCTOR DIE WITH DECOUPLING CAPACITOR AND
MANUFACTURING METHOD THEREOF

【中文】

本揭露提供一種具有去耦合電容器的半導體晶粒及其製造方法。該半導體晶粒包括多個第一接合墊、多個第二接合墊、多個接合金屬與多個去耦合電容器。該些第一與第二接合墊分別耦合至一電源供應電壓與一參考電壓。該些接合金屬設置於該些第一與第二接合墊的多個中央區域上。該些去耦合電容器設置於該些第一與第二接合墊下方，且交疊於該些第一與第二接合墊的多個周邊區域。該些去耦合電容器並聯連接。該些去耦合電容器的多個第一端點電性連接至該些第一接合墊，且該些去耦合電容器的多個第二端點電性連接至該些第二接合墊。

【英文】

The present application provides a semiconductor die with decoupling capacitors and a manufacturing method of the semiconductor die. The semiconductor die includes first bonding pads, second bonding pads, bond metals and decoupling capacitors. The first and second bonding pads are respectively coupled to a power supply voltage and a reference voltage. The bond metals are disposed on central portions of the first and second bonding pads. The decoupling capacitors are disposed

under the first and second bonding pads, and overlapped with peripheral portions of the first and second bonding pads. The decoupling capacitors are in parallel connection with one another. First terminals of the decoupling capacitors are electrically connected to the first bonding pads, and second terminals of the decoupling capacitors are electrically connected to the second bonding pads.

【指定代表圖】

圖2A

【代表圖之符號簡單說明】

BM:接合金屬

BP:接合墊

BP1:接合墊

C:去耦合電容器

RL:繞線

【發明說明書】

【中文發明名稱】

具有去耦合電容器的半導體晶粒及其製造方法

【英文發明名稱】

SEMICONDUCTOR DIE WITH DECOUPLING CAPACITOR AND
MANUFACTURING METHOD THEREOF

【技術領域】

【0001】 本申請案主張2020年9月24日申請之美國正式申請案第17/031,477號的優先權及益處，該美國正式申請案之內容以全文引用之方式併入本文中。

【0002】 本揭露係關於一種半導體晶粒及其製造方法。特別是關於一種具有去耦合電容器的半導體晶粒及其製造方法。

【先前技術】

【0003】 在過去數十年間，半導體產業經歷了快速的成長。除了在材料與製程技術方面的精進之外，數十年來積體電路的進展還包括持續微縮的特徵尺寸以及使用更高的時脈頻率。伴隨使用更高的時脈頻率，產生了包括電源供應波動(power supply oscillation)的問題，其可能導致產生且傳遞於晶片中的雜訊。

【0004】 舉例而言，儲存在動態隨機存取記憶體(dynamic random access memory, DRAM)中的電荷可能因電源供應波動而改變，造成讀取錯誤的問題。再者，DRAM的操作電壓因可攜式電子產品及/或通訊設備的應用而降低時(例如為1.0 V或更低)，上述DRAM的問題變得更加嚴重。

【0005】上文之「先前技術」說明僅係提供背景技術，並未承認上文之「先前技術」說明揭示本揭露之標的，不構成本揭露之先前技術，且上文之「先前技術」之任何說明均不應作為本案之任一部份。

【發明內容】

【0006】本揭露之一態樣提供一種半導體晶粒，包括：一記憶體陣列，設置於該半導體晶粒的一胞元區域內；多個第一接合墊與多個第二接合墊，設置於半導體晶粒的一輸入/輸出區域內，其中該些第一接合墊耦合至一電源供應電壓，且該些第二接合墊耦合至一參考電壓；多個去耦合電容器，設置於該些第一接合墊與該些第二接合墊下方，且並聯連接於該些第一接合墊與該些第二接合墊之間；以及多個接合金屬，設置於該些第一接合墊與該些第二接合墊上，其中該些去耦合電容器交疊於該些第一接合墊與該些第二接合墊，且位於該半導體晶粒的交疊於該些接合金屬的多個部分之外。

【0007】本揭露之另一態樣提供一種半導體晶粒，包括：多個介電層，堆疊於一基底上；多個去耦合電容器，形成於該些介電層中；多個第一接合墊與多個第二接合墊，設置於該些介電層上，其中該些第一接合墊耦合至一電源供應電壓，該些第二接合墊耦合至一參考電壓，該些去耦合電容器的一群組位於該些第一接合墊中的一者的下方，該些去耦合電容器的該群組的多個第一端點電性連接於該些第一接合墊中的該一者，該些去耦合電容器的該群組的多個第二端點被連接至該些第二接合墊中的一者；以及多個接合金屬，設置於該些第一接合墊與該些第二接合墊上，其中該些去耦合電容器交疊於該些第一接合墊與該些第二接合墊，且側向環繞該些介電層的交疊於該些接合金屬的多個部分。

【0008】 本揭露之又一態樣提供一種半導體晶粒，包括：多個第一接合墊與多個第二接合墊，其中該些第一接合墊耦合至一電源供應電壓，且該些第二接合墊耦合至一參考電壓；多個接合金屬，設置於該些第一接合墊與該些第二接合墊的多個中央區域上；以及多個去耦合電容器，設置於該些第一接合墊與該些第二接合墊下方，且交疊於該些第一接合墊與該些第二接合墊的多個周邊區域，其中該些去耦合電容器彼此並聯連接，該些去耦合電容器的多個第一端點電性連接至該些第一接合墊，且該些去耦合電容器的多個第二端點電性連接至該些第二接合墊。

【0009】 上文已相當廣泛地概述本揭露之技術特徵及優點，俾使下文之本揭露詳細描述得以獲得較佳瞭解。構成本揭露之申請專利範圍標的之其它技術特徵及優點將描述於下文。本揭露所屬技術領域中具有通常知識者應瞭解，可相當容易地利用下文揭示之概念與特定實施例可作為修改或設計其它結構或製程而實現與本揭露相同之目的。本揭露所屬技術領域中具有通常知識者亦應瞭解，這類等效建構無法脫離後附之申請專利範圍所界定之本揭露的精神和範圍。

【圖式簡單說明】

【0010】 參閱實施方式與申請專利範圍合併考量圖式時，可得更全面了解本申請案之揭示內容，圖式中相同的元件符號係指相同的元件。

圖1A例示本揭露一些實施例的半導體晶粒的平面示意圖。

圖1B為圖1A的區域X的放大示意圖。

圖1C例示本揭露一些實施例的電源供應去耦合方案的電路圖。

圖1D例示本揭露一些實施例的去耦合電容器的剖視示意圖。

圖1E為圖1D所示的去耦合電容器的上視示意圖。

圖2A例示本揭露一些實施例的接合墊、上覆的接合金屬、下伏的去耦合電容器以及繞線的平面示意圖。

圖2B為沿著圖2A的A-A'線的剖視示意圖。

圖3A例示本揭露一些實施例的另一接合墊、上覆的接合金屬、下伏的去耦合電容器以及繞線的平面示意圖。

圖3B為沿著圖3A的B-B'線的剖視示意圖。

圖4例示本揭露一些實施例之製造圖2B所示的半導體晶粒的方法的流程圖。

圖5A至圖5K例示圖4所示的製造流程中各階段的結構的剖視示意圖。

【實施方式】

【0011】 本揭露之以下說明伴隨併入且組成說明書之一部分的圖式，說明本揭露之實施例，然而本揭露並不受限於該實施例。此外，以下的實施例可適當整合以下實施例以完成另一實施例。

【0012】 「一實施例」、「實施例」、「例示實施例」、「其他實施例」、「另一實施例」等係指本揭露所描述之實施例可包含特定特徵、結構或是特性，然而並非每一實施例必須包含該特定特徵、結構或是特性。再者，重複使用「在實施例中」一語並非必須指相同實施例，然而可為相同實施例。

【0013】 為了使得本揭露可被完全理解，以下說明提供詳細的步驟與結構。顯然，本揭露的實施不會限制該技藝中的技術人士已知的特定細節。此外，已知的結構與步驟不再詳述，以免不必要地限制本揭露。本揭露的較佳實施例詳述如下。然而，除了詳細說明之外，本揭露亦可廣泛實

施於其他實施例中。本揭露的範圍不限於詳細說明的內容，而是由申請專利範圍定義。

【0014】 圖1A例示本揭露一些實施例的半導體晶粒10的平面示意圖。圖1B為圖1A的區域X的放大示意圖。

【0015】 請參照圖1A，半導體晶粒10可為記憶體晶粒。在一些實施例中，半導體晶粒10為動態隨機存取記憶體(dynamic random access memory, DRAM)晶粒。舉例而言，DRAM晶粒可為第一代、第二代、第三代、或第四代雙倍資料傳輸率(double data rate)DRAM晶粒(或稱為DDR1、DDR2、DDR3或DDR4 DRAM晶粒)。此外，上述雙倍資料傳輸率DRAM晶粒可被設計為在低電源供應下操作，且可稱為低電源雙倍資料傳輸率(low power double data rate, LPDDR)DRAM晶粒，例如是第四代低電源雙倍資料傳輸率DRAM晶粒(LPDDR4)。LPDDR DRAM晶粒可優選地應用於可攜式電子產品。再者，在此些實施例中，半導體晶粒10可在從2133 Hz至4266 Hz的時脈頻率下操作。

【0016】 在一些實施例中，半導體晶粒10包括兩個胞元區域10a。此些胞元區域10a可相互間隔開。在半導體晶粒10為DRAM晶粒的實施例中，各胞元區域10a內形成有DRAM陣列。DRAM陣列包括多個記憶胞元，分別包括存取電晶體與連接於存取電晶體的儲存電容(均未繪示)。此外，DRAM陣列更包括多條字元線與多條位元線。各存取電晶體的閘極端點分別連接至一字元線。各存取電晶體的源極端點與汲極端點分別連接至一位元線與一儲存電容。另外，各儲存電容的另一端點耦合至參考電壓(例如是地電壓)。

【0017】 請參照圖1A，半導體晶粒10更包括延伸於兩胞元區域10a

之間的輸入/輸出(input/output, I/O)區域10b。I/O電路(未繪示)及接合墊BP形成於I/O區域10b內。I/O電路與接合墊BP耦合至胞元區域10a，以使胞元區域10a連接於外部電路(例如是處理器)。接合墊BP暴露於半導體晶粒10的表面，且經配置以接合於另一半導體晶粒或封裝組件。另一方面，I/O電路設置於半導體晶粒10內，且連接於胞元區域10a與接合墊BP。在一些實施例中，I/O區域10b為橫越半導體晶粒10的中央區域的長形區域。在此些實施例中，在I/O區域10b內的接合墊BP可稱為中央接墊。如圖1B所示，接合墊BP彼此分離地沿著直線排列。多個接合墊BP經配置以傳輸不同訊號。舉例而言，一些接合墊BP經配置以傳輸用於程式化胞元區域10a內的記憶胞元的指令或從此些記憶胞元讀取資料的指令。此外，另一些接合墊BP(標示為接合墊BP1)耦合至電源供應電壓(例如是將參照圖1C所描述的電源供應電壓 V_{DD})，而又一些接合墊BP(標示為接合墊BP2)耦合至參考電壓(例如是將參照圖1C所描述的參考電壓 V_{SS})。作為實例，超過30對接合墊BP1、接合墊BP2設置於I/O區域10b內。

【0018】 在一些實施例中，在胞元區域10a內的記憶體陣列經配置以在高時脈頻率下操作。在此些實施例中，快速切換的電源供應可能會產生在切換頻率下的雜訊，且此雜訊可能導致電源供應波動(power supply oscillation)。電源供應波動可能意外地造成儲存在儲存電容內的電荷的變化，因此可能導致錯誤讀取。防止此問題的方法可包括將電源供應電壓與雜訊解耦合。

【0019】 圖1C例示本揭露一些實施例的電源供應去耦合方案的電路圖。

【0020】 請參照圖1C，在一些實施例中，去耦合電容器C配置於電

源與記憶體陣列MA(亦即參照圖1A所描述的一胞元區域10a內的記憶體陣列)之間，以從供應至記憶體陣列MA的電源移除雜訊。電源供應可為直流電源供應，且可表示為電源供應電壓 V_{DD} 與參考電壓 V_{SS} (例如是地電壓)之間的電壓差。電源供應電壓 V_{DD} 可耦合至如參照圖1B所描述的接合墊BP1，而參考電壓 V_{SS} 可耦合至如參照圖1B所描述的接合墊BP2。去耦合電容器C可並聯連接於電源與記憶體陣列MA。若隨供應電源至記憶體陣列MA而產生雜訊，雜訊的電荷可儲存於去耦合電容器C且釋放至地電壓端。如此一來，可以有效地降低電源供應的擾動(或稱波動)。需注意的是，儘管只有在圖1C繪示單一去耦合電容器C，實際上多於兩個去耦合電容器C可能設置於電源與記憶體陣列MA之間，且此些去耦合電容器C並聯連接於電源供應電壓 V_{DD} 與參考電壓 V_{SS} 之間。

【0021】 圖1D例示本揭露一些實施例的去耦合電容器C的剖視示意圖。圖1E為圖1D所示的去耦合電容器C的上視示意圖。

【0022】 請參照圖1D，去耦合電容器C為雙端點元件，且包括第一電極E1、第二電極E2以及延伸於第一電極E1與第二電極E2之間的電容介電層DL。第一電極E1為去耦合電容器C的雙端點中的一端點，而第二電極E2則為去耦合電容器C的另一端點。第一電極E1與第二電極E2可耦合至如參照圖1C所說明的電源供應電壓 V_{DD} 與參考電壓 V_{SS} 。換言之，第一電極E1與第二電極E2電性連接於如參照圖1B所說明的接合墊BP1、BP2。在一些實施例中，第一電極E1具有柱狀部分PP以及站在柱狀部分PP上的凹槽部分RP。凹槽部分RP的佔據面積可能大於柱狀部分PP的佔據面積，以使柱狀部分PP可完整地交疊於凹槽部分RP。此外，凹槽部分RP定義出凹陷，且電容介電層DL與第二電極E2設置於此凹陷內。在一些實

施例中，電容介電層DL共形地覆蓋第一電極E1的凹槽部分RP的內表面。再者，第二電極E2覆蓋電容介電層DL的內表面，且填滿該凹陷。第一電極E1與第二電極E2由相同或不同的導體材料構成，而電容介電層DL由介電材料構成。舉例而言，導體材料可包括多晶矽、鈦、鎢與鋁，而介電材料可包括氧化矽、氧化鋁及氧化鋯。

【0023】請參照圖1D與圖1E，在一些實施例中，第一電極E1的最頂面、電容介電層DL的最頂面與第二電極E2的最頂面彼此實質上共面，且共同定義出去耦合電容器C的頂面。如圖1E所示，第二電極E2被電容介電層DL側向環繞，且電容介電層DL被第一電極E1側向環繞。儘管去耦合電容器C被繪示為具有圓形上視圖案，所屬領域中具有通常知識者可更改去耦合電容器C的形狀，本揭露並不以此為限。

【0024】圖2A例示本揭露一些實施例的接合墊、上覆的接合金屬、下伏的去耦合電容器以及繞線的平面示意圖。圖2B為沿著圖2A的A-A'線的剖視示意圖。

【0025】請參照圖2A，一些去耦合電容器C設置於一接合墊BP1(亦即耦合至電源供應電壓 V_{DD} 的接合墊BP)的下方。這些去耦合電容器C的第二電極E2電性連接至接合墊BP1，而這些去耦合電容器C的第一電極E1可被繞線於至少一接合墊BP2(未繪示於圖2A)。在一些實施例中，這些去耦合電容器C的第二電極E2經由繞線RL而彼此電性連接，且繞線RL電性連接於接合墊BP1。在一些實施例中，接合墊BP1藉由打線接合製程而電性連接於另一封裝組件(未繪示)。在此些實施例中，接合金屬BM(例如是金球)形成於接合墊BP1上，且打線(未繪示)可自接合金屬BM延伸至另一封裝組件。此外，在接合墊BP1下方的去耦合電容器C可位於並未交疊於接

合金屬BM的區域內。在一些實施例中，這些去耦合電容器C交疊於接合墊BP1的周邊區域，而接合金屬BM交疊於接合墊BP1的中央區域。此外，繞線RL可形成為環狀，且交疊於接合墊BP1的周邊區域。在形成接合金屬BM的過程中，可能對接合墊BP1施加壓力。假如去耦合電容器C設置在交疊於接合金屬BM的區域內，上述壓力可能造成去耦合電容器C的損壞，而造成去耦合電容器C在測試過程中被判定為不合格。或者，在測試過程中可能並未識別出此損壞，而此損壞可能造成半導體晶粒的可靠度下降。因此，在本揭露實施例中藉由將去耦合電容器C設置在未交疊於接合金屬BM的區域內，可有效避免在接合金屬BM的形成過程中所產生的壓力對去耦合電容器C造成損壞。

【0026】 請參照圖2B，半導體晶粒10包括基底100以及形成於基底100上的去耦合電容器C、接合墊BP1以及接合金屬BM。基底100可為半導體基底或半導體上覆絕緣體(semiconductor-on-insulator, SOI)基底。在一些實施例中，半導體晶粒10更包括埋設於基底100中的繞線102。繞線102電性連接於去耦合電容器C的第一電極E1，且第一電極E1被繞線102連接至耦合於參考電壓 V_{SS} 的一或多個接合墊BP2(如參照圖1B與圖1C所描述)。需注意的是，以簡潔起見，繞線102並未繪示於圖2A中。在一些實施例中，繞線102形成於基底100的表面的凹陷的底部區域中。此外，絕緣結構104形成於繞線102上，且填滿該凹陷。此外，第一電極E1的柱狀部分PP可穿過絕緣結構104，以建立與繞線102的電性連接。在一些實施例中，同時形成繞線102(在參照圖1A所描述的I/O區域10b內延伸)以及同樣參照圖1A所描述的在胞元區域10a內的記憶體陣列的字元線。作為替代地，可在不同的製程步驟中形成繞線102與字元線。繞線102由導

體材料構成，例如是Cu、Ti、TiN、Ta、TaN、W、其類似者或其組合。另一方面，絕緣結構104由絕緣材料構成，例如是氧化矽、氮化矽、氮氧化矽或其組合。

【0027】 在一些實施例中，半導體晶粒100更包括多層堆疊的介電層106。去耦合電容器C位於介電層106堆疊中，而接合墊BP1與接合金屬BM設置於介電層106的堆疊上。舉例而言，去耦合電容器C可形成於底層的介電層106中(例如是最下方兩層的介電層106中)，且可延伸穿過絕緣結構104而至繞線102。去耦合電容器C的第一電極E1的柱狀部分PP可穿過一介電層106(例如是最底層介電層106)，且第一電極E1的凹槽部分RP、電容介電層DL以及第二電極E2形成於位在第一電極E1的柱狀部分PP上方的另一介電層106中。如參照圖2A所說明，去耦合電容器C並未交疊於其中形成有接合金屬BM的區域，以避免在形成接合金屬BM的過程中對去耦合電容器C所造成的損壞。如圖2B所示，介電層106的一部分106'交疊於接合金屬BM，且介電層106的此部分106'被去耦合電容器C側向環繞。在一些實施例中，介電層106包括一或多個介電材料，例如是氧化矽、氮化矽、氮氧化矽、其類似者或其組合。

【0028】 在一些實施例中，半導體晶粒10更包括繞線單元108。繞線單元108形成於介電層106的堆疊中，且經配置以將去耦合電容器C連接至接合墊BP(包括繪示於圖2B中的接合墊BP1)，且傳送訊號至胞元區域10a內的記憶體陣列(如參照圖1A所描述)或從記憶體陣列將訊號傳送回。如圖2B所示，繞線單元108的一部分形成在去耦合電容器C上方，且經配置以將去耦合電容器C的第二電極E2連接至接合墊BP1。繞線單元108包括導電跡線以及導電通孔。各導電跡線延伸於一介電層106上，而各導電

通孔穿過一或多層介電層106且電性連接於至少一導電跡線。參照圖2A所描述的繞線RL可為繞線單元108的導電跡線中的一者。在一些實施例中，類似於去耦合電容器C，繞線RL交疊於接合墊BP1的周邊區域，而接合金屬BM交疊於接合墊BP1的中央區域。作為替代地，繞線RL可至少部分地交疊於接合金屬BM。繞線單元108可由一或多個導體材料構成，例如是Cu、Ti、TiN、Ta、TaN、W、Al、其類似者或其組合。

【0029】 在一些實施例中，更在介電層106的堆疊上方形成聚合物圖案110。在此些實施例中，聚合物圖案110可覆蓋接合墊BP1，且具有其中設置有接合金屬BM的開口。換言之，接合金屬BM的位置可定義於聚合物圖案110的開口中。聚合物圖案110由聚合物材料構成，例如是聚醯亞胺。

【0030】 圖3A例示本揭露一些實施例的接合墊BP、上覆的接合金屬BM、下伏的去耦合電容器C以及繞線的平面示意圖。圖3B為沿著圖3A的B-B'線的剖視示意圖。繪示於圖3A與圖3B的半導體晶粒10的部分類似於半導體晶粒10的參照圖2A與圖2B所描述的部分，故僅描述不同之處，相同或相似處則不再贅述。

【0031】 請參照圖3A與圖3B，一些去耦合電容器C設置於一接合墊BP2(亦即偶和至參考電壓 V_{SS} 的接合墊BP)下方。此些去耦合電容器C的第一電極E1電性連接於上覆的接合墊BP2，而此些去耦合電容器C的第二電極E2可連接於至少一接合墊BP1(未繪示於圖3A與圖3B中)。在一些實施例中，第一電極E1藉由埋設於基底100中的繞線102而彼此電性連接，且繞線102經由繞線單元108的一些部分而電性連接至上覆的接合墊BP2。在此些實施例中，繞線單元108更包括導電插塞112，用於提供延伸於去耦

合電容器C上方的繞線單元108的此部分至基底100中的繞線102的縱向導電路徑。舉例而言，導電插塞112可穿過底層的介電層106以及絕緣結構104，且位於去耦合電容器C的一側。另外，相似於參照圖2A所描述的繞線RL，圖3A所示的繞線102亦可形成為環形，且交疊於接合墊BP2的周邊區域。

【0032】 在一些實施例中，接合墊BP1/接合墊BP2的佔據面積約為 $3600\ \mu\text{m}^2$ ，且去耦合電容器的佔據面積約為 $120\ \text{nm}^2$ 。在此些實施例中，數萬個去耦合電容器C設置於各接合墊BP1/接合墊BP2下方。假如各去耦合電容器C的電容為約15 fF，則各接合墊BP1/接合墊BP2下方的所有去耦合電容器C的等效電容可為約100 pF至約450 pF。然而，所屬領域中具有通常知識者可依據設計需求調整接合墊BP與去耦合電容器C的尺寸，本揭露並不限於此。

【0033】 如上該，根據本揭露一些實施例的半導體晶粒10包括用於減少供應至記憶體陣列的電源的擾動的去耦合電容器C。去耦合電容器C設置於耦接至電源供應電壓 V_{DD} 與參考電壓 V_{SS} 的接合墊BP(亦即接合墊BP1、BP2)下方。此外，設置於接合墊BP1、BP2下方的去耦合電容器C交疊於接合墊BP1、BP2的周邊區域，而形成於接合墊BP1、BP2上且用於接合製程的接合金屬BM交疊於接合墊BP1、BP2的中央區域。如此一來，可避免去耦合電容器C遭受在形成接合金屬BM期間施加於接合墊BP1、BP2上的壓力所造成的損壞。因此，去耦合電容器C的穩定電源的能力可較不受接合製程影響。所以，半導體晶粒10的良率及可靠度得以改良。

【0034】 圖4例示本揭露一些實施例之製造圖2B所示的半導體晶粒10的方法的流程圖。圖5A至圖5K為繪示出在圖4所示的製造流程中各階

段的結構的剖視示意圖。

【0035】請參照圖4與圖5A，進行步驟S11，以在基底100的表面形成溝渠TR。圖5A所示的虛線表示出基底100的經移除以形成溝渠TR的部分。在一些實施例中，形成溝渠TR的法包括微影製程以及蝕刻製程。該蝕刻製程例如是非等向性蝕刻製程。

【0036】請參照圖4與圖5B，進行步驟S13，以在溝渠TR的底部形成繞線102。繞線102的頂面低於溝渠TR的最頂端(亦即基底100的表面)。在一些實施例中，形成繞線102的方法包括將導體材料填入溝渠TR中。此導體材料可填滿溝渠TR，且可或可不延伸至基底100的表面上。隨後，移除此導體材料的上部，以使此導體材料留下來的部分成為繞線102。舉例而言，移除導體材料的上部的方法可包括蝕刻製程(例如是等向性蝕刻製程)，或可包括研磨製程(例如是化學機械研磨(chemical mechanical polishing, CMP)製程)與該蝕刻製程。

【0037】請參照圖4與圖5C，進行步驟S15，以在繞線102上形成絕緣結構104。絕緣結構104可填滿溝渠TR，且絕緣結構104的頂面可實質上共面於基底100的表面。作為替代地，絕緣結構104的頂面可些微低於基底100的頂面。在一些實施例中，形成絕緣結構104的方法包括藉由沉積製程(例如是化學氣相沉積(chemical vapor deposition, CVD)製程)將絕緣材料填入溝渠TR的上部。此絕緣材料可填滿溝渠TR，且可或可不進一步延伸到基底100的表面上。隨後，可藉由平坦化製程移除此絕緣材料的位於基底100的表面上方的部分，而此絕緣材料的保留部分成為絕緣結構104。舉例而言，平坦化製程可包括研磨製程(例如是CMP製程)、蝕刻製程(例如是等向性蝕刻製程)或其組合。

【0038】請參照圖4與圖5D，進行步驟S17，以形成一介電層106(此後稱為介電層106a)以及去耦合電容器C的第一電極E1的柱狀部分PP。第一電極E1的柱狀部分PP可延伸穿過介電層106a與絕緣結構104，以建立與繞線102的電性連接。在一些實施例中，藉由沉積製程(例如是CVD)形成介電層106。之後，可藉由微影製程和蝕刻製程(例如是非等向性蝕刻製程)形成穿過介電層106a的穿孔。接著，藉由沉積製程(例如是物理氣相沉積(physical vapor deposition, PVD)製程)、鍍覆製程或其組合而將導體材料填入於穿孔中。此外，更可進行平坦化製程(例如是研磨製程、蝕刻製程或其組合)以移除此導體材料的位於介電層106a的頂面上方的部分。此導體材料的保留部分成為第一電極E1的柱狀部分PP。

【0039】請參照圖4與圖5E，進行步驟S19，以在目前結構上形成另一介電層106(此後稱為介電層106b)與電極層EL。介電層106b具有交疊於第一電極E1的柱狀部分PP的開口。介電層106b的各開口的佔據面積可大於第一電極E1的各柱狀部分PP的佔據面積。電極層EL可共形地覆蓋介電層106b、介電層106a與第一電極E1的柱狀部分PP的暴露表面。據此，電極層EL對應於介電層106b的開口而凹陷。在一些實施例中，形成介電層106b的方法包括沉積製程，例如是CVD製程。此外，形成電極層EL的方法可包括沉積製程(例如是CVD製程或PVD製程)、鍍覆製程或其組合。

【0040】請參照圖4與圖5F，進行步驟S21，以形成介電材料層DL'。介電材料層DL'共形地覆蓋電極層EL。據此，介電材料層DL'可對應於電極層EL的凹陷而凹陷。在一些實施例中，形成介電材料層DL'的方法包括沉積製程，例如是CVD製程。

【0041】請參照圖4與圖5G，進行步驟S23，在介電材料層DL'上形

成導體材料CM。導體材料CM可填滿介電材料層DL'的凹陷，且可覆蓋介電材料層DL'的最頂面。在一些實施例中，形成導體材料CM的方法包括沉積製程(例如是CVD製程或PVD製程)、鍍覆製程或其組合。

【0042】 請參照圖4與圖5H，進行步驟S25，以移除電極層EL、介電材料層DL'與導體材料CM的位於介電材料層106b的頂面上方的部分。如此一來，電極層EL、介電材料層DL'與導體材料CM的位於介電層106b的開口內的部分保留下來。電極層EL的保留部分成為第一電極E1的凹槽部分RP。介電材料層DL'的保留部分成為電容介電層DL。導體材料CM的保留部分形成第二電極E2。至此，已根據一些實施例形成去耦合電容器C。在一些實施例中，圖案化電極層EL、介電材料層DL'以及導體材料CM的方法包括平坦化製程。舉例而言，平坦化製程可包括研磨製程、蝕刻製程或其組合。

【0043】 請參照圖4與圖5I，進行步驟S27，以形成更多介電層106(此後稱為介電層106c)與繞線單元108。在一些實施例中，形成介電層106c與繞線單元108的方法包括進行多次金屬鑲嵌製程(damascene process)。各金屬鑲嵌製程可包括沉積一或多層介電層106c；在介電層106c中形成通孔及/或溝渠；以導體材料填滿通孔及/或溝渠；以及移除導體材料的位於介電層106c上方的部分。

【0044】 請參照圖4與圖5J，進行步驟S29，以在介電層106的堆疊上形成接合墊BP1。接合墊BP1電性連接於位在介電層106的堆疊中的最上方繞線單元108。在一些實施例中，形成接合墊BP1的方法包括藉由沉積製程、鍍覆製程或其組合而在介電層106上方全面地形成導體層，且接著藉由微影製程與蝕刻製程圖案化導體層而形成接合墊BP1。在替代實施

例中，可藉由金屬鑲嵌製程形成接合墊BP1，且會有另一介電層(未繪示)側向環繞接合墊BP1。

【0045】請參照圖4與圖5K，進行步驟S31，以在目前結構上形成聚合物圖案110。聚合物圖案110具有交疊於接合墊BP1的一部分的開口。在一些實施例中，聚合物圖案110由光敏材料構成。在此些實施例中，形成聚合物圖案110的方法包括全面地形成聚合物層，且使用微影製程圖案化此聚合物層。聚合物層的保留部分形成聚合物圖案110。在替代實施例中，聚合物圖案110並非由光敏材料構成。在此些替代實施例中，藉由微影製程與蝕刻製程圖案化全面形成的聚合物層，以形成聚合物圖案110。

【0046】請參照圖4與圖2B，進行步驟S33，以在接合墊BP1的暴露表面上形成接合金屬BM。在為打線接合製程而設置接合金屬BM的實施例中，接合金屬BM可為金屬球，且可藉由放電結球(electronic flame-off, EFO)技術而熔融由接合裝置(稱為毛細管(capillary))乘載的金屬線(例如是金線)的末端。隨後，將此熔融部分接觸接合墊BP1，以形成接合金屬BM。接著，可將該接合裝置抬起且移動以形成打線(未繪示)。

【0047】至此，已形成半導體晶粒10的如圖2B所示的一部分。根據一些實施例，可藉由類似於參照圖4與圖5A至圖5K所描述的方法形成半導體晶粒10的如圖3B所示的另一部分，惟更在介電層106的堆疊中形成導電插塞112。在一些實施例中，在形成去耦合電容器C(如參照圖5H所描述)之後且在形成介電層106c與繞線單元108(如參照圖5I所描述)之前，形成導電插塞112。在此些實施例中，可藉由微影製程與蝕刻製程(例如是非等向性蝕刻製程)而在介電層106a、106b中形成穿孔，且藉由沉積製程(例如是PVD製程)、鍍覆製程或其組合而將導體材料填入穿孔中。隨後，藉由

平坦化製程(例如是研磨製程、蝕刻製程或其組合)移除導體材料的位於介電層106b上方的部分，以使導體材料的保留部分形成導電插塞112。

【0048】 綜上該，根據本揭露一些實施例的半導體晶粒包括記憶體陣列，且包括並聯連接於記憶體陣列且用於減少供應至記憶體陣列的電源的擾動的去耦合電容器。去耦合電容器設置於耦接至電源供應電壓的接合墊以及耦接至參考電壓的接合墊的下方。此外，設置於接合墊下方的去耦合電容器交疊於接合墊的周邊區域。另一方面，而形成於接合墊上的接合金屬交疊於接合墊的中央區域。如此一來，可避免去耦合電容器遭受在形成接合金屬期間可能施加於接合墊上的壓力所造成的損壞。因此，去耦合電容器的穩定電源的能力可較不受接合製程影響。所以，半導體晶粒的良率及可靠度得以改良。

【0049】 本揭露之一態樣提供一種半導體晶粒，包括：一記憶體陣列，設置於該半導體晶粒的一胞元區域內；多個第一接合墊與多個第二接合墊，設置於半導體晶粒的一輸入/輸出區域內，其中該些第一接合墊耦合至一電源供應電壓，且該些第二接合墊耦合至一參考電壓；多個去耦合電容器，設置於該些第一接合墊與該些第二接合墊下方，且並聯連接於該些第一接合墊與該些第二接合墊之間；以及多個接合金屬，設置於該些第一接合墊與該些第二接合墊上，其中該些去耦合電容器交疊於該些第一接合墊與該些第二接合墊，且位於該半導體晶粒的交疊於該些接合金屬的多個部分之外。

【0050】 本揭露之另一態樣提供一種半導體晶粒，包括：多個介電層，堆疊於一基底上；多個去耦合電容器，形成於該些介電層中；多個第一接合墊與多個第二接合墊，設置於該些介電層上，其中該些第一接合墊

耦合至一電源供應電壓，該些第二接合墊耦合至一參考電壓，該些去耦合電容器的一群組位於該些第一接合墊中的一者的下方，該些去耦合電容器的該群組的多個第一端點電性連接於該些第一接合墊中的該一者，該些去耦合電容器的該群組的多個第二端點被連接至該些第二接合墊中的一者；以及多個接合金屬，設置於該些第一接合墊與該些第二接合墊上，其中該些去耦合電容器交疊於該些第一接合墊與該些第二接合墊，且側向環繞該些介電層之交疊於該些接合金屬的多個部分。

【0051】 本揭露之又一態樣提供一種半導體晶粒，包括：多個第一接合墊與多個第二接合墊，其中該些第一接合墊耦合至一電源供應電壓，且該些第二接合墊耦合至一參考電壓；多個接合金屬，設置於該些第一接合墊與該些第二接合墊的多個中央區域上；以及多個去耦合電容器，設置於該些第一接合墊與該些第二接合墊下方，且交疊於該些第一接合墊與該些第二接合墊的多個周邊區域，其中該些去耦合電容器彼此並聯連接，該些去耦合電容器的多個第一端點電性連接至該些第一接合墊，且該些去耦合電容器的多個第二端點電性連接至該些第二接合墊。

【0052】 雖然已詳述本揭露及其優點，然而應理解可進行各種變化、取代與替代而不脫離申請專利範圍所定義之本揭露的精神與範圍。例如，可用不同的方法實施上述的許多製程，並且以其他製程或其組合替代上述的許多製程。

【0053】 再者，本申請案的範圍並不受限於說明書中該之製程、機械、製造、物質組成物、手段、方法與步驟之特定實施例。該技藝之技術人士可自本揭露的揭示內容理解可根據本揭露而使用與本文該之對應實施例具有相同功能或是達到實質上相同結果之現存或是未來發展之製程、機

械、製造、物質組成物、手段、方法、或步驟。據此，此等製程、機械、製造、物質組成物、手段、方法、或步驟係包含於本申請案之申請專利範圍內。

【符號說明】

【0054】

10:半導體晶粒

10a:胞元區域

10b:I/O區域

100:基底

102:繞線

104:絕緣結構

106:介電層

106':部分

106a:介電層

106b:介電層

106c:介電層

108:繞線單元

110:聚合物圖案

112:導電插塞

BM:接合金屬

BP:接合墊

BP1:接合墊

BP2:接合墊

C:去耦合電容器

CM:導體材料

DL:電容介電層

DL':介電材料層

E1:第一電極

E2:第二電極

EL:電極層

MA:記憶體陣列

PP:柱狀部分

RL:繞線

RP:凹槽部分

S11:步驟

S13:步驟

S15:步驟

S17:步驟

S19:步驟

S21:步驟

S23:步驟

S25:步驟

S27:步驟

S29:步驟

S31:步驟

S33:步驟

TR:溝渠

V_{DD}:電源供應電壓

V_{SS}:參考電壓

X:區域

【發明申請專利範圍】

【請求項1】

一種半導體晶粒，包括：

一記憶體陣列，設置於該半導體晶粒的一胞元區域內；

多個第一接合墊與多個第二接合墊，設置於半導體晶粒的一輸入/輸出區域內，其中該些第一接合墊耦合至一電源供應電壓，且該些第二接合墊耦合至一參考電壓；

多個去耦合電容器，設置於該些第一接合墊與該些第二接合墊下方，且並聯連接於該些第一接合墊與該些第二接合墊之間；以及

多個接合金屬，設置於該些第一接合墊與該些第二接合墊上，其中該些去耦合電容器交疊於該些第一接合墊與該些第二接合墊，且位於該半導體晶粒的交疊於該些接合金屬的多個部分之外。

【請求項2】

如請求項1所述之半導體晶粒，其中該記憶體陣列並聯連接於該些去耦合電容器。

【請求項3】

如請求項1所述之半導體晶粒，其中該些去耦合電容器的一第一群組位於該些第一接合墊中的一者下方，且該些去耦合電容器的一第二群組位於該些第二接合墊中的一者下方。

【請求項4】

如請求項3所述之半導體晶粒，其中該些去耦合電容器的該第一群組的多個第一端點電性連接於該些第一接合墊中的該一者，且該些去耦合電容器的該第一群組的多個第二端點被連接至該些第二接合墊中的一者。

【請求項5】

如請求項4所述之半導體晶粒，其中藉由一繞線連接該些去耦合電容器的該第一群組的該些第一端點，且該繞線更連接至該些第一接合墊中的該一者。

【請求項6】

如請求項5所述之半導體晶粒，其中該些去耦合電容器的該第一群組沿一環狀圖案排列，且該繞線形成為環形。

【請求項7】

如請求項6所述之半導體晶粒，其中該繞線側向環繞該半導體晶粒的交疊於該些接合金屬的該些部分中的一者。

【請求項8】

如請求項1所述之半導體晶粒，其中該些接合金屬分別連接於一打線。

【請求項9】

如請求項1所述之半導體晶粒，其中該記憶體陣列為一動態隨機存取記憶體陣列。

【請求項10】

一種半導體晶粒，包括：

多個介電層，堆疊於一基底上；

多個去耦合電容器，形成於該些介電層中；

多個第一接合墊與多個第二接合墊，設置於該些介電層上，其中該些第一接合墊耦合至一電源供應電壓，該些第二接合墊耦合至一參考電壓，該些去耦合電容器的一群組位於該些第一接合墊中的一

者的下方，該些去耦合電容器的該群組的多個第一端點電性連接於該些第一接合墊中的該一者，該些去耦合電容器的該群組的多個第二端點被連接至該些第二接合墊中的一者；以及

多個接合金屬，設置於該些第一接合墊與該些第二接合墊上，其中該些去耦合電容器交疊於該些第一接合墊與該些第二接合墊，且側向環繞該些介電層之交疊於該些接合金屬的多個部分。

【請求項11】

如請求項10所述之半導體晶粒，其中該些去耦合電容器分別包括：

一第一電極，具有一柱狀部分與位於該柱狀部分上的一凹槽部分，且作為各該去耦合電容器的該第二端點；

一電容介電層，共形地覆蓋該第一電極的該凹槽部分的一內表面；以及

一第二電極，覆蓋該電容介電層且填滿該第一電極的該凹槽部分所定義出的一凹陷，其中該第二電極作為各該去耦合電容器的該第一端點。

【請求項12】

如請求項11所述之半導體晶粒，更包括多個繞線單元，形成於該些介電層中，其中該些去耦合電容器的該些第一電極與該些第二電極經由該些繞線單元而被連接至該些第二接合墊與該些第一接合墊。

【請求項13】

如請求項12所述之半導體晶粒，其中該些繞線單元包括一第一繞線，該第一繞線延伸於該些去耦合電容器的該群組之上，且該些去耦合電容器的該群組的該些第二電極藉由該第一繞線而彼此電性連接。

【請求項14】

如請求項12所述之半導體晶粒，更包括一第二繞線，埋設於該基底中，其中該些去耦合電容器的該群組的該些第一電極電性連接於該第二繞線。

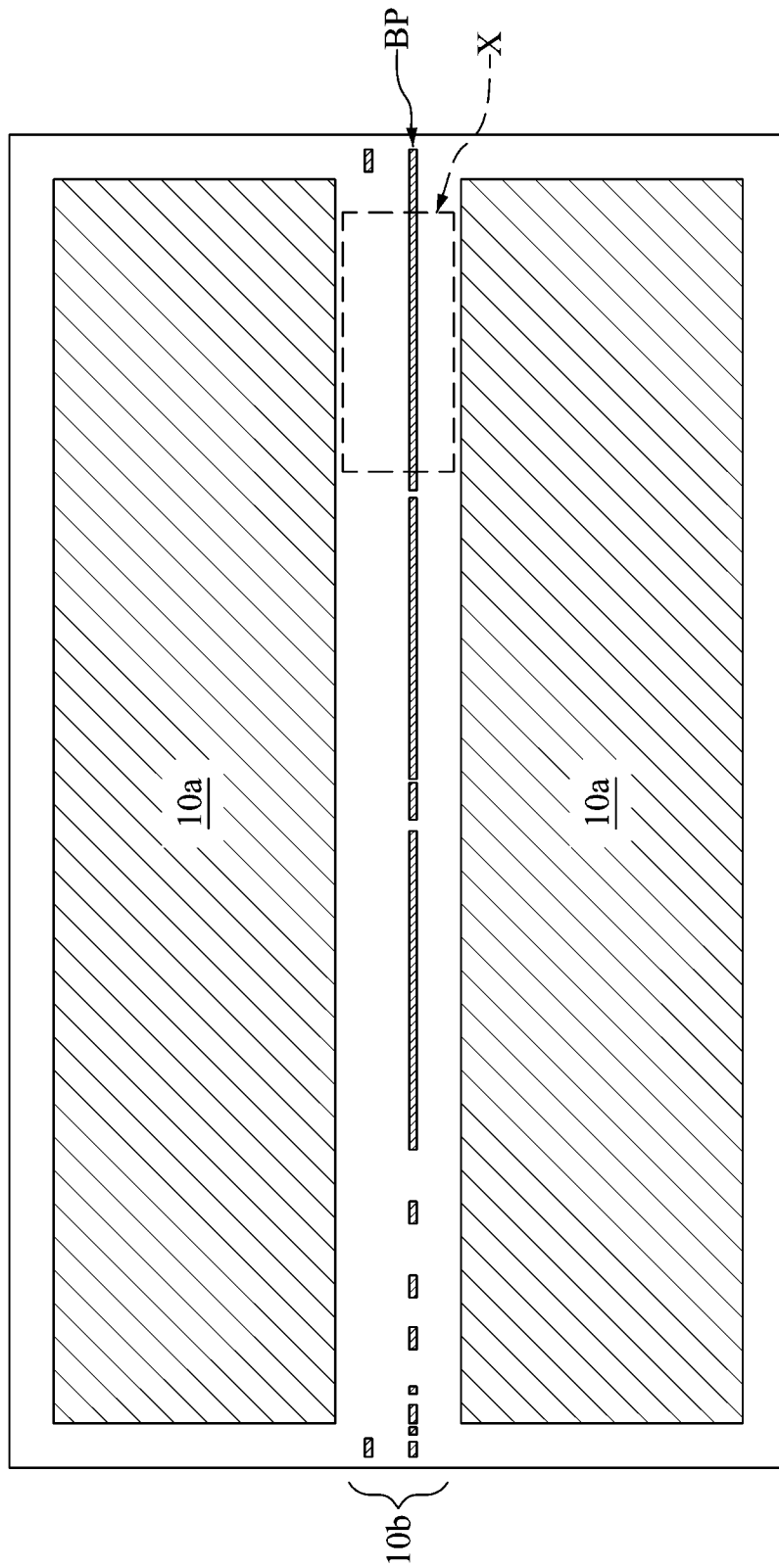
【請求項15】

如請求項14所述之半導體晶粒，其中該些繞線單元更包括一導電插塞，立於該第二繞線上，其中該第二繞線經由該導電插塞而被連接至該些第二接合墊中的該一者。

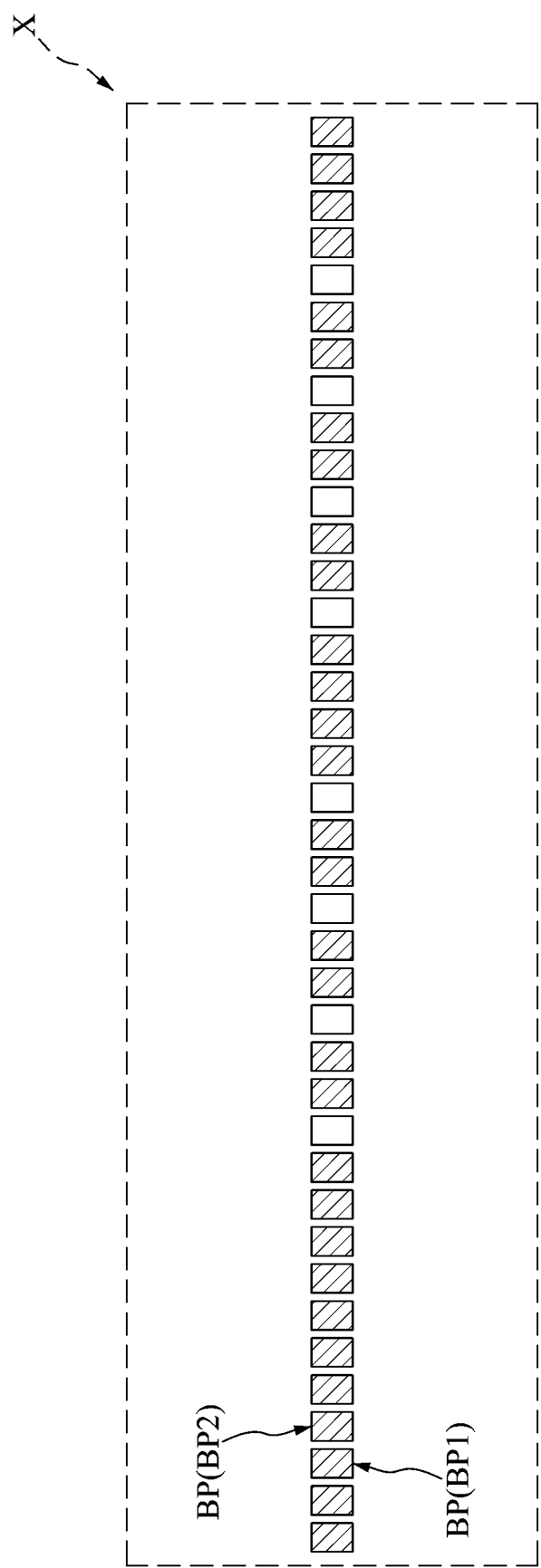
【請求項16】

如請求項10所述之半導體晶粒，更包括一聚合物圖案，覆蓋該些第一接合墊與該些第二接合墊，且具有分別暴露出該些第一接合墊與該些第二接合墊中的一者的多個開口。

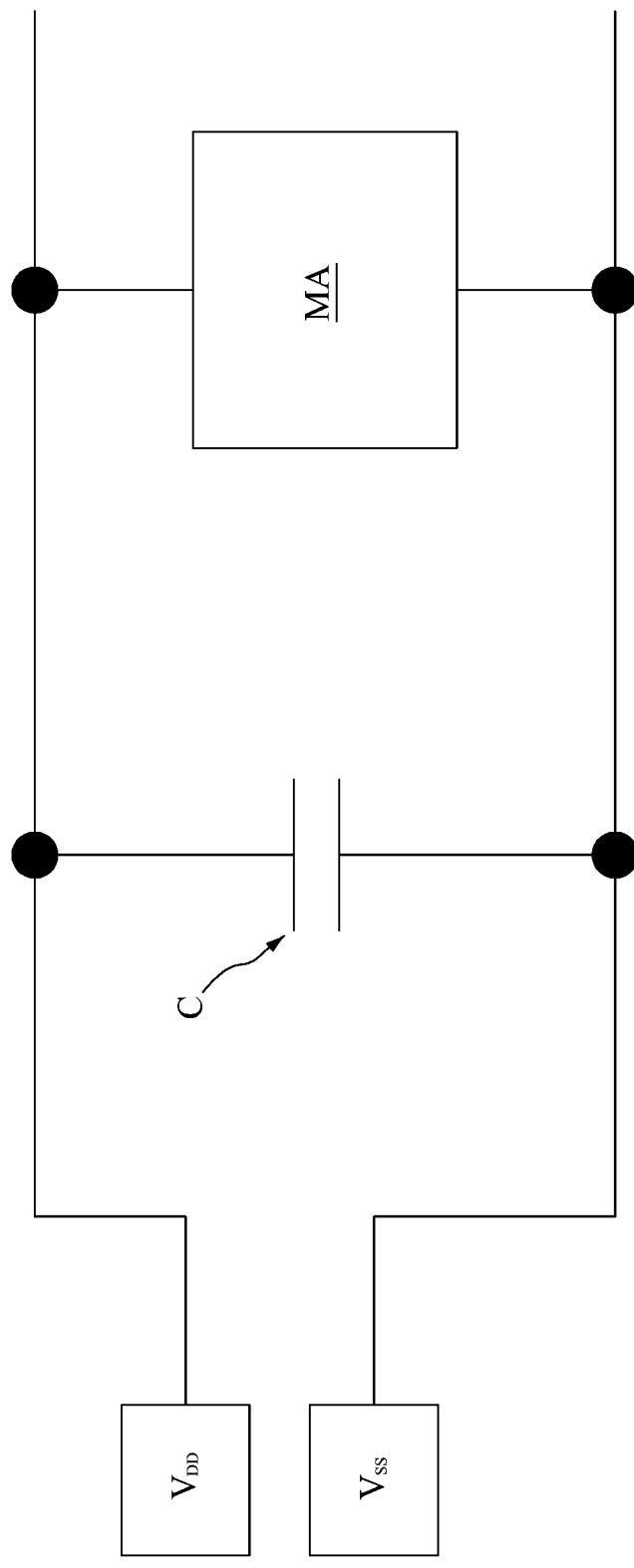
【發明圖式】



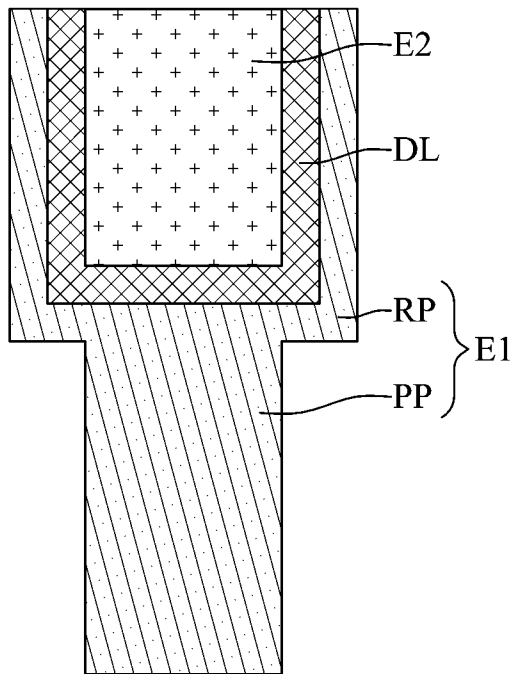
【圖1A】



【圖1B】

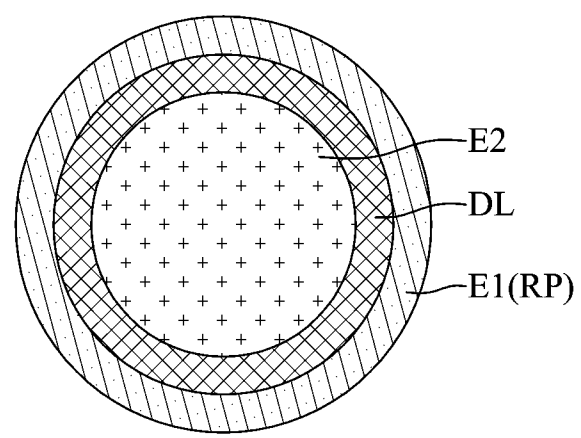


【圖1C】

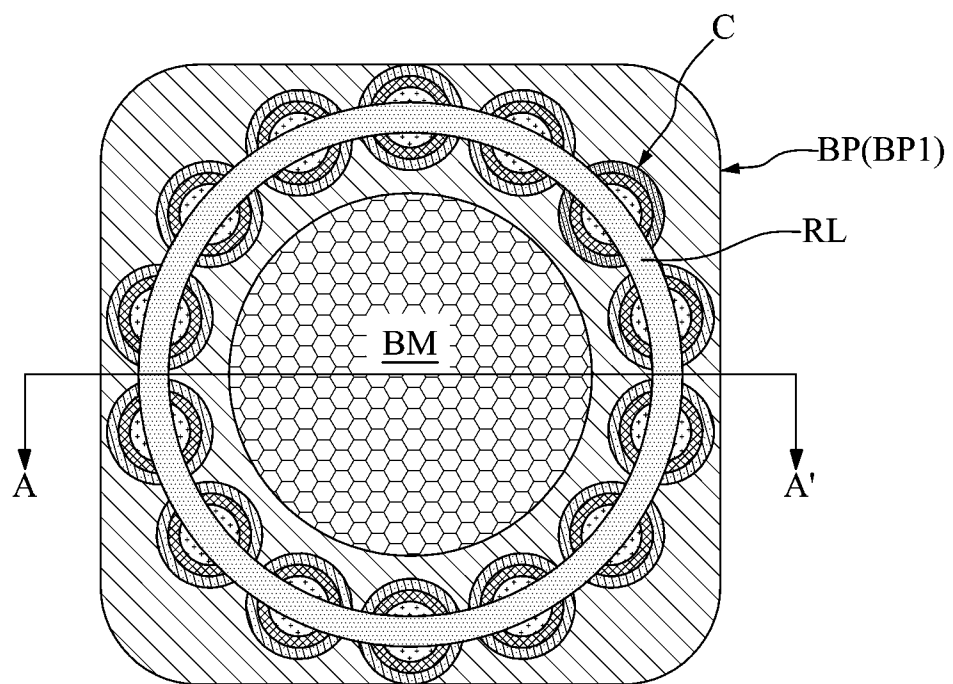


C

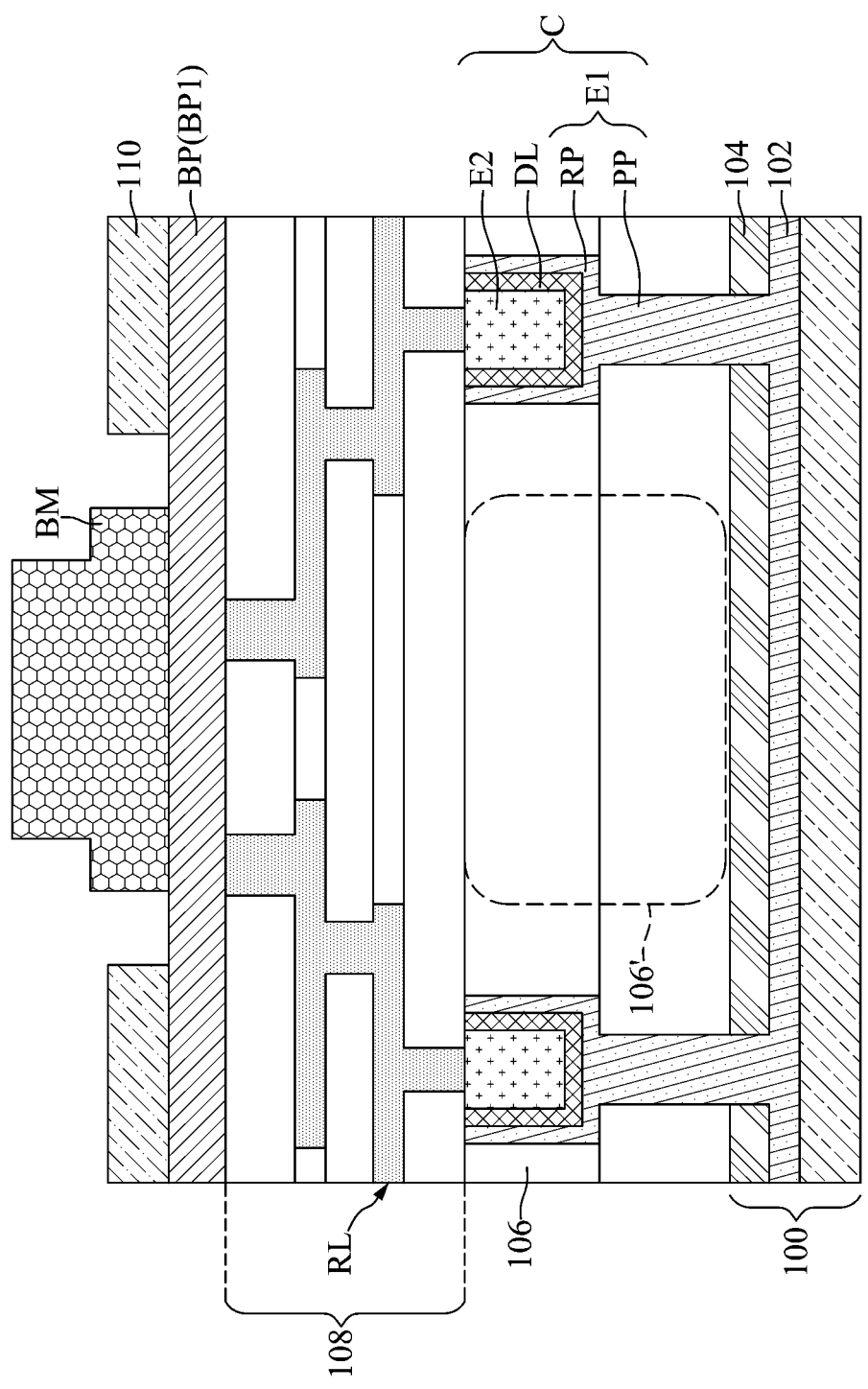
【圖1D】



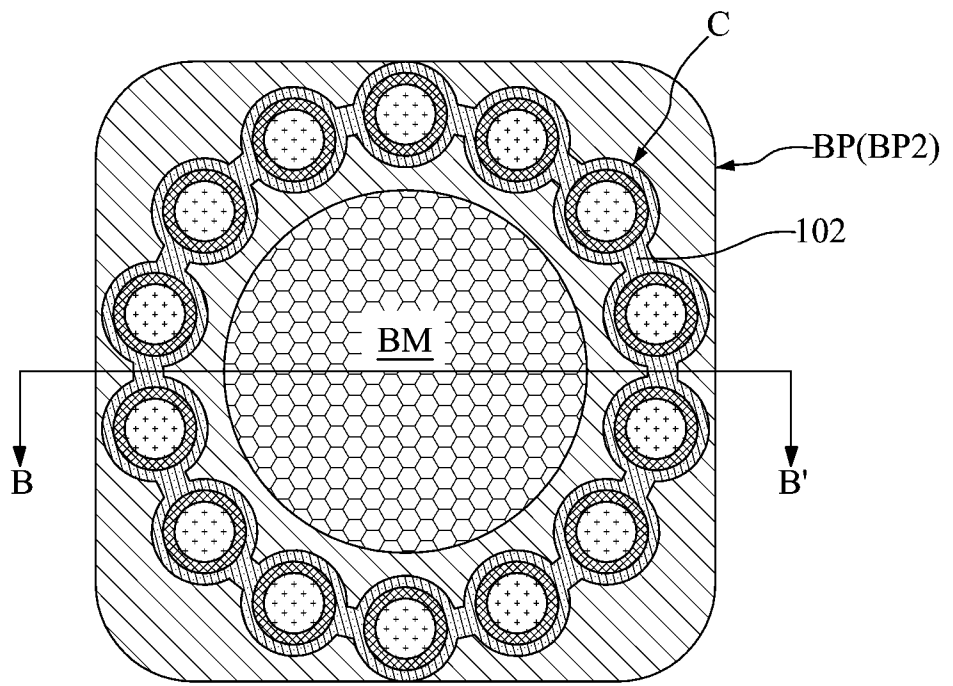
【圖1E】



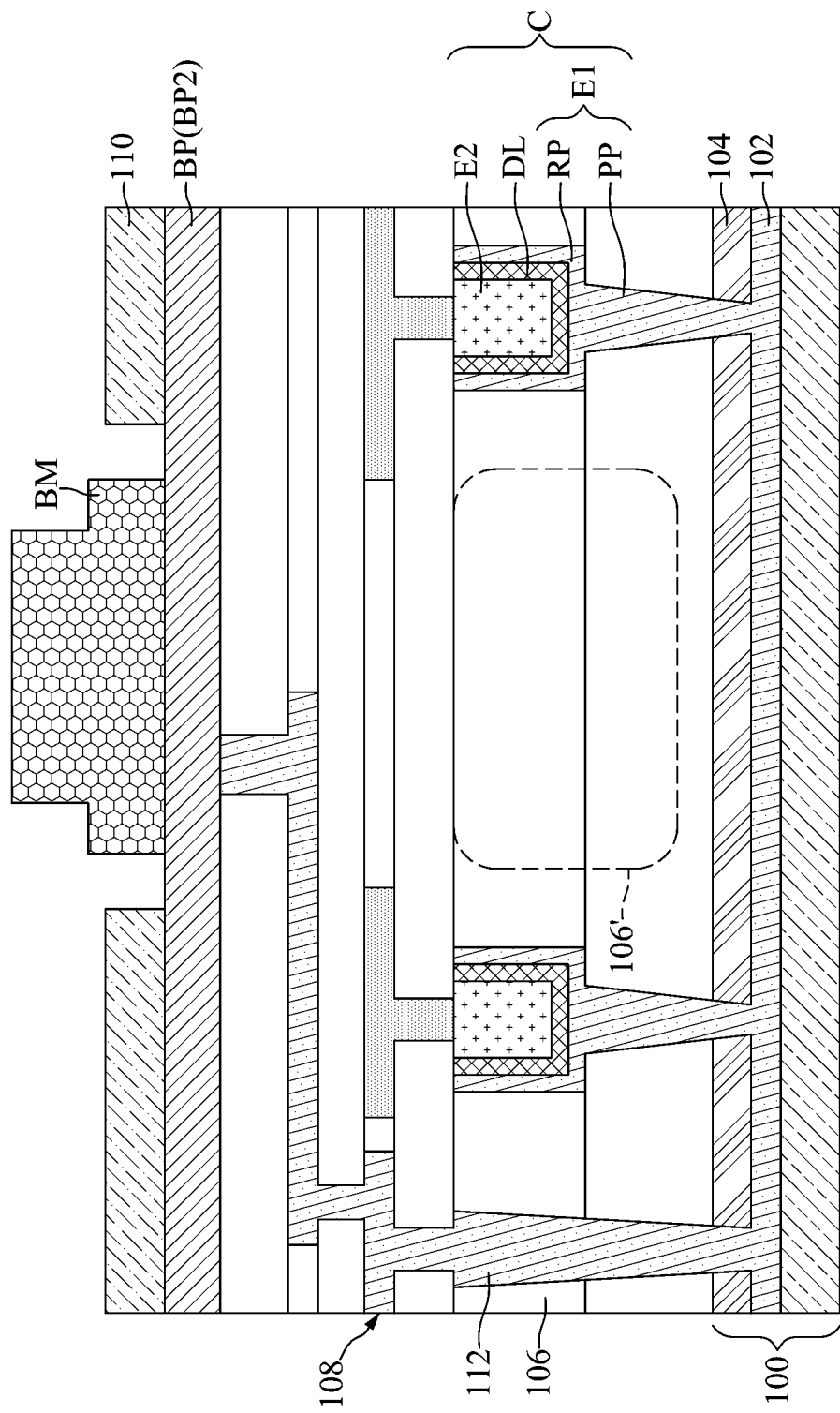
【圖2A】



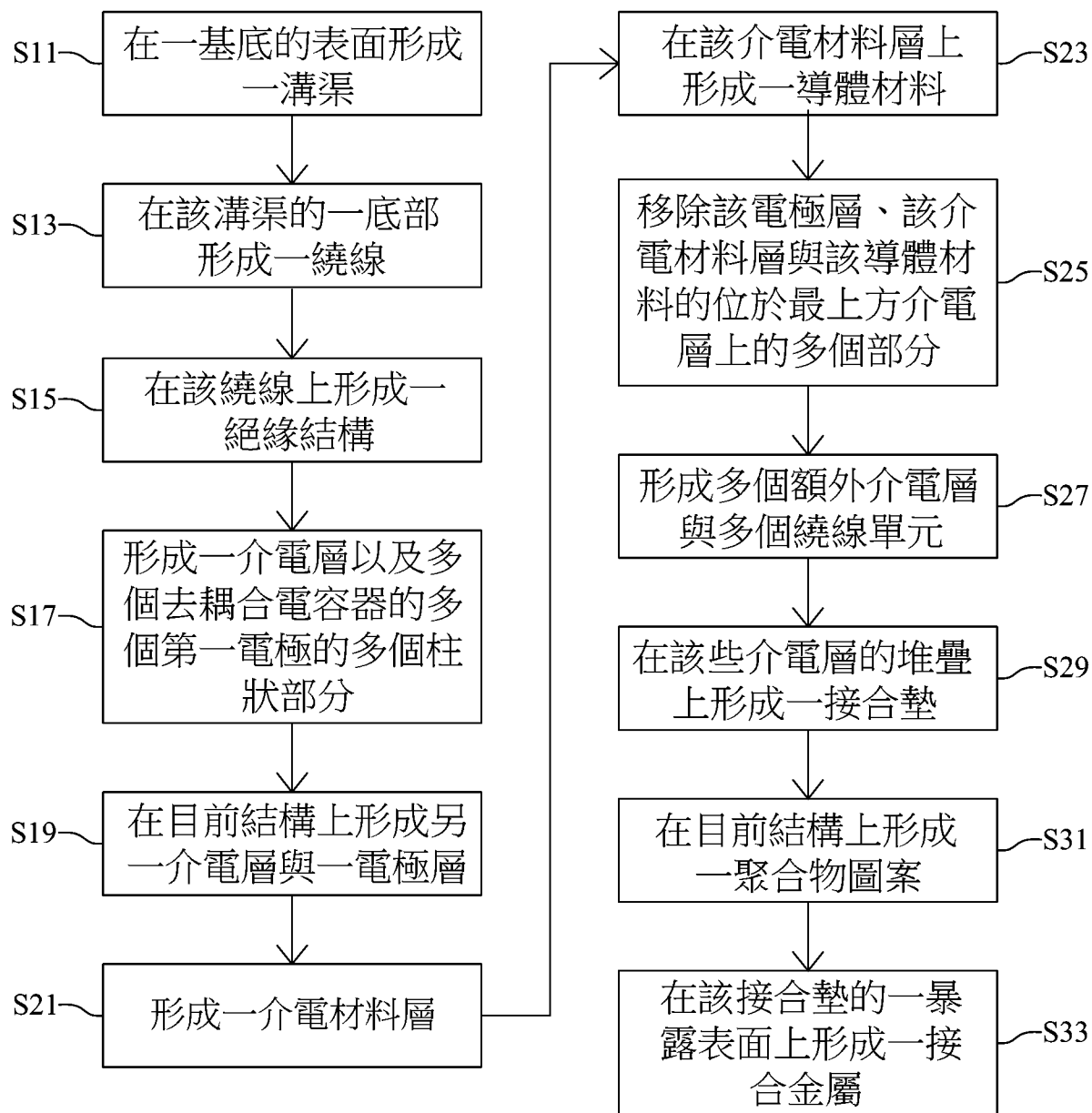
【圖2B】



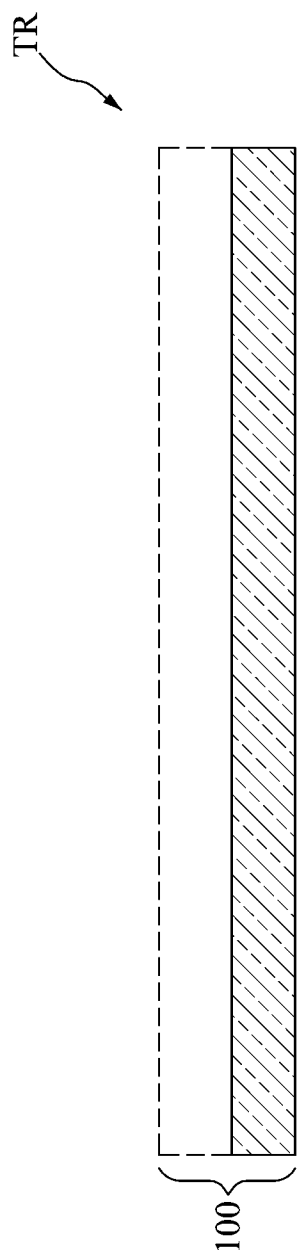
【圖3A】



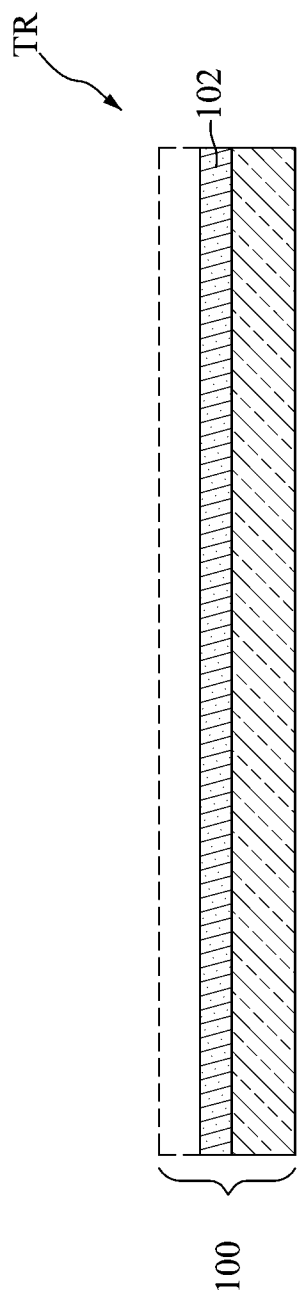
【圖3B】



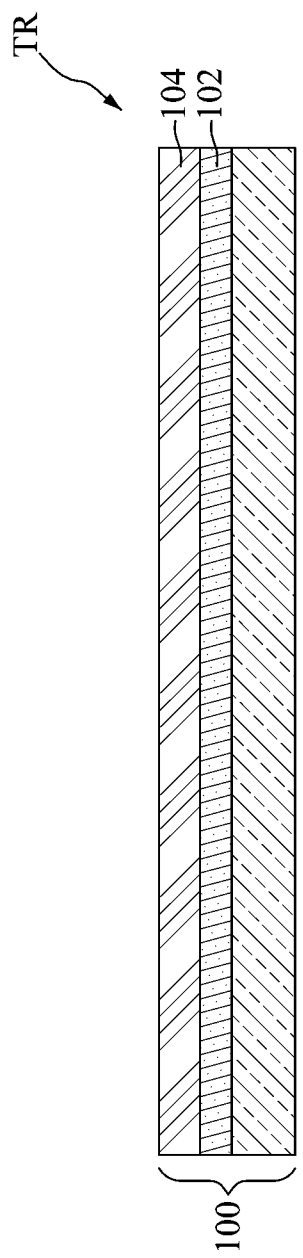
【圖4】



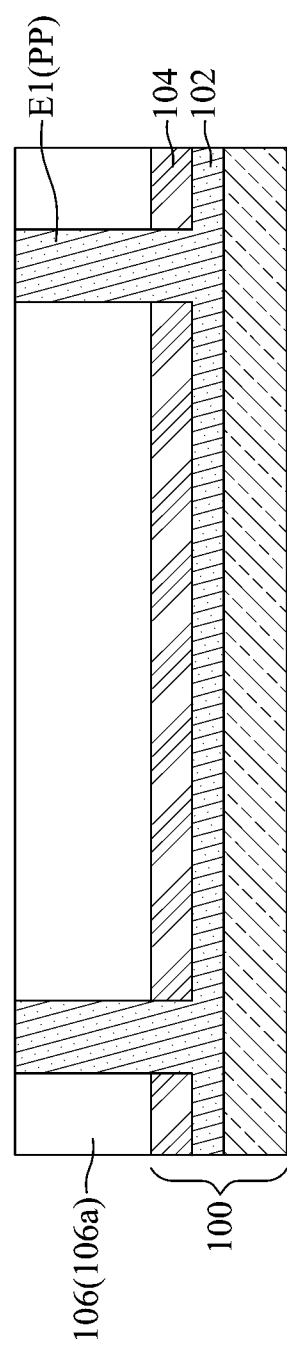
【圖5A】



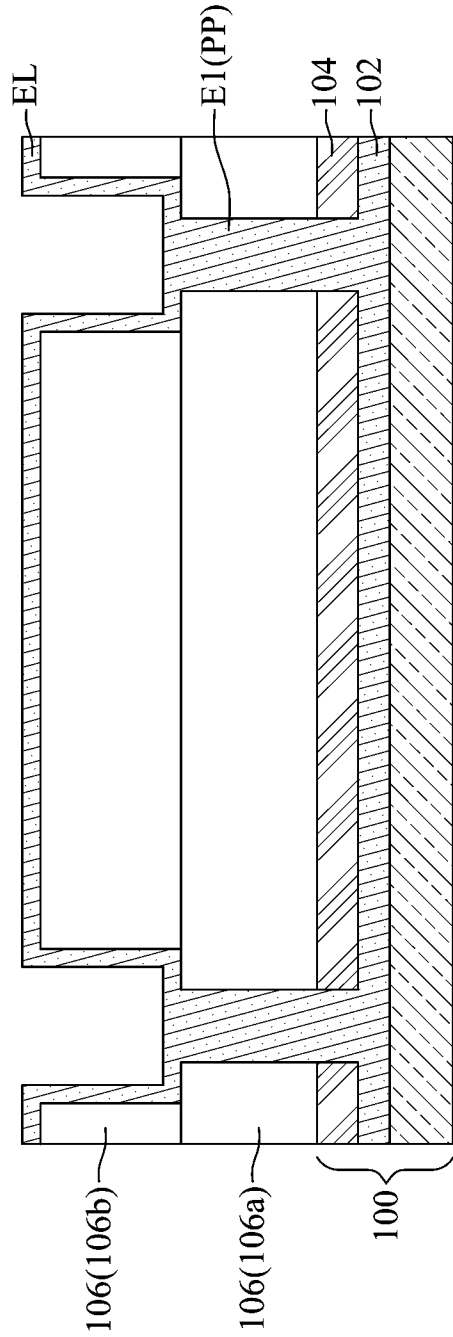
【圖5B】



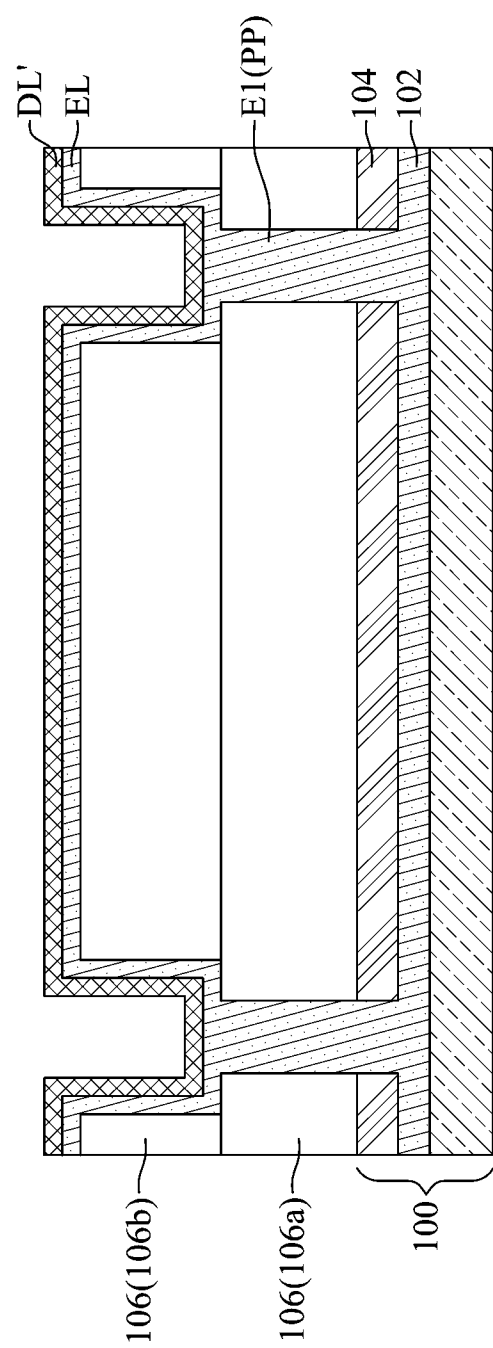
【圖5C】



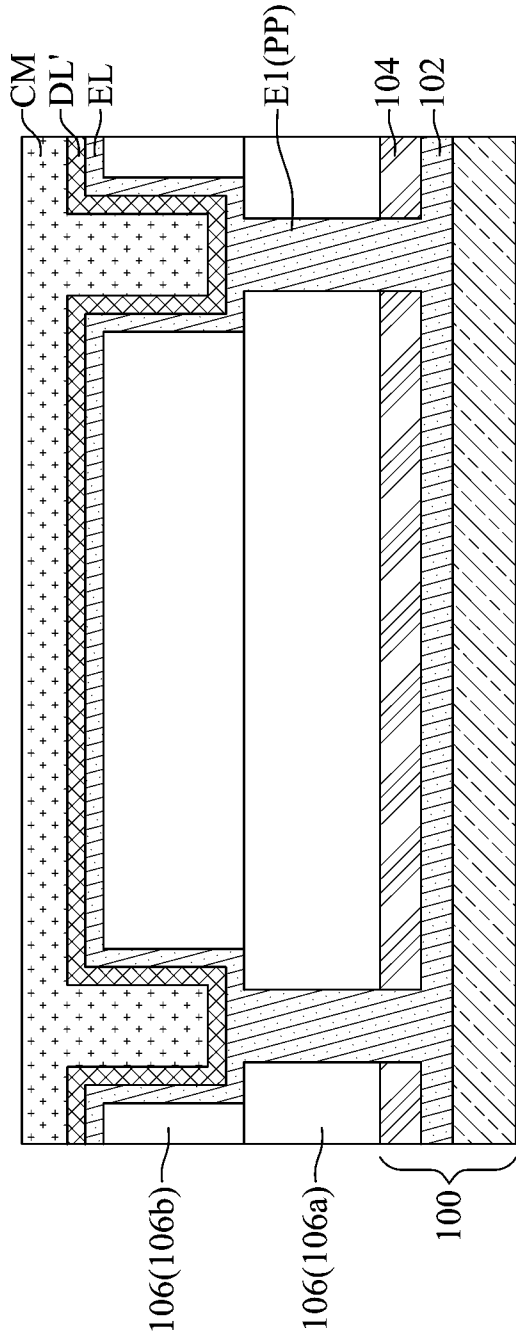
【圖5D】



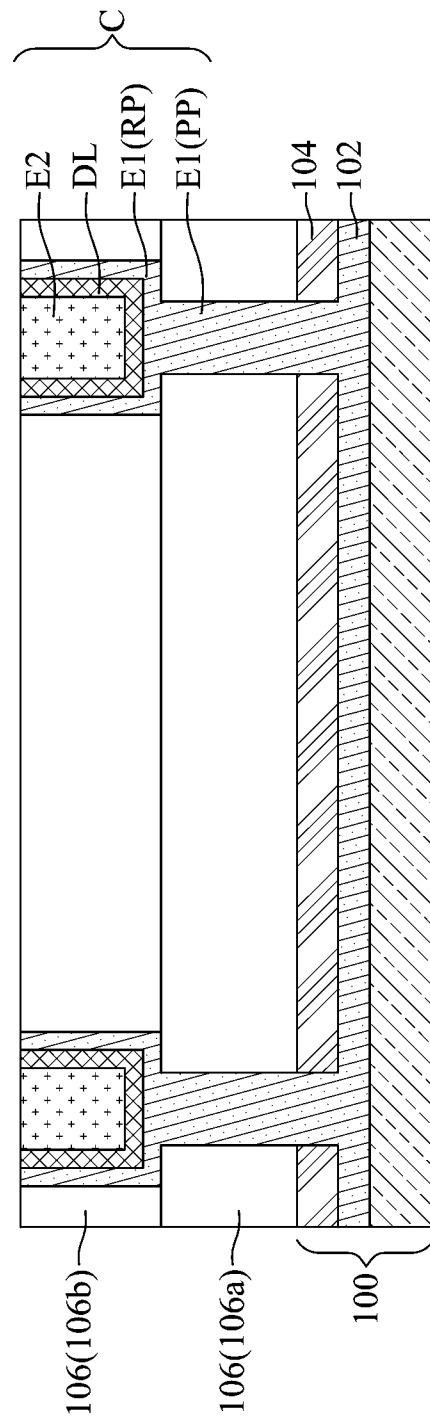
【圖5E】



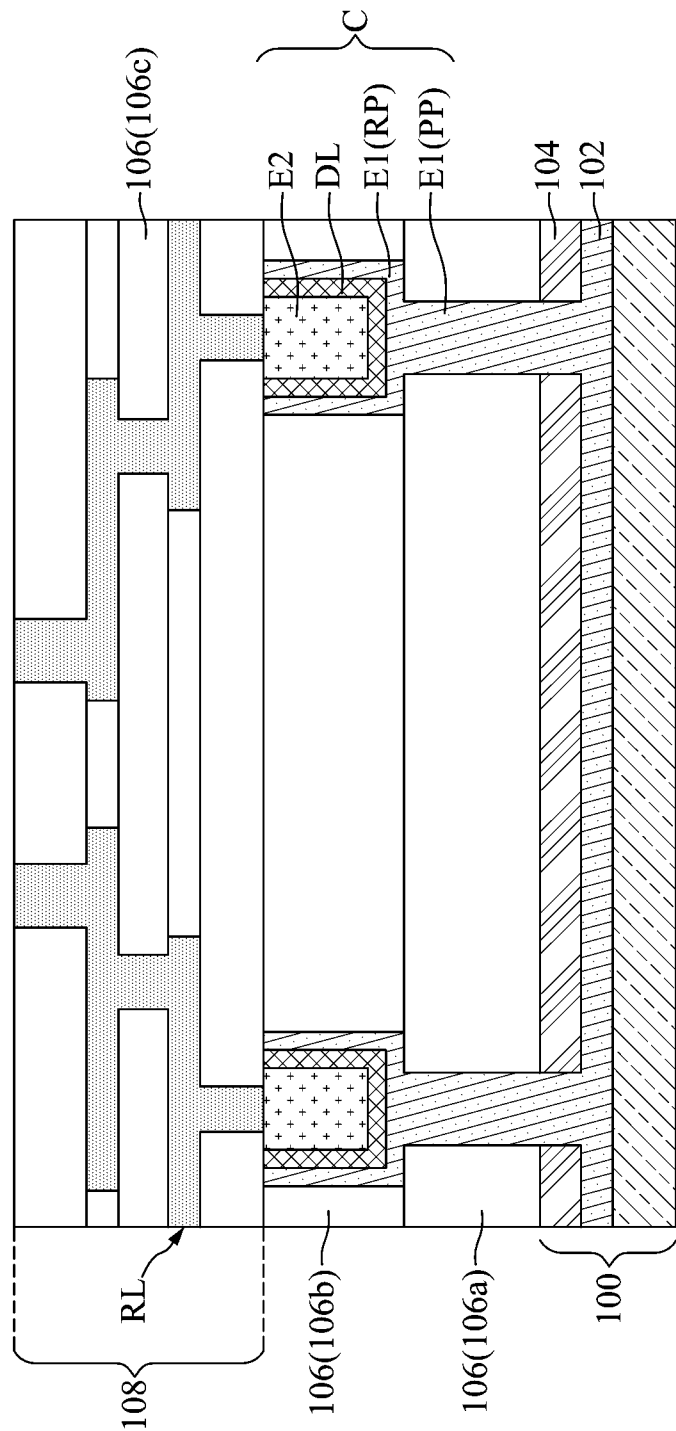
【圖5F】



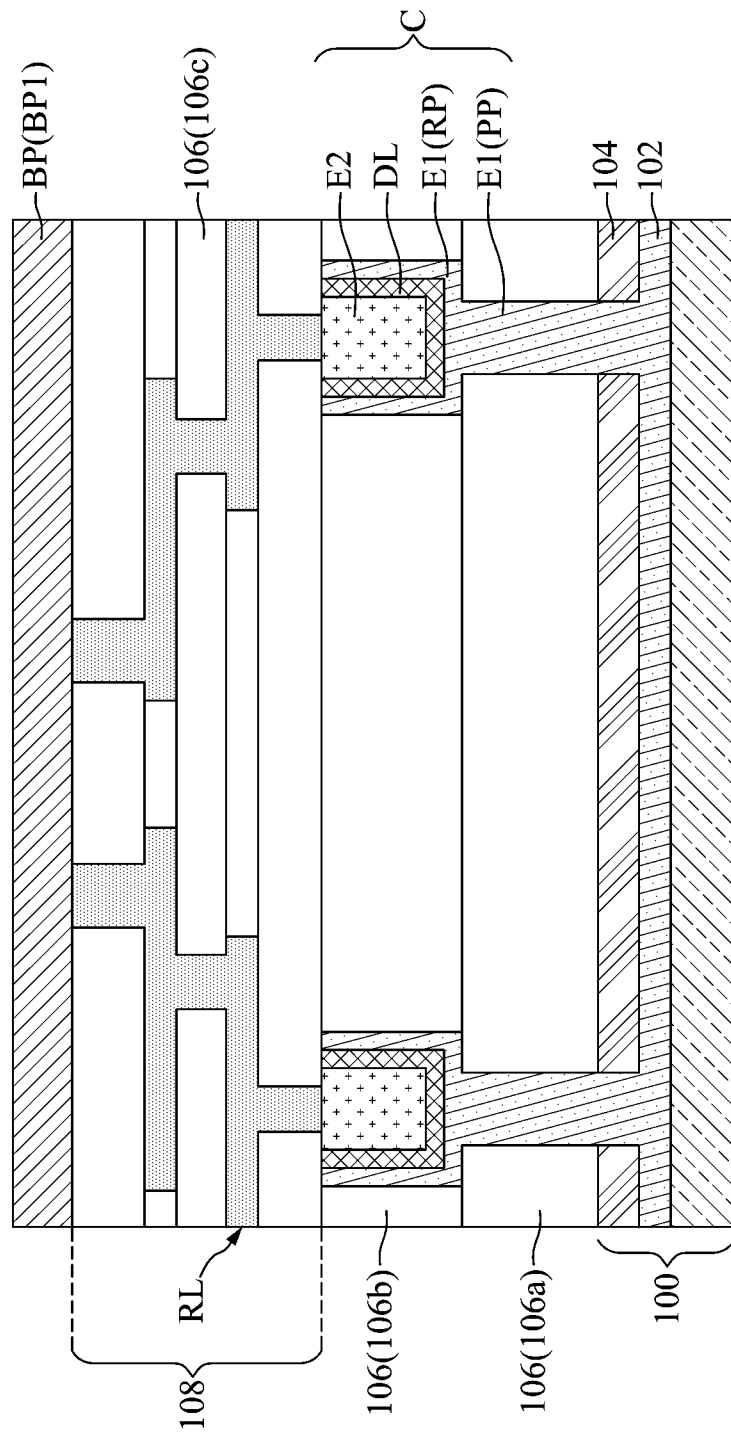
【圖5G】



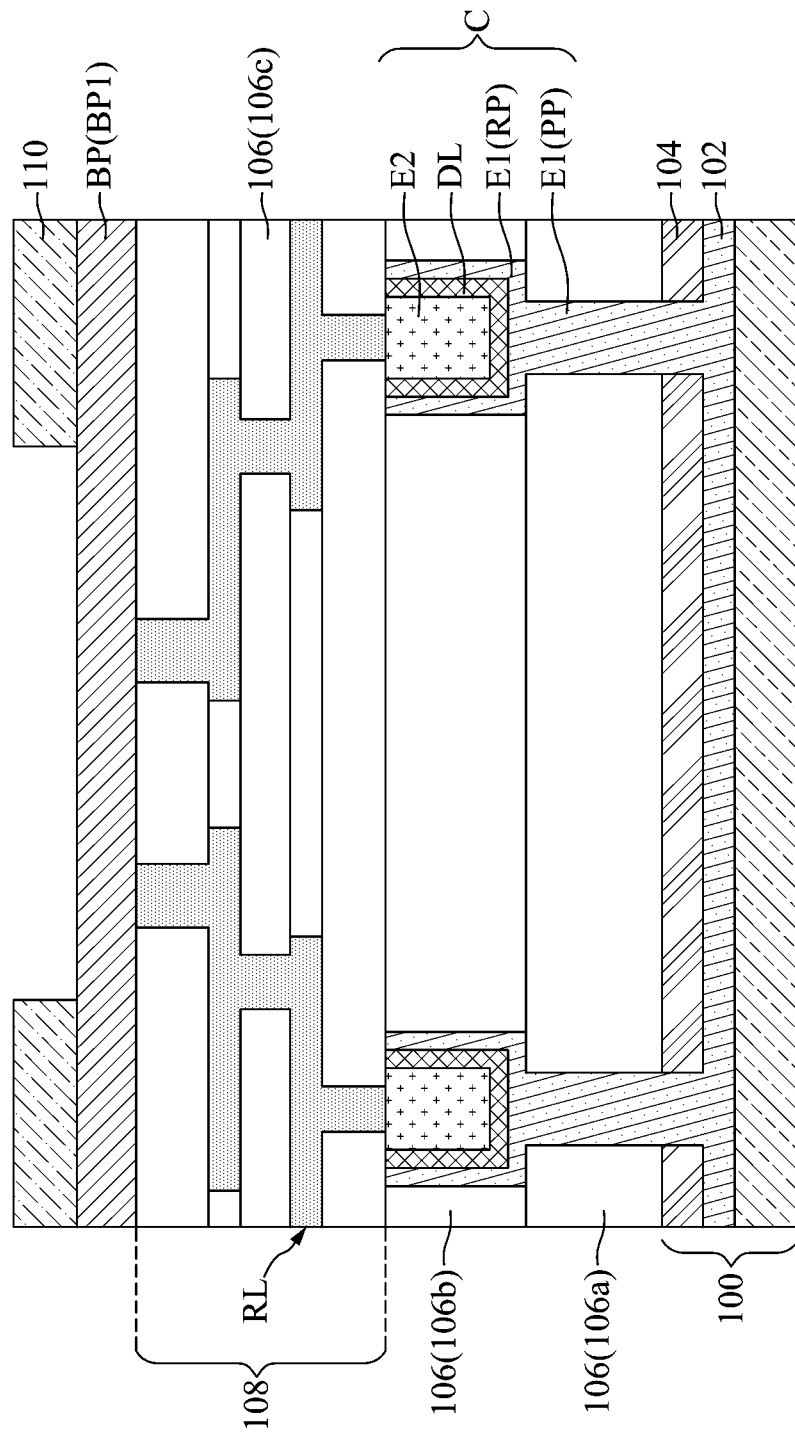
【圖5H】



【圖5J】



【圖5J】



【圖5K】