

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G11C 11/407	(45) 공고일자 2000년 10월 02일	(11) 등록번호 10-0265270
(21) 출원번호 10-1997-0070803	(24) 등록일자 2000년 06월 13일	(65) 공개번호 특 1998-0064385
(22) 출원일자 1997년 12월 19일	(43) 공개일자 1998년 10월 07일	
(30) 우선권 주장 96-340851 1996년 12월 20일 일본(JP)		
(73) 특허권자 닛뽕덴끼 가부시끼가이샤	가네꼬 히사시	
(72) 발명자 무라오까 유지	일본 도오교도 미나또꾸 시바 5초메 7방 1고	
(74) 대리인 박해선, 조영원	일본 도오교도 미나또꾸 시바 5초메 7방 1고 닛뽕덴끼 가부시끼가이샤 나이	

심사관 : 김승완

(54) 반도체 기억 장치 및 그의 출력 회로

요약

반도체 기억 장치용 출력 회로는 최소한 출력 트랜지스터와 레벨 변환 회로를 포함한다. 이 경우, 레벨 변환 회로는 출력 트랜지스터에 접속되어 있다. 출력 트랜지스터는 접지 단자 및 출력 단자에 접속되어 있다. 이런 상황에서, 레벨 변환 회로는 입력 신호 레벨을 변환하여 변환된 입력 신호를 출력 트랜지스터에 구동 신호로서 출력한다. 이런 구성과 더불어, 소정의 승압 전압이 레벨 변환 회로에 인가된다. 결과적으로, 출력 트랜지스터가 구동 신호에 의해 온 될 때 액세스 지연없이 접지 전위가 출력 단자에 나타난다.

대표도

도 2

명세서

도면의 간단한 설명

도 1 은 본 발명이 적용가능한 반도체 기억 장치의 개략도.

도 2 는 이 발명의 실시예에 의한 출력 회로를 보여주는 개략도.

도 3 은 도 2 의 레벨 변환 회로의 상세 회로도.

※도면의 주요부분에 대한 부호의 설명※

MA1 ~ MA16 : 메모리 어레이	01 ~ 016 : 출력 회로
A1 ~ A16 : 어레이 부분	OUT1 ~ OUT16 : 출력 단자
GND : 접지 패드	GL : 접지선
Q1, Q2 : 출력 트랜지스터	A, AB : 입력신호
V _{cc} : 전원 전압	V ₀₀ : 승압 전압
11 : 제 1 레벨 변환 회로	12 : 제 2 레벨 변환 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 기억 장치, 특히 출력 신호들을 외부에 출력하기 위한 출력 회로들을 구비한 반도체 기억 장치에 관한 것이다.

최근, 고집적화 및 고밀도화가 상기 종류의 반도체 기억 장치에 실현되어 왔다. 상기의 고집적화된 회로는 종종 복수의 메모리 셀들이 복수의 메모리 어레이들로 나누어지는 구성을 구비한다. 이런 경우에, 각 메모리 셀에서 독출된 신호 레벨이 극히 작기 때문에 독출된 신호를 증폭하기 위한 출력 회로가 각 메모리 어레이에 접속되어 있다. 출력 회로는 독출된 신호를 출력 장치와 같은 주변 회로에서

사용할 수 있는 레벨로 증폭한다.

상기 출력 회로는 통상 상보적인 두 개의 입력 신호들을 수신하고 출력 단자를 통하여 입력 신호들에 대응하는 출력 신호를 출력한다. 더욱 특정한다면, 출력 회로는 제 1 단자 및 제 2 단자 사이에 직렬로 접속된 한 쌍의 트랜지스터들을 구비하고 있다. 이 경우, 상기 제 1 단자에는 전원 전압이 공급되고, 상기 제 2 단자는 접지되어 있다. 상기 구성과 더불어, 출력 단자는 양쪽 트랜지스터들의 공통 접속점에서 취출된다. 또한, 상기 두 개의 상보적 입력 신호들에 대응하는 구동 신호들이 트랜지스터들의 입력 단자들 (게이트들) 에 인가된다.

이러한 구성에서는, 전원 전압이 인가되는 제 1 단자측의 트랜지스터가 두 개의 상보적 입력 신호들에 반응하여 온 될 때, 전원 전압은 출력 신호로서 출력 단자에 인가된다. 다른 한편으로, 접지된 제 2 단자측의 트랜지스터가 두 개의 입력 신호들에 반응하여 온 될 때, 출력 단자는 접지된다.

종래, 일본 공개 공보 제 S62-239496 호에는 (이하 인용예 1 이라 함) 출력 단자에 인가되는 고레벨의 출력 신호를 충분히 높게 하여, 출력 신호가 고속으로 출력되도록 하는 출력 회로가 개시되어 있다. 이를 위해서, 인용예 1 에서는, 전원 단자측 트랜지스터의 입력측에 승압 회로를 구비한 출력 회로를 제안하였다. 이 경우에, 승압 회로는 입력 신호를 승압시켜 트랜지스터에 승압된 전압을 공급한다.

다른 한편으로, 일본 공개 공보 제 S59-140689 에는 (이하 인용예 2 라 함) 트랜지스터들의 게이트들에 접속된 부트스트랩 구동 회로들과 한 쌍의 출력 트랜지스터들을 구비한 출력 회로가 개시되어 있다. 이 경우, 출력 트랜지스터들은 한 쌍의 MOS 트랜지스터들을 서로 직렬로 접속하여 구성되어 있다. 상기 구성에서는, 연속적으로 공급되는 전류 소비가 부트스트랩 구동 회로의 사용에 의해 현저하게 절약될 수 있다. 이것은 대용량 부하가 출력 트랜지스터의 게이트에 의해 구동될 수 있다는 것을 보여준다. 한편하면, 출력 회로는 부트스트랩 구동 회로의 전단에 접속되어 있는 예를 들면 전치증폭기같은 증폭기를 요구하지 않는다. 덧붙여서, 상기 회로는 부트스트랩 구동 회로들을 출력 트랜지스터들의 입력측들에 접속함으로써 간략화될 수 있다. 이 경우에, 인용예 2 의 부트스트랩 회로는 출력 회로의 전원 전압과 같은 전압으로 구동된다.

발명이 이루고자 하는 기술적 과제

출력 회로가 복수의 메모리 어레이들 각각에 대해 설치되어 있고 모든 출력 회로들의 접지 단자들이 공통으로 접지 패드에 접속되어 있을 때 발생하는 문제점에 관하여 인용예들 1 및 2 중 어느 것도 지적하고 있지 않다. 더욱 구체적으로 말하면, 출력 회로의 접지측 출력 트랜지스터들과 접지 패드간의 거리들은 메모리 어레이 각각에 대하여 상이하다. 결과적으로, 접지측 출력 트랜지스터가 작동되어 출력 단자가 전기적으로 접지 패드에 접속되어 있을 때, 각각의 출력 단자의 출력 전위는 각각의 메모리 어레이에 대하여 상이하다.

상기 설명을 고려해 보면, 인용예 1 에서처럼, 승압 회로가 전원 단자측 트랜지스터에 접속되어 있을 때 출력 단자에 출력되는 출력 신호는 고레벨로 신속하게 변이한다. 그런데, 출력 신호가 전원 단자측상에서 고레벨로 변이하는 것에 비하여 접지측 상에서 저레벨로의 변이는 완만하게 이루어진다. 결과적으로, 출력 신호의 액세스 지연이 저레벨로의 변이에서 나타난다. 덧붙여서, 인용예 1 의 구성에서는, 각각의 메모리 셀의 접지 전위의 변동과 더불어 노이즈가 커진다.

또한, 전원 전압과 같은 전압이 인가되는 부트스트랩 구동 회로가 각각의 출력 트랜지스터의 입력측상에 접속되어 있을 때라도, 출력 신호의 저레벨로의 변이상의 액세스 지연은 막을 수 없다.

따라서, 본 발명의 목적은, 출력 신호의 저레벨 변이시에 액세스 지연을 막을 수 있는 반도체 기억 장치를 제공하는 것이다.

본 발명의 또 다른 목적은, 출력 회로가 각각의 메모리 어레이에 접속되어 있을 때, 접지 레벨의 변동의 영향을 감소시킬 수 있는 반도체 기억 장치를 제공하는 것이다.

본 발명의 또 다른 목적은, 접지측의 출력 트랜지스터가 온 될 때, 접지 전위의 변동을 막을 수 있는 출력 회로를 제공하는 것이다.

발명의 구성 및 작용

본 발명에 의하면, 반도체 기억 장치용 출력 회로는 최소한 출력 트랜지스터와 레벨 변환 회로를 포함한다. 이 경우, 레벨 변환 회로는 출력 트랜지스터에 접속되어 있다. 출력 트랜지스터는 접지 단자 및 출력 단자에 접속되어 있다. 이런 상황에서, 레벨 변환 회로는 입력 신호의 레벨을 변환하여 변환된 입력 신호를 구동 신호로서 출력 트랜지스터에 출력한다. 상기 구성과 더불어, 소정의 승압 전압이 레벨 변환 회로에 인가된다. 결과적으로, 출력 트랜지스터가 구동 신호에 의해 온 될 때, 접지 전위는 액세스 지연없이 출력 단자에 나타난다.

도 1을 참조하여, 본 발명에 따른 실시예의 반도체 기억 장치에 관한 설명이 이루어질 것이다.

도 1에서, 일반적으로 16 메가 DRAM 이 반도체 기억 장치로서 도시되어 있다. 도시된 반도체 기억 장치는 16 개의 메모리 어레이들 MA1 ~ MA16 으로 나누어져 있고, 이들은 각각 1 메가의 용량을 가지고 있다. 도시된 예에서 메모리 어레이들 MA1 ~ MA16 각각은 1 메가의 메모리 셀들을 갖춘 어레이 부분 A1 ~ A16 과 출력 회로들 O1 ~ O16 을 포함하고 있다.

출력 회로들 O1 ~ O16 은 대응하는 어레이 부분들 A1 ~ A16 에 접속되어 있고, 출력 신호들을 출력 단자들 OUT1 ~ OUT16 에 출력하기 위하여 어레이 부분들 A1 ~ A16 으로부터 독출 신호를 수신한다. 출력 회로들 O1 ~ O16 은 공통 접지선 GL 을 통하여 접지 패드 GND 에 접속되어 있다. 이런 구성에서는, 1 비트의 출력 신호가 메모리 어레이들 MA1 ~ MA16 각각으로부터 독출된다. 결과적으로, 총 16 비트의 출력 신호들이 출력 단자들 OUT1 ~ OUT16 을 통하여 외부 주변 회로 (도시되지 않음) 에 동시에 출력된다. 비록 도시된 출력 회로들 O1 ~ O16 이 개개의 메모리 어레이들 MA1 ~ MA16 에 대해

공급되어 있다하더라도, 각각의 메모리 어레이들 MA1 ~ MA16 이 복수개의, 예를 들면 16 또는 32, 그룹들로 나뉘어 있는 경우에는, 출력 회로는 메모리 어레이들의 그룹수에 따라 구성될 수도 있다.

도 1 에 도시된 것처럼, 메모리 어레이들 MA1 ~ MA16 각각은 접지선 GL 을 통하여 접지 패드 GDN 에 접속되어 있다. 따라서, 출력 회로들 01 ~ 016 각각에 인가된 접지 전위는 접지 패드 GND 로부터의 거리에 따라 변동한다.

도 2 를 참조하여, 도 1 의 출력 회로들 01 ~ 016 각각으로 사용되는 출력 회로 0 에 관하여 개략적 설명이 이루어질 것이다.

도시된 출력 회로 0 는 전원 전압 V_{cc} (예를 들면, 5 V) 가 인가되는 전원 단자 (1) 과, 접지선 GL 에 접속되어 있고 접지 전위가 인가되는 접지 단자 (2) 를 구비하고 있다. 제 1 및 제 2 MOS 트랜지스터 Q1 및 Q2 는 단자들 (1) 및 (2) 사이에 직렬로 접속되어 있다. 즉, 제 1 MOS 트랜지스터 Q1 의 소스는 제 2 MOS 트랜지스터 Q2 의 드레인에 접속되어 있고, 제 1 MOS 트랜지스터 Q1 의 드레인과 제 2 MOS 트랜지스터 Q2 의 소스가 전원 단자 (1) 및 접지 단자 (2) 에 각각 접속되어 있다. 제 1 및 제 2 의 MOS 트랜지스터 Q1 및 Q2 간의 공통 접속점 (3) 은 출력 단자 OUT 에 접속되어 있다.

또한, 제 1 MOS 트랜지스터 Q1 의 게이트는 제 1 레벨 변환 회로 (11) 에 접속되어 있고, 제 2 MOS 트랜지스터 Q2 의 게이트는 제 2 레벨 변환 회로 (12) 에 접속되어 있다. 제 1 및 제 2 레벨 변환 회로 (11) 및 (12) 는 메모리 셀로부터 독출 신호들을 상보적 입력 신호 A 및 AB 로서 공급받는다. 입력 신호 A 및 AB 는 제 1 및 제 2 레벨 변환 회로 (11) 및 (12) 에 의해 레벨 변환되어, 제 1 및 제 2 MOS 트랜지스터 Q1 및 Q2 에 제 1 및 제 2 구동 신호 D1 및 D2 로서 공급된다.

도 2 에 나타난 것처럼, 전원 전압 V_{cc} 와 상이한 전압 V_{DD} 가 제 1 및 제 2 레벨 변환 회로 (11) 및 (12) 에 인가된다. 이 경우에, 전압 V_{DD} 는 전원 전압 V_{cc} 보다 높다. 따라서, 제 1 및 제 2 레벨 변환 회로 (11) 및 (12) 는 승압 회로에 접속되어 있다.

다음으로, 도시된 출력 회로 0 의 동작이 하기에 설명된다.

출력 회로 0 는, 고레벨 신호 및 저레벨 신호가 제 1 및 제 2 입력 신호 A 및 AB 로서 각각 인가될 때, 다음과 같이 작동한다. 즉, 제 1 레벨 변환 회로 (11) 은 제로 레벨 (저레벨) 을 제 1 구동 신호 D1 으로서 제 1 MOS 트랜지스터 Q1 의 게이트에 공급한다. 결과적으로, 제 1 MOS 트랜지스터 Q1 은 오프 상태로 된다.

다른 한편으로, 제 2 레벨 변환 회로 (12) 는 저레벨의 제 2 입력 신호 AB 를 전원 전압 V_{cc} 보다 높은 전압으로 변환시켜, 변환된 전압을 제 2 MOS 트랜지스터 Q2 에 제 2 구동 신호 D2 로서 공급한다. 결과적으로, 제 2 MOS 트랜지스터 Q2 는 온 상태로 된다.

그 결과, 접지 전위가 제 2 트랜지스터 Q2 를 통하여 출력 신호로서 출력 단자 OUT 에 인가된다. 이 경우에, 제 2 MOS 트랜지스터 Q2 는 높은 진폭의 구동 신호 D2 에 의해 구동되기 때문에, 제 2 MOS 트랜지스터 Q2 에 대해 충분한 게이트-소스 전압이 얻어질 수 있다. 그 결과, 제 2 MOS 트랜지스터 Q2 는 신속하게 온 상태로 변이한다. 따라서, 제 2 MOS 트랜지스터 Q2 가 온 될 때 노이즈 등에 의해 어떤 액세스 지연도 일어나지 않는다.

다른 한편으로, 저레벨 신호 및 고레벨 신호가 제 1 및 제 2 입력 신호 A 및 AB 로서 각각 인가될 때는, 출력 회로 0 는 다음과 같이 작동한다. 즉, 제 1 레벨 변환 회로 (11) 은 전원 전압 V_{cc} 보다 높은 전압을 제 1 구동 신호 D1 으로서 제 1 MOS 트랜지스터 Q1 의 게이트에 공급하고, 반면에 제 2 레벨 변환 회로 (12) 는 제로 레벨 (저레벨) 을 제 2 구동 신호 D2 로서 공급한다. 결과적으로, 제 1 MOS 트랜지스터 Q1 는 온 상태로 되고, 반면에 제 2 MOS 트랜지스터 Q2 는 오프 상태로 된다. 그 결과, 전원 전압 V_{cc} 가 출력 신호로서 제 1 트랜지스터 Q2 를 통하여 출력 단자 OUT 에 인가된다.

도 3 을 참조하여, 도 2 에 나타난 제 1 및 제 2 레벨 변환 회로 (11) 및 (12) 의 구체적인 예가 하기에 설명될 것이다.

상보적인 입력 신호 A 및 AB 가, 도 2 에 나타난 것처럼, 제 1 및 제 2 레벨 변환 회로 (11) 및 (12) 에 인가되어 있다. 도시된 제 1 레벨 변환 회로 (11) 은 입력 신호 A 및 AB 를 받게되는 AND 게이트 G1 을 구비한다. 게이트 G1 의 출력은 N-채널 MOS 트랜지스터 MOS-N1 의 게이트에 공급된다. 또한, 제 1 레벨 변환 회로 (11) 는 게이트와 드레인이 서로 접속되어 있는 한 쌍의 P-채널 MOS 트랜지스터 MOS-P1 및 MOS-P2 를 구비하고 있다. 이 경우에, P-채널 MOS 트랜지스터 MOS-P1 및 MOS-P2 양쪽 모두의 소스들은 승압 전압 V_{DD} 에 접속되어 있다. MOS-N1 의 드레인은 MOS-P1 및 MOS-P2 의 드레인 및 게이트에 각각 접속되어 있다. MOS-P1 의 게이트와 MOS-P2 의 드레인간의 공통 접속점은 P-채널 MOS 트랜지스터 MOS-P3 의 게이트 및 N-채널 MOS 트랜지스터 MOS-N2 의 게이트에 각각 접속되어 있다. 이 경우에, 제 1 구동 신호 D1 은 MOS-P3 및 MOS-N2 의 양쪽에 공통으로 접속되어 있는 드레인으로부터 공급되어 진다.

덧붙여서, N-채널 MOS 트랜지스터 MOS-N3 는 MOS-P2 의 드레인과 MOS-P1 의 게이트의 공통 접속점 및 MOS-N1 의 게이트사이에 접속되어 있다. MOS-P2 가 온 상태로 되어 승압 전압 (V_{DD}) 이 인가될 때에, MOS-N3 는 컷오프 상태로 되어, 전원 전압 V_{cc} 가 인가되는 MOS-N1 으로 전류가 역류하지 못하도록 한다.

이와 유사하게, 제 2 레벨 변환 회로 (12) 는 AND 게이트 G1', MOS-N1', MOS-P1', MOS-P2', MOS-P3' 및 MOS-N2' 로 구성되어 있고, 제 1 레벨 변환 회로 (11) 에 대해 상보적으로 작동한다. 또한, MOS-P1', MOS-P2' 및 MOS-P3' 의 소스들은, 제 1 레벨 변환 회로 (11) 처럼, 승압 전압 V_{DD} 에 접속되어 있다. 이 경우, N-채널 MOS 트랜지스터 MOS-N3' 는 또한 제 2 레벨 변환 회로 (12) 의 MOS-P2' 및 MOS-N1' 사이에 접속되어 있어 전류의 역류를 막는다.

덧붙여서, 입력 신호 A 및 AB의 부정 신호들이, 도시된 예에서는, 제 1 및 제 2 AND 게이트 G1 및 G2에 인가된다.

다음으로는, 고레벨 신호 및 저레벨 신호가 제 1 및 제 2 입력 신호 A 및 AB로서 인가될 때, 제 1 및 제 2 레벨 변환 회로 (11) 및 (12)의 동작을 설명한다.

고레벨 신호가 게이트 G1으로부터 인가되기 때문에, 제 1 레벨 변환 회로 (11)에서 MOS-N1의 드레인은 저레벨로 된다. 결과적으로, MOS-P2가 온 상태로 되고, 승압 전압 V_{DD} 가 MOS-P2의 드레인에 인가된다. 그 결과, MOS-P1은 오프 상태로 된다. 다른 한편으로, 승압 전압 V_{DD} 가 MOS-P2의 드레인에 인가되고, 이에 의하여 MOS-P3가 오프 상태로 되고 MOS-N2는 온 상태로 된다. 결과적으로, 접지 전위가 MOS-N2의 드레인에 인가된다. 이 경우에, MOS-N2가 승압 전압으로 구동되기 때문에, 접지 전위의 제 1 구동 신호 D1은 신속하게 출력된다.

다른 한편으로, 저레벨 신호가 게이트 G2로부터 인가되기 때문에, 제 2 레벨 변환 회로 (12)에서 MOS-N1' 및 MOS-P2'는 오프 상태로 된다. 결과적으로, MOS-P2'의 드레인은 접지된다. 그 결과, 게이트가 MOS-P2'의 드레인에 접속되어 있는 MOS-P3'가 온 상태로 된다. 이에 의하여, 승압 전압 (V_{DD})이 제 2 구동 신호 D2로서 MOS-P3'의 드레인에 공급된다.

따라서, 승압 전압이 제 2 레벨 변환 회로 (12)에 공급되므로 도 2의 트랜지스터 Q2는 신속하게 접지 전위로 되어 접지 전위의 진동 (vibration)을 막을 수 있다.

발명의 효과

본 발명에 의한 반도체 기억 장치는 출력 신호의 저레벨 변이시에 액세스 지연을 막을 수 있고, 출력 회로가 각각의 메모리 어레이에 접속되어 있을 때 접지 레벨의 변동의 영향을 감소시킬 수 있다.

또한 본 발명에 의한 출력 회로는 접지측의 출력 트랜지스터가 온 될 때 접지 전위의 변동을 막을 수 있다.

(57) 청구의 범위

청구항 1

반도체 기억 장치용 출력 회로로서,

전원 전압이 인가되는 제 1 단자;

접지 전위가 인가되는 제 2 단자;

상기 제 1 및 제 2 단자 사이에 접속되어 있는 제 1 및 제 2 트랜지스터;

상기 제 1 트랜지스터에 접속되어 있고, 제 1 입력 신호의 레벨을 변환하여, 이 변환된 제 1 신호를 제 1 구동 신호로서 상기 제 1 트랜지스터에 공급하는 제 1 레벨 변환 회로;

상기 제 2 트랜지스터에 접속되어 있고, 제 2 입력 신호의 레벨을 변환하여, 이 변환된 제 2 신호를 제 2 구동 신호로서 상기 제 2 트랜지스터에 공급하는 제 2 레벨 변환 회로; 및

상기 제 1 및 제 2 트랜지스터 사이에 접속된 출력 단자를 포함하고,

상기 전원 전압과 상이한 소정의 승압 전압이 상기 제 1 및 제 2 변환 회로에 인가되는 것을 특징으로 하는 회로.

청구항 2

제 1 항에 있어서,

상기 제 1 및 제 2 트랜지스터는 소스, 드레인 및 게이트를 각각 구비한 제 1 및 제 2 MOS 트랜지스터로 이루어지고,

상기 제 1 MOS 트랜지스터의 상기 드레인은 상기 제 1 단자에 접속되어 있고,

상기 제 2 MOS 트랜지스터의 상기 소스는 상기 제 2 단자에 접속되어 있고,

상기 제 1 MOS 트랜지스터의 상기 소스와 상기 제 2 MOS 트랜지스터의 상기 드레인은 상기 출력 단자에 접속되어 있는 것을 특징으로 하는 회로.

청구항 3

제 2 항에 있어서,

상기 제 1 레벨 변환 회로는 상기 제 1 MOS 트랜지스터의 상기 게이트에 접속되어 있고,

상기 제 2 레벨 변환 회로는 상기 제 2 MOS 트랜지스터의 상기 게이트에 접속되어 있는 것을 특징으로 하는 회로.

청구항 4

제 1 항에 있어서,

상기 소정의 승압 전압은 상기 전원 전압보다 높은 것을 특징으로 하는 회로.

청구항 5

제 1 항에 있어서,

상보적인 신호들이 상기 제 1 및 제 2 입력 신호로서 상기 제 1 및 제 2 레벨 변환 회로에 공급되는 것을 특징으로 하는 회로.

청구항 6

제 5 항에 있어서,

상기 제 2 레벨 변환 회로는 상기 소정의 승압 전압을 사용하여 저레벨의 상기 제 2 입력 신호를 고레벨의 상기 제 2 구동 신호로 변환하여, 상기 제 2 구동 신호를 상기 제 2 트랜지스터에 인가하고;

이에 의하여 상기 제 2 트랜지스터가 상기 제 2 구동 신호에 의해 신속하게 온 상태로 되어 접지 전위가 액세스 지연없이 상기 출력 단자에 나타나는 것을 특징으로 하는 회로.

청구항 7

반도체 기억 장치용 출력 회로로서;

접지 전위가 인가되는 접지 단자;

상기 접지 단자에 접속된 출력 트랜지스터;

상기 출력 트랜지스터에 접속되어 있고, 입력 신호의 레벨을 변환하여, 이 변환된 입력 신호를 구동 신호로서 상기 출력 트랜지스터에 인가하는 레벨 변환 회로; 및

상기 출력 트랜지스터에 접속된 출력 단자를 포함하고,

소정의 승압 전압이 상기 레벨 변환 회로에 인가되어, 상기 출력 트랜지스터가 상기 구동 신호에 의해 온 될 때 액세스 지연없이 상기 접지 전위가 상기 출력 단자에 나타나도록 하는 것을 특징으로 하는 회로.

청구항 8

제 7 항에 있어서,

상기 트랜지스터들은 소스, 드레인 및 게이트를 구비한 MOS 트랜지스터들로 구성되고,

상기 소스는 상기 접지 단자에 접속되어 있고,

상기 드레인은 상기 출력 단자에 접속되어 있고,

상기 게이트는 상기 레벨 변환 회로에 접속되어 있는 것을 특징으로 하는 회로.

청구항 9

반도체 기억 장치로서,

복수개의 메모리 셀들을 구비한 어레이 부분과 상기 메모리 셀로부터 독출되는 신호가 인가되는 출력 회로를 각각 포함하는 복수개의 메모리 어레이들;

접지 전위가 인가되는 접지 단자;

상기 접지 단자에 접속된 접지선;

상기 출력 회로에 각각 제공되어 있고 상기 접지선을 통하여 상기 접지 단자에 접속되어 있는 복수개의 출력 트랜지스터들; 및

상기 출력 회로에 각각 설치되어 있고, 상기 메모리 셀로부터 독출된 신호를 입력 신호로서 각각 인가받아 이 입력 신호의 레벨을 변환하여, 이 변환된 입력 신호를 상기 트랜지스터에 구동 신호로서 인가하는 복수개의 레벨 변환 회로들을 포함하는 것을 특징으로 하는 장치.

청구항 10

제 9 항에 있어서,

상기 트랜지스터는 MOS 트랜지스터로 구성되는 것을 특징으로 하는 장치.

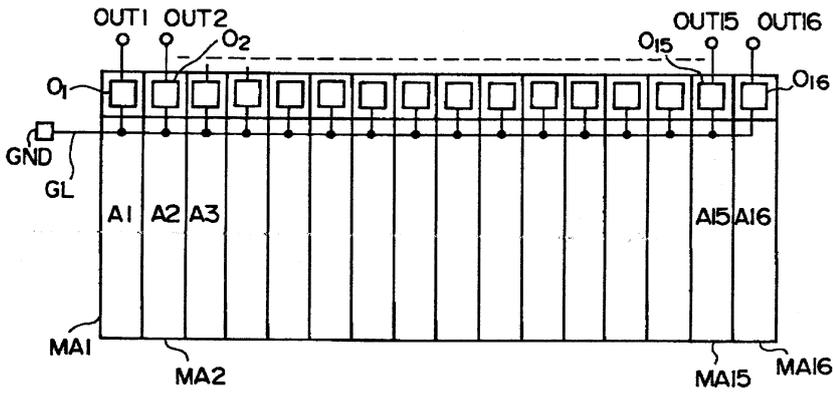
청구항 11

제 9 항에 있어서,

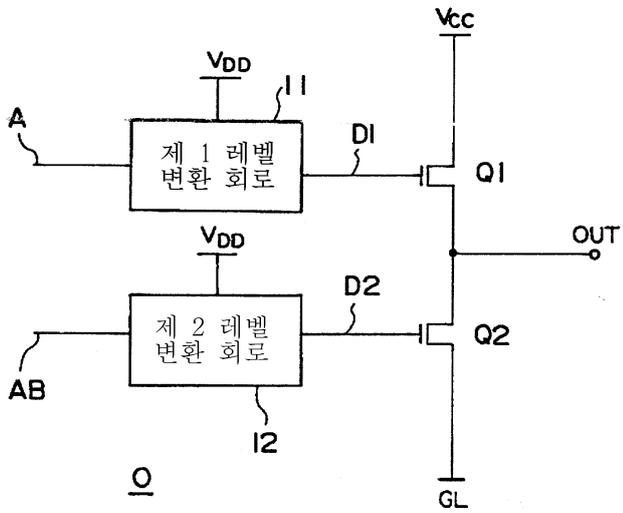
소정의 승압 전압이 상기 레벨 변환 회로에 인가되는 것을 특징으로 하는 장치.

도면

도면1



도면2



도면3

