

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-347946

(P2005-347946A)

(43) 公開日 平成17年12月15日(2005.12.15)

| | | |
|-------------------------------------|-----------------|-------------|
| (51) Int. Cl. ⁷ | F I | テーマコード (参考) |
| H03H 17/02 | H03H 17/02 635C | 5D108 |
| G10K 15/12 | H03H 17/02 601G | |
| H03H 17/06 | H03H 17/02 655Z | |
| | H03H 17/06 635C | |
| | H03H 17/06 655Z | |
| 審査請求 未請求 請求項の数 3 O L (全 9 頁) 最終頁に続く | | |

| | | | |
|-----------|------------------------------|----------|---|
| (21) 出願番号 | 特願2004-163415 (P2004-163415) | (71) 出願人 | 000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地 |
| (22) 出願日 | 平成16年6月1日(2004.6.1) | (74) 代理人 | 100077931 弁理士 前田 弘 |
| | | (74) 代理人 | 100094134 弁理士 小山 廣毅 |
| | | (74) 代理人 | 100110939 弁理士 竹内 宏 |
| | | (74) 代理人 | 100110940 弁理士 嶋田 高久 |
| | | (74) 代理人 | 100113262 弁理士 竹内 祐二 |
| | | (74) 代理人 | 100115059 弁理士 今江 克実 |
| | | 最終頁に続く | |

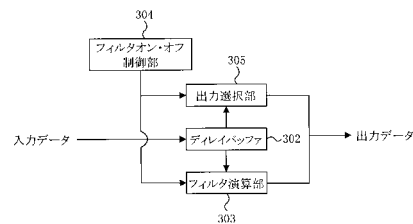
(54) 【発明の名称】 信号処理装置

(57) 【要約】

【課題】 フィルタ処理のオン又はオフの切り替えが可能な信号処理装置において、回路規模やプログラムサイズを大きくすることなく低コストな装置構成で、フィルタ処理オン・オフ切り替え時におけるノイズの発生を防止する。

【解決手段】 フィルタオン・オフ制御部304から出力された制御信号に基づいて、フィルタオン時には、入力データをフィルタ演算部303でフィルタ演算して出力データを生成して出力する一方、フィルタオフ時には、出力選択部305で遅レイバツファ302内の遅レイデータから所定の遅レイデータを取り出して出力するように制御する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

入力データを遅延させてディレイデータを生成し、該ディレイデータを保持するディレイバッファと、

フィルタ処理のオン又はオフに応じた制御信号を出力するフィルタオン・オフ制御部と

、
前記フィルタオン・オフ制御部から出力される制御信号に基づいて、前記ディレイバッファから所定のディレイデータを取り出して出力する出力選択部と、

前記フィルタオン・オフ制御部から出力される制御信号に基づいて、前記ディレイバッファに保持されている前記ディレイデータに対してフィルタ演算を行い、その演算結果を出力するフィルタ演算部とを備えていることを特徴とする信号処理装置。

10

【請求項 2】

入力データを遅延させてディレイデータを生成し、該ディレイデータを保持するディレイバッファと、

フィルタ処理のオン又はオフに応じた制御信号を出力するフィルタオン・オフ制御部と

、
前記ディレイバッファに保持されている前記ディレイデータに対してフィルタ演算を行い、その演算結果を出力するフィルタ演算部と、

前記フィルタオン・オフ制御部から出力される制御信号に基づいて、前記フィルタ演算部のフィルタ係数を切り替えるフィルタ係数設定部とを備えていることを特徴とする信号処理装置。

20

【請求項 3】

請求項 2 に記載された信号処理装置において、

前記フィルタ係数設定部は、前記フィルタオン・オフ制御部からフィルタオンの制御信号が出力された場合には、フィルタ演算に必要なフィルタ係数を設定する一方、フィルタオフの制御信号が出力された場合には、所定のディレイデータに掛かるフィルタ係数を“1”に設定し、その他のディレイデータに掛かるフィルタ係数を“0”に設定するように構成されていることを特徴とする信号処理装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、フィルタ処理のオン又はオフの切り替えが可能な信号処理装置に関するものである。

【背景技術】

【0002】

従来より、DVDプレーヤ、デジタルテレビ、携帯電話、又は電子楽器等の音響信号再生機器において、音響効果（例えば、コーラスやリバース等）を付加したり必要な周波数帯域の信号を取り出したりすること等を目的として、デジタルシグナルプロセッサ等の信号処理装置を用いてフィルタ処理を行っている。

【0003】

40

上述のような信号処理装置でフィルタ処理を行うために、例えば、フィルタ処理を常にオンにしたり、又は入力信号の特性に応じて自動的に適切なフィルタの選択を行う場合や、音響信号再生機器の使用者が音響効果をオン・オフする場合等に、再生途中でフィルタ処理をオン・オフしたりすることが考えられる。

【0004】

図 1 は、フィルタ処理のオン又はオフの切り替えが可能な従来の信号処理装置の構成を示すブロック図である。図 1 において、101 はフィルタ処理のオン又はオフを設定するフィルタオン・オフ切り替えスイッチ、102 は入力データを順次遅延させて保持しておくディレイバッファ、103 はフィルタ演算を行うフィルタ演算部である。ここで、前記ディレイバッファ 102 は、シフトレジスタやメモリ等によって構成されている。

50

【0005】

前記フィルタオン・オフ切り替えスイッチ101がオン状態のときには、入力データがディレイバッファ102に入力され、前記ディレイバッファ102で順次遅延されてディレイデータが生成され、前記ディレイバッファ102内に保持される。そして、フィルタ演算部103はディレイバッファ102内のディレイデータを用いてフィルタ演算、すなわちディレイデータとフィルタ係数との積和演算を行い、出力データを生成する。

【0006】

前記フィルタオン・オフ切り替えスイッチ101がオフ状態のときには、入力データはディレイバッファ102で遅延及び保持されることなくそのまま出力データとして出力される。

10

【0007】

しかし、上述した信号処理装置の構成では、フィルタオフからオンに切り替える際に、ディレイバッファ102内には前回のフィルタオン時のディレイデータが残存しているため、この残存データと新規入力データとの境界で不連続が生じる。このため、前回フィルタオン時のディレイデータが残存した状態のディレイバッファ102でフィルタ演算を行った場合、出力データにも不連続が生じてしまい、ノイズが発生するという問題があった。

【0008】

そこで、ディレイバッファをクリアすることで残存データを消去したり、出力データをマスクすることによってノイズを防ぐ方法が開発されている（例えば、特許文献1参照）

20

【0009】

しかしながら、上記方法では、前回フィルタオン時の残存データの影響を防ぐことはできるが、図2に示すように、フィルタオフからオンに切り替えた直後には、ディレイバッファが新規入力データで充填されるまでの間、値が0のデータ、又はほぼ0のデータが出力されてしまい、出力データの不連続に起因する聴感上のノイズが発生してしまうという別の問題があった。

【0010】

そこで、フィルタ係数を徐々に切り替えていったり、ディレイバッファを2つ用意し、一方のディレイバッファAでは入力データを保持し、他方のディレイバッファBではフィルタ処理後のデータを保持するようにして、フィルタ切り替え時にはディレイバッファBが充填されるまでディレイバッファAのデータを出力することによってフィルタ切り替え直後のノイズを防ぐ方法が開発されている（例えば、特許文献2参照）。

30

【特許文献1】特開平5-61493号公報

【特許文献2】特開平10-161657号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかしながら、上述した方法では、ノイズの発生を防止することは可能であるが、フィルタ係数を徐々に切り替える手段が別途必要であることや、2つのディレイバッファを必要とすること等、その装置構成が複雑となり、図1に示すような信号処理装置と比較して大きなコストがかかってしまうという別の問題がある。

40

【0012】

本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、フィルタ処理のオン又はオフの切り替えが可能な信号処理装置において、回路規模やプログラムサイズを大きくすることなく低コストな装置構成で、フィルタ処理のオン又はオフの切り替え時におけるノイズの発生を防止することにある。

【課題を解決するための手段】

【0013】

すなわち、請求項1の発明は、入力データを遅延させてディレイデータを生成し、該デ

50

イレイデータを保持するディレイバッファと、
フィルタ処理のオン又はオフに応じた制御信号を出力するフィルタオン・オフ制御部と、

前記フィルタオン・オフ制御部から出力される制御信号に基づいて、前記ディレイバッファから所定のディレイデータを取り出して出力する出力選択部と、

前記フィルタオン・オフ制御部から出力される制御信号に基づいて、前記ディレイバッファに保持されている前記ディレイデータに対してフィルタ演算を行い、その演算結果を出力するフィルタ演算部とを備えていることを特徴とする。

【0014】

請求項2の発明は、入力データを遅延させてディレイデータを生成し、該ディレイデータを保持するディレイバッファと、

フィルタ処理のオン又はオフに応じた制御信号を出力するフィルタオン・オフ制御部と、

前記ディレイバッファに保持されている前記ディレイデータに対してフィルタ演算を行い、その演算結果を出力するフィルタ演算部と、

前記フィルタオン・オフ制御部から出力される制御信号に基づいて、前記フィルタ演算部のフィルタ係数を切り替えるフィルタ係数設定部とを備えていることを特徴とする。

【0015】

請求項3の発明は、請求項2に記載された信号処理装置において、

前記フィルタ係数設定部は、前記フィルタオン・オフ制御部からフィルタオンの制御信号が出力された場合には、フィルタ演算に必要なフィルタ係数を設定する一方、フィルタオフの制御信号が出力された場合には、所定のディレイデータに掛かるフィルタ係数を“1”に設定し、その他のディレイデータに掛かるフィルタ係数を“0”に設定するように構成されていることを特徴とする。

【発明の効果】

【0016】

本発明により、フィルタ処理のオン又はオフの切り替え時におけるノイズの発生を防止することができる。また、単純な装置構成であるため実施が容易であり、さらに回路規模やプログラムサイズを大きくすることなく低コストでノイズ防止を実現することができる。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施形態を図面に基づいて詳細に説明する。以下の好ましい実施形態の説明は、本質的に例示に過ぎず、本発明、その適用物或いはその用途を制限することを意図するものではない。

【0018】

(実施形態1)

図3は、本発明の実施形態1に係る信号処理装置の構成を示すブロック図である。図3において、302は入力データを順次遅延させて保持しておくディレイバッファ、303はフィルタ演算を行い、その演算結果を出力するフィルタ演算部、304はフィルタ処理のオン又はオフに応じた制御信号を出力するフィルタオン・オフ制御部、305はディレイバッファ302から所定のディレイデータを取り出して出力する出力選択部である。

【0019】

以下、前記信号処理装置の動作について説明する。まず、入力データがディレイバッファ302に入力され、前記ディレイバッファ302で順次遅延されてディレイデータが生成され、ディレイバッファ302内に保持される。

【0020】

ここで、フィルタオン時には、前記フィルタオン・オフ制御部304からフィルタ演算部303に対して前記フィルタ演算部303の動作を有効とする制御信号が出力される一方、出力選択部305に対して前記出力選択部305の動作を無効とする制御信号が出力

10

20

30

40

50

される。

【0021】

前記制御信号の出力に基づいて、前記フィルタ演算部303が有効となり前記出力選択部305が無効となるため、前記ディレイバッファ302内のディレイデータはフィルタ演算部303に送信される。そして、前記フィルタ演算部303でフィルタ演算、すなわちディレイデータとフィルタ係数との積和演算が行われ、出力データが生成される。

【0022】

また、フィルタオフ時には、前記フィルタオン・オフ制御部304からフィルタ演算部303に対して前記フィルタ演算部303の動作を無効とする制御信号が出力される一方、出力選択部305に対して前記出力選択部305の動作を有効とする制御信号が出力される。

10

【0023】

前記制御信号の出力に基づいて、前記フィルタ演算部303が無効となり前記出力選択部305が有効となるため、前記出力選択部305によって前記ディレイバッファ302内のディレイデータから所定のディレイデータが取り出され出力される。

【0024】

なお、前記フィルタ演算部303として、フィルタ係数が偶対称であり且つタップ数が奇数であるFIRフィルタを用いる場合には、中央のタップのフィルタ係数が最大となり、さらに中央のタップを中心としてフィルタ係数が偶対称となっているので、中央のタップのディレイデータを取り出して出力するようにすれば、フィルタオン・オフ切り替え前後の出力データのレベル差を小さくすることができる。

20

【0025】

図4は、図3に示すディレイバッファ302、フィルタ演算部303、及び出力選択部305の詳細な構成を示す図である。フィルタオフ時に前記フィルタオン・オフ制御部304から出力された制御信号を受信した出力選択部305は、ディレイバッファ302内に保持されているディレイデータのうち中央のタップのディレイデータを取り出して出力データとする。

【0026】

なお、前記フィルタ演算部303として、フィルタ係数が偶対称であり且つタップ数が偶数であるFIRフィルタを用いる場合には、中央に位置する2つのタップのうち何れか一方のタップのディレイデータを取り出して出力すればよい。

30

【0027】

以上のように構成された本実施形態1に係る信号処理装置では、データ入力途中でフィルタ処理のオン又はオフを切り替えた場合でも、値が0のデータ、又はほぼ0のデータが出力されることはなく、ノイズの発生を防止することができる。

【0028】

(実施形態2)

図5は、本発明の実施形態2に係る信号処理装置の構成を示すブロック図である。図5において、502は入力データを順次遅延させて保持しておくディレイバッファ、503はフィルタ演算を行うフィルタ演算部、504はフィルタ処理のオン又はオフに応じた制御信号を出力するフィルタオン・オフ制御部、506はフィルタ係数を設定するフィルタ係数設定部である。

40

【0029】

以下、前記信号処理装置の動作について説明する。まず、入力データがディレイバッファ502に入力され、前記ディレイバッファ502で順次遅延されてディレイデータが生成され、ディレイバッファ502内に保持される。

【0030】

ここで、フィルタオン時には、前記フィルタオン・オフ制御部504からフィルタ係数設定部506に対してフィルタオンの制御信号が出力される。

【0031】

50

前記フィルタオンの制御信号を受信したフィルタ係数設定部 506 は、フィルタ処理のためのフィルタ係数を設定する。そして、フィルタ演算部 503 でフィルタ演算、すなわち前記ディレイデータと前記フィルタ係数との積和演算が行われ、出力データが生成される。

【0032】

また、フィルタオフ時には、前記フィルタオン・オフ制御部 504 からフィルタ係数設定部 506 に対してフィルタオフの制御信号が出力される。

【0033】

前記フィルタオフの制御信号を受信したフィルタ係数設定部 506 は、フィルタ処理のためのフィルタ係数を設定する。そして、フィルタ演算部 503 で演算処理が行われ、出力データが生成される。

10

【0034】

なお、前記フィルタ演算部 503 として、フィルタ係数が偶対称であり且つタップ数が奇数である FIR フィルタを用いる場合には、中央のタップのディレイデータを出力するようにすれば、フィルタオン・オフ切り替え前後の出力データのレベル差を小さくすることができる。

【0035】

図 6 は、図 5 に示すディレイバッファ 502、フィルタ演算部 503、及びフィルタ係数設定部 506 の詳細な構成を示す図である。フィルタオフ時にフィルタオフの信号を受信したフィルタ係数設定部 506 は、中央のタップに掛かるフィルタ係数を“1”に設定し、その他のタップに掛かるフィルタ係数を“0”に設定する。そして、フィルタ演算部 503 は、設定されたフィルタ係数とディレイバッファ 502 内に保持されたディレイデータとによりフィルタ演算を行い、出力データを生成する。

20

【0036】

なお、前記フィルタ演算部 503 として、フィルタ係数が偶対称であり且つタップ数が偶数である FIR フィルタを用いる場合には、中央に位置する 2 つのタップのうち何れか一方のタップのフィルタ係数を“1”に設定し、他方のタップを含むその他のタップのフィルタ係数を全て“0”に設定すればよい。

【0037】

以上のように構成された本実施形態 2 に係る信号処理装置では、データ入力途中でフィルタ処理のオン又はオフを切り替えた場合でも、値が 0 のデータ、又はほぼ 0 のデータが出力されることはなく、ノイズの発生を防止することができる。

30

【産業上の利用可能性】

【0038】

以上説明したように、本発明は、信号処理装置において、フィルタ処理のオン又はオフの切り替え時におけるノイズの発生を防止できるという実用性の高い効果が得られることから、きわめて有用で産業上の利用可能性は高い。

【図面の簡単な説明】

【0039】

【図 1】従来の信号処理装置の構成を示すブロック図である。

40

【図 2】従来の信号処理装置においてフィルタオフからオンに切り替えたときの出力データを示す図である。

【図 3】本発明の実施形態 1 に係る信号処理装置の構成を示すブロック図である。

【図 4】本発明の実施形態 1 に係る信号処理装置の詳細な構成を示すブロック図である。

【図 5】本発明の実施形態 2 に係る信号処理装置の構成を示すブロック図である。

【図 6】本発明の実施形態 2 に係る信号処理装置の詳細な構成を示すブロック図である。

【符号の説明】

【0040】

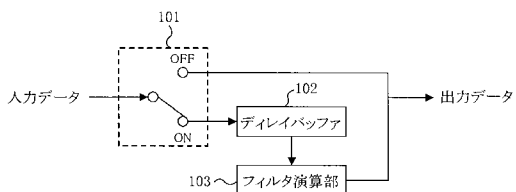
302 ディレイバッファ

303 フィルタ演算部

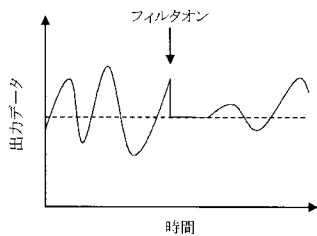
50

- 304 フィルタオン・オフ制御部
- 305 出力選択部
- 502 デレイバッファ
- 503 フィルタ演算部
- 504 フィルタオン・オフ制御部
- 506 フィルタ係数設定部

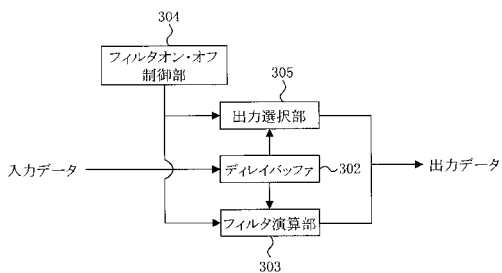
【図1】



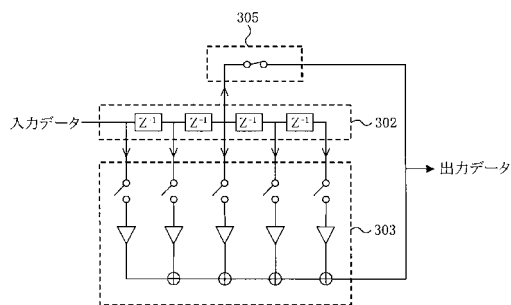
【図2】



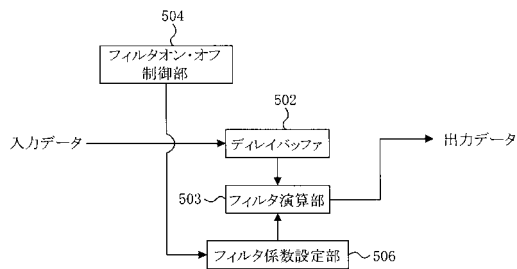
【図3】



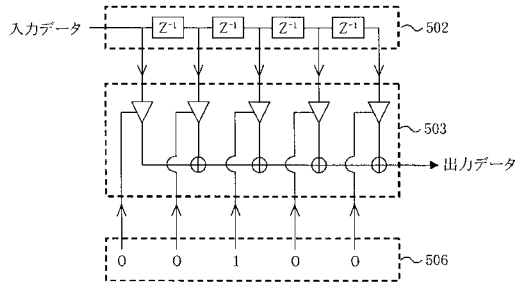
【図4】



【図5】



【 図 6 】



フロントページの続き

(51)Int.Cl.⁷ F I テーマコード(参考)
G 1 0 K 15/00 B

(74)代理人 100115691

弁理士 藤田 篤史

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(72)発明者 松本 良樹

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 川島 一郎

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

Fターム(参考) 5D108 AA03 AA09 AB04 AB07 AD02