



(12)发明专利

(10)授权公告号 CN 103633231 B

(45)授权公告日 2016.09.07

(21)申请号 201310049777.2

(22)申请日 2013.02.07

(65)同一申请的已公布的文献号
申请公布号 CN 103633231 A

(43)申请公布日 2014.03.12

(30)优先权数据
61/692,123 2012.08.22 US

(73)专利权人 华夏光股份有限公司
地址 开曼群岛KY1-1104大开曼岛阿格兰屋
邮政信箱309

(72)发明人 邵世丰 刘恒 许进恭

(74)专利代理机构 广州中浚雄杰知识产权代理
有限责任公司 44254
代理人 马静

(51)Int.Cl.

H01L 33/62(2010.01)

H01L 33/48(2010.01)

(56)对比文件

US 2012/0187430 A1,2012.07.26,说明书
第207-225段,图49-58.

CN 1605790 A,2005.04.13,全文.

US 2012/0086024 A1,2012.04.12,全文.

审查员 潘元真

权利要求书2页 说明书6页 附图8页

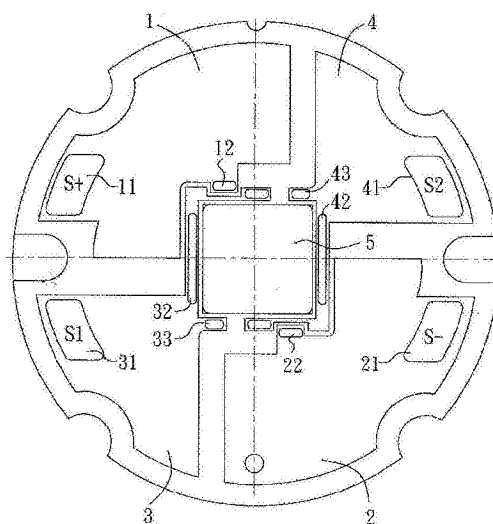
(54)发明名称

半导体发光装置

(57)摘要

一种半导体发光装置,包含:电路板,具有布线层和固晶区;至少一个正端点,设置于所述布线层上;至少一个负端点,设置于所述布线层上;至少一个功能端点,设置于所述布线层上;以及至少一个半导体发光晶片,设置于所述固晶区内,并与所述正端点、所述负端点或所述功能端点电性耦合,以形成各种排列配置。

1000



1. 一种半导体发光装置,包含:
电路板,具有布线层和固晶区;
至少一个正端点,设置于所述布线层上;
至少一个负端点,设置于所述布线层上;
至少一个功能端点,设置于所述布线层上,其中所述功能端点包括抽头端;以及
至少一个半导体发光晶片,设置于所述固晶区内,并与所述正端点、所述负端点或所述功能端点电性耦合,以形成各种排列配置,

其中所述抽头端与电子元件之一端电性耦合,所述正端点或所述负端点与电子元件之另一端电性耦合。

2. 根据权利要求1所述的半导体发光装置,其中所述半导体发光晶片是发光二极体晶片,且所述半导体发光晶片的数量为多个,这些半导体发光晶片可以串联、并联或串联与并联的组合型态电性耦合,从而可适用于各种不同输入电压和/或提供不同光通量的规格需求。

3. 根据权利要求2所述的半导体发光装置,其中这些半导体发光晶片可相互堆迭。

4. 根据权利要求1所述的半导体发光装置,其中所述电路板是一种金属芯电路板。

5. 根据权利要求1所述的半导体发光装置,其中所述电路板还包含:

绝缘层,位于所述布线层之下;

金属基板,位于所述绝缘层之下;及

覆盖层,位于所述布线层之上;

其中,所述绝缘层、所述布线层及所述覆盖层的相应位置设有至少一个固晶区孔,用以曝露部分所述金属基板,从而定义出所述固晶区。

6. 根据权利要求5所述的半导体发光装置,其中所述绝缘层包含树脂、陶瓷、氮化铝、氧化铝或氮化硅。

7. 根据权利要求5所述的半导体发光装置,其中所述覆盖层包含防焊漆层。

8. 根据权利要求5所述的半导体发光装置,其中所述布线层包含:

正端布线区,在该正端布线区内设有所述正端点;

负端布线区,在该负端布线区内设有所述负端点;及

至少一个功能端布线区,在该功能端布线区内设有所述功能端点。

9. 根据权利要求8所述的半导体发光装置,其中,在所述正端布线区内,所述覆盖层靠近外缘处设有至少一个正端点孔,该正端点孔在所述布线层定义出相应的所述正端点,用以连接至外部输入电压的正端;所述覆盖层靠近该固晶区处设有至少一个内正端点孔,该内正端点孔在所述布线层定义出相应的所述正端点,用以连接至所述半导体发光晶片。

10. 根据权利要求8所述的半导体发光装置,其中,在所述负端布线区内,所述覆盖层靠近外缘处设有至少一个负端点孔,该负端点孔在所述布线层定义出相应的所述负端点,用以连接至外部输入电压的负端;所述覆盖层靠近所述固晶区处设有至少一个内负端点孔,该内负端点孔在所述布线层定义出相应的所述负端点,用以连接至所述半导体发光晶片。

11. 根据权利要求8所述的半导体发光装置,其中,在所述功能端布线区内,所述覆盖层靠近外缘处设有至少一个功能端点孔,该功能端点孔在所述布线层定义出相应的所述功能端点,用以连接至电子元件或另一功能端点;所述覆盖层靠近所述固晶区处设有至少一个

内功能端点孔,该内功能端点孔在所述布线层定义出相应的所述功能端点,用以连接至所述半导体发光晶片。

12.根据权利要求8所述的半导体发光装置,其中,所述至少一个功能端布线区包含第一功能端布线区及第二功能端布线区,所述正端布线区与所述负端布线区分别位于所述固晶区的相对两侧,且所述第一功能端布线区及所述第二功能端布线区分别介于所述正端布线区与所述负端布线区之间。

半导体发光装置

技术领域

[0001] 本发明涉及一种半导体发光装置,特别是一种电路板布线设计,使得半导体发光装置可适用于各种不同输入电压,和/或可提供不同光通量。

背景技术

[0002] 在传统发光二极管装置的封装中,一般是将多个发光二极管晶片设置于电路板上。先通过内部连接线,将发光二极管晶片形成所需要的串联/并联连接型态。在将发光二极管晶片固设在电路板上后,分别连接至电路板上输入电压的正端与负端。

[0003] 根据传统发光二极管装置的封装结构,如果要应用于不同的输入电压(例如110伏特或220伏特)或者提供不同的光通量(luminous flux)规格需求,发光二极管晶片必须先进行复杂的内部连线,因而使得发光二极管晶片的制造变得不具灵活性。例如,每当客户端对于输入电压/光通量规格有改变时,发光二极管晶片的制造者就必须重新设计电路板且将发光二极管晶片作不同的排列配置及电性连接。

[0004] 因此,亟需提出一种发光二极管装置,当应用于各种不同输入电压和/或提供不同光通量之规格需求时,可增加发光二极管晶片与电路板之间搭配的灵活性。

发明内容

[0005] 鉴于上述发明背景,本发明的实施例提出一种半导体发光装置,其可通过电路板的正、负端点及功能端点的排列配置,使得多个半导体发光晶片形成各种串并联型态,从而可适用于各种不同输入电压和/或提供不同光通量的规格需求。

[0006] 根据本发明的实施例,一种半导体发光装置,包含:电路板,具有布线层和固晶区;至少一个正端点,设置于所述布线层上;至少一个负端点,设置于所述布线层上;至少一个功能端点,设置于所述布线层上;以及至少一个半导体发光晶片,设置于所述固晶区内,并与所述正端点、所述负端点或所述功能端点电性耦合,以形成各种排列配置。

附图说明

[0007] 图1A示出本发明实施例的半导体发光装置的顶视图。

[0008] 图1B则示出图1A的分解图。

[0009] 图2A至图2D示出电子元件与第一A/B图电路板的正端点/负端点、第一/第二功能端点、外部输入电压的正端V+/负端V-和/或接地端的连接关系示意图。

[0010] 图3A至图3E示出一些半导体发光晶片与第一/第二长形垫、内正/内负端点的连接型态示意图。

[0011] 图4示出另一变化的半导体发光装置的电路板。

[0012] 图5示出又一变化的半导体发光装置的电路板。

[0013] 图6示出一种半导体发光装置,其使用图5所示的电路板并搭配图3C所示的连接型态。

[0014]	附图标号说明	
[0015]	1000	电路板
[0016]	2000	电路板
[0017]	3000	电路板
[0018]	1	正端布线区
[0019]	11	正端点
[0020]	11H	正端点孔
[0021]	12	内正端点
[0022]	12H	内正端点孔
[0023]	2	负端布线区
[0024]	21	负端点
[0025]	21H	负端点孔
[0026]	22	内负端点
[0027]	22H	内负端点孔
[0028]	3	第一功能端布线区
[0029]	31	第一功能端点
[0030]	31H	第一功能端点孔
[0031]	32	第一长形垫
[0032]	32H	第一长形垫孔
[0033]	33	第一短形垫
[0034]	33B	短形垫
[0035]	33H	第一短形垫孔
[0036]	4	第二功能端布线区
[0037]	41	第二功能端点
[0038]	41H	第二功能端点孔
[0039]	42	第二长形垫
[0040]	42H	第二长形垫孔
[0041]	43	第二短形垫
[0042]	43B	短形垫
[0043]	43H	第二短形垫孔
[0044]	5	固晶区
[0045]	5H	固晶区孔
[0046]	61	半导体发光晶片
[0047]	200	电子元件
[0048]	S+	正端点
[0049]	S-	负端点
[0050]	S1	第一功能端点
[0051]	S2	第二功能端点
[0052]	GND	接地端

- [0053] V+ 输入电压的正端
[0054] V- 输入电压的负端

具体实施方式

[0055] 图1A示出本发明实施例的半导体发光装置的顶视图,图1B则示出图1A的分解图。本发明实施例所公开的半导体发光装置具有特定的电路板布线设计,可适用于各种不同输入电压和/或提供不同光通量(luminous flux,其单位为流明(lumen))规格需求。

[0056] 如图1B所示,本实施例的半导体发光装置主要包含电路板1000,其可以是一种金属芯电路板(metal-core printed circuit board,MCPCB),由下而上依序堆迭包含有金属基板101(其作为金属芯)、绝缘层102、布线层103以及覆盖层104。图示的电路板1000的形状虽为圆形,但不限制于此。

[0057] 本实施例的金属基板101的材料可以是铝或其他金属。本实施例的绝缘层102的材料可以是树脂(例如酚醛树脂(Phenolic)、环氧树脂(Epoxy)、聚亚酰胺树脂(Polyimide)、聚四氟乙烯(Polytetrafluorethylene,简称PTFE或TEFLON)、双马来酰亚胺三嗪树脂(Bismaleimide Triazine,简称BT))、陶瓷、三氧化二铝、氮化铝、氧化铝或氮化硅等。本实施例的布线层103的材料可以是铜、金或其他金属。本实施例的覆盖层104可以是防焊漆(resist ink)层,但不限制于此。

[0058] 上述绝缘层102、布线层103及覆盖层104的相应位置(例如靠近中央位置)设有至少一个固晶区孔5H,该固晶区孔5H曝露出部分金属基板101,并定义出固晶区5(图1A),用以在金属基板101上固设多个半导体发光晶片(未显示于图1A和图1B),例如发光二极管晶片。根据本实施例的特征之一,电路板1000包含正端布线区1、负端布线区2及至少一个功能端布线区(例如图示的第一功能端布线区3及第二功能端布线区4)。在本实施例中,正端布线区1与负端布线区2分别位于固晶区5的相对两侧,而第一功能端布线区3或第二功能端布线区4则介于正端布线区1与负端布线区2之间。

[0059] 在正端布线区1,覆盖层104靠近外缘处设有正端点孔11H,其在布线层103定义出正端点11(图示的S+),用以连接至外部(交/直流)输入电压(未示出)的正端或一电子元件(未图示),例如半导体集成电路元件(integrated circuit,IC)、印刷电子元件(printed electronics)或无源器件。此外,覆盖层104靠近固晶区5处设有至少一个内正端点孔12H,其在布线层103定义出内正端点12,用以连接至半导体发光晶片。

[0060] 类似地,在负端布线区2,覆盖层104靠近外缘处设有负端点孔21H,其在布线层103定义出负端点21(图示的S-),用于连接至外部输入电压的负端或一电子元件(未图示),例如半导体集成电路元件(integrated circuit,IC),印刷电子元件(printed electronics)或无源器件。此外,覆盖层104靠近固晶区5处设有至少一个内负端点孔22H,其在布线层103定义出内负端点22,用以连接至半导体发光晶片。

[0061] 在第一功能端布线区3,覆盖层104靠近外缘处设有第一功能端点孔31H,其在布线层103定义出第一功能端点31(图示之S1),用以电性耦合至另一功能端点41H,或一电子元件(未图示),例如半导体集成电路元件(integrated circuit,IC),印刷电子元件(printed electronics)或无源器件。此外,覆盖层104靠近固晶区5处设有至少一个内功能端点孔32H,该内功能端点孔32H包括第一长形垫孔,其在布线层103上根据其形状而定义出第一长

形垫32(功能端点),用以电性耦合至半导体发光晶片,并用以串联或并联半导体发光晶片。覆盖层104靠近固晶区5处还可设有至少一个第一短形垫孔33H,其在布线层103上根据其形状而定义出第一短形垫33,用以电性耦合至半导体发光晶片。其中,第一短形垫33可作为抽头端(tapped point)。

[0062] 类似地,在第二功能端布线区4,覆盖层104靠近外缘处设有第二功能端点孔41H,其在布线层103定义出第二功能端点41(图示之S2),用以电性耦合至另一功能端点31H,或一电子元件(未图示),例如半导体集成电路元件(integrated circuit, IC),印刷电子元件(printed electronics)或无源器件。此外,覆盖层104靠近固晶区5处设有至少一个第二长形垫孔42H,其在布线层103上根据其形状而定义出第二长形垫42(功能端点),用以电性耦合至半导体发光晶片,以供串联或并联半导体发光晶片。覆盖层104靠近固晶区5处还可设有至少一个第二短形垫孔43H,其在布线层103上根据其形状而定义出第二短形垫43,用以电性耦合至半导体发光晶片。其中,第二短形垫43可作为抽头端(tapped point)。

[0063] 其中,半导体发光晶片包括在蓝宝石(Al_2O_3)基板上成长三族氮化物,例如氮化镓(InN)、氮化镓(GaN)、氮化铝(AlN)、氮化镓(InGaN)、氮化镓铝(InAlGaN)等的发光二极管,但不限于上述基板及累晶材料。在一个实施例中,半导体发光晶片还包括在磷化镓(GaP)基板上成长磷化铝镓(InGaP)的发光二极管;在砷化镓(GaAs)基板上成长砷化镓(InGaAs)的发光二极管;在砷化镓(GaAs)基板上成长砷化铝镓(AlGaAs)的发光二极管;在碳化硅(SiC)基板或蓝宝石基板上成长碳化硅(SiC)的发光二极管;或是,半导体发光晶片由三五族材料成长在砷化镓(GaAs)、锗(Ge)表面形成锗化硅(SiGe)、硅(Si)表面形成碳化硅(SiC)、铝(Al)表面形成氧化铝(Al_2O_3)、氮化镓(GaN)、氮化镓(InN)、氧化锌(ZnO)、氮化铝(AlN)、蓝宝石(sapphire)、玻璃、石英或其组合的基板上所形成的发光二极管,但限定于上述。此外,部分实施例是由二六族累晶材料成长于基板上而形成的发光二极管。然而,在最终的发光二极管封装体中,可移除基板。

[0064] 图2A至图2D示出电子元件200与图1A、图1B的电路板1000的正端点11/负端点21(亦即S+/S-)、第一/第二功能端点31/41(亦即S1/S2)、外部输入电压的正端V+/负端V-和/或接地端GND的连接型态示意图。其中,电路板1000与电子元件200以电性耦合的方式,可通过金属线,将电路板1000上的正端点11/负端点21(亦即S+/S-)及第一/第二功能端点31/41(亦即S1/S2)直接导电至电子元件200;或者,在正端点11/负端点21(亦即S+/S-)和第一/第二功能端点31/41(亦即S1/S2)上形成柱状结构或球状结构的电极,通过覆晶(flip chip)方式而与电子元件200电性耦合;又或者,在电子元件200上预留一耦合位置(未图示),通过直接封装(Chip on board, COB)方式,将柱状结构或球状结构的电极对准接合上述耦合位置,而直接与电子元件200电性耦合。

[0065] 如图2A所示,电子元件200电性耦合于外部输入电压的正端V+与电路板1000上的正端点11(亦即S+)之间,且电子元件200的第三端电性耦合至第一/第二功能端点31/41(亦即S1/S2)。如图2B所示,电子元件200电性耦合于外部输入电压的负端V-,以及电路板1000上的负端点21(亦即S-)或接地端GND之间,且电子元件200的第三端电性耦合至第一/第二功能端点31/41(亦即S1/S2)。如图2C所示,电子元件200设置在电路板1000上,并电性耦合于电路板1000上的正端点11(亦即S+)与电路板1000上的半导体发光晶片61之间,且电子元件200的第三端电性耦合至第一/第二功能端点31/41(亦即S1/S2)。如图2D所示,电子元件

200设置在电路板1000上,并电性耦合于电路板1000上的半导体发光晶片61,以及电路板1000上的负端点21(亦即S-)或接地端GND之间,且电子元件200的第三端电性耦合至第一/第二功能端点31/41(亦即S1/S2)。

[0066] 图3A至图3E示出一些半导体发光晶片与第一/第二长形垫32/42、内正/内负端点12/22的连接型态示意图。如图3A所示,通过第一长形垫32、第二长形垫42(如图中实线所示)及八个半导体发光晶片61的内连线(如图中虚线所示),形成八个半导体发光晶片61串联(简称8S1P)的连接型态。如果每个半导体发光晶片61的工作电压为15伏特,则图3A所示的半导体发光晶片61即可适用于110伏特的输入电压。也就是说,所串联的半导体发光晶片61的工作电压总和(15伏特*8为120伏特)大于或等于输入电压(110伏特)。一般来说,可适用的输入电压的大小正比于半导体发光晶片61的工作电压与半导体发光晶片61的串联数目的乘积。此外,目标光通量的大小正比于半导体发光晶片61的面积与半导体发光晶片61的总数目的乘积。图3B显示另一类似的8S1P连接型态。

[0067] 如图3C所示,通过第一长形垫32、第二长形垫42(如图中实线所示)及九个半导体发光晶片61的内连线(如图中虚线所示),形成这些半导体发光晶片61串联(简称9S1P)的连接型态。如果每个半导体发光晶片61的工作电压为27伏特,则图3C所示的半导体发光晶片61即可适用于220伏特的输入电压。

[0068] 如图3D所示,通过第一长形垫32、第二长形垫42(如图中实线所示)及九个半导体发光晶片61的内连线(如图中虚线所示),使得这些半导体发光晶片61形成三个并联、且每个并联由三个半导体发光晶片61所串联(简称3S3P)的连接型态。如果每个半导体发光晶片61的工作电压为32伏特,则图3D所示的半导体发光晶片61即可适用于110伏特的输入电压。

[0069] 如图3E所示,通过第一长形垫32、第二长形垫42(如图中实线所示)及十六个半导体发光晶片61的内连线(如图中虚线所示),使得这些半导体发光晶片61形成二个并联、且每个并联由八个半导体发光晶片61所串联(简称8S2P)的连接型态。如果每个半导体发光晶片61的工作电压为15伏特,则图3E所示的半导体发光晶片61即可适用于110伏特的输入电压。

[0070] 如图3A至图3E所示,本实施例可通过多个半导体发光晶片61的内连线(如图中虚线所示),并特别是通过正端点11(亦即S+)、负端点21(亦即S-)及功能端点31/41(亦即S1/S2)的排列配置,用以形成这些半导体发光晶片61的各种串并联型态,从而可适用于各种不同输入电压和/或提供不同光通量的规格需求。

[0071] 上述图1A、图1B所示实施例的电路板1000仅作为示例,其可作等效的修改。图4示出另一变化的半导体发光装置的电路板2000,其类似于图1A所示,同样包含有正端布线区1、负端布线区2、第一功能端布线区3及第二功能端布线区4。图5示出又一变化的半导体发光装置之电路板3000,其中的正端布线区1与第二功能端布线区4之间没有实体的区隔,且负端布线区2与第一功能端布线区3之间没有实体的区隔。

[0072] 上述的各种电路板(例如1000、2000或3000)可搭配各种连接型态(如图3A至图3E所示)以形成半导体发光装置。图6示出一种半导体发光装置,其使用图5所示的电路板3000并搭配图3C所示的9S1P连接型态。具体而言,左边三个串联半导体发光晶片61,其顶部端点经由内正端点12而与正端点11(亦即S+)电性耦合,其底部端点经由第一短形垫33、第一长形垫32及短形垫33B而与中间三个串联半导体发光晶片61的顶部端点电性耦合。中间三个

串联半导体发光晶片61的底部端点经由短形垫43B、第二长形垫42及第二短形垫43而与右边三个串联半导体发光晶片61的顶部端点电性耦合。右边三个串联半导体发光晶片61的底部端点经由内负端点22而与负端点21(亦即S-)电性耦合。

[0073] 以上所述仅为本发明的优选实施例而已,并非用来限定本发明的范围;凡是未脱离发明所公开精神下所完成的等效改变或修饰,均理解为应包含在下述的权利要求所限定的范围内。

1000

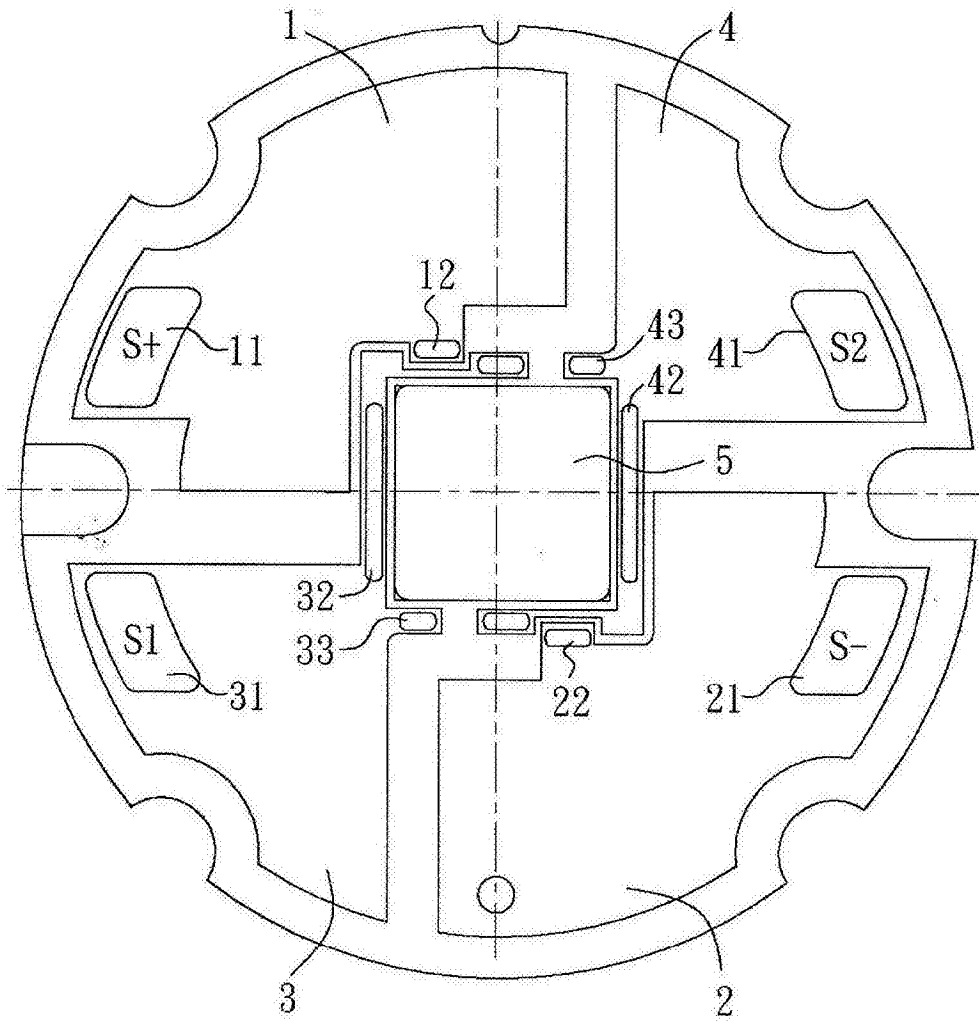


图1A

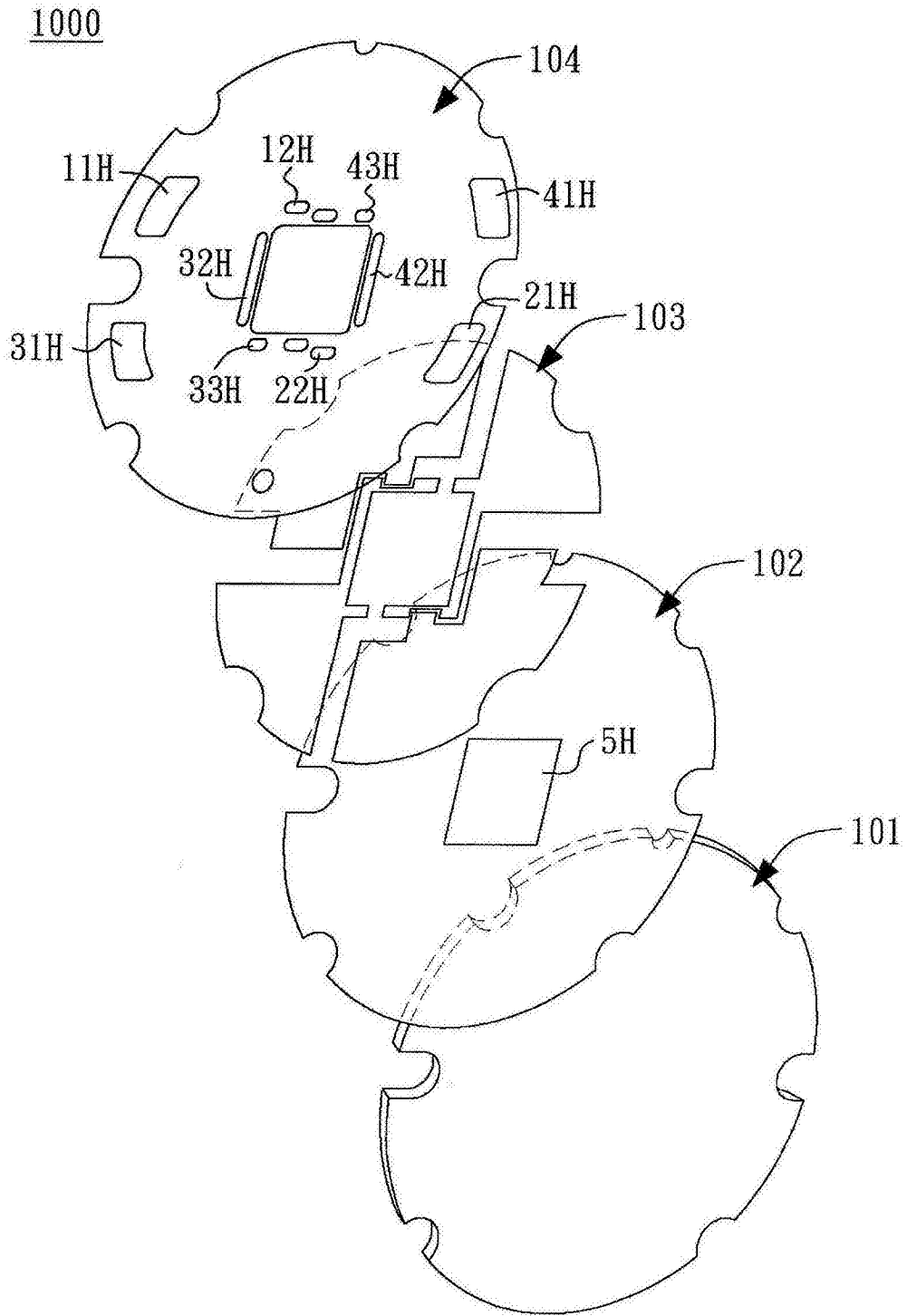


图1B

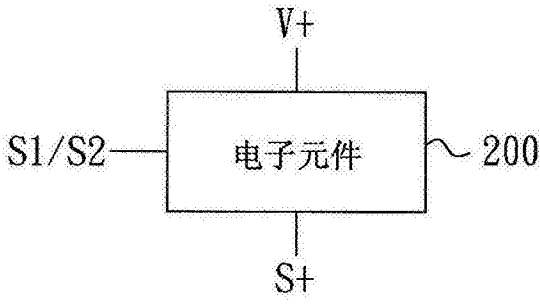


图2A

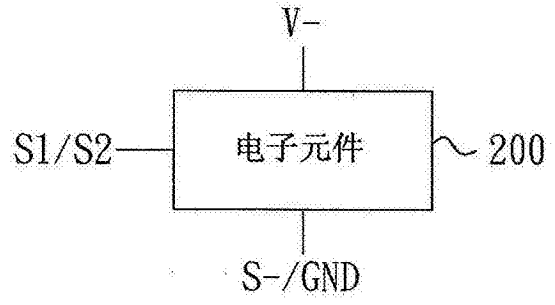


图2B

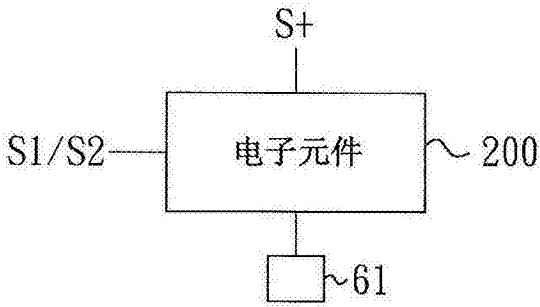


图2C

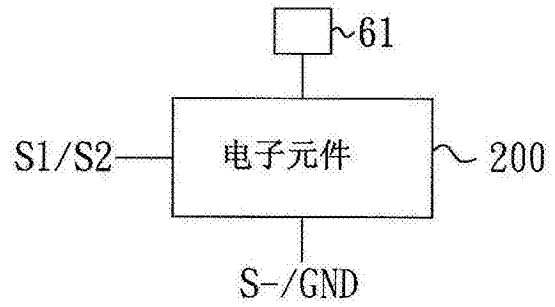


图2D

8S1P

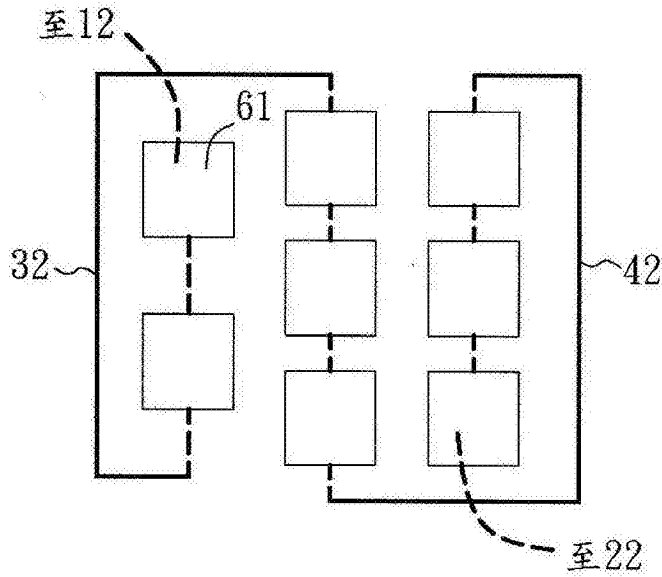


图3A

8S1P

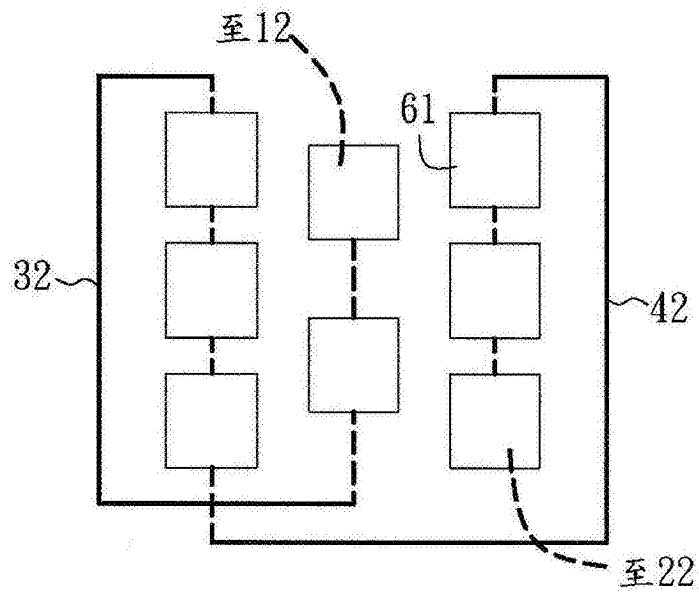


图3B

9S1P

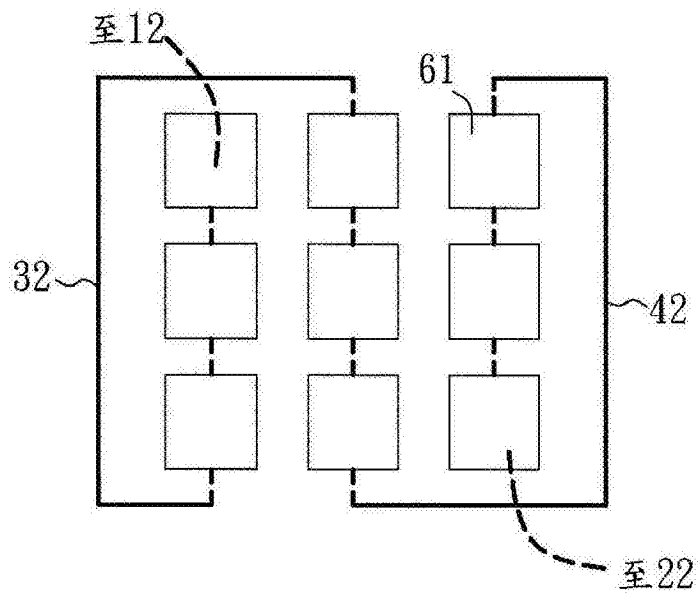


图3C

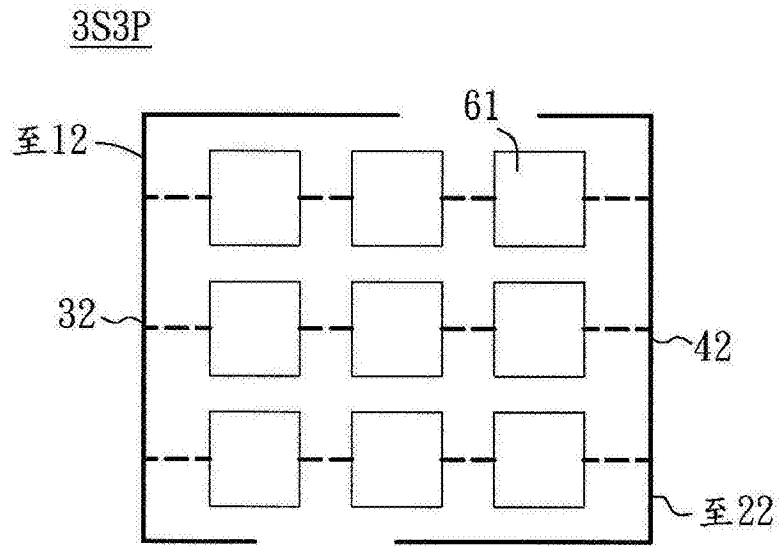


图3D

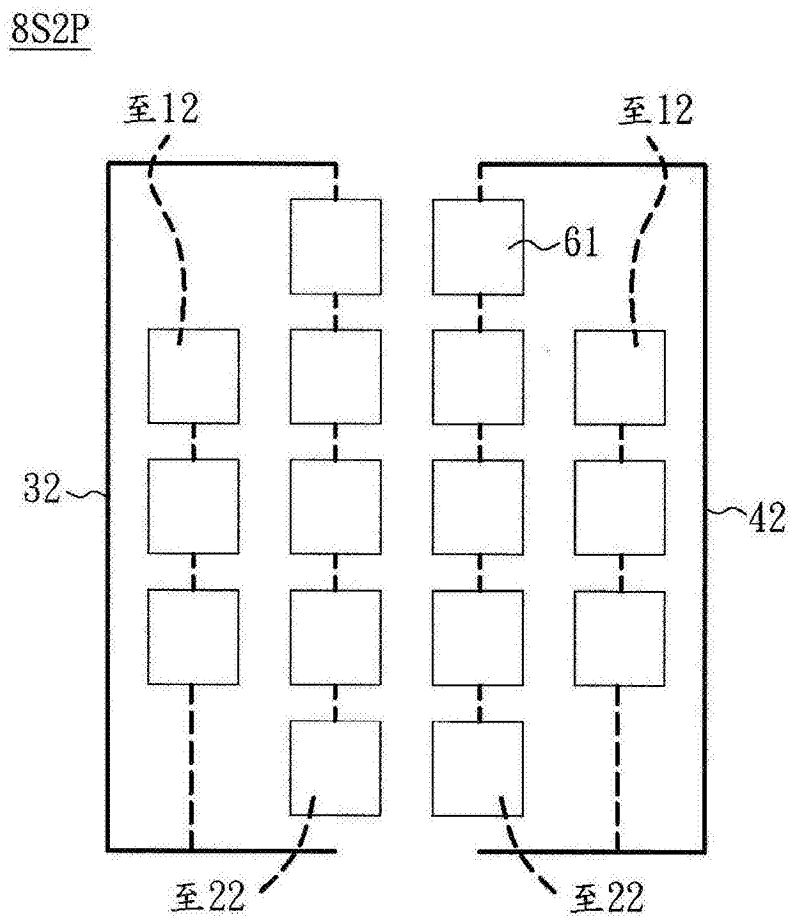


图3E

2000

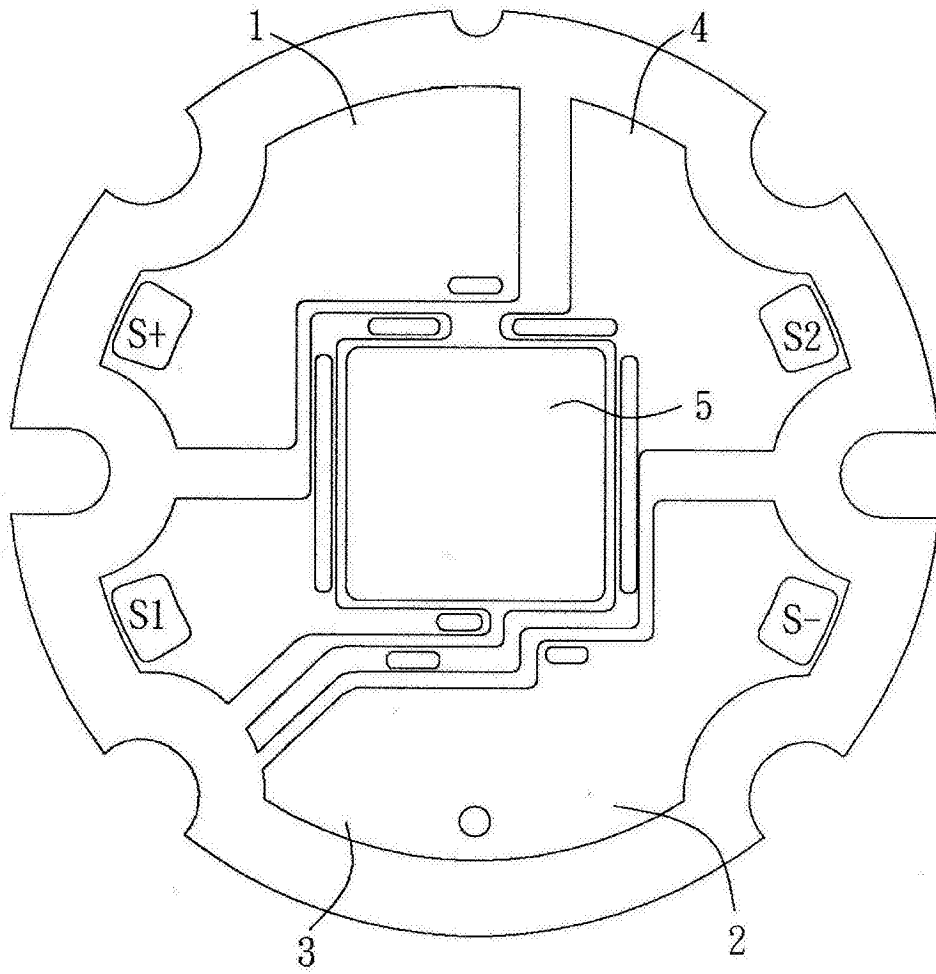


图4

3000

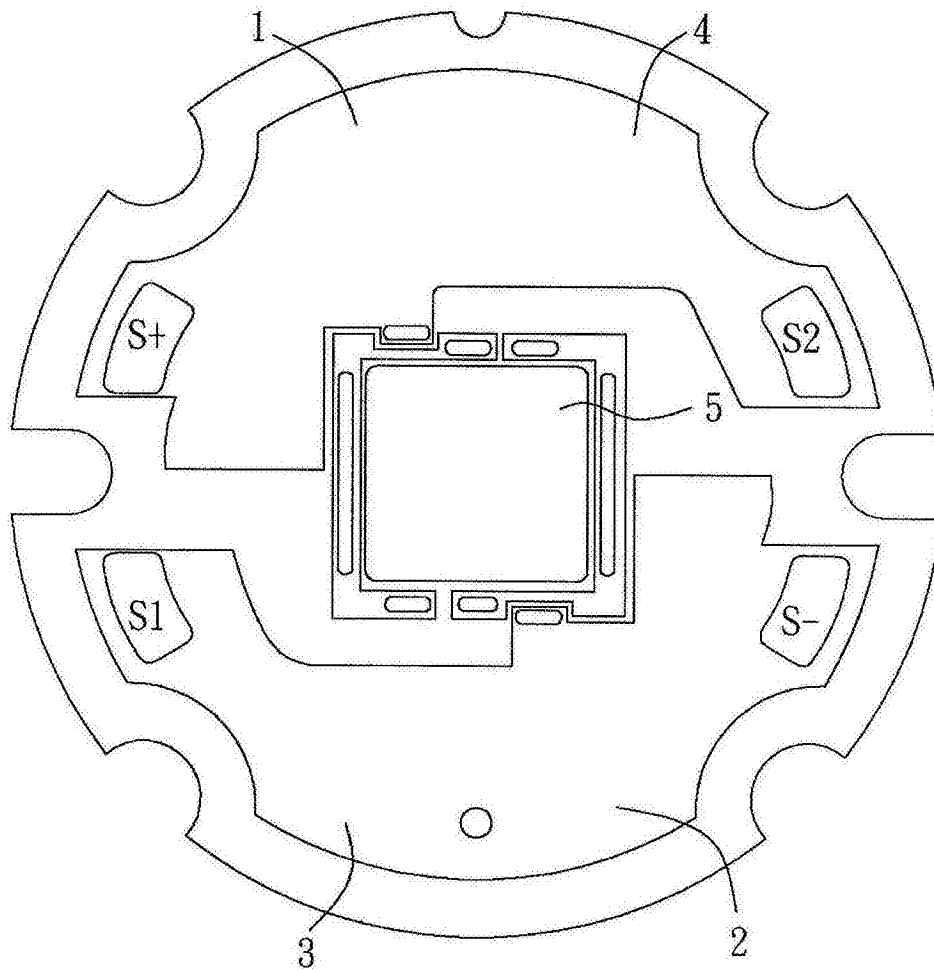


图5

3000

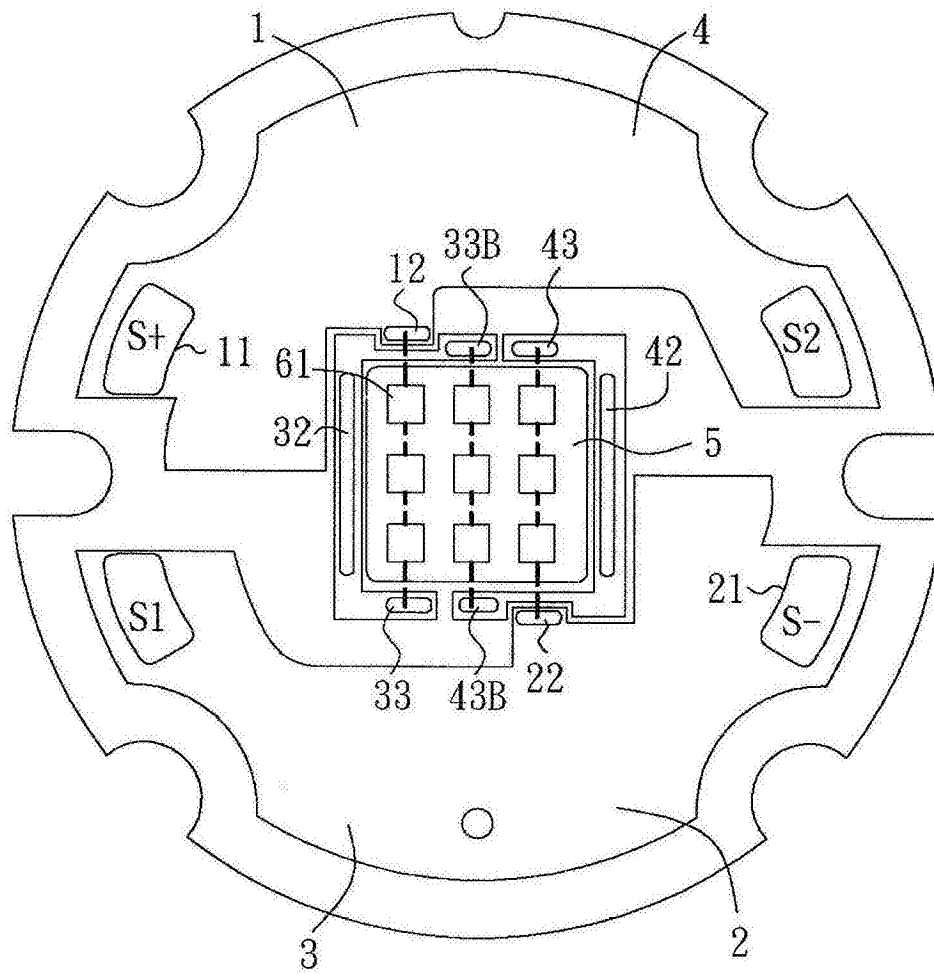


图6