

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5246831号
(P5246831)

(45) 発行日 平成25年7月24日(2013.7.24)

(24) 登録日 平成25年4月19日(2013.4.19)

(51) Int.Cl. F I
 HO 1 L 25/065 (2006.01) HO 1 L 25/08 Z
 HO 1 L 25/07 (2006.01)
 HO 1 L 25/18 (2006.01)

請求項の数 12 (全 10 頁)

(21) 出願番号	特願2006-299228 (P2006-299228)	(73) 特許権者	390009531
(22) 出願日	平成18年11月2日(2006.11.2)		インターナショナル・ビジネス・マシー ズ・コーポレーション
(65) 公開番号	特開2007-129233 (P2007-129233A)		INTERNATIONAL BUSIN ESS MACHINES CORPOR ATION
(43) 公開日	平成19年5月24日(2007.5.24)		アメリカ合衆国10504 ニューヨーク 州 アーモンク ニュー オーチャード ロード
審査請求日	平成21年8月18日(2009.8.18)		
(31) 優先権主張番号	11/266456	(74) 代理人	100108501
(32) 優先日	平成17年11月3日(2005.11.3)		弁理士 上野 剛史
(33) 優先権主張国	米国 (US)	(74) 代理人	100112690
			弁理士 太佐 種一
		(74) 代理人	100091568
			弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】 電子デバイス及びそれを形成する方法

(57) 【特許請求の範囲】

【請求項1】

マルチチップ・スタックを形成する重ね合わせ接着関係にある少なくとも2つの集積回路チップまたは素子を含む電子デバイスであって、

複数の誘電層および金属層と、キャップ層からなる第1の表面と、ハンドル層からなる反対側の末端面とを含む多層構造を有する前記集積回路チップまたは素子のうちの第1のチップまたは素子と、

複数の誘電層および金属層とキャップ層からなる第1の表面とを含む多層構造を有する前記集積回路チップまたは素子のうちの第2のチップまたは素子とを含み、

前記第2の集積回路チップまたは素子は反転位置にあり、前記第1の集積回路チップまたは素子の前記キャップ層と面係合した状態で接着固定され、前記第2の集積回路チップまたは素子は、前記第1の集積回路チップまたは素子内の導電層を前記マルチチップ・スタックの上面に接続し、前記第2の集積回路チップまたは素子内の導電層を前記マルチチップ・スタックの上面に接続する導体充填ビアを有み、

前記第1および第2の半導体チップまたは素子は、接着層を介して接着され、この接着層は、樹枝状アミン結合剤によって活性化される無水マレイン酸ポリマーからなる接着剤薄膜を含む、電子デバイス。

【請求項2】

前記第2の集積回路チップまたは素子は、前記2つのチップまたは素子の接着固定後に除去される基板上に形成された請求項1に記載の電子デバイス。

10

20

【請求項 3】

前記第 1 のチップまたは素子は、複数の接着固定されたマルチチップ集積回路スタックからなる、請求項 1 に記載の電子デバイス。

【請求項 4】

前記第 2 の半導体チップまたは素子は、前記第 1 のチップまたは素子から前記上面まで延びて、前記第 2 の集積回路チップまたは素子内の導電層と交わり、前記少なくとも 2 つのチップまたは素子の前記金属層間の電氣的接続を提供するように構成された少なくとも 1 つのビアを含む請求項 1 に記載の電子デバイス。

【請求項 5】

前記ハンドル層はシリコンからなる請求項 1 に記載の電子デバイス。

10

【請求項 6】

前記第 2 の半導体チップまたは素子内に形成された前記少なくとも 1 つのスルービアは、外部回路から前記第 1 および第 2 の半導体チップまたは素子の電気構成要素への電氣的接続と、前記第 1 および第 2 の半導体チップまたは素子の電気構成要素間の電氣的接続とを実現するように、導電材料が充填されている請求項 4 に記載の電子デバイス。

【請求項 7】

前記第 1 の半導体チップまたは素子の基板は、Si、SOI、SiGe 及び GaAs を含む材料のグループから選択される請求項 1 に記載の電子デバイス。

【請求項 8】

前記第 2 の半導体チップまたは素子には、さらに他の電気接点を有し、それと接続するマルチチップ・スタックを形成するように少なくとも第 3 の前記半導体チップまたは素子が選択的に接着ボンディングされる請求項 1 に記載の電子デバイス。

20

【請求項 9】

前記第 2 の半導体チップまたは素子は SOI 層を含む請求項 1 に記載の電子デバイス。

【請求項 10】

マルチチップ・スタックを形成する重ね合わせ接着関係にある少なくとも 2 つの集積回路チップまたは素子を含む電子デバイスを形成する方法であって、

複数の誘電層および金属層を含む多層構造を有する前記集積回路チップまたは素子のうちの第 1 の 1 つのチップまたは素子を設けるステップであって、キャップ層からなる第 1 の表面と、ハンドル層からなる反対側の末端面とを形成するステップを含むステップと、

30

複数の誘電層および金属層を含む多層構造を有する前記集積回路チップまたは素子のうちの第 2 の 1 つのチップまたは素子を設けるステップであって、キャップ層からなる第 1 の表面とハンドル層からなる反対側の末端面とを形成するステップを含むステップとを含み、

前記第 2 の集積回路チップまたは素子は、反転位置に配置されて前記第 1 の集積回路チップまたは素子の前記キャップ層と面係合状態で接着固定され、前記第 2 の集積回路チップまたは素子は、前記第 1 の集積回路チップまたは素子内の導電層を前記マルチチップ・スタックの上面に接続し、前記第 2 の集積回路チップまたは素子内の導電層を前記マルチチップ・スタックの上面に接続する導電材料で充填されたビアを備えて形成され、

前記接着固定には接着層が用いられ、この接着層は、樹枝状アミン結合剤によって活性化される無水マレイン酸ポリマーからなる接着剤薄膜を含む、方法。

40

【請求項 11】

前記第 2 の半導体チップまたは素子には、外部回路から前記第 1 および第 2 の半導体チップまたは素子の電気構成要素への電氣的接続と前記少なくとも 2 つのチップまたは素子の前記金属層間の電氣的接続を提供するように前記第 1 のチップまたは素子から前記上面に延びる少なくとも 1 つのスルービアが形成され、前記スルービアは、前記第 2 の半導体チップまたは素子がウエハの形態のままの状態に画定されている請求項 10 に記載の方法。

【請求項 12】

前記接着層は、未充填の前記少なくとも 1 つのスルービアをエッチング用マスクとして

50

使用して前記少なくとも1つのスルービアの底部からエッチングされる請求項11に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、三次元集積回路チップまたはウエハ・アセンブリに関し、より詳細には、チップをスタックとして配置する前に、ウエハ上に配列された状態で加工することに関する。さらに、本発明は、チップ密度を超高密度にすることができ、ウエハが未加工かつ全体として平面の状態のままチップを加工することが可能な、三次元集積回路の製造にも関する。

10

【背景技術】

【0002】

実質的には、三次元またはスタック集積回路の形成の基本概念は半導体およびその関連技術分野で周知であり、複数の多様な技術を可能にするのにマルチチップ・スタックの使用と製造が広く行われており、単一の技術と材料の組合せによっては実現できない機能をもたせるために、複数の材料を容易に組み合わせることで一つのシステムとすることができる。さらに、様々なチップを接続する最短のリードまたはワイヤを使用して、マルチチップ・スタックとして組み立てられたチップ上に形成された多様な集積回路構造または配列およびモジュールの有利かつ多用途な組合せを容易に実現することができ、それによって配線長を短縮することができる。同時に、マルチチップ・スタックの形成における全体的なパッケージ面積を縮小することができる。また、互いに組み合わせられ、ボンディングされた複数のより小型のチップを組み立てることによって、超大規模チップを製造することも可能であり、それによってチップ・スタックを使用する電子装置の出力を大きくすることができる。場合によっては、マルチチップ・スタックを形成し、複数のより小型のチップを三次元スタック形成配列で互いにボンディングすることによって得られる三次元集積チップ構造は、多様な技術の組合せを可能にする。この技術の組合せにより、粒子移動マッピングまたは三次元センサなどの有利な技術を実現することができる。したがって、チップ・スタックは、下層基板上の、たとえば垂直チップ配列などにチップを装着する際にアクセスすることができるようにするために、ボンディングされたチップの間からリードが外側に向かってスタックの縁まで延ばされた、アービン・センサーズ(Irvine Sensors(R))社製のものなどのいわゆる「キューブ」の形態で使用されることが多い。これは一般に、キューブ・スタックを行った後でキューブの縁上での特殊な単一チップ加工を必要とし、アクセス可能な接点リードの本数が少なく、また、特殊なパッケージングを行う必要がある。

20

30

【0003】

より小型のチップを表を上に向けた状態でより大型のチップにワイヤボンディングすることができる。次に、このハイブリッド複合体は外部キャリアにワイヤボンディングされるか、または、装着部品に通常存在するいわゆる「バンプ」を受け入れるために凹部を備えた特殊な基板にC4(controlled collapse chip connection)ボンディングされる。したがって、この基本的に明白な組合せは、基部ウエハ表面積のかなりの比率または割合が大型のチップを電子デバイスまたは半導体デバイス・パッケージに接続するために残されているような、かなり大型のチップにボンディングされた1個の小型チップまたは数個の極小チップに限定される。これによって、事実上、マルチチップ・スタックとして形成または組み立てられるチップの相対的サイズと数量が制約される限界が生じる。

40

【0004】

この技術に関して、現況技術において様々な三次元チップおよびウエハ・システムおよび組立てプロセスが開発されているが、本発明により実現されるより広範な態様と比較すると、依然として様々な限界や制約がある。

【0005】

U.S. Patent No. 6,465,892 B1および、U.S. Patent No. 6,465,892 B1の分割特許であ

50

るU.S. Patent No. 6,472,293 B2は、スタック半導体デバイスの相互接続構造に関するものであり、相互接続構造の製造方法を開示している。これらの各特許の基本概念は、半導体基板を重ね合わせ、固体ボンディング技術を使用してボンディングすることにより、配線長を短縮しようとするところにある。これによって、チップをスタックすることはできるが、平面ウエハ構造を使用した製造工程におけるマルチチップ・スタックの形成はなく、すべてのチップ加工を予め行ってから、チップをスタック状に形成してボンディングする。

【0006】

本出願の譲受人と同一出願人による、三次元チップ・スタック・アセンブリに関するU.S. Patent No. 6,355,501 B1は、三次元スタックSOI（シリコン・オン・インシュレータ：silicon-on-insulator）構造の形成に関するものである。しかし、当該特許は集積回路パッケージの動作速度を最大化するための相互接続を備えた超薄チップのスタック方法に関するものであり、チップ・スタック形成の前にウエハを個々の要素に分離または切断する前に標準ウエハ上にチップが装着された状態ですべてのチップを製造加工する工程は開示していない。

10

【特許文献1】U.S. Patent No. 6,465,892 B1

【特許文献2】U.S. Patent No. 6,472,293 B2

【特許文献3】U.S. Patent No. 6,355,501 B1

【発明の開示】

【発明が解決しようとする課題】

20

【0007】

したがって、本発明の目的は、チップを整列させてマルチチップ・スタックとする前に、ウエハ基板上に配列された状態で加工することが可能なマルチチップ・スタックの製造方法を提供することである。

【0008】

本発明の他の目的は、平面ウエハ設計の利用、ボンディング、ウエハ・ダイシングおよび分離されたチップの処理を容易にするために、複数のチップで形成されたマルチチップ・スタックの上部チップから下部チップに延びる配線へのアクセスを可能にするように、複数のチップをウエハ上に装着された状態で加工することである。

【0009】

30

したがって、現在の技術に代表される従来技術に明白かつ独自の改良を加えるために、本発明は、ウエハを分割してチップをマルチチップ・スタック状に重ねて形成またはボンディングする前に、チップが平坦な平面ウエハ上に配列された状態でチップを加工する製造を実現する方法を提供する。

【課題を解決するための手段】

【0010】

すなわち、互いに接着ボンディングされるように、上部チップからその下に配置されたチップに向かって集積回路または半導体デバイスの配線にアクセスすることができるようにし、それによって通常の平面ウエハ設計、ボンディング、ダイシング、および処理を実現可能にするとともに、その際、上部チップは、必要に応じて容易に薄化可能なようにSOIなどの技法から開始する。当該薄化プロセスにより、チップ内のスルーピアを適切な寸法とすることができ、ウエハが元の平坦な外形のままスルーピアを形成することが実質的に可能になる。これにより、ウエハ面上できわめて高密度のチップ密度を容易に実現することができ、それによって、加工されたチップの歩留まりが最大化され、その結果、チップの重ね合わせとボンディングによるマルチチップ・スタックの形成時の生産量が増大する。

40

【発明を実施するための最良の形態】

【0011】

次に、本発明に従って形成されたマルチチップ・スタックの好適な実施形態について、添付図面を参照しながら詳細に説明する。

50

【0012】

図面を詳細に参照すると、図1に示すように、平面ウエハ12などの基板上に配置され、複数の金属層14を備えた第1の基部半導体チップ10（Aと識別表記）が形成されている。本実施形態ではその金属層のうち2層のみを示すが、多層技法ではさらに多くの階層および層を容易に形成することができる。基部半導体チップ10には、たとえば電界効果トランジスタ（FET）ゲート電極100や能動SOI領域102などの能動素子も設ける。

【0013】

当該チップ構造は、ウエハ形態になっており、特定の技法の必要に応じて、相互接続路と、導電体18が充填されたビア16を含む。チップは、埋込み酸化膜（Buried Oxide：BOX）と浅いトレンチ分離（Shallow Trench Isolation：STI）との層22の下のハンドル層を構成するハンドル20上に装着されており、永続的にそこに装着される。ここでは、チップは、当技術分野で周知のように、バルク、Si、SOI、SiGe、GaAs、または任意の適合する構造とすることができる。

10

【0014】

図2に示すように、第2のチップ26（Bと識別表記）を備える。これは、SOIまたはハンドル・ウエハ28を容易に除去することができるタイプの任意の適合する材料で構成することができる。第2のチップ26は、ハンドル・ウエハまたはハンドル層28とは反対の側に、（1層または複数層の）キャップ層30を備える。

【0015】

20

前述の図1のチップAと同様、チップBでも、集積回路で必要な技術の種類および接続に応じて、任意の数の金属層32を使用することができるが、ここでは例として2層のみの金属層32を示す。また、前述のチップAと同様、基部半導体チップ26には、たとえば、電界効果トランジスタ（FET）ゲート電極104や能動SOI領域106などの能動素子も設けられる。チップ26は、良品のダイであることを確認することができるように準最終試験を行ってもよく、その後でキャップ層またはキャップ膜30によってウエハを誘電体で被覆し、プリントし、キャップ層または膜30と層間誘電膜（Inter-Level Dielectrics：ILD）19およびBOX（埋込み酸化層）22とを貫通し、ハンドル・ウエハまたはハンドル層28の表面または内部で終わるスルービア34をエッチングすることができる。これらのスルービア34は、内部がまだ充填されておらず、後でチップAと

30

【0016】

必要に応じて図2の底部からチップBとの電気接点（図示せず）を設ける場合が多い。図2に示すように、BOXおよびSTI層22を完全に貫通してハンドル・ウエハ28に至る接点フィーチャからなる形状36を使用して、当該製造ステップを実現する。その後、1または複数のチップBをダイシングし、集めて、合格品であることが確認されたものをダイとする。

【0017】

図のように、チップ10および26、すなわち図3のようなチップAおよびBの組立てに際しては、チップBを反転させ、ウエハまたはチップAまたはチップBあるいはその両方の対向する面42、44に接着剤40を塗布する。合格品のチップ26（すなわちチップB）を裏返し、事前試験済みの合格品のウエハまたはチップ10（すなわちチップA）に位置合わせして接着剤40でボンディングする。このボンディング接着剤は、たとえば、樹枝状アミン結合剤を使用して活性化される無水マレイン酸ポリマーからなるものでもよい。接着剤によって形成されるチップ間の結合は、ガス抜け現象や、スタックされ、重ね合わされた接着ボンディングチップ10、26（すなわちチップAおよびB）の体積に有意な変化が生じないように、可能な限り薄くしておくことが望ましい。ボンディング面が十分に平坦で清浄で、それによって必要な接着剤の量が最低限の厚さに削減されれば、5ないし10nmの最終的な厚さを達成することができる。

40

【0018】

50

図4に示すように、ハンドル層28を含むウエハ基板をチップ26(すなわちチップB)から除去する。ハンドル層28がシリコンからなる場合には、この除去処理は、KOH溶液を使用して行うことができる。同様に、チップBの形状36接点フィーチャもシリコンからなる場合には、KOHの使用によってシリコンがエッチング除去されるが、スルービア34を充填するために使用されるのと同じ材料で再充填しない場合は、これは必要でも必須でもない。ハンドル・ウエハまたはハンドル層28を除去することによって、チップ26に形成された未充填のスルービア34を露出させる。その後、スルービア34の下、適切な金属パッド14の上にあるキャップ層またはキャップ膜30と接着剤40とを除去するために、まだ開いているスルービア34をマスクとして使用してエッチングを行うことができ、エッチングを金属パッド14の表面で停止することができる。

10

【0019】

図5を参照すると、次に、スルービア34を充填し、もしチップ26への貫通埋込み酸化層(BOX)接点(形状36)が開いていた場合にはそれも充填する。また、この処理は、厚いライナー材料を付着させ、深くエッチングした後、その上からめっきすることによって行ってもよい。導電性をもたせるためには銅の充填が有利であるが、銅がチップ26のBOX層に浸透して金属汚染しやすくなるため、銅を充填する場合はライナーを比較的厚くする必要がある。プラグまたはシードとして使用される多様な材料を付着させる目的で、ALDプロセスを使用することができる。次に、スタック(重ね合わされたチップ10および26)の上面または最上部から金属を除去する。上面が十分に平坦な場合は、CMPを使用してこの上面のクリーンアップを行うことができる。上面の全体的な複数性

20

【0020】

図5に、充填されたスルービア34によるチップAへの接続と充填された接点形状36によるチップBへの接続が可能になっている、完成したチップA(チップ10)とチップB(チップ26)のボンディングを示す。

【0021】

図6および図7に、スルービア34から接点形状36への上部接続を必要としない、最上部チップC(チップ50と呼ぶ)から基部半導体チップAへの直接接触を実現する設計を示す。この実施形態では、図6に示すように、スルービア34が、底部チップ10への接続が必要なチップ50の配線形状52の上に部分的にかぶさるように構成されている。スルービア34のエッチングが配線形状52によって妨げられるため、ビアの断面形状は上部が底部よりも広くなる。

30

【0022】

次に、前述のように、チップ50を反転させ、底部チップ10にボンディングし、チップ50からハンドル基板を除去し、スルービア34の底部をエッチングする。次に、図5に示す構造に対して行ったのと同様に、スルービア34をライニングし、充填し、金属被覆を除去する。このプロセスの結果を図7に示す。ボンディング前にチップ50を反転させた結果、スルービア34の広がっている上部が下部になり、スルービア34に共形に

40

【0023】

図5のチップ10および26(AおよびB)によって形成されたスタック、または図7のチップ50および26によって形成されたスタックの上部にさらにチップを取り付けて、このチップ・スタック処理を繰り返すことができる。これらの追加のチップのスルービアは、それぞれの直前の階層のチップのスルービア34または接点形状36と交わる必要がある。

【0024】

スタックされたチップの外部へのボンディングは、スタックの最上部チップの上面に露出した充填ビアへの接続によって行うことができ、現在は小さい断面ビア端部のみを含む

50

。次の工程で、通常は、C4またはワイヤボンドを接続する適切な材料のパッドを表面にめっきすることになる。しかし、めっき、またはフォトリソグラフィとエッチングの使用によってパッドを形成する代わりに、より大きなパッドとスルービアのみを含むチップを形成し、次に、2個の能動回路チップについて前述したのと同様の手法によって、このパッドのみのチップを上面に装着することも可能である。

【0025】

本発明の任意選択の態様では、チップ10、26または50あるいはこれらの任意の組合せのボンディングを行うための接着剤を塗布してから、チップ26上のスルービア34のプリントまたはエッチングあるいはその両方を行い、スルービアをマスクとしてパターンニングすることができる。この製造順序によって、ビアに接着剤が充填されるのを防ぐことができるが、使用可能なレジストまたは現像剤が限定される。

10

【0026】

さらに、最上部のチップ(例示のチップ26)は、受動構成要素からなることもでき、これはパッケージの互換性や、超伝導体、大型キャパシタなどのために必要な場合がある。さらに、チップ26へのスルーBOX接点形状36にポリシリコン・プラグを使用する場合は、ポリシリコンを付着させる前に、エッチングしたままの形状36の開口に薄い酸化膜または塗膜を付着させることによって、ハンドル・ウエハ除去エッチングから、ポリシリコン充填を保護することができる。その後、ハンドル層28の除去した後、酸化薄膜をエッチングで除去し、ポリシリコンを露出させればよい。

【0027】

満足のいく製造を行うために、チップ10、26、および50(A、B、およびC)は、十分に平坦な構造でなければならず、接着ボンディング剤は、ボンディング時に接着剤にボイドが生じないように十分な厚さでなければならない。チップ10および26(および50)の位置合わせは、改良リソグラフィ露出またはセットアップを使用して、25nm未満というきわめて満足のいく精度で行うことができる。チップ10の位置は、その前面を見て決めることができ、同じ光学系または異なる光学系を使用してチップ26の前面を検査またはマッピングすることができる。ステップ台に使用されているものなどの適切な精密機構を使用して、チップ26を適正な位置に移動させ、次にチップ10上に押しつけることができる(これはチップ50についても同様である)。キャップ膜30材料は、たとえば窒化シリコンなど、ボンディング後のスルービア34の底部を除去するエッチングによってチップ26のBOXおよびSTI層22が薄くならないような候補材料から選択することができる。さらに、最終的なパッドに特に他のものが不要でない限り、個別のチップまたはチップ・スタックに対してではなく、すべてのチップがウエハ形態の状態ですべてのフォトリソグラフィ・プロセスを行うことができるため、チップ26をチップ10(またはチップ50)に位置合わせすることと、接着ボンディング剤の塗布以外には特別な処理をほとんど必要としない。

20

30

【0028】

最後に、スルービア34の上端または上部を拡大するため、ビア金属をめっきして、スタックに対してフォトリソグラフィを行う必要なしに金属層との接触を向上させるためのパンプを形成することが可能である。

40

【0029】

以上の説明から、本発明によって、きわめて効率的かつ独特な方式でマルチチップ・スタックまたはウエハ形成製造プロセスが改善され、それによって一連の製造工程が簡略化されるとともに、多様な技法のチップをウエハ上に高密度に配置することができ、三次元集積回路構造を形成するスタック関係を容易に構成することができる。

【0030】

本明細書で開示する本発明は、前述の目的を実現するために十分に設計されたものであるが、当業者なら多くの変更および実施形態を考案することは明らかであろうし、特許請求の範囲はそのようなすべての変更および実施形態を、本発明の主旨および範囲に含まれるものとして扱うことを意図している。

50

【図面の簡単な説明】

【0031】

【図1】本発明によるマルチチップ・スタックの製造で使用される第1の基部半導体チップ(A)を示す図である。

【図2】図1に示す基部半導体チップAにボンディングするように適合化された第2の半導体チップ(B)を示す図である。

【図3】本発明によるマルチチップ・スタック製造プロセス中に実現される、相互に位置合わせされ、ボンディングされた、図1および図2の半導体チップAおよびBを示す図である。

【図4】さらに処理工程を実施した、図3の半導体チップを示す図である。

10

【図5】図4に示すようなスタック関係にある、ボンディングされたチップの一連の製造手順で実施される他の処理工程を示す図である。

【図6】基部半導体チップAにボンディングするように適合化された、チップBに代えて使用される変形半導体チップCを含む他の実施形態を示す図である。

【図7】本発明による相互に位置合わせされボンディングされた関係にある、図1および図6の半導体チップAおよびCを示す図である。

【符号の説明】

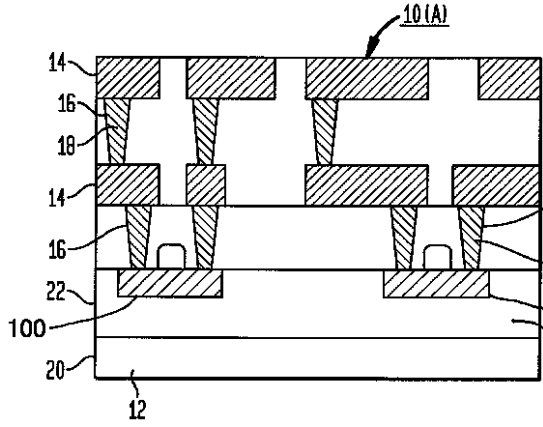
【0032】

- 10 半導体チップ
- 12 ウエハ
- 14 金属層
- 16 ビア
- 18 導電体
- 19 層間誘電膜(ILD)
- 20 ハンドル層
- 22 埋込み酸化層(BOX)層
- 26 半導体チップ
- 28 ハンドル・ウエハ層
- 30 キャップ層
- 32 金属層
- 34 スルービア
- 36 接点形状
- 40 接着剤
- 50 半導体チップ
- 52 配線形状
- 100 ゲート電極
- 102 能動SOI領域
- 104 ゲート電極
- 106 能動SOI領域

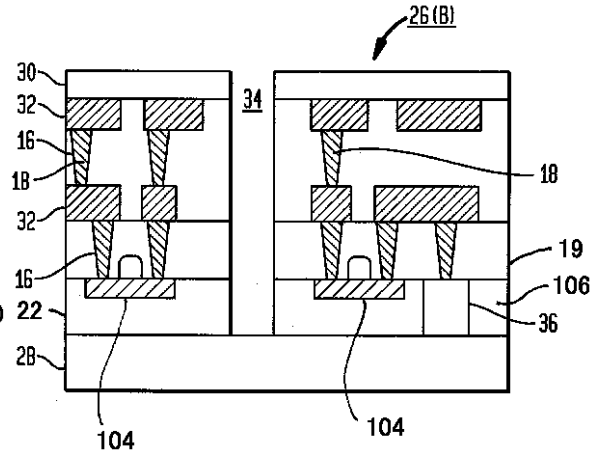
20

30

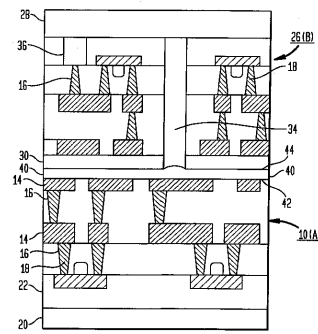
【 図 1 】



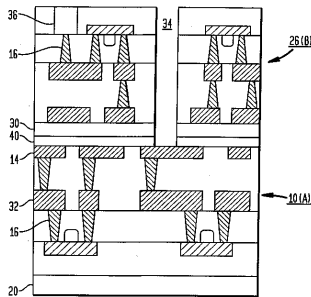
【 図 2 】



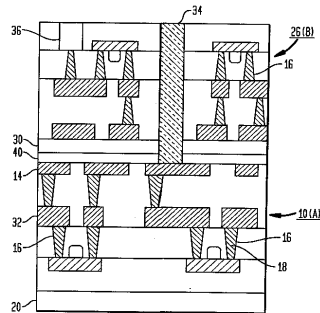
【 図 3 】



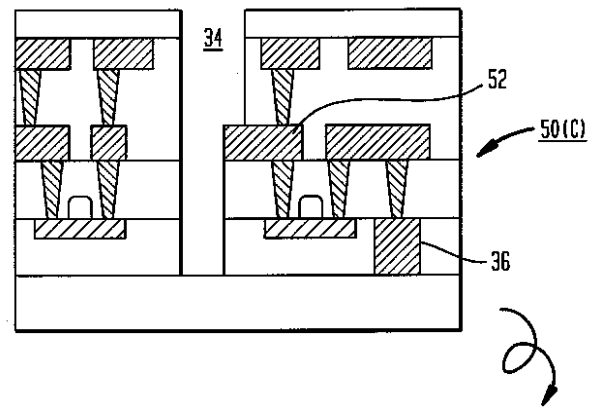
【 図 4 】



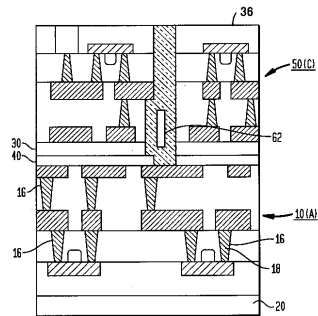
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

- (72)発明者 チャールズ・ウィリアム・コバーガー III
アメリカ合衆国12054-1119 ニューヨーク州デルマー ヘルリック・アベニュー 49
- (72)発明者 デビッド・バクラフ・ホラク
アメリカ合衆国05452 バーモント州エセックス・ジャンクション プリア・レーン 47
- (72)発明者 スティーブン・ジョン・ホルメス
アメリカ合衆国12084 ニューヨーク州ギルダerland ギルダール・レーン 103 アパート
11
- (72)発明者 マーク・チャールズ・ハケイ
アメリカ合衆国05454 バーモント州フェアファックス ベローズ・ストリート 15
- (72)発明者 トシハル フルカワ
アメリカ合衆国05452 バーモント州エセックス・ジャンクション オークウッド・レーン
9

審査官 和瀬田 芳正

- (56)参考文献 特開2000-299432(JP,A)
特開2001-326325(JP,A)
特開2004-296893(JP,A)
特開平11-261001(JP,A)
特開2002-208632(JP,A)
特開2001-44357(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 25/065