



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년07월06일
(11) 등록번호 10-1047062
(24) 등록일자 2011년06월30일

(51) Int. Cl.

G05F 3/02 (2006.01) G05F 3/08 (2006.01)

G05F 3/16 (2006.01)

(21) 출원번호 10-2010-0040548

(22) 출원일자 2010년04월30일

심사청구일자 2010년04월30일

(56) 선행기술조사문헌

KR100699828 B1

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

김기호

서울특별시 강동구 길동 신동아아파트 12동 502호

(74) 대리인

김성남

전체 청구항 수 : 총 13 항

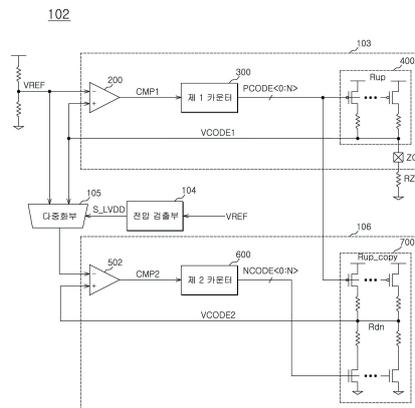
심사관 : 박기용

(54) 임피던스 조정 회로 및 이를 이용한 반도체 장치

(57) 요약

임피던스 조정 회로는 제 1 조정 신호를 변환한 제 1 변환 전압과 기준 전압을 비교하여 제 1 조정 신호를 가변시키도록 구성된 제 1 조정부, 전원 전압의 레벨에 따라 전압 검출 신호를 활성화시키도록 구성된 전압 검출부, 전압 검출 신호에 응답하여 기준 전압 또는 제 1 변환 전압을 선택하여 출력하도록 구성된 다중화부, 및 제 2 조정 신호를 변환한 제 2 변환 전압과 다중화부의 출력의 레벨을 비교하여 제 2 조정 신호를 가변시키도록 구성된 제 2 조정부를 포함한다.

대표도 - 도3



특허청구의 범위

청구항 1

제 1 조정 신호를 변환한 제 1 변환 전압과 기준 전압을 비교하여 상기 제 1 조정 신호를 가변시키도록 구성된 제 1 조정부;

전원 전압의 레벨에 따라 전압 검출 신호를 활성화시키도록 구성된 전압 검출부;

상기 전압 검출 신호에 응답하여 상기 기준 전압 또는 상기 제 1 변환 전압을 선택하여 출력하도록 구성된 다중화부; 및

제 2 조정 신호를 변환한 제 2 변환 전압과 상기 다중화부의 출력의 레벨을 비교하여 상기 제 2 조정 신호를 가변시키도록 구성된 제 2 조정부를 포함하는 임피던스 조정 회로.

청구항 2

제 1 항에 있어서,

임피던스 조정 시간을 결정하는 각종 명령들을 생성하기 위한 스테이트 머신(State Machine), 및 그 명령들에 응답하여 상기 제 1 조정부 및 상기 제 2 조정부를 제어하기 위한 제어 신호를 생성하기 위한 타이머 카운터(Timer Counter)를 더 포함하는 임피던스 조정 회로.

청구항 3

제 1 항에 있어서,

상기 전압 검출부는

상기 전원 전압의 레벨이 설정 레벨보다 낮으면 상기 전압 검출 신호를 활성화시키도록 구성되는 임피던스 조정 회로.

청구항 4

제 1 항에 있어서,

상기 다중화부는

상기 전압 검출 신호가 활성화되면 상기 기준 전압을 선택하여 출력하도록 구성되는 임피던스 조정 회로.

청구항 5

제 1 항에 있어서,

상기 다중화부는

상기 전압 검출 신호가 비활성화되면 상기 제 1 변환 전압을 선택하여 출력하도록 구성되는 임피던스 조정 회로.

청구항 6

제 1 항에 있어서,

상기 제 1 조정부는

상기 제 1 변환 전압과 상기 기준 전압을 비교하여 비교 신호를 생성하도록 구성된 비교기,

상기 비교 신호에 응답하여 상기 제 1 조정 신호를 가변시키도록 구성된 카운터, 및

상기 제 1 조정 신호를 상기 제 1 변환 전압으로 변환하도록 구성된 디지털/아날로그 변환기를 포함하는 임피던스 조정 회로.

청구항 7

제 6 항에 있어서,
 상기 디지털/아날로그 변환기는 외부 저항과 연결되는 임피던스 조정 회로.

청구항 8

제 1 항에 있어서,
 상기 제 2 조정부는
 상기 제 2 변환 전압과 상기 다중화부의 출력 신호의 레벨을 비교하여 비교 신호를 생성하도록 구성된 비교기,
 상기 비교 신호에 응답하여 상기 제 2 조정 신호를 가변시키도록 구성된 카운터, 및
 상기 제 2 조정 신호를 상기 제 2 변환 전압으로 변환하도록 구성된 디지털/아날로그 변환기를 포함하는 임피던스 조정 회로.

청구항 9

제 1 조정 신호를 변환한 제 1 변환 전압과 기준 전압을 비교하여 상기 제 1 조정 신호를 가변시키도록 구성된 제 1 조정부;
 제 2 조정 신호를 변환한 제 2 변환 전압과 상기 제 1 변환 전압의 레벨을 비교하여 상기 제 2 조정 신호를 가변시키도록 구성된 제 2 조정부; 및
 상기 제 1 조정 신호 및 상기 제 2 조정 신호에 따라 신호 입/출력단의 임피던스를 목표 값으로 설정하도록 구성된 임피던스 매칭 회로를 포함하는 반도체 장치.

청구항 10

제 9 항에 있어서,
 임피던스 조정 시간을 결정하는 각종 명령들을 생성하기 위한 스테이트 머신(State Machine), 및 그 명령들에 응답하여 상기 제 1 조정부 및 상기 제 2 조정부를 제어하기 위한 제어 신호를 생성하기 위한 타이머 카운터(Timer Counter)를 더 포함하는 반도체 장치.

청구항 11

제 9 항에 있어서,
 상기 제 1 조정부는
 상기 제 1 변환 전압과 상기 기준 전압을 비교하여 비교 신호를 생성하도록 구성된 비교기,
 상기 비교 신호에 응답하여 상기 제 1 조정 신호를 가변시키도록 구성된 카운터, 및
 상기 제 1 조정 신호를 상기 제 1 변환 전압으로 변환하도록 구성된 디지털/아날로그 변환기를 포함하는 반도체 장치.

청구항 12

제 11 항에 있어서,
 상기 디지털/아날로그 변환기는 외부 저항과 연결되는 반도체 장치.

청구항 13

제 9 항에 있어서,
 상기 제 2 조정부는
 상기 제 2 변환 전압과 상기 제 1 변환 전압의 레벨을 비교하여 비교 신호를 생성하도록 구성된 비교기,

상기 비교 신호에 응답하여 상기 제 2 조정 신호를 가변시키도록 구성된 카운터, 및

상기 제 2 조정 신호를 상기 제 2 변환 전압으로 변환하도록 구성된 디지털/아날로그 변환기를 포함하는 반도체 장치.

명세서

기술분야

[0001] 본 발명은, 반도체 장치에 관한 것으로서, 특히 임피던스 조정 회로 및 이를 이용한 반도체 장치에 관한 것이다.

배경기술

[0002] 반도체 장치의 출력 특성을 높이기 위해서는 터미네이션 임피던스를 일정하게 유지시키는 것이 매우 중요하다.

[0003] 즉, 각종 터미네이션 회로 들 예를 들어, 데이터 출력 드라이버의 임피던스 값을 설계 시 목표로 한 값과 일치 시켜야 한다.

[0004] 그러나 반도체 장치는 PVT(Process, Voltage or Temperature) 등의 변동에 민감하므로 이에 대응하여 임피던스를 일정하게 유지시킬 수 있는 회로 구성을 필요로 한다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예는 전원 전압의 변동에 대응하여 임피던스를 일정하게 유지시킬 수 있는 임피던스 조정 회로를 제공함에 그 목적이 있다.

과제의 해결 수단

[0006] 본 발명의 실시예는 제 1 코드를 변환한 제 1 변환 전압과 기준 전압을 비교하여 제 1 코드를 가변시키도록 구성된 제 1 조정부, 전원 전압의 레벨에 따라 전압 검출 신호를 활성화시키도록 구성된 전압 검출부, 전압 검출 신호에 응답하여 기준 전압 또는 제 1 변환 전압을 선택하여 출력하도록 구성된 다중화부, 및 제 2 코드를 변환한 제 2 변환 전압과 다중화부의 출력의 레벨을 비교하여 제 2 코드를 가변시키도록 구성된 제 2 조정부를 포함함을 특징으로 한다.

[0007] 본 발명의 실시예는 제 1 조정 신호를 변환한 제 1 변환 전압과 기준 전압을 비교하여 상기 제 1 조정 신호를 가변시키도록 구성된 제 1 조정부, 제 2 조정 신호를 변환한 제 2 변환 전압과 제 1 변환 전압의 레벨을 비교하여 제 2 조정 신호를 가변시키도록 구성된 제 2 조정부, 및 제 1 조정 신호 및 제 2 조정 신호에 따라 신호 입/출력단의 임피던스를 목표 값으로 설정하도록 구성된 임피던스 매칭 회로를 포함함을 다른 특징으로 한다.

발명의 효과

[0008] 본 발명의 실시예에 따른 임피던스 조정 회로는 전원 전압의 레벨이 속한 범위에 따라 다른 방식을 적용하여 임피던스를 조정하므로 전원 전압의 전 범위에 걸쳐 임피던스 조정 성능을 높일 수 있다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 제 1 실시예에 따른 임피던스 조정 회로(100)의 블록도,

도 2는 본 발명의 실시예에 따른 반도체 장치(101)의 블록도,

도 3은 본 발명의 제 2 실시예에 따른 임피던스 조정 회로(102)의 블록도,

도 4는 도 3의 전압 검출부(106)의 회로도,

도 5는 도 4의 전압 검출부(106)의 출력 파형도,

도 6 내지 도 8은 본 발명의 제 2 실시예의 동작 원리를 설명하기 위한 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예들을 보다 상세히 설명하기로 한다.
- [0011] 도 1에 도시된 바와 같이, 본 발명의 제 1 실시예에 따른 임피던스 조정 회로(100)는 제 1 비교기(200), 제 1 카운터(300), 제 1 디지털/아날로그 변환기(400), 제 2 비교기(500), 제 2 카운터(600) 및 제 2 디지털/아날로그 변환기(700)를 포함한다.
- [0012] 임피던스 조정 시간을 결정하는 각종 명령들을 생성하기 위한 스테이트 머신(State Machine)(도시 생략) 및 그 명령들에 응답하여 각종 제어 신호들을 생성하기 위한 타이머 카운터(Timer Counter)(도시 생략)를 더 포함할 수 있다.
- [0013] 제 1 비교기(200)는 제 1 변환 전압(VDAC1)과 기준 전압(VREF)을 비교하여 제 1 비교 신호(CMP1)를 생성하도록 구성된다.
- [0014] 이때 기준 전압(VREF)은 $VDD/2$ 가 될 수 있다.
- [0015] 제 1 카운터(300)는 제 1 비교 신호(CMP1)에 응답하여 제 1 조정 신호 즉, 제 1 코드(PCODE<0:N>)를 가변시키도록 구성된다.
- [0016] 제 1 디지털/아날로그 변환기(400)는 디지털 신호 즉, 제 1 코드(PCODE<0:N>)를 아날로그 신호 즉, 제 1 변환 전압(VDAC1)으로 변환하도록 구성된다.
- [0017] 제 1 디지털/아날로그 변환기(400)는 피모스 트랜지스터(PMOS Transistor)와 저항으로 이루어진 복수의 레그(Leg)를 구비한다.
- [0018] 복수의 레그 각각의 피모스 트랜지스터의 게이트에는 제 1 코드(PCODE<0:N>)가 한 비트씩 입력된다.
- [0019] 제 1 코드(PCODE<0:N>)에 의해 전원단과 연결된 저항들의 저항 값의 총 합을 Rup이라 한다.
- [0020] 제 1 디지털/아날로그 변환기(400)는 외부 저항 연결 핀(ZQ)를 통해 외부 저항(이하, RZQ)과 연결된다. 이때 RZQ는 반도체 메모리 외부에 구성되므로 반도체 메모리 장치 내부의 PVT 변동과 상관없이 일정한 저항 값 예를 들어, 240옴(ohm)을 가질 수 있다.
- [0021] 제 2 비교기(500)는 제 2 변환 전압(VDAC2)과 기준 전압(VREF)을 비교하여 제 2 비교 신호(CMP2)를 생성하도록 구성된다.
- [0022] 제 2 카운터(600)는 제 2 비교 신호(CMP2)에 응답하여 제 2 조정 신호 즉, 제 2 코드(NCODE<0:N>)를 가변시키도록 구성된다.
- [0023] 제 2 디지털/아날로그 변환기(700)는 디지털 신호 즉, 제 2 코드(NCODE<0:N>)를 아날로그 신호 즉, 제 2 변환 전압(VDAC2)으로 변환하도록 구성된다.
- [0024] 제 2 디지털/아날로그 변환기(700)는 피모스 트랜지스터(PMOS Transistor)와 저항으로 이루어진 복수의 제 1 레그(Leg)와 엔모스 트랜지스터(NMOS Transistor)와 저항으로 이루어진 복수의 제 2 레그를 구비한다.
- [0025] 복수의 제 1 레그 각각의 피모스 트랜지스터의 게이트에는 제 1 코드(PCODE<0:N>)가 한 비트씩 입력된다.
- [0026] 복수의 제 2 레그 각각의 엔모스 트랜지스터의 게이트에는 제 2 코드(NCODE<0:N>)가 한 비트씩 입력된다.
- [0027] 제 1 코드(PCODE<0:N>)에 의해 전원단과 연결된 저항들의 저항 값의 총 합을 Rup_copy라 한다. 이때 복수의 제 1 레그는 제 1 디지털/아날로그 변환기(400)와 동일하게 구성된다. 따라서 Rup과 Rup_copy는 실질적으로 동일하다.
- [0028] 제 2 코드(NCODE<0:N>)에 의해 접지단과 연결된 저항들의 저항 값의 총 합을 Rdn이라 한다.
- [0029] 이와 같이 구성된 본 발명의 제 1 실시예의 임피던스 조정 동작을 설명하면 다음과 같다.
- [0030] 기 언급한 바와 같이, 제 1 디지털/아날로그 변환기(400)의 복수의 레그(Leg)에서 제 1 코드(PCODE<0:N>)에 의해 전원단과 연결된 저항들의 저항 값의 총 합을 Rup이라 한다.
- [0031] 또한 제 2 디지털/아날로그 변환기(700)의 복수의 제 1 레그(Leg)에서 제 1 코드(PCODE<0:N>)에 의해 전원단과 연결된 저항들의 저항 값의 총 합을 Rup_copy라하고, 복수의 제 2 레그에서 제 2 코드(NCODE<0:N>)에 의해 접지

단과 연결된 저항들의 저항 값의 총 합을 Rdn이라 한다.

- [0032] 본 발명의 제 1 실시예는 Rup을 RZQ와 동일한 값으로 만든 이후, Rdn이 Rup과 실질적으로 동일한 값을 갖는 Rup_copy와 동일한 값 예를 들어, 240옴(ohm)을 갖도록 하는 것이며, 이를 상세히 설명하면 다음과 같다.
- [0033] 스테이트 머신(State Machine)에 의해 임피던스 조정 시간을 결정하는 각종 명령들이 생성되고, 타이머 카운터(Timer Counter)가 그 명령들에 응답하여 각종 제어 신호들을 생성한다.
- [0034] 제 1 비교기(200) 및 제 2 비교기(500)가 상술한 각종 제어 신호들에 응답하여 동작하고, 그에 따라 제 1 카운터(300), 제 1 디지털/아날로그 변환기(400), 제 2 카운터(600) 및 제 2 디지털/아날로그 변환기(700)가 동작하여 임피던스 조정 동작이 이루어진다.
- [0035] 먼저, 제 1 카운터(300)가 제 1 코드(PCODE<0:N>)를 초기값으로 출력한다.
- [0036] 제 1 디지털/아날로그 변환기(400)가 초기값의 제 1 코드(PCODE<0:N>)를 제 1 변환 전압(VDAC1)으로 변환한다.
- [0037] 제 1 비교기(200)가 기준 전압(VREF)과 제 1 변환 전압(VDAC1)을 비교하여 제 1 비교 신호(CMP1)를 생성한다.
- [0038] 제 1 카운터(300)가 제 1 비교 신호(CMP1)에 응답하여 제 1 코드(PCODE<0:N>)의 코드 값을 변화 즉, 증가 또는 감소시킨다.
- [0039] 제 1 디지털/아날로그 변환기(400)가 변화된 코드 값을 갖는 제 1 코드(PCODE<0:N>)를 제 1 변환 전압(VDAC1)으로 변환한다.
- [0040] 제 1 변환 전압(VDAC1)이 기준 전압(VREF)에 비해 낮다면 제 1 코드(PCODE<0:N>)는 제 1 변환 전압(VDAC1)을 높일 수 있는 코드 값을 가져야 한다. 또한 제 1 변환 전압(VDAC1)이 기준 전압(VREF)에 비해 높다면 제 1 코드(PCODE<0:N>)는 제 1 변환 전압(VDAC1)을 낮출 수 있는 코드 값을 가져야 한다.
- [0041] 따라서 제 1 비교기(200) 및 제 1 카운터(300)가 반복 동작하여 제 1 변환 전압(VDAC1)이 기준 전압(VREF)과 실질적으로 동일해지도록 한다.
- [0042] 결국, 제 1 변환 전압(VDAC1)이 기준 전압(VREF)과 실질적으로 동일해 졌다는 것은 Rup이 RZQ와 실질적으로 동일해졌다는 것을 의미한다.
- [0043] 이후, 조정 완료된 제 1 코드(PCODE<0:N>)를 이용하여 Rup_copy를 Rup과 실질적으로 동일하게 만든 상태에서, Rdn을 Rup_copy와 실질적으로 동일하게 만드는 과정이 진행된다.
- [0044] 즉, 제 2 비교기(500), 제 2 카운터(600) 및 제 2 디지털/아날로그 변환기(700)의 연계동작의 반복에 의해 제 2 코드(NCODE<0:N>)의 코드 값을 가변시키고 그에 따라 변화된 제 2 변환 전압(VDAC2)이 기준 전압(VREF)과 실질적으로 동일해진다.
- [0045] 이때 제 2 비교기(500), 제 2 카운터(600) 및 제 2 디지털/아날로그 변환기(700)의 연계동작은 제 1 비교기(200), 제 1 카운터(300) 및 제 1 디지털/아날로그 변환기(400)의 연계동작과 같다.
- [0046] 결국, 제 2 변환 전압(VDAC2)이 기준 전압(VREF)과 실질적으로 동일해 졌다는 것은 Rdn이 Rup_copy와 실질적으로 동일해졌다는 것을 의미한다.
- [0047] 이와 같은 과정을 거쳐 임피던스 조정이 완료되며, 제 1 코드(PCODE<0:N>) 및 제 2 코드(NCODE<0:N>)가 터미네이션 회로 예를 들어, 데이터 출력 드라이버에 제공된다.
- [0048] 데이터 출력 드라이버의 임피던스가 제 1 코드(PCODE<0:N>) 및 제 2 코드(NCODE<0:N>)에 의해 목표 값으로 설정된다.
- [0049] 도 2에 도시된 바와 같이, 본 발명의 실시예에 따른 반도체 장치(101)는 제 1 비교기(200), 제 1 카운터(300), 제 1 디지털/아날로그 변환기(400), 제 2 비교기(501), 제 2 카운터(600), 제 2 디지털/아날로그 변환기(700) 및 임피던스 매칭회로(800)를 포함한다.
- [0050] 임피던스 조정 시간을 결정하는 각종 명령들을 생성하기 위한 스테이트 머신(State Machine)(도시 생략) 및 그 명령들에 응답하여 각종 제어 신호들을 생성하기 위한 타이머 카운터(Timer Counter)(도시 생략)를 더 포함할 수 있다.

- [0051] 제 1 비교기(200), 제 1 카운터(300), 제 1 디지털/아날로그 변환기(400), 제 2 카운터(600) 및 제 2 디지털/아날로그 변환기(700)는 도 1에 도시된 본 발명의 제 1 실시예와 동일하게 구성할 수 있다.
- [0052] 한편, 제 2 비교기(501)는 제 2 변환 전압(VDAC2)과 제 1 변환 전압(VDAC1)을 비교하도록 구성되는 측면에서 도 1에 도시된 본 발명의 제 1 실시예의 제 2 비교기(500)와 다르다.
- [0053] 임피던스 매칭회로(800)는 데이터 라인과 신호 입/출력을 위한 패드(DQ) 사이에 연결된다. 임피던스 매칭회로(800)는 제 1 코드(PCODE<0:N>)와 제 2 코드(NCODE<0:N>)에 따라 패드(DQ)의 임피던스를 목표값으로 설정한다.
- [0054] 본 발명의 실시예에 따른 반도체 장치(101)는 Rup을 RZQ와 동일한 값으로 만든 이후, Rdn 또한 RZQ와 동일한 값을 갖도록 한다.
- [0055] 즉, 기준 전압(VREF) 대신 RZQ의 저항 값이 반영된 제 1 변환 전압(VDAC1)을 제 2 변환 전압(VDAC2)과 비교하도록 하였다. 따라서 Rup과 RZQ의 오차 성분의 영향으로 Rdn과 RZQ의 차이를 줄일 수 있도록 한 것이다.
- [0056] 본 발명의 실시예의 임피던스 조정 동작은 제 2 비교기(501)가 제 2 변환 전압(VDAC2)과 제 1 변환 전압(VDAC1)을 비교하는 것을 제외하고는 도 1과 동일하므로 그 설명은 생략하기로 한다.
- [0057] 어떠한 임피던스 조정 회로도 Rup, Rup_copy 및 Rdn을 RZQ의 저항 값과 완벽하게 동일하게 만드는 것은 거의 불가능하다. 다만, 제 1 디지털/아날로그 변환기(400) 및 제 2 디지털/아날로그 변환기(700)의 해상도를 높임에 따라 Rup, Rup_copy 및 Rdn을 RZQ의 저항 값에 더욱 근접하게 만들 수 있을 뿐이다.
- [0058] 상술한 도 1에 도시된 본 발명의 실시예는 제 1 비교기(200) 및 제 2 비교기(500)가 공통적인 기준에 따라 동작한다. 즉, 기준 전압(VREF)과 제 1 변환 전압(VDAC1) 또는 제 2 변환 전압(VDAC2)을 비교한다. 도 1에 도시된 본 발명의 실시예는 전원 전압(VDD)이 낮은 범위에 있는 경우에도 안정적으로 동작할 수 있는 장점이 있다.
- [0059] 그러나 도 1에 도시된 본 발명의 실시예는 Rup과 RZQ의 오차 성분의 영향으로 인하여 도 6과 같이, Rdn과 RZQ의 차이가 커지는 문제가 발생할 수 있다.
- [0060] 한편, 도 2에 도시된 본 발명의 실시예는 제 2 비교기(501)가 제 2 변환 전압(VDAC2)과 Rup과 RZQ의 오차 성분을 반영한 제 1 변환 전압(VDAC1)을 비교하므로 도 7과 같이, Rdn과 RZQ의 차이를 도 1에 도시된 본 발명의 실시예에 비해 감소시킬 수 있다. 즉, 조정 성능을 향상시킬 수 있다.
- [0061] 그러나 도 2에 도시된 본 발명의 실시예는 상술한 바와 같이, Rup 및 Rdn이 공통적으로 RZQ와 같아지도록 동작한다. 이때 저전압 조건 즉, 전원 전압(VDD)이 설정 레벨 보다 낮고, 제 1 코드(PCODE<0:N>)를 최대값 또는 최소값으로 조정된 상태에서 Rup이 RZQ에 도달하지 못하는 경우 도 8과 같이, Rdn 또한 RZQ에 도달하지 못하여 조정 범위를 벗어나는 문제가 발생할 수 있다.
- [0062] 따라서 도 3에 도시된 본 발명의 실시예는 도 1과 도 2에 도시된 본 발명의 실시예들의 장점을 취합하여 전원 전압(VDD)의 레벨에 따라 두 가지 방식을 선택적으로 사용함으로써 전원 전압(VDD)의 전 범위에 걸쳐 임피던스 조정 동작을 안정적으로 수행할 수 있도록 구성한 것이다.
- [0063] 저전압 조건 즉, 전원 전압(VDD)이 설정 레벨에 비해 낮은 경우에는 조정 범위를 벗어나는 문제가 방지되도록 도 1의 방식을 취하고, 노멀 전압 또는 고전압 조건 즉, 전원 전압(VDD)이 설정 레벨 이상인 경우에는 조정 성능을 향상시킬 수 있도록 도 2의 방식을 취하도록 하였다.
- [0064] 도 3에 도시된 바와 같이, 본 발명의 실시예에 따른 임피던스 조정 회로(102)는 제 1 조정부(103), 전압 검출부(104), 다중화부(105) 및 제 2 조정부(104)를 포함한다.
- [0065] 또한 임피던스 조정 시간을 결정하는 각종 명령들을 생성하기 위한 스테이트 머신(State Machine)(도시 생략) 및 그 명령들에 응답하여 각종 제어 신호들을 생성하기 위한 타이머 카운터(Timer Counter)(도시 생략)를 더 포함할 수 있다.
- [0066] 제 1 조정부(103)는 제 1 조정 신호 즉, 제 1 코드(PCODE<0:N>)를 변환한 제 1 변환 전압(VDAC1)과 기준 전압(VREF)을 비교함으로써 Rup과 RZQ가 동일한 저항 값을 갖도록 제 1 코드(PCODE<0:N>)를 가변시킨다.
- [0067] 제 1 조정부(103)는 제 1 비교기(200), 제 1 카운터(300) 및 제 1 디지털/아날로그 변환기(400)를 포함한다.
- [0068] 제 1 비교기(200)는 제 1 변환 전압(VDAC1)과 기준 전압(VREF)을 비교하여 제 1 비교 신호(CMP1)를 생성하도록

구성된다.

- [0069] 제 1 카운터(300)는 제 1 비교 신호(CMP1)에 응답하여 제 1 코드(PCODE<0:N>)를 가변시키도록 구성된다.
- [0070] 제 1 디지털/아날로그 변환기(400)는 디지털 신호 즉, 제 1 코드(PCODE<0:N>)를 아날로그 신호 즉, 제 1 변환 전압(VDAC1)으로 변환하도록 구성된다.
- [0071] 제 1 디지털/아날로그 변환기(400)는 피모스 트랜지스터(PMOS Transistor)와 저항으로 이루어진 복수의 레그(Leg)를 구비한다.
- [0072] 복수의 레그 각각의 피모스 트랜지스터의 게이트에는 제 1 코드(PCODE<0:N>)가 한 비트씩 입력된다.
- [0073] 제 1 코드(PCODE<0:N>)에 의해 전원단과 연결된 저항들의 저항 값의 총 합을 Rup이라 한다.
- [0074] 제 1 디지털/아날로그 변환기(400)는 외부 저항 연결 핀(ZQ)을 통해 RZQ과 연결된다. 이때 RZQ는 반도체 메모리 외부에 구성되므로 반도체 메모리 장치 내부의 PVT 변동과 상관없이 일정한 저항 값 예를 들어, 240옴(ohm)을 가질 수 있다.
- [0075] 전압 검출부(104)는 전원 전압(VDD)의 레벨을 검출하여 전압 검출 신호(S_LVDD)를 생성하도록 구성된다.
- [0076] 다중화부(105)는 전압 검출 신호(S_LVDD)에 응답하여 기준 전압(VREF) 또는 제 1 변환 전압(VDAC1)을 선택하여 출력하도록 구성된다.
- [0077] 제 2 조정부(106)는 제 2 조정 신호 즉, 제 2 코드(NCODE<0:N>)를 변환한 제 2 변환 전압(VDAC2)과 다중화부(105)의 출력 신호의 레벨을 비교함으로써 Rdn과 RZQ 또는 Rup_copy가 동일한 저항 값을 갖도록 제 2 코드(NCODE<0:N>)를 가변시킨다.
- [0078] 제 2 조정부(106)는 제 2 비교기(502), 제 2 카운터(600) 및 제 2 디지털/아날로그 변환기(700)를 포함한다.
- [0079] 제 2 비교기(502)는 제 2 변환 전압(VDAC2)과 다중화부(105)의 출력 신호의 레벨을 비교하여 제 2 비교 신호(CMP2)를 생성하도록 구성된다.
- [0080] 제 2 카운터(600)는 제 2 비교 신호(CMP2)에 응답하여 제 2 코드(NCODE<0:N>)를 가변시키도록 구성된다.
- [0081] 제 2 디지털/아날로그 변환기(700)는 디지털 신호 즉, 제 2 코드(NCODE<0:N>)를 아날로그 신호 즉, 제 2 변환 전압(VDAC2)으로 변환하도록 구성된다.
- [0082] 제 2 디지털/아날로그 변환기(700)는 피모스 트랜지스터(PMOS Transistor)와 저항으로 이루어진 복수의 제 1 레그(Leg)와 엔모스 트랜지스터(NMOS Transistor)와 저항으로 이루어진 복수의 제 2 레그를 구비한다.
- [0083] 복수의 제 1 레그 각각의 피모스 트랜지스터의 게이트에는 제 1 코드(PCODE<0:N>)가 한 비트씩 입력된다.
- [0084] 복수의 제 2 레그 각각의 엔모스 트랜지스터의 게이트에는 제 2 코드(NCODE<0:N>)가 한 비트씩 입력된다.
- [0085] 제 1 코드(PCODE<0:N>)에 의해 전원단과 연결된 저항들의 저항 값의 총 합을 Rup_copy라 한다. 이때 복수의 제 1 레그는 제 1 디지털/아날로그 변환기(400)와 동일하게 구성된다. 따라서 Rup과 Rup_copy는 실질적으로 동일하다.
- [0086] 제 2 코드(NCODE<0:N>)에 의해 접지단과 연결된 저항들의 저항 값의 총 합을 Rdn이라 한다.
- [0087] 도 4에 도시된 바와 같이, 전압 검출부(104)는 전원 전압(VDD)을 이용하여 생성한 내부 전압(VREF_M)과 기준 전압(VREF)을 비교함으로써 전원 전압(VDD)의 레벨을 검출하여 전압 검출 신호(S_LVDD)를 생성하도록 구성된다.
- [0088] 전압 검출부(104)는 저항(R1), 다이오드(D1), 복수의 트랜지스터(M1 ~ M5) 및 복수의 인버터(IV1, IV2)를 포함한다.
- [0089] 전압 검출부(104)는 전원 전압(VDD) 레벨이 설정 레벨보다 낮아지는 것을 검출하여 전압 검출 신호(S_LVDD)를 활성화 레벨 예를 들어, 하이 레벨로 출력하기 위한 구성이다.
- [0090] 이때 전원 전압(VDD) 단자와 접지(VSS) 단자 사이에 연결된 저항(R1)과 다이오드(D1)의 연결 노드에서 내부 전압(VREF_M)이 생성된다. 따라서 저항과 다이오드 특성에 의해 내부 전압(VREF_M)은 도 5에 도시된 바와 같이, 전원 전압(VDD)의 변동과 상관없이 일정하게 유지된다. 한편, 기준 전압(VREF)은 전원 전압(VDD)과 연동한다.
- [0091] 따라서 전압 검출부(104)는 기준 전압(VREF)이 내부 전압(VREF_M) 보다 높으면 전압 검출 신호(S_LVDD)를 로우

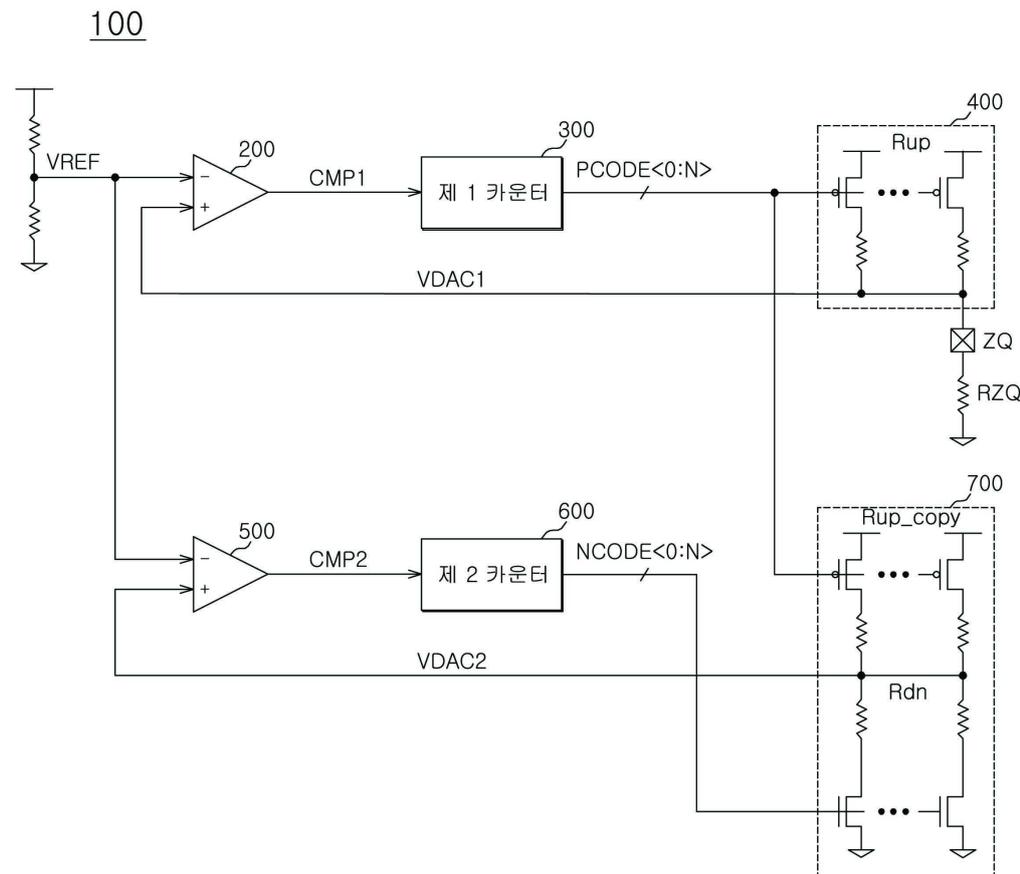
레벨로 출력하고, 그 반대의 경우 전압 검출 신호(S_LVDD)를 하이 레벨로 출력한다.

- [0092] 이와 같이 구성된 본 발명의 실시예의 임피던스 조정 동작을 설명하면 다음과 같다.
- [0093] 먼저, 제 1 코드(PCODE<0:N>)를 가변시켜 Rup과 RZQ를 실질적으로 같게 만든다.
- [0094] 그리고 Rup과 RZQ가 실질적으로 같아졌을 때의 제 1 코드(PCODE<0:N>)를 이용하여 Rup_copy를 Rup과 실질적으로 같게 만든다.
- [0095] 이어서 제 2 코드(NCODE<0:N>)를 가변시켜 Rdn을 Rup_copy 또는 RZQ와 실질적으로 같게 만듦으로써 임피던스 조정이 완료된다.
- [0096] 이를 상세히 설명하면 다음과 같다.
- [0097] 스테이트 머신(State Machine)에 의해 임피던스 조정 시간을 결정하는 각종 명령들이 생성되고, 타이머 카운터(Timer Counter)가 그 명령들에 응답하여 각종 제어 신호들을 생성한다.
- [0098] 제 1 비교기(200) 및 제 2 비교기(502)가 상술한 각종 제어 신호들에 응답하여 동작하고, 그에 따라 제 1 카운터(300), 제 1 디지털/아날로그 변환기(400), 제 2 카운터(600) 및 제 2 디지털/아날로그 변환기(700)가 동작하여 임피던스 조정 동작이 이루어진다.
- [0099] 먼저, 제 1 카운터(300)가 제 1 코드(PCODE<0:N>)를 초기값으로 출력한다.
- [0100] 제 1 디지털/아날로그 변환기(400)가 초기값의 제 1 코드(PCODE<0:N>)를 제 1 변환 전압(VDAC1)으로 변환한다.
- [0101] 제 1 비교기(200)가 기준 전압(VREF)과 제 1 변환 전압(VDAC1)을 비교하여 제 1 비교 신호(CMP1)를 생성한다.
- [0102] 제 1 카운터(300)가 제 1 비교 신호(CMP1)에 응답하여 제 1 코드(PCODE<0:N>)의 코드 값을 변화 즉, 증가 또는 감소시킨다.
- [0103] 제 1 디지털/아날로그 변환기(400)가 변화된 코드 값을 갖는 제 1 코드(PCODE<0:N>)를 제 1 변환 전압(VDAC1)으로 변환한다.
- [0104] 제 1 변환 전압(VDAC1)이 기준 전압(VREF)에 비해 낮다면 제 1 코드(PCODE<0:N>)는 제 1 변환 전압(VDAC1)을 높일 수 있는 코드 값을 가져야 한다. 또한 제 1 변환 전압(VDAC1)이 기준 전압(VREF)에 비해 높다면 제 1 코드(PCODE<0:N>)는 제 1 변환 전압(VDAC1)을 낮출 수 있는 코드 값을 가져야 한다.
- [0105] 따라서 제 1 비교기(200) 및 제 1 카운터(300)가 반복 동작하여 제 1 변환 전압(VDAC1)이 기준 전압(VREF)과 실질적으로 동일해지도록 한다.
- [0106] 결국, 제 1 변환 전압(VDAC1)이 기준 전압(VREF)과 실질적으로 동일해 졌다는 것은 Rup이 RZQ와 실질적으로 동일해졌다는 것을 의미한다.
- [0107] 이후, 조정 완료된 제 1 코드(PCODE<0:N>)를 이용하여 Rup_copy를 Rup과 실질적으로 동일하게 만든 상태에서, Rdn을 RZQ 또는 Rup_copy와 실질적으로 동일하게 만드는 과정이 진행된다.
- [0108] 즉, 제 2 비교기(502), 제 2 카운터(600) 및 제 2 디지털/아날로그 변환기(700)의 연계동작의 반복에 의해 제 2 코드(NCODE<0:N>)의 코드 값을 가변시키고 그에 따라 변화된 제 2 변환 전압(VDAC2)이 기준 전압(VREF) 또는 제 1 변환 전압(VDAC1)과 실질적으로 동일해진다.
- [0109] 제 2 비교기(502), 제 2 카운터(600) 및 제 2 디지털/아날로그 변환기(700)의 연계동작은 제 1 비교기(200), 제 1 카운터(300) 및 제 1 디지털/아날로그 변환기(400)의 연계동작과 기본적으로 동일하다.
- [0110] 다만, 제 2 비교기(502)는 전원 전압(VDD)의 레벨에 따라 제 2 변환 전압(VDAC2)과 기준 전압(VREF) 또는 제 1 변환 전압(VDAC1)을 비교하여 제 2 비교 신호(CMP2)를 생성한다.
- [0111] 즉, 전원 전압(VDD) 레벨이 설정 레벨보다 낮은 경우 전압 검출 신호(S_LVDD)가 하이 레벨로 출력된다.
- [0112] 다중화부(105)는 하이 레벨의 전압 검출 신호(S_LVDD)에 응답하여 기준 전압(VREF)을 출력한다.
- [0113] 따라서 제 2 비교기(502)는 기준 전압(VREF)과 제 2 변환 전압(VDAC2)을 비교하여 제 2 비교 신호(CMP2)를 생성한다.
- [0114] 한편, 전원 전압(VDD) 레벨이 설정 레벨 이상인 경우 전압 검출 신호(S_LVDD)가 로우 레벨로 출력된다.

- [0115] 다중화부(105)는 로우 레벨의 전압 검출 신호(S_LVDD)에 응답하여 제 1 변환 전압(VDAC1)을 출력한다.
- [0116] 따라서 제 2 비교기(502)는 제 1 변환 전압(VDAC1)과 제 2 변환 전압(VDAC2)을 비교하여 제 2 비교 신호(CMP 2)를 생성한다.
- [0117] 결국, 제 2 변환 전압(VDAC2)이 기준 전압(VREF) 또는 제 1 변환 전압(VDAC1)과 실질적으로 동일해 졌다는 것은 Rdn이 Rup_copy 또는 RZQ와 실질적으로 동일해졌다는 것을 의미한다.
- [0118] 이와 같은 과정을 거쳐 임피던스 조정이 완료되며, 제 1 코드(PCODE<0:N>) 및 제 2 코드(NCODE<0:N>)가 터미네이션 회로 예를 들어, 데이터 출력 드라이버에 제공된다.
- [0119] 데이터 출력 드라이버의 임피던스가 제 1 코드(PCODE<0:N>) 및 제 2 코드(NCODE<0:N>)에 의해 목표 값으로 설정된다.
- [0120] 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

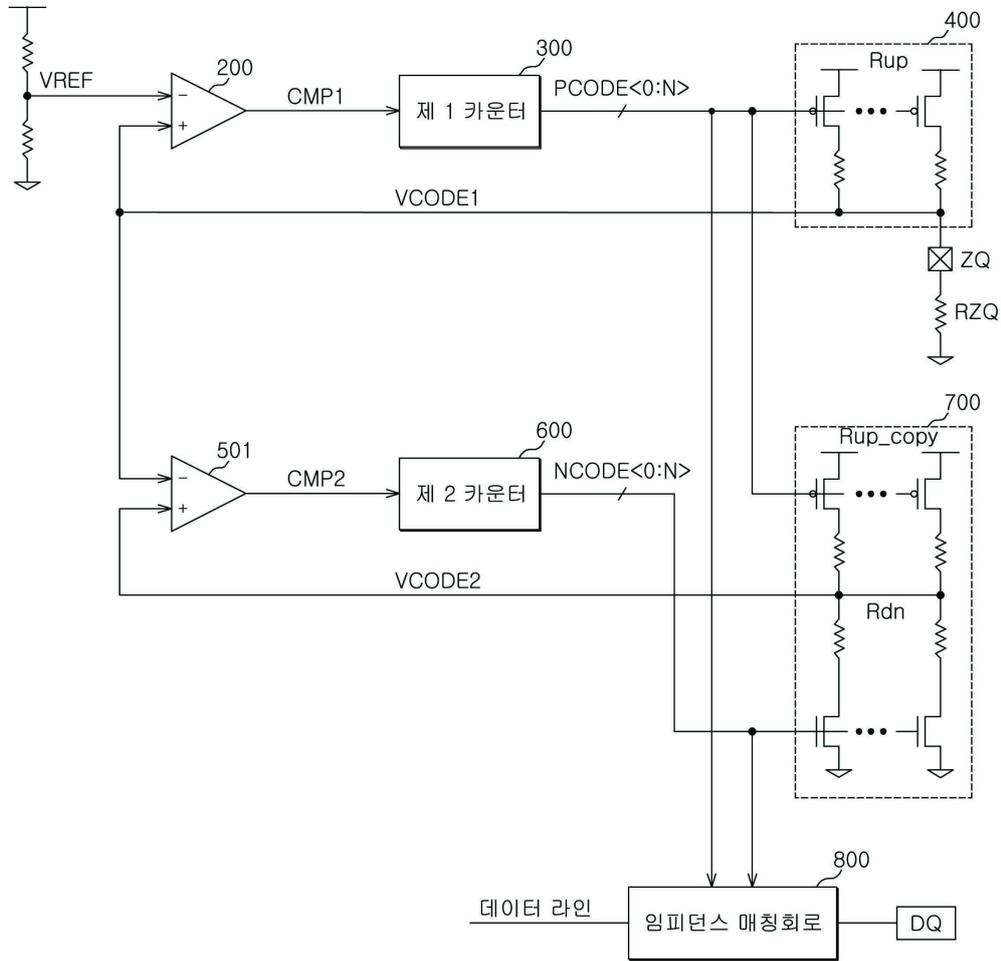
도면

도면1



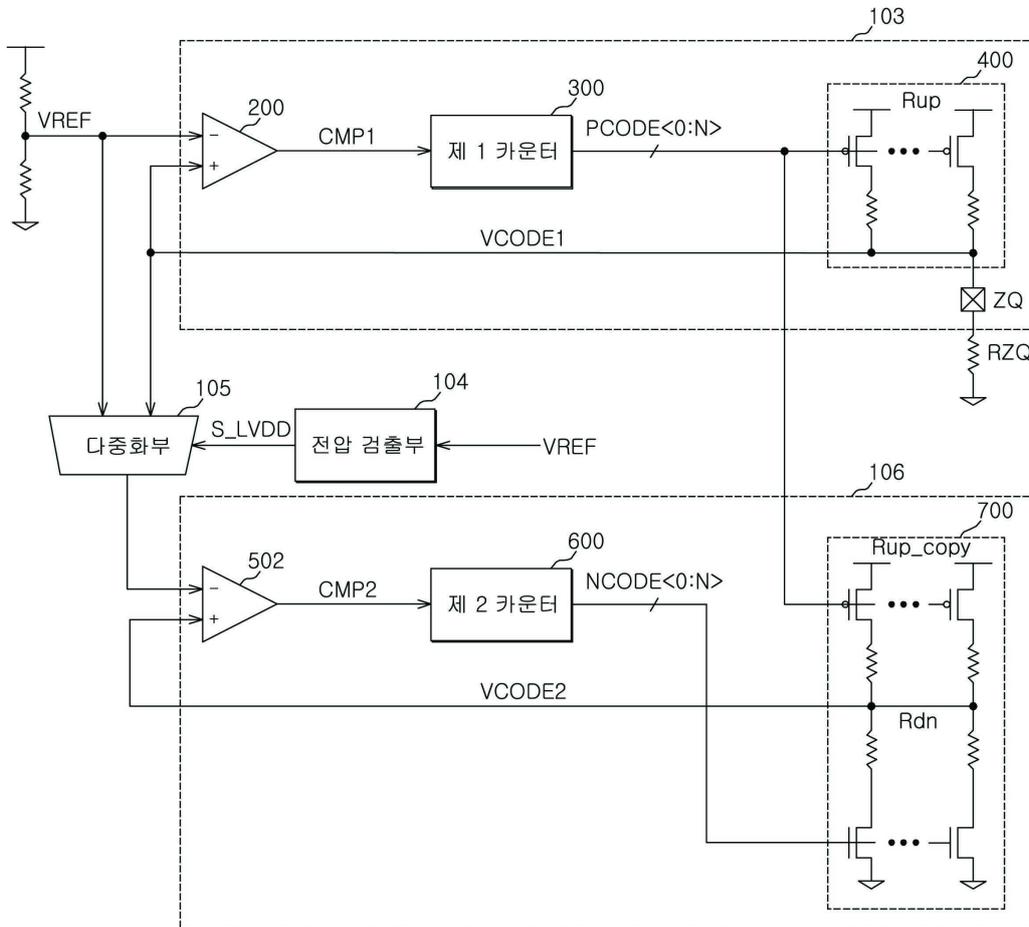
도면2

101

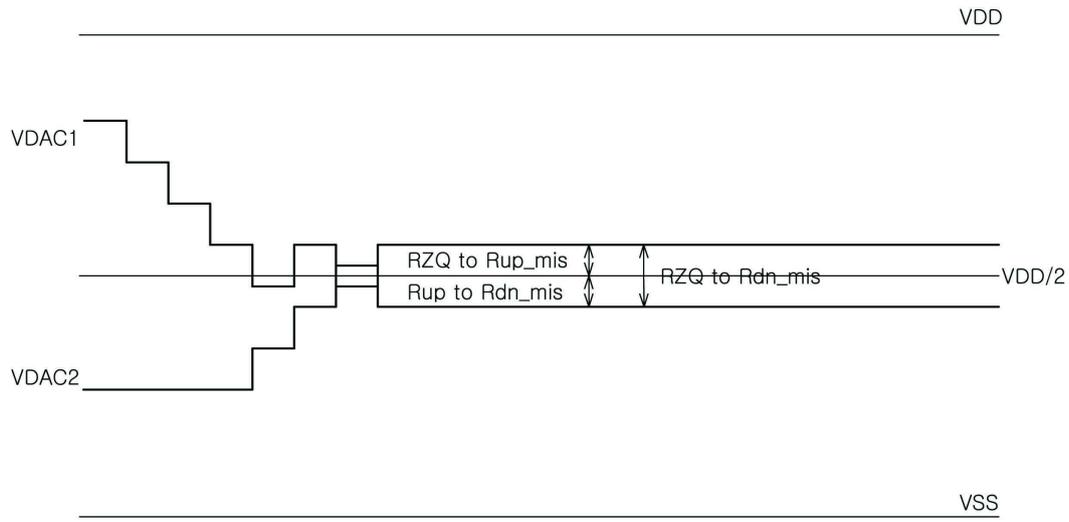


도면3

102



도면6



도면7

