

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-48394

(P2007-48394A)

(43) 公開日 平成19年2月22日(2007.2.22)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 17/14 (2006.01)	G 1 1 C 17/06 B	5 B 1 2 5
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 1 1 A	
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 1 1 Z	
	G 1 1 C 17/00 6 3 1	

審査請求 未請求 請求項の数 5 O L (全 30 頁)

(21) 出願番号 特願2005-232687 (P2005-232687)
 (22) 出願日 平成17年8月11日(2005.8.11)

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100113859
 弁理士 板垣 孝夫
 (74) 代理人 100068087
 弁理士 森本 義弘
 (74) 代理人 100096437
 弁理士 笹原 敏司
 (74) 代理人 100100000
 弁理士 原田 洋平
 (72) 発明者 角 真一
 大阪府門真市大字門真1006番地 松下
 電器産業株式会社内

最終頁に続く

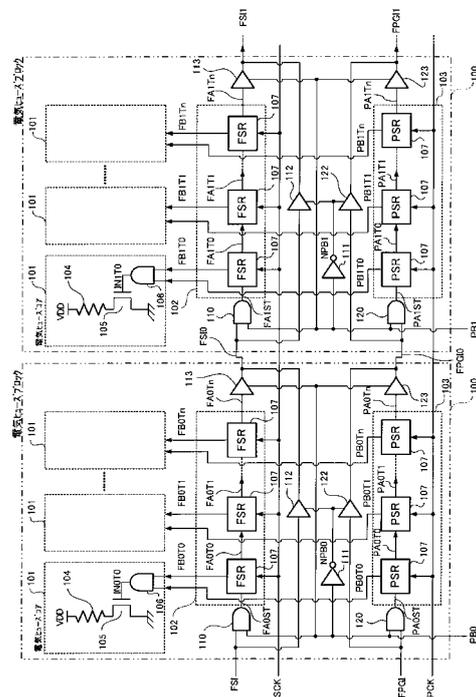
(54) 【発明の名称】 電気ヒューズモジュールを備えた半導体記憶装置

(57) 【要約】

【課題】 書き込み時間を短縮でき、低消費電力での書き込みが可能な、電気ヒューズモジュールを備えた半導体記憶装置を提供することを目的とする。

【解決手段】 複数個の電気ヒューズコア101をそれぞれ設けた複数段の電気ヒューズブロック100を備え、各電気ヒューズブロック100にそれぞれ、各電気ヒューズコア101に対応して配置され、プログラムイネーブル信号FPGIを順次伝達し、プログラムイネーブル信号FPGIを電気ヒューズコア101のNMOSトランジスタ105へ出力するシフトレジスタ107からなるプログラム・シフトレジスタブロック103を設け、プログラム判定信号PBnに従ってプログラムを行う場合には、プログラム・シフトレジスタブロック103は、プログラムイネーブル信号FPGIを伝達し、プログラムを行わない場合には、プログラムイネーブル信号FPGIをスキップする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ヒューズ素子に電流を導通し前記ヒューズ素子を溶断することによりプログラムすることができる n (n は 2 以上の整数) 個の電気ヒューズコアをそれぞれ設けた複数段の電気ヒューズブロックを備え、

前記各電気ヒューズコアに、前記プログラムを可能とするプログラムイネーブル信号と前記プログラムのためのデータ信号が入力されることにより駆動され、前記ヒューズ素子へ電流を導通しプログラムするスイッチ手段を設け、

前記各電気ヒューズブロックにそれぞれ、

前記各電気ヒューズコアに対応して配置され、前記プログラムイネーブル信号を順次伝達し、プログラムイネーブル信号を前記電気ヒューズコアのスイッチ手段へ出力する n 段のシフトレジスタからなるプログラム・シフトレジスタブロックと、 10

前記電気ヒューズコアのプログラムの要否を決定するプログラム判定信号に従って、プログラムを行うとき、前記プログラム・シフトレジスタブロック内のシフトレジスタにおいてプログラムイネーブル信号を順次伝達し、プログラムイネーブル信号を前記電気ヒューズコアのスイッチ手段へ出力してプログラムを行い、次段の電気ヒューズブロックにプログラムイネーブル信号を伝達し、プログラムを行わない場合には、前記プログラム・シフトレジスタブロック内のシフトレジスタに対して前記プログラムイネーブル信号をスキップして次段以降の電気ヒューズブロックに伝達する伝達手段

を設けること 20

を特徴とする電気ヒューズモジュールを備えた半導体記憶装置。

【請求項 2】

前記各電気ヒューズブロックにそれぞれ、

前記各電気ヒューズコアに対応して配置され、前記プログラムのためのデータ信号を順次伝達し、前記電気ヒューズコアのスイッチ手段へ出力する n 段のシフトレジスタからなるデータ・シフトレジスタブロック

を設け、

前記伝達手段は、前記プログラム判定信号に従って、プログラムを行うとき、前記データ・シフトレジスタブロック内のシフトレジスタにおいてデータ信号を順次伝達し、データ信号を前記電気ヒューズコアのスイッチ手段へ出力し、プログラムを行い、次段の電気ヒューズブロックに伝達し、プログラムを行わない場合には、前記データ・シフトレジスタブロック内のシフトレジスタに対し前記データ信号をスキップして次段以降の電気ヒューズブロックに伝達すること 30

を特徴とする請求項 1 に記載の電気ヒューズモジュールを備えた半導体記憶装置。

【請求項 3】

ヒューズ素子に電流を導通し前記ヒューズ素子を溶断することによりプログラムすることができる n (n は 2 以上の整数) 個の電気ヒューズコアをそれぞれ設けた複数段の電気ヒューズブロックを備え、

前記各電気ヒューズコアに、前記プログラムを可能とするプログラムイネーブル信号と前記プログラムのためのデータ信号が入力されることにより駆動され、前記ヒューズ素子へ電流を導通しプログラムするスイッチ手段を設け、 40

前記各電気ヒューズブロックにそれぞれ、

前記各電気ヒューズコアに対応して配置され、前記プログラムイネーブル信号を順次伝達し、プログラムイネーブル信号を前記電気ヒューズコアのスイッチ手段へ出力する n 段のシフトレジスタからなるプログラム・シフトレジスタブロック

を設け、

前記プログラム・シフトレジスタブロックの各シフトレジスタを、前記電気ヒューズコアのプログラムの要否を決定するプログラム判定信号に従って、プログラムを行うとき、前記プログラムイネーブル信号を、前記電気ヒューズコアのスイッチ手段へ出力してプログラムを行い、次段のシフトレジスタへを伝達し、プログラムを行わない場合には、前記 50

プログラムイネーブル信号をスルーして次段のシフトレジスタへ伝達する構成とすることを特徴とする電気ヒューズモジュールを備えた半導体記憶装置。

【請求項4】

前記各電気ヒューズブロックにそれぞれ、

前記各電気ヒューズコアに対応して配置され、前記プログラムのためのデータ信号を順次伝達し、前記電気ヒューズコアのスイッチ手段へ出力するn段のシフトレジスタからなるデータ・シフトレジスタブロック

を設け、

前記データ・シフトレジスタブロックの各シフトレジスタを、前記プログラム判定信号に従って、プログラムを行うとき、前記データ信号を前記電気ヒューズコアのスイッチ手段を出力してプログラムを行い、次段のシフトレジスタへを伝達し、プログラムを行わない場合には、前記データ信号をスルーして次段のシフトレジスタへ伝達する構成とすること

を特徴とする請求項3に記載の電気ヒューズモジュールを備えた半導体記憶装置。

【請求項5】

ヒューズ素子に電流を導通し前記ヒューズ素子を溶断することによりプログラムすることができるn(nは2以上の整数)個の電気ヒューズコアをそれぞれ設けた複数段の電気ヒューズブロックを備え、

前記各電気ヒューズコアに、前記プログラムを可能とするプログラムイネーブル信号と前記プログラムのためのデータ信号が入力されることにより駆動され、前記ヒューズ素子へ電流を導通しプログラムするスイッチ手段を設け、

前記各電気ヒューズブロックにそれぞれ、

前記各電気ヒューズコアに対応して配置され、前記プログラムイネーブル信号を順次伝達し、前記電気ヒューズコアのスイッチ手段へ出力するn段のシフトレジスタからなるプログラム・シフトレジスタブロックと、

前記各電気ヒューズコアに対応して配置され、前記プログラムのためのデータ信号を順次伝達し、前記電気ヒューズコアのスイッチ手段へ出力するn段のシフトレジスタからなるデータ・シフトレジスタブロックと、

前記データ・シフトレジスタブロックの初段へ入力するデータ信号にプログラムの要否を判定する判定データあるいはそれに順ずるデータを含み、この判定データあるいはそれに順ずるデータを前記電気ヒューズコアのプログラムの要否を決定するプログラム判定信号とし、このプログラム判定信号に従って、プログラムを行うとき、前記プログラム・シフトレジスタブロック内のシフトレジスタに対してプログラムイネーブル信号を順次伝達し、プログラムイネーブル信号を前記電気ヒューズコアのスイッチ手段へ出力してプログラムを行い、次段の電気ヒューズブロックにプログラムイネーブル信号を伝達し、プログラムを行わない場合には、前記プログラム・シフトレジスタブロック内のシフトレジスタに対して前記プログラムイネーブル信号をスキップして次段以降の電気ヒューズブロックに伝達する伝達手段

を設けること

を特徴とする電気ヒューズモジュールを備えた半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体を用いたOTP(One Time Programmable)メモリ、特に電流を導通することによりヒューズ素子を溶断してプログラムすることができる電気ヒューズモジュールを備えた半導体記憶装置に関するものである。

【背景技術】

【0002】

従来、電気ヒューズモジュール(電気ヒューズ装置)は、ポリシリコン等で形成された電気ヒューズ素子を用いて構成され、高周波半導体デバイスのトリミング用プログラムで

10

20

30

40

50

バイス等の半導体集積回路(LSI)に広く使用されていた。このような電気ヒューズ装置を内蔵した半導体集積回路において、電気ヒューズ素子は、バイポーラトランジスタを用いて1アンペア程度の大電流を流して溶断することによりプログラムされている。

【0003】

近年、半導体集積回路においては、例えば特許文献1に開示されているように、ゲート材料としてポリシリコン上に金属材料をシリサイド化して形成し、ゲート材料を低抵抗化するプロセスが開発された。そこで、ゲート材料に電流を流すことにより、上面のシリサイド層を切断し、高抵抗化するような仕組みを利用した電気ヒューズ素子の技術が現れ出した。130nmや90nmプロセス世代では電気ヒューズ素子に電流を導通させて溶断する際に、溶断に必要な瞬時電流は、電気ヒューズ素子1個あたり10~30ミリアンペアである。

10

【0004】

このような電気ヒューズ装置を高周波デバイスのトリミングデバイス等で使用する場合、電気ヒューズ素子の搭載数は、システムLSI、1チップあたり、せいぜい4~8個であるため、テストを用いて同時に1回で溶断可能であった。

【0005】

また、上記のような、ポリシリコン上のシリサイドを切断するタイプの電気ヒューズ素子が、DRAMやSRAM等、RAMの欠陥のあるメモリを救済するために、従来から用いられていたメタルヒューズに代わり用いられるようになった。

【特許文献1】特表平11-512879号(第31頁、第3図)

20

【発明の開示】

【発明が解決しようとする課題】

【0006】

システムLSIへ搭載するRAM冗長救済用の電気ヒューズ素子の搭載数は、1チップあたり、500~1000個である。そのため、RAMの冗長救済用に電気ヒューズ装置を用いる場合、1000本の電気ヒューズ素子を1回でプログラムしようとする、10アンペア程度の瞬時電流が必要となる(電気ヒューズ素子1個あたり10~30ミリアンペア)。しかしながら、既存の汎用テストでは、上記のようなプログラムに対応して、10アンペアの電流を供給し、LSIチップ内部の電気ヒューズ装置へ10アンペアの電流を集中的に流すことは困難であり、専用のテストが必要となる。

30

【0007】

また、これに対して、電気ヒューズ装置として、1000個の電気ヒューズ回路ブロックを独立に持ち、各電気ヒューズ素子を順次1本ずつ溶断する仕組みとした場合でも、多数の制御端子を必要(電気ヒューズ回路ブロック1個当たり4個の制御端子を持つ場合、4000個の制御端子が必要)とするため、システムLSIへの搭載は不可能である。

【0008】

このような専用のテストが必要であるという課題、および多数の制御端子を必要することからシステムLSIへの搭載は不可能であるという課題を解決する電気ヒューズモジュールを備えた半導体記憶装置として、図8と図9に示す構成が考えられる。図8と図9を参照しながら、前記課題を解決する電気ヒューズモジュールを備えた半導体記憶装置の回路を説明する。この電気ヒューズモジュールは、RAM冗長救済用などのように電気ヒューズ素子を多数必要とする場合でも、それらの電気ヒューズ素子を容易にLSI内部に搭載することができるとともに、既存の汎用テストを用いて容易に多数の電気ヒューズ素子を溶断してプログラムすることができる。

40

【0009】

図8はRAM冗長救済用などに用いられる場合の電気ヒューズモジュールを備えた半導体記憶回路を構成する回路図であり、(複数)n個(nは2以上の整数)のヒューズ素子を1つのモジュールとして構成した場合の電気ヒューズモジュールを示したものである。図8の電気ヒューズモジュールにおいて、101は電気ヒューズコア、103はn段のプログラム・シフトレジスタブロックである。

50

【 0 0 1 0 】

各電気ヒューズコア101はそれぞれ、一端が電源(VDD)に接続された電気ヒューズ素子104と、電気ヒューズ素子104と直列に接続され、ソースが接地端子に接続され、電気ヒューズ素子104に電流を導通し電気ヒューズ素子104を溶断することによりプログラムするNMOSトランジスタ(スイッチ手段の一例)105と、プログラムデータ信号FBMTi(i=1~n)とプログラム・シフトレジスタブロック103からのプログラムイネーブル信号PBMTi(i=1~n)とを入力とし、出力をNMOSトランジスタ105のゲートに入力するプログラム信号INMTi(i=1~n)とする2入力AND回路106から構成されている。

【 0 0 1 1 】

プログラム・シフトレジスタブロック103は、n段のシフトレジスタ107から構成されており、これらシフトレジスタ107は、初段にプログラムイネーブル信号FPGIが入力され、1段目からn段目まで、前段の出力を次段の入力に接続する(プログラムイネーブル伝達信号PAmT1~PAmTn)構成でシリアルにつながれている。また、プログラムクロック信号CLKは、プログラム・シフトレジスタブロック103の各シフトレジスタ107の1段目からn段目まで全て共通に接続されている。さらに、プログラム・シフトレジスタブロック103内のn段の各シフトレジスタ107から出力されるプログラムイネーブル信号PBMT1~PBMTnはそれぞれ、1段目からn段目までの電気ヒューズコア101のプログラムイネーブル信号として1本ずつ接続されている。

【 0 0 1 2 】

次に、図9を用いて、図8のシフトレジスタ107の具体的な回路構成について説明する。

図9は図8に示すシフトレジスタ107のi段目の構成を示す回路図である。図9のシフトレジスタ107は、CMOSゲート回路506と、CMOSゲート回路506の出力を入力とするインバータ回路507と、トリステート型インバータ回路508と、CMOSゲート回路509と、CMOSゲート回路509の出力を入力とし、出力をプログラムイネーブル伝達信号Aiとプログラムイネーブル信号PBMTiとするインバータ回路510と、トリステート型インバータ回路511から構成されている。

【 0 0 1 3 】

前記CMOSゲート回路506は、PMOSトランジスタのゲートがクロック信号CK(図8ではプログラムクロック信号CLKに対応)に接続され、NMOSトランジスタのゲートがクロック信号CKの反転信号NCKに接続され、入力が(i-1)段目の出力であるプログラムイネーブル伝達信号Ai-1(図8では、PAmTi-1に対応)に接続される。

【 0 0 1 4 】

また前記トリステート型インバータ回路508は、インバータ回路507の出力を入力とし、クロック信号CKを制御信号(Highでイネーブル)とし、出力をCMOSゲート回路506の出力とインバータ回路507の入力の接続点に接続する。

【 0 0 1 5 】

前記CMOSゲート回路509は、PMOSトランジスタのゲートがクロック信号CKの反転信号NCKに接続され、NMOSトランジスタのゲートがクロック信号CKに接続され、入力がインバータ回路507の出力に接続される。

【 0 0 1 6 】

また前記トリステート型インバータ回路511は、インバータ回路510の出力を入力とし、クロック信号CKの反転信号NCKを制御信号(Highでイネーブル)とし、出力をCMOSゲート回路509の出力とインバータ回路510の入力の接続点に接続する。

【 0 0 1 7 】

以上のように構成された電気ヒューズモジュールの動作について、図10を参照しながら以下に説明する。

10

20

30

40

50

図10は図8の電気ヒューズモジュールの動作を示す波形図である。

【0018】

まず、電気ヒューズコア101の*i*段目の動作について説明する。

電気ヒューズ素子104をプログラム(溶断)する際、プログラムしたい電気ヒューズ素子104に対応するプログラムデータFBmTiをHigh(H)にし、プログラムしたくない電気ヒューズ素子に対応するプログラムデータFBmTiをLow(L)にして、2入力AND回路106の一方の入力端子に入力しておく。あるタイミングで実際にプログラムするには、プログラムイネーブル信号PBmTiをパルス信号として、2入力AND回路106のもう一方の入力端子に入力する。

【0019】

プログラムイネーブル信号PBmTiがHである間だけプログラムが可能であり、プログラムデータFBmTiがHである場合、2入力AND回路106の出力INmTiはHとなり、NMOSトランジスタ105がオンされ、電気ヒューズ素子104に電流が流れることによって、電気ヒューズ素子104は溶断される。一方、プログラムデータFBmTiがLである場合は、プログラムイネーブル信号PBmTiがHであっても2入力AND回路106の出力INmTiはLとなり、NMOSトランジスタ105はオフされており、電気ヒューズ素子104には電流が流れず、電気ヒューズ素子104は溶断されない。

10

【0020】

ここで、電気ヒューズモジュール全体の動作としてみた場合について以下に説明する。

20

例えば、まず始めに、*n*個の電気ヒューズコア101に対して、1~*n*個目まで(1, 0, ..., 1)とプログラムする場合、(FBmT1, FBmT2, ..., FBmTn) = (1, 0, ..., 1)と入力しておく。

【0021】

次に、プログラム・シフトレジスタブロック103の初段に初期のプログラムイネーブル信号FPGIを、プログラムクロック信号PCKの立ち上がりエッジに対して十分セットアップを保って、LからHに立ち上げる。初段シフトレジスタには、信号PCKがLの間に、CMOSゲート回路506(図9の回路図参照)がオンされ、信号FPGIのHが入力される。信号PCKがLからHに立ち上がると、CMOSゲート回路506はオフされ、インバータ回路507およびトライステート型インバータ回路508によりラッチされ、インバータ回路507の出力にLが出力される。また、CMOSゲート回路509がオンされることにより、プログラムイネーブル信号PBmT1、およびプログラムイネーブル伝達信号PAmT1にはHが出力される。信号FPGIは、信号PCKがHの区間にLへ立ち下げられる。

30

【0022】

次に、信号PCKがHからLに立ち下がると、再びCMOSゲート回路506がオンし、信号FPGIのLが入力される。CMOSゲート回路509はオフし、インバータ回路510およびトライステート型インバータ回路511によりラッチされ、プログラムイネーブル信号PBmT1、およびプログラムイネーブル伝達信号PAmT1はHで保持される。信号PCKがLの区間に、2段目のシフトレジスタの入力にはプログラムイネーブル伝達信号PAmT1 = Hが入力される。

40

【0023】

上述したように、プログラムクロック信号PCKの周期的なクロック動作を繰り返す毎に、信号PCKの1周期分の幅を持つパルス信号として、プログラムイネーブル信号PBmTi(*i* = 1 ~ *n*)が順次生成され、同様にプログラムイネーブル伝達信号PAmTi(*i* = 1 ~ *n*)が順次次段のシフトレジスタ107に伝達されていく。

【0024】

電気ヒューズコア101の2入力AND回路106にプログラムイネーブル信号PBmTiのパルス信号が入力されると、先に述べたようにプログラムが可能になるので、プログラムデータ(FBmT1, FBmT2, ..., FBmTn) = (1, 0, ..., 1)

50

に合わせて、2入力AND回路106の出力INmTi ($i = 1 \sim n$)の状態が、信号PCKの立ち上がりエッジに合わせて決まっていく。図10では、2入力AND回路106の出力INmT1がHになり、そのパルス幅の区間だけNMOSTランジスタ105がオンし、1個目の電気ヒューズ素子104が溶断される。また、2入力AND回路106の出力INmT2はLになり、NMOSTランジスタ105はオフし、2個目の電気ヒューズ素子104は溶断されない。INmTnは、INmT1と同様であり、n個目の電気ヒューズ素子104は溶断される。

【0025】

このように、プログラム・シフトレジスタブロック103を用いて転送されるプログラムイネーブル信号PmTiのパルス信号を用い、電気ヒューズ素子104を1本ずつ溶断することで、専用テストを使用することなく、既存の汎用テストを用いて溶断することができ、しかも、シフトレジスタ103をシリアルに接続することで、少ない端子数で構成でき、システムLSIへ搭載することができるという電気ヒューズモジュールを実現することができる。

10

【0026】

さて、近年、1回書き込み用途のOTPメモリの利用可能性が広がりつつある。

例えば、機器固有のシステム設定を記録できるシステムLSIチップ、情報の保護を行うセキュアID機能を持ったSDカード等のメモリーカード、ロット番号、チップの座標位置、出荷工程での検査記録等を各チップ毎に記録し、不良解析等のトレースを可能とするチップID機能を持った半導体チップ、物流管理や航空手荷物の識別などのトラッキング

20

【0027】

これらの用途に用いられるOTPメモリは、1k~10kbit程の中容量が考えられる。また、大量に利用されるため、商品の原価、サービスのコストなどに影響を与えない程度に安価に製造できる必要がある。

【0028】

また、先端プロセスのシステムLSIへ混載される場合などは、SRAMやROMのようにロジックベースでオン・タイムに開発ができなければならない。フラッシュメモリのように別プロセスが必要でその開発が最先端プロセスから数世代遅れるような不揮発性メモリは書き換えが可能であっても、導入のタイミング、製造コスト等を勘案すると最先端のプロセスを利用したニーズに対応することができない。

30

【0029】

以上のようなニーズに適するメモリとして、OTP用途に電気ヒューズを用いることが考えられる。電気ヒューズは、ポリシリコン上のシリサイドの溶断を利用するため、フラッシュメモリのような別プロセスを必要とせず、ロジックベースの設計が可能である。別プロセスを必要としないため、先端プロセスでの設計が可能となり、最先端のシステムLSIにセキュアID機能を搭載したり、先端プロセスの製造工程を管理することができる

40

【0030】

ところで、電気ヒューズ回路を上記のような用途のOTPメモリとして利用しようとする場合、全領域に初期に一括で書き込むような用途だけでなく、アクション毎に空き領域へ追記していくような用途や、それに伴うベリファイが行われることが想定される。

【0031】

またテストを用いた書き込みだけでなく、民生機器などでポストパッケージプログラムが行われたり、また携帯機器での利用等も想定すると、高速で低消費電力の書き込みができる必要がある。

【0032】

50

しかし、図 8 に示す電気ヒューズモジュールは、端子数を少なく多数の電気ヒューズ素子 104 を搭載するために、プログラムイネーブル信号の伝達に順次直列に接続したシフトレジスタ 107 を用い、全シフトレジスタを介して順次シリアル転送する構成であることから、上記のようなプログラムの追加、追記型の書き込みを行う場合でも、プログラムイネーブル信号 F P G I を全ビット数分の段数のシフトレジスタ 107 を介して伝達しなければならない。そのため、書き込みに非常に時間が掛かってしまう。民生機器等に搭載され、ポストパッケージでのプログラムでは、より高速な書き込み(プログラム後に他の機能ブロックが動作できるまでの待ち時間を短くするためなど)と、低消費電力動作が求められる。

【0033】

10

例えば、全容量 10 k b i t のメモリの、ある空き領域に 16 b i t だけ追記したい場合でも、現状、全シフトレジスタ 107 を介してプログラムイネーブル信号を伝達するので、約 10 m s e c 掛かってしまう(1 b i t あたりのプログラムに 1 μ s e c 掛かると想定した場合)。

【0034】

そこで、本発明は、例えば、セキュア I D などの民生機器への搭載も可能な O T P メモリとして電気ヒューズを用いる場合に、書き込み時間の短縮を行うとともに、低消費電力での書き込みを可能とする電気ヒューズモジュールを備えた半導体記憶装置を提供することを目的としたものである。

【課題を解決するための手段】

20

【0035】

前述した目的を達成するために、本発明の請求項 1 に記載の電気ヒューズモジュールを備えた半導体記憶装置は、ヒューズ素子に電流を導通し前記ヒューズ素子を溶断することによりプログラムすることができる n (n は 2 以上の整数) 個の電気ヒューズコアをそれぞれ設けた複数段の電気ヒューズブロックを備え、前記各電気ヒューズコアに、前記プログラムを可能とするプログラムイネーブル信号と前記プログラムのためのデータ信号が入力されることにより駆動され、前記ヒューズ素子へ電流を導通しプログラムするスイッチ手段を設け、

前記各電気ヒューズブロックにそれぞれ、前記各電気ヒューズコアに対応して配置され、前記プログラムイネーブル信号を順次伝達し、プログラムイネーブル信号を前記電気ヒューズコアのスイッチ手段へ出力する n 段のシフトレジスタからなるプログラム・シフトレジスタブロックと、前記電気ヒューズコアのプログラムの要否を決定するプログラム判定信号に従って、プログラムを行うとき、前記プログラム・シフトレジスタブロック内のシフトレジスタにおいてプログラムイネーブル信号を順次伝達し、プログラムイネーブル信号を前記電気ヒューズコアのスイッチ手段へ出力してプログラムを行い、次段の電気ヒューズブロックにプログラムイネーブル信号を伝達し、プログラムを行わない場合には、前記プログラム・シフトレジスタブロック内のシフトレジスタに対して前記プログラムイネーブル信号をスキップして次段以降の電気ヒューズブロックに伝達する伝達手段を設けることを特徴とする。

30

【0036】

40

以上により、プログラムを行う電気ヒューズブロックのみ、前記プログラム・シフトレジスタブロック内のシフトレジスタにおいてプログラムイネーブル信号が順次伝達され、プログラムが行われ、プログラムを行わない電気ヒューズブロックではプログラムイネーブル信号がスキップされ、直接伝達されず、プログラムイネーブル信号は次段以降の電気ヒューズブロックに伝達される。よって、データのプログラム時間を短縮でき、しかも、プログラム動作に伴う消費電力を削減できる。またペリファイ動作のときに、プログラムがされていない電気ヒューズブロックをスキップすることが可能となり、チェック時間を削減できる。

【0037】

また、本発明の請求項 2 に記載の電気ヒューズモジュールを備えた半導体記憶装置は、

50

前記各電気ヒューズブロックにそれぞれ、前記各電気ヒューズコアに対応して配置され、前記プログラムのためのデータ信号を順次伝達し、前記電気ヒューズコアのスイッチ手段へ出力するn段のシフトレジスタからなるデータ・シフトレジスタブロックを設け、

前記伝達手段は、前記プログラム判定信号に従って、プログラムを行うとき、前記データ・シフトレジスタブロック内のシフトレジスタにおいてデータ信号を順次伝達し、データ信号を前記電気ヒューズコアのスイッチ手段へ出力し、プログラムを行い、次段の電気ヒューズブロックに伝達し、プログラムを行わない場合には、前記データ・シフトレジスタブロック内のシフトレジスタに対し前記データ信号をスキップして次段以降の電気ヒューズブロックに伝達することを特徴とする。

【0038】

10

以上により、プログラムを行う電気ヒューズブロックのみ、前記データ・シフトレジスタブロック内のシフトレジスタにおいてデータ信号が順次伝達され、プログラムが行われ、プログラムを行わない電気ヒューズブロックではデータ信号がスキップされ直接伝達せず、データ信号が次段以降の電気ヒューズブロックに伝達される。よって、データ信号の転送時間を短縮でき、しかも、データ信号の転送動作に伴う消費電力を削減できる。またベリファイ動作のときに、プログラムがされていない電気ヒューズブロックをスキップすることが可能となり、チェック時間を削減できる。さらに、データ・シフトレジスタブロックの採用により、データ信号の転送用に必要な端子数が減少し、チップの搭載時に有利となる。

【0039】

20

また、本発明の請求項3に記載の電気ヒューズモジュールを備えた半導体記憶装置は、ヒューズ素子に電流を導通し前記ヒューズ素子を溶断することによりプログラムすることができるn(nは2以上の整数)個の電気ヒューズコアをそれぞれ設けた複数段の電気ヒューズブロックを備え、前記各電気ヒューズコアに、前記プログラムを可能とするプログラムイネーブル信号と前記プログラムのためのデータ信号が入力されることにより駆動され、前記ヒューズ素子へ電流を導通しプログラムするスイッチ手段を設け、前記各電気ヒューズブロックにそれぞれ、前記各電気ヒューズコアに対応して配置され、前記プログラムイネーブル信号を順次伝達し、プログラムイネーブル信号を前記電気ヒューズコアのスイッチ手段へ出力するn段のシフトレジスタからなるプログラム・シフトレジスタブロックを設け、

30

前記プログラム・シフトレジスタブロックの各シフトレジスタを、前記電気ヒューズコアのプログラムの要否を決定するプログラム判定信号に従って、プログラムを行うとき、前記プログラムイネーブル信号を、前記電気ヒューズコアのスイッチ手段へ出力してプログラムを行い、次段のシフトレジスタへを伝達し、プログラムを行わない場合には、前記プログラムイネーブル信号をスルーして次段のシフトレジスタへ伝達する構成とすることを特徴とする。

【0040】

以上により、プログラム・シフトレジスタブロックの各レジスタにおいて、プログラムを行うときプログラムイネーブル信号が電気ヒューズコアのスイッチ手段へ出力されプログラムが行われ、次段のシフトレジスタへ伝達され、プログラムを行わないとき、プログラムイネーブル信号はスルーされて次段のシフトレジスタへ伝達される。よって、データのプログラム時間を短縮でき、しかも、プログラム動作に伴う消費電力を削減できる。またベリファイ動作のときに、プログラムがされていない電気ヒューズコアをスキップすることが可能となり、チェック時間を削減できる。

40

【0041】

また、本発明の請求項4に記載の電気ヒューズモジュールを備えた半導体記憶装置は、前記各電気ヒューズブロックにそれぞれ、前記各電気ヒューズコアに対応して配置され、前記プログラムのためのデータ信号を順次伝達し、前記電気ヒューズコアのスイッチ手段へ出力するn段のシフトレジスタからなるデータ・シフトレジスタブロックを設け、前記データ・シフトレジスタブロックの各シフトレジスタを、前記プログラム判定信号に従っ

50

て、プログラムを行うとき、前記データ信号を前記電気ヒューズコアのスイッチ手段を出力してプログラムを行い、次段のシフトレジスタへを伝達し、プログラムを行わない場合には、前記データ信号をスルーして次段のシフトレジスタへ伝達する構成とすることを特徴とする。

【0042】

以上により、データ・シフトレジスタブロックの各レジスタにおいて、プログラムを行うときデータ信号が電気ヒューズコアのスイッチ手段へ出力され、プログラムが行われ、次段のシフトレジスタへ伝達され、プログラムを行わないとき、データ信号はスルーされて次段のシフトレジスタへ伝達される。よって、データ信号の転送時間を短縮でき、しかも、データ信号の転送動作に伴う消費電力を削減できる。またベリファイ動作のときに、プログラムがされていない電気ヒューズコアをスキップすることが可能となり、チェック時間を削減できる。

10

【0043】

また、本発明の請求項5に記載の電気ヒューズモジュールを備えた半導体記憶装置は、ヒューズ素子に電流を導通し前記ヒューズ素子を溶断することによりプログラムすることができる n (n は2以上の整数)個の電気ヒューズコアをそれぞれ設けた複数段の電気ヒューズブロックを備え、前記各電気ヒューズコアに、前記プログラムを可能とするプログラムイネーブル信号と前記プログラムのためのデータ信号が入力されることにより駆動され、前記ヒューズ素子へ電流を導通しプログラムするスイッチ手段を設け、前記各電気ヒューズブロックにそれぞれ、前記各電気ヒューズコアに対応して配置され、前記プログラムイネーブル信号を順次伝達し、前記電気ヒューズコアのスイッチ手段へ出力する n 段のシフトレジスタからなるプログラム・シフトレジスタブロックと、前記各電気ヒューズコアに対応して配置され、前記プログラムのためのデータ信号を順次伝達し、前記電気ヒューズコアのスイッチ手段へ出力する n 段のシフトレジスタからなるデータ・シフトレジスタブロックと、前記データ・シフトレジスタブロックの初段へ入力するデータ信号にプログラムの要否を判定する判定データあるいはそれに順ずるデータを含み、この判定データあるいはそれに順ずるデータを前記電気ヒューズコアのプログラムの要否を決定するプログラム判定信号とし、このプログラム判定信号に従って、プログラムを行うとき、前記プログラム・シフトレジスタブロック内のシフトレジスタに対してプログラムイネーブル信号を順次伝達し、プログラムイネーブル信号を前記電気ヒューズコアのスイッチ手段へ出力してプログラムを行い、次段の電気ヒューズブロックにプログラムイネーブル信号を伝達し、プログラムを行わない場合には、前記プログラム・シフトレジスタブロック内のシフトレジスタに対して前記プログラムイネーブル信号をスキップして次段以降の電気ヒューズブロックに伝達する伝達手段を設けることを特徴とする。

20

30

【0044】

以上により、前記データ・シフトレジスタブロックの初段へ入力するデータ信号にプログラムの要否を判定する判定データあるいはそれに順ずるデータが含まれ、この判定データあるいはそれに順ずるデータが電気ヒューズコアのプログラムの要否を決定するプログラム判定信号とされ、このプログラム判定信号に基づいてプログラムを行う電気ヒューズブロックのみ、前記プログラム・シフトレジスタブロック内のシフトレジスタにおいてプログラムイネーブル信号が順次伝達され、プログラムが行われ、プログラムを行わない電気ヒューズブロックではプログラムイネーブル信号がスキップされ直接伝達されず、プログラムイネーブル信号は次段以降の電気ヒューズブロックに伝達される。よって、データのプログラム時間を短縮でき、しかも、プログラム動作に伴う消費電力を削減できる。またベリファイ動作のときに、プログラムがされていない電気ヒューズブロックをスキップすることが可能となり、チェック時間を削減できる。さらに、判定データあるいはそれに順ずるデータを電気ヒューズコアのプログラムの要否を決定するプログラム判定信号とすることにより、別途プログラム判定信号を設ける必要がなく、制御すべき信号数を削減することができる。

40

【発明の効果】

50

【0045】

本発明の電気ヒューズモジュールを備えた半導体記憶装置は、必要な電気ヒューズブロックのみにプログラムを行うことにより、データのプログラム時間を短縮でき、しかも、プログラム動作に伴う消費電力を削減できる。

【0046】

また必要な電気ヒューズブロックのみにプログラムを行うことにより、データ信号の転送時間を短縮でき、しかも、データ信号の転送動作に伴う消費電力を削減できる。

また、電気ヒューズブロックに入力するデータ信号にプログラムの要否を判定する判定データ、あるいはそれに順ずるデータを含む場合、その判定データをプログラム判定信号に用いることによって、別途プログラム判定信号を設ける必要がなく、制御すべき信号数を削減することができる。

10

【0047】

以上の結果、例えば、セキュアIDなどの機能をもつ民生機器への搭載も可能なOTPメモリとして電気ヒューズを用いる場合に、書き込み時間の短縮を行うとともに、低消費電力での書き込みが可能となる。

【発明を実施するための最良の形態】

【0048】

以下、本発明の実施の形態を、図面を参照しながら説明する。

[実施の形態1]

図1は本実施の形態1における電気ヒューズモジュールを備えた半導体記憶装置の構成を示す回路図であり、複数個のヒューズ素子を搭載した電気ヒューズモジュールを示している。

20

【0049】

図1の電気ヒューズモジュールにおいて、100は複数段(p段)の電気ヒューズブロックである。(図では、3段目以降は省略。)

電気ヒューズブロック100において、初段、および2段目以降はデータクロック信号FSCK、プログラムクロック信号CLKを共通の入力とし、初段はデータ信号FSI、プログラムイネーブル信号FPGIを入力とし、出力を各々の転送後の信号FSI0、FPGI0とし、2段目以降、順次、入力はFSIm、FPGIm、出力はFSI(m+1)、FPGI(m+1); (m=0~p-1)である。

30

【0050】

また、電気ヒューズブロック100は、n個の電気ヒューズコア101と、n段のデータ・シフトレジスタブロック102と、n段のプログラム・シフトレジスタブロック103と、伝達手段(詳細は後述する)から構成されている。

【0051】

また、各電気ヒューズブロック100には、該当の電気ヒューズブロック100に対して、プログラムの要否を判定するプログラム判定信号Pbm(mは電気ヒューズブロック100の段数)が入力されている。

【0052】

電気ヒューズコア101は、図8の電気ヒューズコア101と同様であり、同一の構成に同一の番号を付している。また、図8でデータ信号FBmTi、プログラムイネーブル信号PbmTi(i=1~n)の信号名のmは、図1では、電気ヒューズブロック100の段数を意味する。例えば、1段目電気ヒューズブロック内のプログラム・シフトレジスタブロック2段目から出力されるプログラムイネーブル信号はPB0T1となる。

40

「n段のデータ・シフトレジスタブロック」

データ・シフトレジスタブロック102は、n段のシフトレジスタ107により構成され、シフトレジスタ107の初段に、AND回路110の出力信号FamST(mは電気ヒューズブロック100の段数)を入力し、1段目からn段目まで、前段の出力を次段の入力に接続する(データ伝達信号FamT0~FamTn;mは電気ヒューズブロック100の段数)構成でシリアルにつながれている。また、データクロック信号FSCKは、

50

シフトレジスタ102の1段目からn段目まで全て共通に接続されている。さらに、シフトレジスタ102から出力されるデータ信号FBmT0～FBmTnは、各々、1段目からn段目までの電気ヒューズコア101のデータ信号として1本ずつ接続されている。

【0053】

上記AND回路110は、初段ではデータ信号FSI、プログラム判定信号PB0を入力とし、データ信号FAOSTを出力とし、2段目はデータ信号FSI0、プログラム判定信号PB1を入力とし、データ信号FA1STを出力とする。

【0054】

またデータ・シフトレジスタブロック102の出力データ伝達信号FAOTnを入力とするトライステート・バッファ回路113が設けられており、このトライステート・バッファ回路113は、プログラム判定信号PBmを制御信号(Highでイネーブル)とし、データシフトレジスタ102の出力データ伝達信号FAOTnを入力とし、出力を次段の電気ヒューズブロックへ入力するデータ信号FSIm; (m=0～p)とする。

10

【0055】

また、前記プログラム判定信号PBmを入力とし、出力をその反転信号NPBmとするインバータ回路111が設けられ、このインバータ回路111の反転信号NPBmを制御信号(Highでイネーブル)とする、トライステート・バッファ回路112と122が設けられている。

【0056】

前記トライステート・バッファ回路112は、インバータ回路111の出力信号NPBmを制御信号(Highでイネーブル)として、入力を初段はFSI、2段目以降はFSI(m-1); (m=1～p)とし、出力を次段の電気ヒューズブロック101へ入力するデータ信号FSIm; (m=0～p)とする。

20

「n段のプログラム・シフトレジスタブロック」

プログラム・シフトレジスタブロック103は、n段のシフトレジスタ107で構成され、初段にAND回路120の出力信号PAmST(mは電気ヒューズブロック100の段数)を入力し、1段目からn段目まで、前段の出力を次段の入力に接続する(プログラムイネーブル伝達信号PAmT0～PAmTn; mは電気ヒューズブロック100の段数)構成でシリアルにつながれている。また、プログラムクロック信号PCKは、シフトレジスタ103の1段目からn段目まで全て共通に接続されている。さらに、シフトレジスタ103から出力されるプログラムイネーブル信号PBmT0～PBmTnは、各々、1段目からn段目までの電気ヒューズコア101のプログラムイネーブル信号として1本ずつ接続されている。

30

【0057】

上記AND回路120は、初段ではプログラムイネーブル信号FPGI、プログラム判定信号PB0を入力とし、プログラムイネーブル信号PAOSTを出力とし、2段目はプログラムイネーブル信号FPGI0、プログラム判定信号PB1を入力とし、プログラムイネーブル伝達信号PA1STを出力とする。

【0058】

またプログラム・シフトレジスタブロック103の出力プログラムイネーブル伝達信号PAOTnを入力とするトライステート・バッファ回路123が設けられており、このトライステート・バッファ回路123は、プログラム判定信号PBmを制御信号(Highでイネーブル)とし、プログラム・シフトレジスタブロック103の出力プログラムイネーブル伝達信号PAOTnを入力とし、出力を次段の電気ヒューズブロックへ入力するプログラムイネーブル信号FPGIm; (m=0～p)とする。

40

【0059】

また前記トライステート・バッファ回路122は、インバータ回路111の出力信号NPBmを制御信号(Highでイネーブル)とし、入力を初段はプログラムイネーブル信号FPGI、2段目以降はFPGI(m-1); (m=1～p)とし、出力を次段の電気ヒューズブロックへ入力するプログラムイネーブル信号FPGIm; (m=0～p)とする

50

。

【0060】

前記伝達手段は、上記AND回路110、120、インバータ回路111、およびトライステート・バッファ回路112、113、122、123から構成されている。

「作用」

以上のように構成された電気ヒューズモジュールの動作について、図2を参照しながら以下に説明する。

【0061】

図2は本実施の形態1の電気ヒューズモジュールの動作を示す波形図である。

電気ヒューズコア101のi段目の動作については、背景の技術の欄の説明と同様であるので省略する。ここで、初段(1段目)の電気ヒューズブロックへのデータ情報、及びプログラムイネーブル信号の転送をスキップし、2段目の電気ヒューズブロックに対してデータ情報、及びプログラムイネーブル信号の転送を行い、データ書き込み(プログラム)を行うものとする。図8と同様に、プログラムを行う2段目の電気ヒューズブロックにおいてn個の電気ヒューズコア101に対して、1~n個目までのデータ情報を(1, 0, ..., 1)とプログラムするものとする。

10

【0062】

上記目的のために、まずプログラム判定信号PB0、PB1をそれぞれ、L、およびHとする。

プログラムイネーブル信号FPGI、およびプログラムクロック信号PCKは、データ転送が完了するまで動作させずL固定とする。

20

【0063】

電気ヒューズブロック100の初段のAND回路110の片側の入力信号PB0にLが入力され、データ信号FSIの入力の状態にかかわらず、データ・シフトレジスタブロック102の初段への入力FAOSTはLとなる。よって、データ伝達信号FAOTi、およびデータ信号FBOTiは時間の経過に関係なく常にLが出力される。

【0064】

これに対し、プログラム判定信号PB0の入力によりインバータ回路111の出力信号NPB0はHとなり、トライステート・バッファ回路112はイネーブル状態となり、データ信号FSIを入力とし、データ信号FSI0を出力する。

30

【0065】

プログラム判定信号PB1がHであるのでデータ信号FSI0は信号FA1STに伝達される。

以上の動作により電気ヒューズブロック100の初段に、データ信号FSIが入力されると、2段目の電気ヒューズブロック100のシフトレジスタ102の初段に伝達される。n段目にプログラムするデータ、つまり、Hを、データクロック信号FSCKの立ち上がりエッジに対して十分セットアップを保って、LからHに立ち上げる。図8で説明したものと同様の動作で、シフトレジスタ107のクロック動作を行い、1~n段目までのデータ信号を伝達する。つまり、入力順序はn段目のデータ~1段目のデータの順に伝達する。

40

【0066】

最終的に、1~n段目のデータ信号FB1Tiの出力は、(H, L, ..., H)となる。このように、データ情報は、初段の電気ヒューズブロック100のデータ・シフトレジスタブロックをスキップして、次段の電気ヒューズブロック100に転送される。

【0067】

データ転送完了後、同様に、プログラムイネーブル信号を転送し、入力したデータに対してプログラムを行う。

またデータ転送と同様に、プログラム判定信号PB0=L、PB1=Hにより、初段の電気ヒューズブロック100のプログラム・シフトレジスタブロック102にはプログラムイネーブル信号FPGIは伝達されず、PAOTi、PBOTiは常にL出力となる。つ

50

まり、これにより、初段の電気ヒューズブロック100の電気ヒューズコア101の電気ヒューズ素子104はプログラムが行われない。

【0068】

これに対し、プログラム判定信号PB0の入力によりインバータ回路111の出力信号NPB0はHとなり、トライステート・バッファ回路122はイネーブル状態となり、プログラムイネーブル信号FPGIを入力とし、プログラムイネーブル信号FPGI0を出力する。

【0069】

プログラム判定信号PB1がHであるのでプログラムイネーブル信号FPGI0は信号PA1STに伝達される。

以上の動作により電気ヒューズブロック100の初段に、プログラムイネーブル信号FPGIが入力されると、2段目の電気ヒューズブロックのシフトレジスタ103の初段に伝達される。

【0070】

2段目の電気ヒューズブロックのシフトレジスタ103の初段にプログラムイネーブル信号FPGI0を、プログラムクロック信号PCKの立ち上がりエッジに対して十分セットアップを保って、LからHに立ち上げる。プログラムクロック信号PCKの周期的なクロック動作を繰り返す毎に、信号PCKの1周期分の幅を持つパルス信号として、プログラムイネーブル信号PB1Ti ($i = 1 \sim n$) が順次生成され、同様にプログラムイネーブル伝達信号PA1Ti ($i = 1 \sim n$) が順次次段のシフトレジスタに伝達されていく。

【0071】

電気ヒューズコア101の2入力AND回路106にプログラムイネーブル信号PB1Tiのパルス信号が入力されると、先に述べたようにプログラムが可能な状態になるので、データ信号($FB1T1, FB1T2, \dots, FB1Tn$) = ($1, 0, \dots, 1$) に合わせて、2入力AND回路106の出力IN1Ti ($i = 1 \sim n$) の状態が、信号PCKの立ち上がりエッジに合わせて決まっていく。図2では、IN1T0がHになり、そのパルス幅の区間だけNMOSトランジスタ105がオンし、1個目の電気ヒューズ素子104が溶断される。また、IN1T1はLになり、NMOSトランジスタ105はオフし、2個目の電気ヒューズ素子104は溶断されない。IN1Tnは、IN1T1と同様であり、($n + 1$) 個目の電気ヒューズ素子104は溶断される。

【0072】

このように、プログラムイネーブル信号FPGIは、初段の電気ヒューズブロック100のプログラム・シフトレジスタブロック102をスキップして、次段の電気ヒューズブロック100に転送され、転送されたデータ信号に従って、順次プログラムイネーブル信号FPGImが伝達されることでプログラムが行われる。

【0073】

以上のように、伝達手段の作用によって、プログラム判定信号PBmに従ってプログラムを行うとき、データ・シフトレジスタブロック102内のシフトレジスタ107においてデータ信号FSIを順次伝達し、データ信号FBmTiを電気ヒューズコア100のAND回路106を介してNMOSトランジスタ105へ出力し、次段の電気ヒューズブロック100へ伝達し、またプログラム・シフトレジスタブロック103内のシフトレジスタ107においてプログラムイネーブル信号FPGIを順次伝達し、プログラムイネーブル信号PBmTiを電気ヒューズコア101のAND回路106を介してNMOSトランジスタ105へ出力し、次段の電気ヒューズブロック100へ伝達する。前記データ信号FBmTiおよびプログラムイネーブル信号PBmTiがともにオンとなることにより、NMOSトランジスタ105が駆動され、電気ヒューズ素子104に電流が導通され電気ヒューズ素子104が溶断されてプログラムされる。

【0074】

またプログラムを行わない場合には、データ・シフトレジスタブロック102内のシフトレジスタ107に対しデータ信号FSIをスキップして次段以降の電気ヒューズブロッ

10

20

30

40

50

ク 1 0 0 に伝達し、またプログラム・シフトレジスタブロック 1 0 3 内のシフトレジスタ 1 0 7 に対してプログラムイネーブル信号 F P G I をスキップして次段以降の電気ヒューズブロック 1 0 0 に伝達する。

【 0 0 7 5 】

その結果、ある空き領域の特定のデータブロックに書き込み（プログラム）を行うような場合に、データ信号転送時間、およびプログラムイネーブル信号転送時間を短縮することができ、しかもそれに伴う伝達動作により生じる消費電力を抑えることができるという優れた電気ヒューズモジュールを実現することができる。またベリファイ動作のときに、プログラムがされていない電気ヒューズブロック 1 0 1 をスキップすることが可能となり、チェック時間を削減できる。さらに、データ・シフトレジスタブロック 1 0 2 の採用により、データ信号の転送用に必要な端子数を減少でき、チップの搭載時に有利とすることができる。

10

[実施の形態 2]

図 3 は本実施の形態 2 の電気ヒューズモジュールを備えた半導体記憶装置の構成を示す回路図であり、複数個のヒューズ素子を搭載した電気ヒューズモジュールを示したものである。

【 0 0 7 6 】

図 2 の電気ヒューズモジュールにおいて、2 0 0 は複数段（ p 段）の電気ヒューズブロックである。（図では、3 段目以降は省略。）

電気ヒューズブロック 2 0 0 において、初段、および 2 段目以降はデータクロック信号 F S C K、プログラムクロック信号 P C K を共通の入力とし、初段はデータ信号 F S I、プログラムイネーブル信号 F P G I を入力とし、出力を各々の転送後の信号 F A 0 T n 、P A 0 T n し、2 段目以降、順次、入力は F A ($m - 1$) T n 、P A ($m - 1$) T n 、出力は F A m T n 、P A m T n ；（ $m = 1 \sim p - 1$ ）である。

20

【 0 0 7 7 】

また、電気ヒューズブロック 2 0 0 は、 n 個の電気ヒューズコア 1 0 1 と、 n 段のデータ・シフトレジスタブロック 2 0 2 と、 n 段のプログラム・シフトレジスタブロック 2 0 3 から構成されている。

【 0 0 7 8 】

また、電気ヒューズブロック 2 0 0 において、該当の電気ヒューズブロック 2 0 0 に対して、プログラムの要否を判定するプログラム判定信号 P B m （ m は電気ヒューズブロック 2 0 0 の段数）が入力される。

30

【 0 0 7 9 】

電気ヒューズコア 1 0 1 は、実施の形態 1 の電気ヒューズコア 1 0 1 と同一の構成に同一の番号を付している。

「 n 段のデータ・シフトレジスタブロック」

データ・シフトレジスタブロック 2 0 2 は、 n 段のシフトレジスタ 2 0 7 で構成され、初段の電気ヒューズブロックでは、データ信号 F S I を、2 段目以降の電気ヒューズブロックでは、F A ($m - 1$) T n ；（ $m = 1 \sim p$ ）を入力し、1 段目から n 段目まで、前段の出力を次段の入力に接続する（データ伝達信号 F A m T 0 ~ F A m T n ； m は電気ヒューズブロック 2 0 0 の段数）構成でシリアルにつながれている。また、データクロック信号 F S C K は、シフトレジスタ 2 0 7 の 1 段目から n 段目まで全て共通に接続されている。さらに、各シフトレジスタ 2 0 7 から出力されるデータ信号 F B m T 0 ~ F B m T n は、各々、1 段目から n 段目までの電気ヒューズコア 1 0 1 のデータ信号として 1 本ずつ接続されている。

40

「 n 段のプログラム・シフトレジスタブロック」

プログラム・シフトレジスタブロック 2 0 3 は、 n 段のシフトレジスタ 2 0 7 で構成され、初段の電気ヒューズブロックでは、プログラムイネーブル信号 F P G I を、2 段目以降の電気ヒューズブロックでは、P A ($m - 1$) T n ；（ $m = 1 \sim p$ ）を入力し、1 段目から n 段目まで、前段の出力を次段の入力に接続する（プログラムイネーブル伝達信号 P A m T

50

0 ~ P A m T n ; m は電気ヒューズブロック 200 の段数) 構成でシリアルにつながれている。また、プログラムクロック信号 P C K は、シフトレジスタ 207 の 1 段目から n 段目まで全て共通に接続されている。さらに、シフトレジスタ 207 から出力されるプログラムイネーブル信号 P B m T 0 ~ P B m T n は、各々、1 段目から n 段目までの電気ヒューズコア 101 のプログラムイネーブル信号として 1 本ずつ接続されている。

「シフトレジスタ 207」

図 4 は図 3 に示すシフトレジスタ 207 の i 段目の構成を示す回路図である。

【0080】

図 4 のシフトレジスタ 207 において、300 は、プログラム判定信号 P B とクロック信号 C K を入力とし、出力を信号 C X C K とする A N D 回路、301 は、A N D 回路 300 の出力信号 C X C K を入力とし、出力を信号 N C X C K とするインバータ回路、302 は、クロック信号 C K を入力とするインバータ回路、303 は、プログラム判定信号 P B とインバータ回路 302 の出力とを入力とし、出力を信号 C Y C K とする A N D 回路、304 は、A N D 回路 303 の出力信号 C Y C K を入力とし、信号 N C Y C K を出力とするインバータ回路である。上記クロック信号 C K は、図 3 では、データ・シフトレジスタブロック 202 の場合データクロック信号 F S C K に対応し、プログラム・シフトレジスタブロック 203 の場合、プログラムクロック信号 P C K に対応している。

【0081】

また、306 は C M O S ゲート回路、307 は C M O S ゲート回路 306 の出力を入力とするインバータ回路、308 はトリステート型インバータ回路、309 は C M O S ゲート回路、310 は C M O S ゲート回路 309 の出力を入力とし、出力をプログラムイネーブル伝達信号 A i とプログラムイネーブル信号 P B m T i とするインバータ回路、311 はトリステート型インバータ回路である。

【0082】

前記 C M O S ゲート回路 306 は、P M O S トランジスタのゲートが信号 C X C K に接続され、N M O S トランジスタのゲートが信号 N C X C K に接続され、入力が (i - 1) 段目の出力である伝達信号 A i - 1 (図 3 では、データ・シフトレジスタブロックの場合、F A m T i - 1 に、プログラム・シフトレジスタブロックの場合、P A m T i - 1 に対応) に接続される。

【0083】

また前記トリステート型インバータ回路 308 は、インバータ回路 307 の出力を入力とし、信号 C X C K を制御信号 (H i g h でイネーブル) とし、出力を C M O S ゲート回路 306 の出力とインバータ回路 307 の入力の接続点に接続する。

【0084】

また前記 C M O S ゲート回路 309 は、P M O S トランジスタのゲートが信号 C Y C K に接続され、N M O S トランジスタのゲートが信号 N C Y C K に接続され、入力がインバータ回路 310 の出力に接続される。

【0085】

また前記トリステート型インバータ回路 311 は、インバータ回路 310 の出力を入力とし、信号 N C Y C K を制御信号 (H i g h でイネーブル) とし、出力を C M O S ゲート回路 309 の出力とインバータ回路 310 の入力の接続点に接続する。

【0086】

以上のように構成された電気ヒューズモジュールの動作について、図 5 を参照しながら以下に説明する。

図 5 は本実施の形態 2 の電気ヒューズモジュールの動作を示す波形図である。

【0087】

電気ヒューズコア 101 の i 段目の動作については、図 8 の説明と同様であるので省略する。ここで、まず始めに、初段 (1 段目) の電気ヒューズブロックへのデータ信号、及びプログラムイネーブル信号の転送をスキップし、2 段目の電気ヒューズブロックに対してデータ信号、及びプログラムイネーブル信号の転送を行い、データ書き込み (プログラ

10

20

30

40

50

ム)を行うものとする。図8と同様に、プログラムを行う2段目の電気ヒューズブロックにおいてn個の電気ヒューズコア101に対して、1~n個目までのデータ信号を(1, 0, ..., 1)とプログラムするものとする。

【0088】

上記目的のために、まずプログラム判定信号PB0、PB1をそれぞれ、L、およびHとする。

ここで、シフトレジスタ207について説明する。

【0089】

シフトレジスタ207は、シフトレジスタ部は図9のシフトレジスタ107と同様の構成で、クロック信号CK、NCKの制御信号が図のように、信号CXCK、NCXCK、CYCK、NCYCKとなったものである。

10

【0090】

図9の下部、すなわちAND回路300、303とインバータ回路301、302、304で構成される回路により、プログラム判定信号PBにHが入力されると、従来のシフトレジスタ107と同様にクロック動作により、順次データを転送することができる。また、Lが入力されると、CXCK=L、NCXCK=H、CYCK=L、NCYCK=Hとなり、入力Ai-1をそのままAiに伝達するスルー状態となる。

【0091】

このように、データ・シフトレジスタブロック202の各シフトレジスタ207は、プログラム判定信号PBmに従って、プログラムを行うとき、データ信号FBmTiを電気ヒューズコア101のAND回路106を介してNMOSトランジスタ105へ出力してプログラムを行い、次段のシフトレジスタ207へ伝達し、プログラムを行わない場合には、データ信号FAmTiをスルーして次段のシフトレジスタ207へ伝達する構成とされる。またプログラム・シフトレジスタブロック203の各シフトレジスタ207は、プログラム判定信号PBmに従って、プログラムを行うとき、プログラムイネーブル信号PBmTiを電気ヒューズコア101のAND回路106を介してNMOSトランジスタ105へ出力してプログラムを行い、次段のシフトレジスタ207へ伝達し、プログラムを行わない場合には、プログラムイネーブル信号PAmTiをスルーして次段のシフトレジスタ207へ伝達する構成とされる。

20

【0092】

プログラムイネーブル信号FPGI、およびプログラムクロック信号PCKは、データ転送が完了するまで動作させずL固定とする。

30

初段の電気ヒューズブロック200のデータ・シフトレジスタブロック202に信号PB0にLが入力され、シフトレジスタ207はスルー状態になる。これにより、データ信号FSIは、直接、2段目の電気ヒューズブロック200へスルーして転送される。

【0093】

よって、データ伝達信号FA0Tiは入力されたデータ信号FSIの入力波形と同様の波形になる。また、データ信号FB0TiはPB0=Lであることより、時間の経過に関係なく常にLを出力される。

【0094】

以上の動作により電気ヒューズブロック200の初段に、データ信号FSIが入力されると、2段目の電気ヒューズブロック200のシフトレジスタ202の初段に伝達される。n段目にプログラムするデータ、つまり、Hを、データクロック信号FSCKの立ち上がりエッジに対して十分セットアップを保って、LからHに立ち上げる。図8で説明したものと同様の動作で、シフトレジスタ207のクロック動作を行い、1~n段目までのデータ信号を伝達する。つまり、入力順序はn段目のデータ~1段目のデータの順に伝達する。

40

【0095】

最終的に、1~n段目のデータ信号FB1Tiの出力は、(H, L, ..., H)となる。このように、データ信号は、初段の電気ヒューズブロック200のデータ・シフトレジスタ

50

ブロック202をスキップして、次段の電気ヒューズブロック200に転送される。

【0096】

データ転送完了後、同様に、プログラムイネーブル信号FPGIを転送し、入力したデータに対してプログラムを行う。

データ転送と同様に、プログラム判定信号PB0=L、PB1=Hにより、初段の電気ヒューズブロック200のプログラム・シフトレジスタブロック203にはプログラムイネーブル信号FPGIはスルーして通過し、シフトレジスタ207の出力PA0Tiは、プログラムイネーブル信号FPGIの入力と同様の波形となり、PB0Tiは常にL出力となる。つまり、これにより、初段の電気ヒューズブロック200の電気ヒューズコア101のヒューズ素子はプログラムが行われない。

10

【0097】

以上の動作により、電気ヒューズブロック200の初段に、プログラムイネーブル信号FPGIを入力すると、2段目の電気ヒューズブロックのシフトレジスタ203の初段に伝達される。

【0098】

2段目の電気ヒューズブロック200のプログラム・シフトレジスタ203の初段にプログラムイネーブル信号PA0Tnが入力される。プログラムクロック信号PCKの周期的なクロック動作を繰り返す毎に、信号PCKの1周期分の幅を持つパルス信号として、プログラムイネーブル信号PB1Ti ($i = 1 \sim n$) が順次生成され、同様にプログラムイネーブル伝達信号PA1Ti ($i = 1 \sim n$) が順次次段のシフトレジスタ207に伝達されていく。

20

【0099】

電気ヒューズコア101の2入力AND回路106にプログラムイネーブル信号PB1Tiのパルス信号が入力されると、先に述べたようにプログラムが可能な状態になるので、データ信号($FB1T1, FB1T2, \dots, FB1Tn$) = ($1, 0, \dots, 1$)に合わせ、2入力AND回路106の出力IN1Ti ($i = 1 \sim n$)の状態が、信号PCKの立ち上がりエッジに合わせて決まっていく。図5では、IN1T0がHになり、そのパルス幅の区間だけNMOSTランジスタ105がオンし、1個目の電気ヒューズ素子104が溶断される。また、IN1T1はLになり、NMOSTランジスタ105はオフし、2個目の電気ヒューズ素子104は溶断されない。IN1Tnは、IN1T1と同様であり、($n + 1$)個目の電気ヒューズ素子104は溶断される。

30

【0100】

このように、プログラムイネーブル信号FPGIは、初段の電気ヒューズブロック200のプログラム・シフトレジスタブロック202をスキップして、次段の電気ヒューズブロック200に転送され、転送されたデータ信号に従って、順次プログラムイネーブル信号FPGIが伝達されることでプログラムが行われる。

【0101】

以上により、ある空き領域の特定のデータブロックに書き込み(プログラム)を行うような場合に、データ信号転送時間、およびプログラムイネーブル信号転送時間を短縮することができ、しかもそれに伴う伝達動作により生じる消費電力を抑えることができるという優れた電気ヒューズモジュールを実現することができる。またベリファイ動作のときに、プログラムがされていない電気ヒューズブロック101をスキップすることが可能となり、チェック時間を削減できる。さらに、データ・シフトレジスタブロック202の採用により、データ信号の転送用に必要な端子数を減少でき、チップの搭載時に有利とすることができる。

40

[実施の形態3]

図6は本実施の形態3の電気ヒューズモジュールを備えた半導体記憶装置の構成を示す回路図であり、複数個のヒューズ素子を搭載した電気ヒューズモジュールを示したものである。

【0102】

50

図6の電気ヒューズモジュールにおいて、400は複数段(p段)の電気ヒューズブロックである。(図では、3段目以降は省略。)

電気ヒューズブロック400において、初段、および2段目以降はデータクロック信号FCLK、プログラムクロック信号PCKを共通の入力とし、初段はデータ信号FSI、プログラムイネーブル信号FPGIを入力とし、出力を各々の転送後の信号FA0Tn、FPGI0とし、2段目以降、順次、入力はFA(m-1)Tn、FPGI(m-1)、出力はFAmTn、FPGIm; (m=1~p-1)である。

【0103】

なお、電気ヒューズブロック400において、図1と同一の構成には同一の番号を付して説明を省略する。

図1とは異なり、電気ヒューズブロック400のデータ・シフトレジスタブロック102の1段目の入力は直接、データ信号FSIに接続され、n段目の出力であるデータ信号FA0Tnが2段目の電気ヒューズブロック400のデータシフトレジスタの1段目の入りに接続される。同様に、2段目の電気ヒューズブロック400のデータシフトレジスタn段目の出力であるデータ信号FA1Tnが3段目の電気ヒューズブロックへ接続され、順次これを繰り返す。

【0104】

また、ここで、電気ヒューズブロック400内の1段目の電気ヒューズコア101に、この電気ヒューズブロックのプログラムの有無を決定する、あるいはそれに順ずるデータ信号を入力し、プログラムするものとする。プログラムする場合にはデータシフトレジスタ102の1段目のデータ信号FBmT0=H、プログラムしない場合にはFBmT0=Lとする。

【0105】

さらに、実施の形態1の図1でAND回路120に入力されていたプログラム判定信号PBmに代わり、上記1段目のデータ信号FBmT0をプログラム判定信号として用いる。

【0106】

ここで、伝達手段は、上記AND回路120、インバータ回路111、およびトライステートバッファ回路122, 123から構成されている。

以上のように構成された電気ヒューズモジュールの動作について、図7を参照しながら以下に説明する。

【0107】

図7は本実施の形態3の電気ヒューズモジュールの動作を示す波形図である。

電気ヒューズコア101のi段目の動作については、図8の説明と同様であるので省略する。ここで、まず始めに、初段(1段目)の電気ヒューズブロックへのデータ信号、及びプログラムイネーブル信号の転送をスキップし、2段目の電気ヒューズブロックに対してデータ信号、及びプログラムイネーブル信号の転送を行い、データ書き込み(プログラム)を行うものとする。

【0108】

本実施の形態3では、電気ヒューズブロック400において、各ブロックの電気ヒューズコア101の1段目はプログラムの要否を決定する信号と同等の信号がプログラムされるものとする。つまり、実施の形態1のプログラム判定信号PB0、PB1に相当する信号は、各々データ信号FB0T0、FB1T0である。プログラムを行う場合はHを、行わない場合はLを入力する。

【0109】

図8と同様に、プログラムを行う2段目の電気ヒューズブロック400においてn個の電気ヒューズコア101に対して、1~n個目までのデータ信号を(1, 0, ..., 1)とプログラムするものとする。

【0110】

上記目的のために、FB0T0(初段の電気ヒューズブロックはプログラムしないので

10

20

30

40

50

、 $FB0Ti$ は全てLとしておく。 $i = 0 \sim n$ ）、 $FB1T0$ をそれぞれ、L、およびHと
するようにデータを転送する。

【0111】

プログラムイネーブル信号 FGI 、およびプログラムクロック信号 CLK は、データ
転送が完了するまで動作させずL固定とする。

電気ヒューズブロック400の初段に、データ信号 FSI を入力し、データ・シフトレ
ジスタブロック102を介して2段目の電気ヒューズブロックのデータ・シフトレジスタ
ブロックの1～n段目までデータが転送されるまで、順次データクロック信号 $FSCK$ の
クロック動作に従いデータ転送動作を行う。初段はプログラムを行わないので、最終的
には、データ伝達信号 $FATi$ 、およびデータ信号 $FB0Ti$ はLが出力される。

10

【0112】

また、2段目において、1～n段目のデータ信号 $FB1Ti$ の出力は、 (H, L, \dots, H)
となる。

このように、データ信号が各電気ヒューズブロック400に転送される。

【0113】

データ転送完了後、プログラムイネーブル信号を転送し、入力したデータに対してプロ
グラムを行う。

実施の形態1のプログラム判定信号 $PB0$ 、 $PB1$ にあたるデータ信号 $FB0T0 = L$
、 $FB1T0 = H$ に従い、実施の形態1と同様に、初段の電気ヒューズブロック400の
プログラム・シフトレジスタブロック103にはプログラムイネーブル信号は伝達されず
、 $PA0Ti$ 、 $PB0Ti$ は常にL出力となる。つまり、これにより、初段の電気ヒュー
ズブロック400の電気ヒューズコア101のヒューズ素子はプログラムが行われない。

20

【0114】

これに対し、データ信号 $FB0T0$ の入力によりインバータ回路111の出力信号 $NB0$
はHとなり、トリステート・バッファ回路122はイネーブル状態となり、プログ
ラムイネーブル信号 FGI を入力とし、プログラムイネーブル信号 $FGI0$ を出力す
る。

【0115】

データ信号 $FB1T0$ （プログラム判定信号 $PB1$ に相当）がHであるのでプログラムイ
ネーブル信号 $FGI0$ は信号 $PA1ST$ に伝達される。

30

以上の動作により電気ヒューズブロック400の初段に、プログラムイネーブル信号 FGI
 FGI を入力すると、2段目の電気ヒューズブロック400のシフトレジスタ103の初
段に伝達される。

【0116】

2段目の電気ヒューズブロック400のシフトレジスタ103の初段にプログラムイネ
ーブル信号 $FGI0$ を、プログラムクロック信号 CLK の立ち上がりエッジに対して十
分セットアップを保って、LからHに立ち上げる。プログラムクロック信号 CLK の周期
的なクロック動作を繰り返す毎に、信号 CLK の1周期分の幅を持つパルス信号として、
プログラムイネーブル信号 $PB1Ti$ ($i = 1 \sim n$) が順次生成され、同様にプログラム
イネーブル伝達信号 $PA1Ti$ ($i = 1 \sim n$) が順次次段のシフトレジスタ107に伝達
されていく。

40

【0117】

電気ヒューズコア101の2入力AND回路106にプログラムイネーブル信号 $PB1$
 Ti のパルス信号が入力されると、先に述べたようにプログラムが可能な状態になるの
で、データ信号($FB1T1, FB1T2, \dots, FB1Tn$) = $(1, 0, \dots, 1)$ に合わ
せて、2入力AND回路106の出力 $IN1Ti$ ($i = 1 \sim n$)の状態が、信号 CLK の
立ち上がりエッジに合わせて決まっていく。図7では、 $IN1T0$ がHになり、そのパル
ス幅の区間だけNMOSTランジスタ105がオンし、1個目の電気ヒューズ素子104
が溶断される。また、 $IN1T1$ はLになり、NMOSTランジスタ105はオフし、2
個目の電気ヒューズ素子104は溶断されない。 $IN1Tn$ は、 $IN1T0$ と同様であり

50

、(n+1)個目の電気ヒューズ素子104は溶断される。

【0118】

このように、プログラムイネーブル信号FPGIは、初段の電気ヒューズブロック400のプログラム・シフトレジスタブロック103をスキップして、次段の電気ヒューズブロック400に転送され、転送されたデータ信号に従って、順次プログラムイネーブル信号が伝達されることでプログラムが行われる。

【0119】

以上のように、伝達手段の作用によって、データ信号FBMT0(プログラム判定信号PBMに相当)に従って、プログラムを行うとき、プログラム・シフトレジスタブロック103内のシフトレジスタ107に対してプログラムイネーブル信号FPGIを順次伝達し、プログラムイネーブル信号PBMtiを電気ヒューズコア101のAND回路106を介してNMOSTランジスタ105へ出力してプログラムを行い、次段の電気ヒューズブロック100へ伝達し、またプログラムを行わない場合には、プログラム・シフトレジスタブロック103内のシフトレジスタ107に対してプログラムイネーブル信号FPGIをスキップして次段以降の電気ヒューズブロック100へ伝達する。その結果、ある空き領域の特定のデータブロックに書き込み(プログラム)を行うような場合に、プログラムイネーブル信号転送時間を短縮することができ、しかもそれに伴う伝達動作により生じる消費電力を抑えることができるという優れた電気ヒューズモジュールを実現することができ、またベリファイ動作のときに、プログラムがされていない電気ヒューズブロック101をスキップすることが可能となり、チェック時間を削減できる。

【0120】

また入力するデータ・シフトレジスタブロック102内に、プログラム判定信号と同等か、あるいはそれに順ずる信号が存在する場合、その信号をプログラム判定信号として用いることにより、別途プログラム判定に信号、あるいは端子を設ける必要がないという優れた電気ヒューズモジュールを実現することができる。

【産業上の利用可能性】

【0121】

本発明にかかる電気ヒューズモジュールを備えた半導体記憶装置は、電流を導通して溶断(プログラム)するという特性上から、シリアルにプログラムデータを転送しなければならない構成であるが、プログラムの追記など、ランダムに書き込みする場合にプログラム時間を短縮でき、セキュアIDなどの機能をもつ民生機器への搭載も可能なOTPメモリ用途等に有用である。

【図面の簡単な説明】

【0122】

【図1】本発明の実施の形態1における電気ヒューズモジュールを備えた半導体記憶装置の構成を示す回路図である。

【図2】同電気ヒューズモジュールの動作を示す波形図である。

【図3】本発明の実施の形態2における電気ヒューズモジュールを備えた半導体記憶装置の構成を示す回路図である。

【図4】同電気ヒューズモジュールにおけるシフトレジスタの構成を示す回路図である。

【図5】同電気ヒューズモジュールの動作を示す波形図である。

【図6】本発明の実施の形態3における電気ヒューズモジュールを備えた半導体記憶装置の構成を示す回路図である。

【図7】同電気ヒューズモジュールの動作を示す波形図である。

【図8】電気ヒューズモジュールを備えた半導体記憶装置の構成を示す回路図である。

【図9】図8の電気ヒューズモジュール、および本発明の実施の形態1、および本発明の実施の形態3の電気ヒューズモジュールにおけるシフトレジスタの構成を示す回路図である。

【図10】図8の電気ヒューズモジュールの動作を示す波形図である。

【符号の説明】

10

20

30

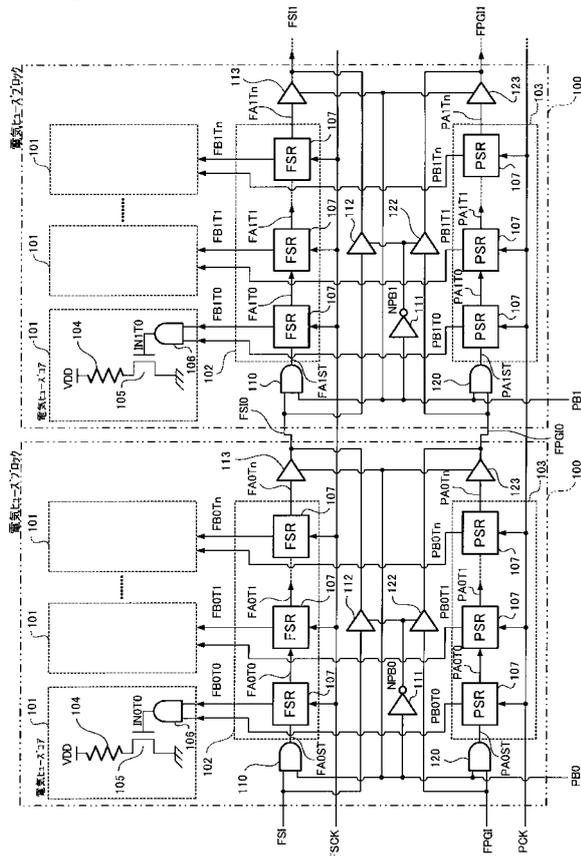
40

50

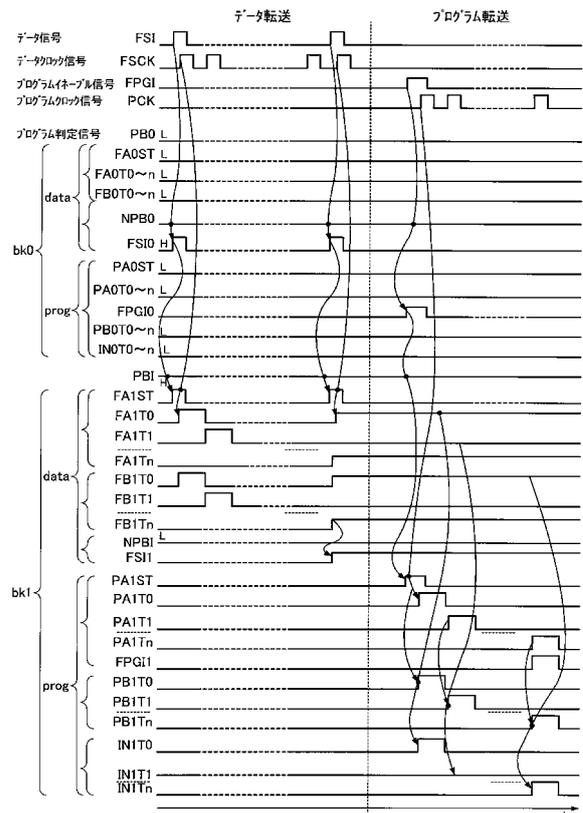
【 0 1 2 3 】

- 1 0 1 電気ヒューズコア
- 1 0 2 データ・シフトレジスタブロック
- 1 0 3 プログラム・シフトレジスタブロック
- 1 0 4 電気ヒューズ素子
- 1 0 5 NMOSTランジスタ
- 1 0 6 , 1 1 0 , 1 2 0 , 3 0 0 , 3 0 3 2入力AND回路
- 1 0 7 , 2 0 7 シフトレジスタ
- 1 1 1 , 3 0 1 , 3 0 2 , 3 0 4 インバータ回路
- 1 1 2 , 1 1 3 , 1 2 2 , 1 2 3 トライステート・バッファ回路
- 3 0 6 , 3 0 9 , 5 0 6 , 5 0 9 CMOSゲート回路
- 3 0 7 , 3 1 0 , 5 0 7 , 5 1 0 CMOSインバータ回路
- 3 0 8 , 3 1 1 , 5 0 8 , 5 1 1 トライステート型CMOSインバータ回路

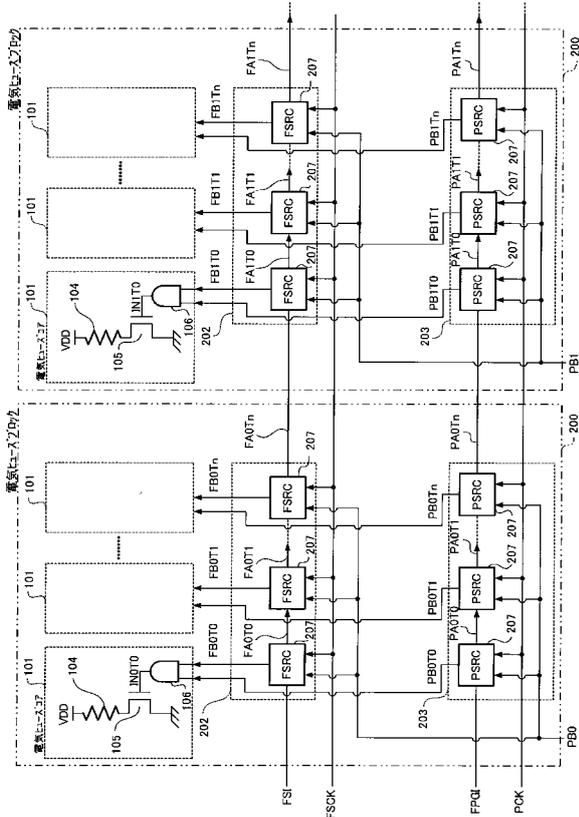
【 図 1 】



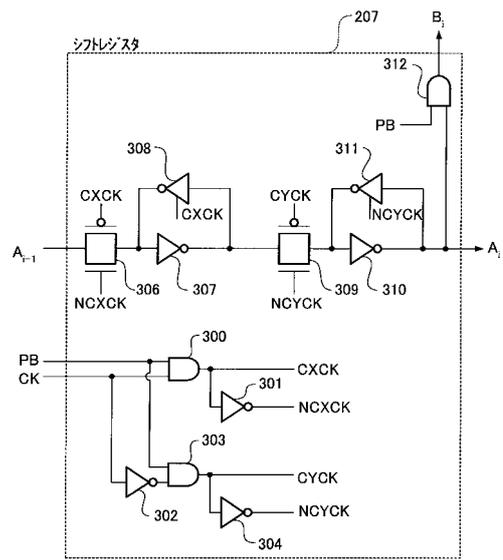
【 図 2 】



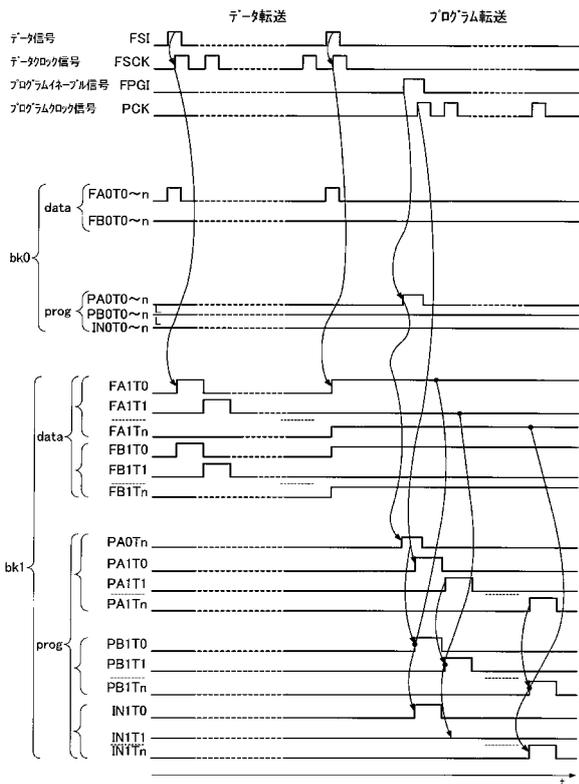
【図3】



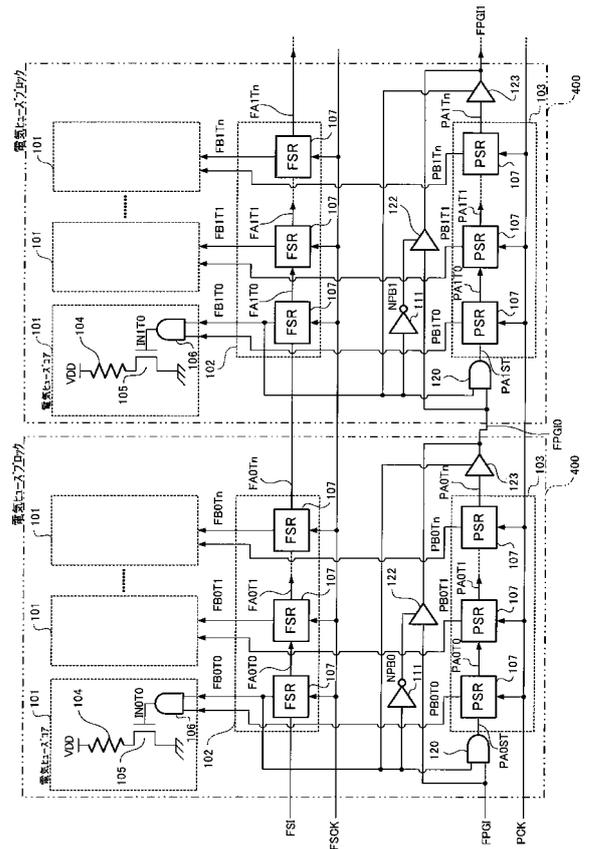
【図4】



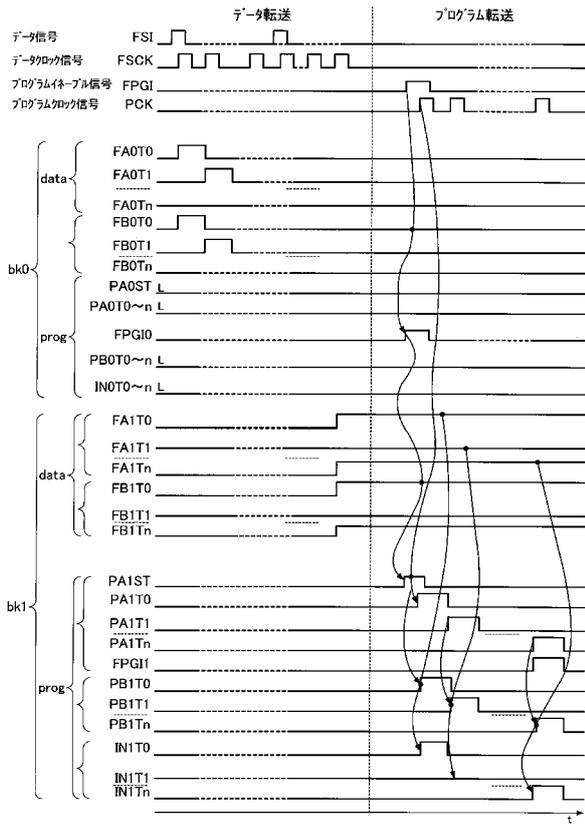
【図5】



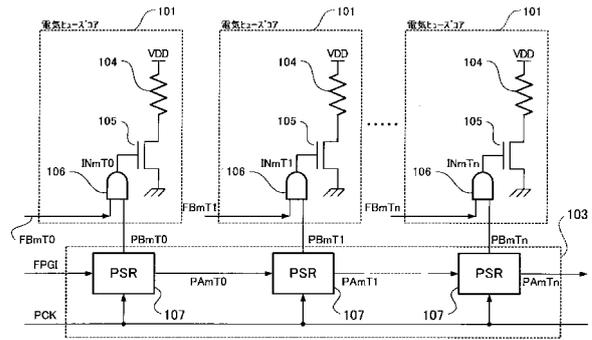
【図6】



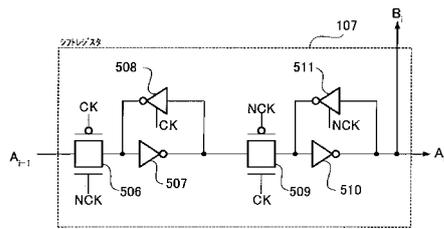
【 図 7 】



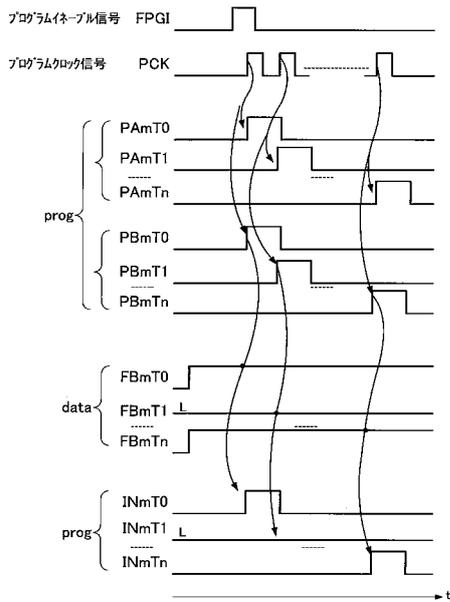
【 図 8 】



【 図 9 】



【 図 10 】



【手続補正書】

【提出日】平成18年8月18日(2006.8.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ヒューズ素子に電流を導通し前記ヒューズ素子を溶断することによりプログラムすることができる複数個の電気ヒューズコアをそれぞれ設けた複数段の電気ヒューズブロックを備え、

前記各電気ヒューズコアに、前記プログラムを可能とするプログラムイネーブル信号と前記プログラムのためのデータ信号が入力されることにより駆動され、前記ヒューズ素子へ電流を導通しプログラムするスイッチ手段を設け、

前記各電気ヒューズブロックにそれぞれ、

前記各電気ヒューズコアに対応して配置され、前記プログラムイネーブル信号を順次伝達し、プログラムイネーブル信号を前記電気ヒューズコアのスイッチ手段へ出力するシフトレジスタからなるプログラム・シフトレジスタブロックと、

前記電気ヒューズコアのプログラムの要否を決定するプログラム判定信号に従って、プログラムを行うとき、前記プログラム・シフトレジスタブロック内のシフトレジスタにおいてプログラムイネーブル信号を順次伝達し、プログラムイネーブル信号を前記電気ヒューズコアのスイッチ手段へ出力してプログラムを行い、次段の電気ヒューズブロックにプログラムイネーブル信号を伝達し、プログラムを行わない場合には、前記プログラム・シフトレジスタブロック内のシフトレジスタに対して前記プログラムイネーブル信号をスキップして次段以降の電気ヒューズブロックに伝達する伝達手段を設けること

を特徴とする電気ヒューズモジュールを備えた半導体記憶装置。

【請求項2】

前記各電気ヒューズブロックにそれぞれ、

前記各電気ヒューズコアに対応して配置され、前記プログラムのためのデータ信号を順次伝達し、前記電気ヒューズコアのスイッチ手段へ出力する前記電気ヒューズコアと同じ段数のシフトレジスタからなるデータ・シフトレジスタブロックを設け、

前記伝達手段は、前記プログラム判定信号に従って、プログラムを行うとき、前記データ・シフトレジスタブロック内のシフトレジスタにおいてデータ信号を順次伝達し、データ信号を前記電気ヒューズコアのスイッチ手段へ出力し、プログラムを行い、次段の電気ヒューズブロックに伝達し、プログラムを行わない場合には、前記データ・シフトレジスタブロック内のシフトレジスタに対し前記データ信号をスキップして次段以降の電気ヒューズブロックに伝達すること

を特徴とする請求項1に記載の電気ヒューズモジュールを備えた半導体記憶装置。

【請求項3】

ヒューズ素子に電流を導通し前記ヒューズ素子を溶断することによりプログラムすることができる複数個の電気ヒューズコアをそれぞれ設けた複数段の電気ヒューズブロックを備え、

前記各電気ヒューズコアに、前記プログラムを可能とするプログラムイネーブル信号と前記プログラムのためのデータ信号が入力されることにより駆動され、前記ヒューズ素子へ電流を導通しプログラムするスイッチ手段を設け、

前記各電気ヒューズブロックにそれぞれ、

前記各電気ヒューズコアに対応して配置され、前記プログラムイネーブル信号を順次伝

達し、プログラムイネーブル信号を前記電気ヒューズコアのスイッチ手段へ出力するシフトレジスタからなるプログラム・シフトレジスタブロック

を設け、

前記プログラム・シフトレジスタブロックの各シフトレジスタを、前記電気ヒューズコアのプログラムの要否を決定するプログラム判定信号に従って、プログラムを行うとき、前記プログラムイネーブル信号を、前記電気ヒューズコアのスイッチ手段へ出力してプログラムを行い、次段のシフトレジスタへを伝達し、プログラムを行わない場合には、前記プログラムイネーブル信号をスルーして次段のシフトレジスタへ伝達する構成とすることを特徴とする電気ヒューズモジュールを備えた半導体記憶装置。

【請求項 4】

前記各電気ヒューズブロックにそれぞれ、

前記各電気ヒューズコアに対応して配置され、前記プログラムのためのデータ信号を順次伝達し、前記電気ヒューズコアのスイッチ手段へ出力する前記電気ヒューズコアと同じ段数のシフトレジスタからなるデータ・シフトレジスタブロック

を設け、

前記データ・シフトレジスタブロックの各シフトレジスタを、前記プログラム判定信号に従って、プログラムを行うとき、前記データ信号を前記電気ヒューズコアのスイッチ手段へ出力してプログラムを行い、次段のシフトレジスタへを伝達し、プログラムを行わない場合には、前記データ信号をスルーして次段のシフトレジスタへ伝達する構成とすること

を特徴とする請求項 3 に記載の電気ヒューズモジュールを備えた半導体記憶装置。

【請求項 5】

ヒューズ素子に電流を導通し前記ヒューズ素子を溶断することによりプログラムすることができる複数個の電気ヒューズコアをそれぞれ設けた複数段の電気ヒューズブロックを備え、

前記各電気ヒューズコアに、前記プログラムを可能とするプログラムイネーブル信号と前記プログラムのためのデータ信号が入力されることにより駆動され、前記ヒューズ素子へ電流を導通しプログラムするスイッチ手段を設け、

前記各電気ヒューズブロックにそれぞれ、

前記各電気ヒューズコアに対応して配置され、前記プログラムイネーブル信号を順次伝達し、前記電気ヒューズコアのスイッチ手段へ出力するシフトレジスタからなるプログラム・シフトレジスタブロックと、

前記各電気ヒューズコアに対応して配置され、前記プログラムのためのデータ信号を順次伝達し、前記電気ヒューズコアのスイッチ手段へ出力する前記電気ヒューズコアと同じ段数のシフトレジスタからなるデータ・シフトレジスタブロックと、

前記データ・シフトレジスタブロックへ入力するデータ信号にプログラムの要否を判定する判定データあるいはそれに順ずるデータを含み、この判定データあるいはそれに順ずるデータを前記電気ヒューズコアのプログラムの要否を決定するプログラム判定信号とし、このプログラム判定信号に従って、プログラムを行うとき、前記プログラム・シフトレジスタブロック内のシフトレジスタに対してプログラムイネーブル信号を順次伝達し、プログラムイネーブル信号を前記電気ヒューズコアのスイッチ手段へ出力してプログラムを行い、次段の電気ヒューズブロックにプログラムイネーブル信号を伝達し、プログラムを行わない場合には、前記プログラム・シフトレジスタブロック内のシフトレジスタに対して前記プログラムイネーブル信号をスキップして次段以降の電気ヒューズブロックに伝達する伝達手段

を設けること

を特徴とする電気ヒューズモジュールを備えた半導体記憶装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

【0035】

前述した目的を達成するために、本発明の請求項1に記載の電気ヒューズモジュールを備えた半導体記憶装置は、ヒューズ素子に電流を導通し前記ヒューズ素子を溶断することによりプログラムすることができる複数個の電気ヒューズコアをそれぞれ設けた複数段の電気ヒューズブロックを備え、前記各電気ヒューズコアに、前記プログラムを可能とするプログラムイネーブル信号と前記プログラムのためのデータ信号が入力されることにより駆動され、前記ヒューズ素子へ電流を導通しプログラムするスイッチ手段を設け、

前記各電気ヒューズブロックにそれぞれ、前記各電気ヒューズコアに対応して配置され、前記プログラムイネーブル信号を順次伝達し、プログラムイネーブル信号を前記電気ヒューズコアのスイッチ手段へ出力するシフトレジスタからなるプログラム・シフトレジスタブロックと、前記電気ヒューズコアのプログラムの要否を決定するプログラム判定信号に従って、プログラムを行うとき、前記プログラム・シフトレジスタブロック内のシフトレジスタにおいてプログラムイネーブル信号を順次伝達し、プログラムイネーブル信号を前記電気ヒューズコアのスイッチ手段へ出力してプログラムを行い、次段の電気ヒューズブロックにプログラムイネーブル信号を伝達し、プログラムを行わない場合には、前記プログラム・シフトレジスタブロック内のシフトレジスタに対して前記プログラムイネーブル信号をスキップして次段以降の電気ヒューズブロックに伝達する伝達手段を設けることを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正の内容】

【0037】

また、本発明の請求項2に記載の電気ヒューズモジュールを備えた半導体記憶装置は、前記各電気ヒューズブロックにそれぞれ、前記各電気ヒューズコアに対応して配置され、前記プログラムのためのデータ信号を順次伝達し、前記電気ヒューズコアのスイッチ手段へ出力する前記電気ヒューズコアと同じ段数のシフトレジスタからなるデータ・シフトレジスタブロックを設け、

前記伝達手段は、前記プログラム判定信号に従って、プログラムを行うとき、前記データ・シフトレジスタブロック内のシフトレジスタにおいてデータ信号を順次伝達し、データ信号を前記電気ヒューズコアのスイッチ手段へ出力し、プログラムを行い、次段の電気ヒューズブロックに伝達し、プログラムを行わない場合には、前記データ・シフトレジスタブロック内のシフトレジスタに対し前記データ信号をスキップして次段以降の電気ヒューズブロックに伝達することを特徴とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正の内容】

【0039】

また、本発明の請求項3に記載の電気ヒューズモジュールを備えた半導体記憶装置は、ヒューズ素子に電流を導通し前記ヒューズ素子を溶断することによりプログラムすることができる複数個の電気ヒューズコアをそれぞれ設けた複数段の電気ヒューズブロックを備え、前記各電気ヒューズコアに、前記プログラムを可能とするプログラムイネーブル信号と前記プログラムのためのデータ信号が入力されることにより駆動され、前記ヒューズ素子へ電流を導通しプログラムするスイッチ手段を設け、前記各電気ヒューズブロックにそれぞれ、前記各電気ヒューズコアに対応して配置され、前記プログラムイネーブル信号を

順次伝達し、プログラムイネーブル信号を前記電気ヒューズコアのスイッチ手段へ出力するシフトレジスタからなるプログラム・シフトレジスタブロックを設け、

前記プログラム・シフトレジスタブロックの各シフトレジスタを、前記電気ヒューズコアのプログラムの要否を決定するプログラム判定信号に従って、プログラムを行うとき、前記プログラムイネーブル信号を、前記電気ヒューズコアのスイッチ手段へ出力してプログラムを行い、次段のシフトレジスタへを伝達し、プログラムを行わない場合には、前記プログラムイネーブル信号をスルーして次段のシフトレジスタへ伝達する構成とすることを特徴とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正の内容】

【0041】

また、本発明の請求項4に記載の電気ヒューズモジュールを備えた半導体記憶装置は、前記各電気ヒューズブロックにそれぞれ、前記各電気ヒューズコアに対応して配置され、前記プログラムのためのデータ信号を順次伝達し、前記電気ヒューズコアのスイッチ手段へ出力する前記電気ヒューズコアと同じ段数のシフトレジスタからなるデータ・シフトレジスタブロックを設け、前記データ・シフトレジスタブロックの各シフトレジスタを、前記プログラム判定信号に従って、プログラムを行うとき、前記データ信号を前記電気ヒューズコアのスイッチ手段へ出力してプログラムを行い、次段のシフトレジスタへを伝達し、プログラムを行わない場合には、前記データ信号をスルーして次段のシフトレジスタへ伝達する構成とすることを特徴とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正の内容】

【0043】

また、本発明の請求項5に記載の電気ヒューズモジュールを備えた半導体記憶装置は、ヒューズ素子に電流を導通し前記ヒューズ素子を溶断することによりプログラムすることができる複数個の電気ヒューズコアをそれぞれ設けた複数段の電気ヒューズブロックを備え、前記各電気ヒューズコアに、前記プログラムを可能とするプログラムイネーブル信号と前記プログラムのためのデータ信号が入力されることにより駆動され、前記ヒューズ素子へ電流を導通しプログラムするスイッチ手段を設け、前記各電気ヒューズブロックにそれぞれ、前記各電気ヒューズコアに対応して配置され、前記プログラムイネーブル信号を順次伝達し、前記電気ヒューズコアのスイッチ手段へ出力するシフトレジスタからなるプログラム・シフトレジスタブロックと、前記各電気ヒューズコアに対応して配置され、前記プログラムのためのデータ信号を順次伝達し、前記電気ヒューズコアのスイッチ手段へ出力する前記電気ヒューズコアと同じ段数のシフトレジスタからなるデータ・シフトレジスタブロックと、前記データ・シフトレジスタブロックへ入力するデータ信号にプログラムの要否を判定する判定データあるいはそれに順ずるデータを含み、この判定データあるいはそれに順ずるデータを前記電気ヒューズコアのプログラムの要否を決定するプログラム判定信号とし、このプログラム判定信号に従って、プログラムを行うとき、前記プログラム・シフトレジスタブロック内のシフトレジスタに対してプログラムイネーブル信号を順次伝達し、プログラムイネーブル信号を前記電気ヒューズコアのスイッチ手段へ出力してプログラムを行い、次段の電気ヒューズブロックにプログラムイネーブル信号を伝達し、プログラムを行わない場合には、前記プログラム・シフトレジスタブロック内のシフトレジスタに対して前記プログラムイネーブル信号をスキップして次段以降の電気ヒューズブロックに伝達する伝達手段を設けることを特徴とする。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正の内容】

【0044】

以上により、前記データ・シフトレジスタブロックへ入力するデータ信号にプログラムの要否を判定する判定データあるいはそれに順ずるデータが含まれ、この判定データあるいはそれに順ずるデータが電気ヒューズコアのプログラムの要否を決定するプログラム判定信号とされ、このプログラム判定信号に基づいてプログラムを行う電気ヒューズブロックのみ、前記プログラム・シフトレジスタブロック内のシフトレジスタにおいてプログラムイネーブル信号が順次伝達され、プログラムが行われ、プログラムを行わない電気ヒューズブロックではプログラムイネーブル信号がスキップされ直接伝達されず、プログラムイネーブル信号は次段以降の電気ヒューズブロックに伝達される。よって、データのプログラム時間を短縮でき、しかも、プログラム動作に伴う消費電力を削減できる。またペリファイ動作のときに、プログラムがされていない電気ヒューズブロックをスキップすることが可能となり、チェック時間を削減できる。さらに、判定データあるいはそれに順ずるデータを電気ヒューズコアのプログラムの要否を決定するプログラム判定信号とすることにより、別途プログラム判定信号を設ける必要がなく、制御すべき信号数を削減することができる。

フロントページの続き

- (72)発明者 縣 政志
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 白濱 政則
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 川崎 利昭
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 西原 竜二
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 山本 安衛
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 菊川 博仁
大阪府門真市大字門真1006番地 松下電器産業株式会社内

Fターム(参考) 5B125 BA14 BA17 CA01 CA02 DB08 DB12 DB13 DE11 EF02 FA02