

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-205475
(P2008-205475A)

(43) 公開日 平成20年9月4日(2008.9.4)

(51) Int.Cl. F I テーマコード (参考)
H O 1 L 33/00 (2006.01) H O 1 L 33/00 C 5 F O 4 1

審査請求 未請求 請求項の数 10 O L 外国語出願 (全 18 頁)

(21) 出願番号 特願2008-37765 (P2008-37765)
(22) 出願日 平成20年2月19日 (2008.2.19)
(31) 優先権主張番号 11/708,990
(32) 優先日 平成19年2月20日 (2007.2.20)
(33) 優先権主張国 米国 (US)

(71) 出願人 592054856
クリー インコーポレイテッド
C R E E I N C .
アメリカ合衆国 ノースカロライナ州 2
7 7 0 3 ダラム シリコン ドライブ
4 6 0 0
(74) 代理人 100077481
弁理士 谷 義一
(74) 代理人 100088915
弁理士 阿部 和夫
(72) 発明者 マックス バトレス
アメリカ合衆国 9 8 0 7 0 ワシントン
州 パシヨン アイランド ピー. オー.
ボックス 2 8 7

最終頁に続く

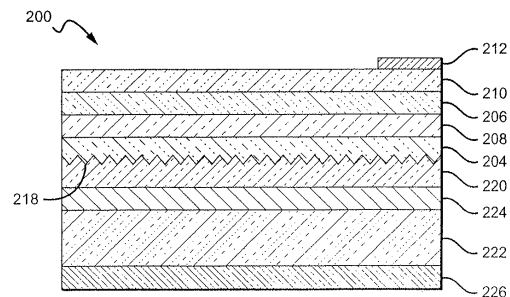
(54) 【発明の名称】 ダブルフリップ半導体デバイスおよび製作方法

(57) 【要約】

【課題】ダブルフリップ製作プロセスによって形成されたダブルフリップチップ半導体デバイスを提供する。

【解決手段】最初にn型層を成長させ、続いてp型層を成長させる通常の方式で、基板上にエピタキシャル層を成長させる。チップを最初にフリップして、犠牲層に取り付ける。当初の基板を除去し、n型層を露出させ、追加の層および処理をデバイスに追加する。n型層は製作中に露出されるので、光取出しを向上させるためにさまざまな方式で加工することができる。チップを再度フリップして、支持要素に取り付ける。次いで、犠牲層を除去して、追加の層および処理をデバイスに追加する。完成したデバイスは、各層が当初の基板に対して有していたのと同じ向きを、支持要素に対して維持する構成を特徴とする。p型層ではなくn型層を加工することによって、より大きな設計柔軟性がもたらされる。

【選択図】 図 2 g



【特許請求の範囲】**【請求項 1】**

半導体デバイスであって、
第 1 の表面および第 2 の表面を有するキャリアウェーハと、
p 型半導体材料の層と、
n 型半導体材料の層と、
前記 p 型材料の層と前記 n 型材料の層との間に挟まれた活性領域と、
前記 n 型材料の層の前記活性領域とは反対側の表面上に配設された反射要素であって、
前記 n 型材料と前記キャリアウェーハとの間に挟まれるように、前記キャリアウェーハの
、前記 n 型材料の層と対向する前記第 1 の表面上に配設された反射要素と
を備えることを特徴とする半導体デバイス。

10

【請求項 2】

前記 p 型層の前記活性層とは反対側上に配設された p コンタクト電極と、
前記キャリアウェーハの、前記反射要素とは反対側の前記第 2 の表面上に配設されたキ
ャリア電極と
をさらに備えることを特徴とする請求項 1 に記載の半導体デバイス。

【請求項 3】

前記 n 型層、前記 p 型層、および前記 p コンタクト電極のうちの少なくとも 1 つは、テ
クスチャ加工されることを特徴とする請求項 2 に記載の半導体デバイス。

20

【請求項 4】

前記反射要素は、アルミニウムミラーを備えることを特徴とする請求項 1 に記載の半導
体デバイス。

【請求項 5】

前記反射要素は、全方向反射鏡を備えることを特徴とする請求項 1 に記載の半導体デバ
イス。

【請求項 6】

前記反射要素は、全方向反射鏡、および前記キャリアウェーハと前記 n 型半導体材料の
層との間に電気接続をもたらす少なくとも 1 つのオーミック電極を有する、複合ミラーを
備えることを特徴とする請求項 1 に記載の半導体デバイス。

【請求項 7】

前記反射要素は、
前記キャリアウェーハおよび前記 n 型半導体材料よりも低い屈折率を有する屈折材料と

30

、
前記キャリアウェーハと前記 n 型半導体材料の層との間に電気接続をもたらす少なくと
も 1 つのオーミック電極と
を備えることを特徴とする請求項 1 に記載の半導体デバイス。

【請求項 8】

前記反射要素は、前記屈折材料と前記キャリアウェーハとの間に挟まれた反射バッキン
グ層をさらに備えることを特徴とする請求項 7 に記載の半導体デバイス。

【請求項 9】

前記 n 型層は、テクスチャ加工されることを特徴とする請求項 1 に記載の半導体デバ
イス。

40

【請求項 10】

前記半導体材料は、窒化物ベースであることを特徴とする請求項 1 に記載の半導体デバ
イス。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体デバイスに関し、より詳細には、半導体発光デバイスおよびその製作
方法に関する。

50

【背景技術】

【0002】

発光ダイオード（1つまたは複数のLED）は、電気エネルギーを光に変換し、一般に、反対にドーパされた層間に挟まれた、半導体材料からなる1層または複数層の活性層を備える固体デバイスである。ドーパされた層の両端間にバイアスが印加されると、正孔および電子が活性層内に注入され、それらがそこで再結合して、光を発生する。光は、活性層から、またLEDの全ての表面から放出される。

【0003】

III族窒化物ベース材料系で形成されたLEDには、高い破壊電界（breakdown field）、広いバンドギャップ（GaNの場合、室温で3.36eV）、大きな伝導帯オフセット、および高い飽和電子ドリフト速度を含む、その材料特性の独特な組合せのため、最近大きな関心が寄せられている。典型的な高効率LEDは、LEDパッケージに取り付けられ、透明媒体でカプセル化されたLEDチップを備える。LEDからの効率的な光取出しは、高効率LEDの製作における重大な考慮事項である。従来型のLEDの場合、外部量子効率が、LEDの放出領域からの光の内部全反射（total internal reflection：TIR）によって制限される。TIRは、スネルの法則（Snell's Law）によって予測されるように、LEDの半導体と取り囲んでいる周囲との間の屈折率の段階的な低下によって生じ得る。この段階的な低下により、活性領域からの光線（light rays）が、LEDチップから伝達してカプセル化媒体内に入り、最終的にLEDパッケージから逃れることができるエスケープコーン（escape cone）が狭くなる。

10

20

【0004】

TIRを低減し、全体的な光取出しを向上させるために、さまざまな手法が開発されてきており、よりポピュラーなもの1つが、1つまたは複数のLEDチップ表面を表面テクスチャ加工（surface texturing）するものである。表面テクスチャ加工は、光子にエスケープコーンを見つけるための複数の機会を与える変化する表面を設けることによって、光が逃れる確率を増大させる。エスケープコーンが見つからない光は、TIRを受け続け、エスケープコーンを見つけるまでさまざまな角度でテクスチャ加工された表面から反射する。表面テクスチャ加工の利点は、いくつかの論文において論じられている（例えば、非特許文献1、非特許文献2、非特許文献3および非特許文献4参照。）。

30

【0005】

本件特許出願人に譲渡された特許文献1では、アレイの形で形成された内部および外部の光学要素を使用して、LED内の光取出しを強化するための構造が開示されている。光学要素は、半球や角錐などのさまざまな形状を有し、LEDのさまざまな層の表面上、またはその中に配置することができる。それらの要素は、光がそこから屈折または散乱する表面をもたらす。

【0006】

より効率的な半導体デバイスの製作に使用される別の方法は、フリップチップマウンティング（flip-chip mounting）と呼ばれる。LEDのフリップチップマウンティングは、LEDをサブマウント上に、基板側を上にして取り付けるものである。次いで、光が取り出されて、透明基板を通じて放出される。フリップチップマウンティングは、SiCベースLEDの取付けに特に望ましい技法である。SiCは、GaNよりも高い屈折率を有するので、活性領域内で発生された光は、GaN/SiC境界面で内部反射されない（すなわち、反射してGaNベース層内に戻らない）。SiCベースLEDのフリップチップマウンティングは、当技術分野で知られるいくつかのチップ形状設定技法を使用すると、光取出しが向上する。SiC LEDのフリップチップパッケージングには、チップの特定の適用分野に応じて望ましいことがある熱の取出し/放散の向上など、他の利点もある。

40

【0007】

ミラー材料を使用して、デバイス層の1層または複数層を被覆することによって、活性層から放出された光を反射して、基板または他の光子吸収材料から遠ざけることにより、光取出しを強化することができる。III族窒化物LEDの場合、LEDは通常、p型層

50

上への高品質層の堆積に伴う困難があるため、p型キャップ層を備える。したがってフリップチップ構成では、ミラー材料が、p型層に対して良好なオーム接点を形成する材料に限定される。ミラーをその代わりにn型層上に形成することが好ましいが、層の成長順序を逆にするのは、窒化物LEDでは現実的ではない。というのも、活性領域内の欠陥を最小限に抑えるために、p型層がn型層の表面上に成長させられなければならないためである。

【0008】

図1を参照すると、フリップチップ構成を有する半導体デバイス100が示されている。フリップチップ構造は既知であり、以下にごく簡潔に説明する。活性層102が、n型層104とp型層106の間に挟まれている。ミラー108が、図では、p型層106に活性層102とは反対側で接している。ミラー108は、金属接合材(metal bond)112を用いてキャリアウエーハ110にも接合されている。キャリア電極114が、キャリアウエーハへの電氣的接点をもたらす。電圧がデバイス100の両端間にキャリア電極114およびワイヤボンダッド116を用いて印加され、光が活性層102内の放射再結合(radiative recombination)によって放出される。ミラー108は、活性層102から放出された光を反射して、光吸収性キャリアウエーハ110から遠ざけ、テクスチャ加工された表面118の方に向ける。n型層104は、テクスチャ加工の効果が得られるように加工される。テクスチャ加工された表面118は、内部全反射を防止する助けとなり、デバイスの効率を増大させる。

【0009】

p型層106は、図では、キャリアウエーハとn型層104との間に挟まれている。この配置は、フリップチップ製作プロセスによるものである。p型層はn型層の表面上に成長させるべきであることが、当技術分野で知られており、したがってこのチップは、エピタキシャル層が成長させられた後に、フリップしてキャリアウエーハに接合されたことが、当業者には明白である。当初のエピタキシャル成長基板(図示せず)は、エッチング、研磨またはアブレーション(ablation)など、いくつかの公知のプロセスのいずれかによって除去することができる。

【0010】

【特許文献1】米国特許第6,657,236号明細書

【特許文献2】米国再発行特許第34,861号明細書

【特許文献3】米国特許第4,946,547号明細書

【特許文献4】米国特許第5,200,022号明細書

【非特許文献1】Windisch et al., Impact of Texture-Enhanced Transmission on High-Efficiency Surface Textured Light Emitting Diodes, Appl. Phys. Lett., Vol. 79, No. 15, Oct. 2001, Pgs. 2316-2317

【非特許文献2】Schnitzer et al. 30% External Quantum Efficiency From Surface Textured, Thin Film Light Emitting Diodes, Appl. Phys. Lett., Vol. 64, No. 16, Oct. 1993, Pgs. 2174-2176

【非特許文献3】Windisch et al. Light Extraction Mechanisms in High-Efficiency Surface Textured Light Emitting Diodes, IEEE Journal on Selected Topics in Quantum Electronics, Vol. 8, No. 2, March/April 2002, Pgs. 248-255

【非特許文献4】Streubel et al. High Brightness AlGaInP Light Emitting Diodes, IEEE Journal on Selected Topics in Quantum Electronics, Vol. 8, No. March/April 2002

【非特許文献5】J. Lin, Design and fabrication of Omnidirectional Reflectors in the Visible Range, Journal of Modern Optics, Vol. 52, No.8, May 2005, Pgs. 1155-1160

【非特許文献6】SPECIAL ISSUE ON NANOSTRUCTURED OPTICAL META-MATERIALS: BEYOND PHOTONIC BANDGAP EFFECTS", J. Opt. A: Pure Appl. Opt., Vol. 7, No. 2, Feb. 2005

【発明の開示】

【発明が解決しようとする課題】

【0011】

半導体デバイスにおいて、シングルフリッププロセスの場合のようにp型層を加工するのではなく、n型層を加工することによって、デバイスに追加するフィーチャを選択する際に、より大きな設計柔軟性を提供する。そうすることによって、以前は利用することができなかったプロセスおよび反射要素を利用することが可能になり、デバイスの外部量子効率が強化された半導体デバイスが提供される。

【課題を解決するための手段】

【0012】

本発明は、強化された光取出し効率を有する、LEDチップや垂直キャビティ面発光レーザなどの新規半導体デバイス、およびその新規半導体デバイスを製作する方法を開示する。本発明による半導体デバイスの一実施形態は、第1の表面および第2の表面を有するキャリアウェーハを備える。活性領域が、p型半導体材料の層とn型半導体材料の層との間に配設される。p型材料の活性領域とは反対側上に、pコンタクト電極が配設される。n型材料の層の活性領域とは反対側上に、反射要素が配設される。反射要素は、n型材料の層とキャリアウェーハとの間に挟まれるように、キャリアウェーハの第1の表面に取り付けられる。キャリアウェーハの、反射要素とは反対側の第2の表面上に、キャリア電極が配設される。

10

【0013】

本発明による半導体デバイスの別の実施形態は、p型半導体材料の層とn型半導体材料の層との間に挟まれた活性層を有する、光放出領域を備える。n型材料の層の活性領域とは反対側上に、反射要素が配設される。p型材料の層の活性層とは反対側上に、pコンタクト電極が配設される。反射要素のn型材料の層とは反対側上に、導電性金属層が配設される。導電性金属層は、半導体デバイスの機械的構造をもたらすのに十分なほど厚くあるべきである。

20

【0014】

本発明による半導体デバイスの別の実施形態は、p型半導体材料の層とn型半導体材料の層との間に挟まれた活性領域を備える。n型材料の層の活性領域とは反対側の表面上に、反射要素が配設される。反射要素のn型材料の層とは反対側上に、反射要素がn型材料の層と支持要素（support element）との間に挟まれるように、支持要素が配設される。支持要素は、半導体デバイスに機械的支持をもたらすような構造にされる。

30

【0015】

本発明による半導体デバイスの別の実施形態は、支持要素、およびp型材料の層とn型材料の加工された層との間に挟まれた活性領域を備える。n型半導体材料の加工された層は、支持要素上に取り付けられる。

【0016】

本発明による半導体デバイスを製作する方法の一実施形態は、エピタキシャル半導体層を成長させるのに適した基板を提供することを含む。基板上に、少なくとも1層のn型半導体層が成長させられる。次に、n型層上に活性領域が成長させられる。次いで、活性領域上に、少なくとも1層のp型半導体層が成長させられる。前記p型層上に、pコンタクト電極が形成される。次いで、半導体デバイスが初めてフリップされて、犠牲キャリア（sacrificial carrier）（例えば、ポリマー材料、ウェーハなど）に、n型層およびp型層が基板と犠牲キャリアとの間に挟まれるように取り付けられる。次いで、基板が除去されて、n型層の一部が露出される。露出されたn型層上に、反射要素が形成される。半導体デバイスが再度フリップされて、反射要素が支持要素に取り付けられる。犠牲キャリアが除去される。

40

【0017】

本発明によるダブルフリップチップ半導体デバイスの一実施形態は、支持要素を備える。成長基板上に成長させられた第1の半導体層が、成長基板から取り外されて、支持要素上に配設される。第1の半導体層上に、第2の半導体層が成長させられる。第1の半導体

50

層と第2の半導体層の間に、活性層が挟まれる。

【0018】

本発明の上記および他の態様および利点は、以下の詳細な説明および本発明の特徴を例によって示す添付の図面から明らかになるであろう。

【発明を実施するための最良の形態】

【0019】

本発明は、例えばLEDなどの半導体デバイスに関する性能の向上を、光取出し効率を強化することによって可能にする。本発明は、そうしたデバイスを製作する方法も提供する。他の半導体デバイスと同様に、デバイスの両端間にバイアス電圧が印加されて、デバイスの活性領域内で放射再結合した結果、光が放出される。デバイスの光出力を増大させるために、さまざまな要素および手順を使用することができる。例えば、放出光を反射して基板などの光子吸収材料から遠ざけるために、ミラーとして機能する反射材料の層を、デバイス内のある特定の位置に形成することができる。当技術分野においてしばしば使用される別の方法は、内部全反射を防止するために、1層または複数層を粗面化またはテクスチャ加工することである。

10

【0020】

本発明は、新規なダブルフリップ製作プロセスを提供し、設計者が上述したものに類似のフィーチャを組み込んで、より効率的な半導体デバイスを実現するのを可能にする構造をもたらす。ダブルフリップチップ構造により、デバイスが完成される前にn型層を加工することが可能になる。これは、製作中の第2のフリップおよび取付けステップ前に、n型層を露出させて、n型層にアクセスすることができるので可能である。アクセス可能なn型層は、いくつかの異なる方法で加工することができる。例えば、n型層は、露出される際に、さまざまな材料がその上に堆積されても、表面が変更されてもよい。特許文献1に開示されているような光取出し要素および構造を形成することもできる。露出されたn型層を、層の表面をエッチング、研磨、またはアブレーションによってテクスチャ加工または粗面化することにより加工することもできる。ダブルフリップチップ構造により、上記および他のフィーチャ(feature)をn型層に追加して、デバイスの光取出しを向上させる加工されたn型層をもたらすことが可能になる。

20

【0021】

上述のように、ダブルフリップチップ構造により、材料が、p型層ではなくn型半導体層上に配設されることが可能になる。n型層がさまざまな材料に対応することができるのに対して、p型層はより多くの制約を呈するので、これは有益である。以下に詳細に説明するように、ダブルフリップ製作プロセスにより、設計者に、より大きな柔軟性をもたらされ、それによって設計者が、以前は利用不可能な材料および技法を、エピタキシャル層が成長させられる順序を変更せずに、デバイスを製作する際に使用することが可能になる。

30

【0022】

以下に詳細に説明するが、ダブルフリップチップ構造は、n型層が最初に成長させられ、次いで、デバイスがキャリア要素に取り付けられてから、n型層が加工できるように後に露出される実施形態に限定されない。他の層成長順序が可能である。例えば、場合によっては、p型層または別の型の層を最初に成長させて、次いでその層を、加工できるように露出させることが望ましい場合がある。実施形態に応じて、露出後の最初に成長させられた半導体層に対する加工は、表面前処理、(反射鏡層、接合層および/またはバリア層を含む)1層または複数層の追加、パターンニング、エッチング、テクスチャ加工、注入、ならびに他の加工処理など、任意の成長後ステップを含むことができる。

40

【0023】

層、領域、または基板などの要素が、別の要素「上に」あるといわれる場合、その要素は、直接他の要素上にあってもよく、介在する要素が存在してもよいことが理解されよう。さらに、本明細書において、ある層または別の領域の関係を記載するために、「内側の」、「外側の」、「高い方の」、「上方の」、「低い方の」、「の下に」、および「下方

50

の」などの相対語、ならびに類似語が使用されることがある。これらの語は、図中に示した向きに加えて、デバイスのさまざまな向きを含むものであることが理解されよう。

【0024】

さまざまな要素、構成要素、領域、層および/または断面について記載するために、本明細書において第1、第2などの語が使用されることがあるが、これらの要素、構成要素、領域、層および/または断面は、これらの語によって限定されるべきではない。これらの語は、ある要素、構成要素、領域、層または断面と、別の領域、層または断面を区別するために使用されるにすぎない。したがって、以下に論じられる第1の要素、構成要素、領域、層または断面を、本発明の教示から逸脱することなく、第2の要素、構成要素、領域、層または断面と呼ぶことができる。

10

【0025】

本願全体を通じて、「層(layer)」および「層(layers)」という語が、交換可能に使用されることに留意されよう。半導体材料の単一「層」が、実際には材料のいくつかの個別層を備えてもよいことを、当業者なら理解するであろう。同様に、材料のいくつかの「層」を、機能上単一層として考えることもできる。換言すれば、「層(layer)」という語は、半導体材料の均質な層を意味しない。単一「層」は、副層内に局在するさまざまなドーパント濃度および合金組成を含むことができる。そのような副層は、例えばバッファ層、コンタクト層、またはエッチストップ層として機能することができる。これらの副層は、単一の形成ステップで形成しても、複数のステップで形成してもよい。特に別段の定めがある場合を除き、出願人は、特許請求の範囲において実施される本発明の範囲を、要素を材料の「層(layer)」または「層(layers)」を備えるものと述べることによって限定する意図はない。

20

【0026】

本発明の諸実施形態は、本明細書において、本発明の理想化された諸実施形態の概略図である断面図を参照して説明される。したがって、例えば製造技法および/または公差の結果として、図面の形状との違いが予想される。本発明の諸実施形態は、本明細書に示される領域の特定の形状に限定されるものと解釈すべきではなく、例えば製造によって生ずる形状のずれを含むべきである。正方形または長方形として図示または説明される領域は一般に、標準的な製造上の公差のため、丸いまたは曲線状のフィーチャを有する。したがって、図中に示した領域は概略であり、その形状は、デバイスの領域の正確な形状を図示するものではなく、本発明の範囲を限定するものではない。

30

【0027】

次に図2a~gを参照すると、本発明による半導体デバイス200の一実施形態が、製作のさまざまなステップにおいて示されている。容易に説明および理解できるように、デバイス200は、製作プロセスの間、個別デバイスとして示してある。しかし、半導体デバイスは一般に、ウェーハレベルで製作され、個別デバイスが、後続の加工ステップ中にウェーハから切り離されることが理解されよう。しかし、本明細書において記載するプロセスは、個別デバイスの製作に使用することもできる。これらの製作ステップは、以下に特定の順序で示されているが、デバイス200は、異なる順序のステップによって製作しても、追加のステップまたはより少ないステップを含んでもよいことも理解されよう。

40

【0028】

さらに、ウェーハレベルで、またはデバイスが切り離された後に個別に、追加のフィーチャをデバイスに追加することもできる。例えば、大きな屈折率を有するカプセル化材料を追加することによって、光取出しが向上し得ることが当技術分野において知られている。典型的なカプセル化材料は、約1.5の屈折率(n)を有し、GaNやSiCなどの材料は、2を超える屈折率を有する。屈折率段差(index step)を回避するために、カプセル化材料と半導体材料の屈折率を整合させることがしばしば望ましい。このため、屈折率の大きな材料(n>1.5)を使用して、効率を増大させることができる。さらに、カプセル化材料が波長変換蛍光体などの材料を含み、それによってデバイスがある種の色の光を放出することを可能にすることもできる。特定の設計目標を達成するために、上記およ

50

びいくつかの他の既知のフィーチャを、以下に開示するように本発明に追加することができる。それらのフィーチャのいくつかは、以下に細部にわたって明示的に説明しないが、それらを製作中に、またはデバイスが製作された後の、切離し前または後の時点で追加することが、当業者なら分かるはずであると理解されよう。

【0029】

図2aは、基板202上に成長させられたエピタキシャル層を示す。反対にドーブされたn型層204およびp型層206、ならびにそれらの間に挟まれた活性領域208が一般に、基板202上に、金属有機化学気相成長(MOCVD)反応器内でのエピタキシャル成長など、既知の製作方法および装置を使用して形成される。半導体層202、204、206は、III族窒化物系によるものとするができる。III族窒化物は、窒素と、周期表のIII族の元素、一般にアルミニウム(Al)、ガリウム(Ga)、およびインジウム(In)との間で形成された半導体化合物を指す。この用語は、窒化アルミニウムガリウム(AlGaIn)や窒化アルミニウムインジウムガリウム(AlInGaIn)などの三元化合物および四元化合物も指す。好ましい一実施形態では、n型層204およびp型層206は、窒化ガリウム(GaN)であり、活性領域208は、GaNとInGaNとの交互層を有する多重量子井戸(MQW)である。諸代替実施形態では、n型層204およびp型層206は、AlGaIn、AlInGaIn、アルミニウムガリウムヒ素(AlGaAs)、またはアルミニウムガリウムインジウムヒ素リン(AlGaInAsP)などのIII-V族材料またはその合金とすることも、それらを含むこともできる。

10

【0030】

基板202は、サファイア、炭化ケイ素、窒化アルミニウム(AlN)、GaNなど、多くの材料で形成することができ、適切な基板は、4Hポリタイプの炭化ケイ素であるが、3C、6Hおよび15Rポリタイプを含む他の炭化ケイ素ポリタイプを使用することもできる。炭化ケイ素(SiC)は、サファイアよりも結晶格子整合がIII族窒化物に近いなどのいくつかの利点を有し、より高品質のIII族窒化物被膜をもたらす。炭化ケイ素は、非常に高い熱伝導率も有し、したがって、炭化ケイ素上にあるIII族窒化物デバイスの合計出力電力は、基板の熱放散による制限を受けない(サファイア上に形成された一部のデバイスの場合も、この制限を受けないことがある)。SiC基板は、ノースカロライナ州ダラム在の本件特許出願人から入手可能であり、その製造方法は、科学文献ならびに特許文献(例えば、特許文献2、特許文献3および特許文献4参照)に記載されている。

20

30

【0031】

成長基板上にn型層またはp型層を最初に成長させることは可能であるが、n型層を最初に成長させることが好ましい場合がある。当技術分野における既知のいくつかの理由から、これは事実である。n型層を最初に成長させる1つの理由は、n型層が、p型層よりも高い温度で成長させられることである。n型層は、約1100の温度で成長させられ、p型層は、約900で成長させられる。p型層は、900を超す温度にかけられると、ドーパント材料(しばしばマグネシウム)が、隣接する層内に拡散して、層の品質を低減させる恐れがある。したがって、基板上にn型層が成長させられた後、後続のp型層を、既に形成されたn型層に実質的に影響を及ぼさないより低い温度で成長させることができる。n型層を最初に成長させる別の理由は、基板境界面での格子不整合に打ち勝つために、基板上に成長させられる層の方が、より長い期間成長させられなければならないことである。長く成長させた層の方が、より厚く成長する。p型層の方が、n型層よりも光吸収性であるため、吸収される放射光がより少なくなるように、より厚いn型層を有することが望ましい。

40

【0032】

図2aでは、n型層204が、基板202上に最初に成長させられている。次いで、n型層204上にp型層206が成長させられ、活性領域208がその間に形成される。活性領域208は、単一量子井戸(SQW)、多重量子井戸(MQW)、ダブルヘテロ構造、または超格子構造を備えることができる。活性領域208の片側または両側のバッファ

50

層、核形成層、コンタクト層、電流拡散層、および超格子構造、ならびに光取出し層および光取出し要素を含むがそれらに限定されない追加の層および要素を、デバイス200内に含んでもよいことが理解されよう。

【0033】

図2bは、p型層206上に形成されたpコンタクト電極210を示す。pコンタクト電極210は、透明な導電性酸化物あるいは薄い金属、例えば酸化亜鉛(ZnO)、酸化インジウムスズ(In₂SnO₃またはITO)、および極薄の白金(Pt)など、いくつかの導電性材料を含むことができる。pコンタクト電極210は、電流をp型層206全体にわたって一様に分配するのを助ける。pコンタクト電極210は、活性領域208から放出される光がpコンタクト電極210を最小の損失を伴って通過できるような材料で形成し、厚さを有すべきである。一構成では、pコンタクト電極210は、p型層206の主要な放出面となるものの上に堆積された電流拡散層として機能する。pコンタクト電極210は、約2nmから20nmの厚さを有するPd、NiまたはAuなどの金属、約100nmの厚さを有する酸化インジウムスズなどの透明導電性酸化物、半導体材料、あるいはそれらの材料の組合せを含むことができる。他の材料および厚さを使用することもできる。

10

【0034】

pコンタクト電極210の一部分上に、ワイヤボンダッド212が配設される。ワイヤボンダッド212は、オフチップの電圧/電流源(図示せず)からデバイス200への電気接続をもたらす。

20

【0035】

図2cは、図2a、bに対してフリップされたデバイス200を示す。デバイスは、最初にフリップされて、一時的な除去可能接着材216で犠牲キャリア214に接合されている。犠牲キャリア214は、未完成のデバイス200が加工されている間に、半導体層204、206、208に機械的支持をもたらす。一時的な接着材216は、図2cに示すように、pコンタクト電極210の実質的に全ての表面、およびワイヤボンダッド212の実質的に全ての表面を覆う。

【0036】

図2dでは、基板202が除去されて、n型層204が露出している。基板202は、湿式および乾式エッチングプロセス、またはレーザアブレーションを含む、いくつかの既知の方法で除去することができる。n型層204は、露出された後、いくつかの異なる方式で加工することができる。

30

【0037】

上述のように、多数の角度付き表面を設けて、光取出しを増大させるように、デバイス上またはデバイス内のさまざまな表面を変更(例えば、テクスチャ加工または粗面化(roughen))することが望ましい場合がある。変更された表面(modified surface)により、普通なら内部全反射(TIR)によってLED内に閉じ込められるはずの光が、放出光として逃れるのを可能にする変化する表面(varying surface)がもたらされることによって、光取出しが向上する。変更された表面のばらつきにより、光が(スネルの法則により定義される)臨界角以内で放出面に到達して、放出される機会が増大する。変更された表面を通して逃げない光については、変更された表面のばらつきにより、光がさまざまな角度で反射し、光が次の通過で逃れる機会が増大する。変更された表面を有するLEDの更なる諸実施形態が、以下に説明される。

40

【0038】

変更された表面218を有するデバイス200の一実施形態が、図2dに示されている。半導体表面を変更することができるいくつかの既知の方法がある。表面は、エッチング、研磨またはアブレーションなどのプロセスによって除去される部分を有することができる。表面に不均一なテクスチャを付与するために、例えばナノ粒子または光取出し要素などの材料を表面に追加することも可能である。光取出し構造のデバイス内の表面への追加が、特許文献1で詳細に説明されている。別の表面変更法は、表面を高温にかける、また

50

は表面を研磨することによって、表面に損傷を与えるものである。任意のこれらのプロセスを組み合わせ、所望の表面変更を達成することもできる。

【0039】

変更された表面218は、図2dでは、n型層204の活性領域208とは反対側の表面として示されているが、デバイス200内のさまざまな表面を変更して、取出しを強化させる同じ効果を達成できることが理解されよう。デバイス200は、変更された表面を全く有さなくてもよい。さまざまな変更された表面を有するいくつかの代替実施形態が、図5および6を参照して以下に論じられる。

【0040】

n型層は、1つまたは複数のその表面上に材料を堆積させることによって加工することもできる。図2eは、反射要素220がn型層204の変更された表面218上に配設された半導体デバイス200を示す。以下の説明によって理解されるように、発光ダイオード(LED)が製作されている場合、この反射要素220は、デバイス200の有用な光取出しを増大させる助けになる。反射要素220は、ミラー、分布ブラッグ反射鏡(distributed Bragg reflector: DBR)、および他のタイプの反射鏡を備えることができる。反射要素220は、図では、n型層204上に形成されている。半導体層の成長プロセスのため、n型層204は、p型層206よりも厚く、側方により導電性であり、したがって、より多くの側方の電流の流れに対応することができる。電流がn型層204内で側方に容易に拡散することができるため、シングルリップチッププロセスの場合のように反射要素220がp型層206上に配設されるならば必要であるが、反射要素220がn型層の表面上の全ての点で優れた均一なオーム接点を形成する必要はない。反射要素220がn型層204と均一なオーム接点を形成する材料および構成に限定されないため、さまざまなタイプの反射要素を使用することができる。このため、ダブルリップチッププロセスにおいて、高度に反射する材料を使用することが可能になり、外部量子効率が向上する。

10

20

【0041】

反射要素220は、n型層204の表面上に、スパッタリングなどの従来方法を使用して堆積させることができる、アルミニウム、銀、金、ロジウム、白金、パラジウム、金スズ、またはそれらの組合せを含む材料製の金属ミラーを備えることができる。ミラーに好ましい材料には、90%を超えることができるその高い反射率(特に短い方の波長において)により、アルミニウムが含まれる。さらに、アルミニウムは、n型層と良好なオーム接点を形成し、アルミニウムが350°Cを超える温度に耐えられるので、製作およびパッケージングのためのプロセスウィンドウが広げられる。反射要素220が分布ブラッグ反射鏡(DBR)を備える一代替実施形態が、図4を参照して以下により詳細に説明される。

30

【0042】

図2fでは、デバイス200が図2eに対してリップされている。デバイス200は再度リップされて、図2aに示す、エピタキシャル半導体層204、206、208が成長させられたときにそれが当初有した向きを再び取っている。反射要素220が、キャリアウエーハ222に取り付けられる。キャリアウエーハ222は、さまざまな半導体材料を備えることができ、好ましい材料はシリコンである。当初の(original)成長基板を、キャリアウエーハとして機能するようにリサイクルすることもできる。以下に説明する他の実施形態では、キャリアウエーハを、アルミニウムまたは銅などの金属のさまざまな層、またはガラスなどの他の材料を含む、他のタイプの支持要素で置き換えることができる。反射要素220は、キャリアウエーハ222に、接合層224で接合される。接合層224は、例えば金スズ(AuSn)を使用した共晶金属接合材(eutectic metal bond)を備えることができる。あるいは、接合層224は、ニッケルスズ(NiSn)または導電性エポキシなど、他の導電性材料を備えてもよい。異なる材料からなる他の接合層および/またはバリア層を使用してもよい。

40

【0043】

50

キャリアウェーハ 222 は、n 型層 204 に良好な電気接続をもたらすと同時に、デバイス 200 の残りの部分に機械的支持をもたらす。外側の電圧 / 電流源への接続を容易にするために、キャリアウェーハ 222 上にキャリア電極 226 を配設することができる。キャリア電極 226 は、金、銀、白金、およびさまざまな合金など、いくつかの高導電性材料を含むことができる。キャリア電極 226 は、キャリアウェーハ 222 の表面の上に電流を均一に分配する助けとなる電流拡散層として機能することができる。キャリア電極 226 上に、コンタクト要素 (図示せず) を配設してもよい。

【0044】

キャリアウェーハ 222 が n 型層 204 に接合された後、デバイスは、適切な機械的支持を有し、犠牲キャリア 214 および除去可能接着材 216 を、図 2g に示すように除去することができる。デバイス 200 に、この時点で露出されたワイヤボンディングパッド 212 およびキャリア電極 226 を用いてバイアスをかけることができる。上記で言及したように、ダブルリップチッププロセスは、エピタキシャル層が成長段階直後に有したのと同じ向きをそれらが維持するチップをもたらす。成長段階を、完成後のチップと比較されたい。それぞれ、p 型層 206 ではなく n 型層 204 が、基板 202 (図 2a を参照されたい)、およびキャリアウェーハ 222 (図 2g を参照されたい) に最も近い。諸代替実施形態では、犠牲キャリア 214 が p コンタクト電極 210 から除去されてから、ボンディングパッド 212 を上に置くことができる。

【0045】

図 3 は、本発明による半導体デバイス 300 の別の実施形態を示す。デバイス 300 は、デバイス 200 に類似しており、いくつかの同じ要素を含む。デバイス 300 では、反射要素 220 が、キャリアウェーハ上ではなく導電性金属層 302 上に配設されている。

【0046】

厚い導電性金属層 302 は、反射要素 220 に例えば電気メッキによって施すことができる。導電性金属層 302 は、完成したデバイスに機械的支持をもたらすのに十分なほど厚くあるべきである。層は、少なくとも 50 μm 厚さとすべきであり、好ましい厚さは、300 ~ 400 μm の範囲である。いくつかの異なる金属および金属合金を使用することができるが、銅 (Cu) が好ましい材料である。

【0047】

デバイス 300 は、別のキャリアウェーハに接合する必要がないので、費用のかかる接合ステップが製作プロセスに必要ではなくなり、完成したデバイスの全体的なコストが低減される。さらに、反射要素 220 とキャリアウェーハ 214 との間の接合界面でボイド (void) が発生する可能性を排除することによって、デバイス 300 の信頼性が向上し得る。

【0048】

本発明による半導体デバイス 400 の別の実施形態が、図 4 に示されている。デバイス 400 は、デバイス 200 と同様に機能し、多くの共通要素を共通に用いる。この実施形態での反射要素は、全方向反射鏡 (omnidirectional reflector : ODR) 402 を備える。

【0049】

ODR 402 は、複数対 (一般に 5 ~ 50 対) の異なる屈折率を有する 2 つの材料を一般に備える、分布ブラッグ反射鏡 (DBR) とすることができる。屈折率が異なる結果、各境界面でフレネル反射 (Frensel reflection) が発生する。各境界面での反射は、全反射になることはできないが、境界面の数およびさまざまな層の厚さのため、反射波が強め合って干渉し、その結果、DBR は良好な反射率をもたらす。層の厚さは、実質的に全ての反射波が互いに強め合って干渉するのを確実にするように選択される (例えば、非特許文献 5 参照)。DBR として使用される材料のタイプに応じて、MBE または MOCVD など、1 層または複数層のエピタキシャル層を製作するために使用されるのと同じ方法で、材料を n 型層 204 の表面上に堆積させることができる。これらの層は、電子ビーム堆積、スパッタ堆積などを含む方法によって堆積させてもよい。適切な材料を選択し、

10

20

30

40

50

層の設計を調整することによって、あらゆる入射角および波長の範囲にわたって90%よりもずっと大きな反射率を有する反射要素を形成し、デバイス400の光吸収を大幅に低減させることが可能である。

【0050】

別の利点は、ODRを製作するのに使用される材料自体が、導電性である必要がないことである。その代わりに、ODR402を、例えばアルミニウムを使用してODR402と導電性金属層302との間に挟まれた導電性バッキング層(図示せず)によって接続された従来型のオーミック電極404の小さな領域と共に組み込むことによって、非常に高い平均反射率を有する複合ミラー406を実現することができる。ODR402は、図4では2対の層しか有していないが、一般に、上述のように最大50対の層を備えることが理解されよう。必要であれば、さらに多くの対を使用することができる。デバイス400は、ODR402を利用するため、ODR402と接するn型層204の表面は、好ましくは粗面化されない。変更された表面408が、p型層206の一方の表面として示されている。しかし、pコンタクト電極など、デバイス内の他の表面が、上記で言及したように変更されても、デバイス400が、変更された表面を有してもよい。

10

【0051】

ダブルフリップチッププロセスで製作された半導体デバイスは、複合ミラーの実装に特に適している。というのも、n型層が電流を側方に伝導する能力により、ミラーの平均反射率を、活性デバイスエリアに影響を及ぼすことなく最大にすることが可能になるためである。

20

【0052】

図5および6を参照すると、本発明による半導体デバイスの更なる諸実施形態が示されている。デバイス500、600は、デバイス200に類似しており、いくつかの共通要素を共通に用いる。デバイス500は、変更された表面502を有するp型層206を備える。変更された表面502は、図2d~gに示す変更された表面218と同様に光取出しを強化するように機能し、表面218に関して上述したものを含む、当技術分野で既知のいくつかの方法で形成することができる。

【0053】

デバイス600は、変更された表面602を有するpコンタクト電極210を備える。この場合も、変更された表面602は、光取出しを強化するように働き、表面218に関して上述したものを含む、多くの既知の方法で形成することができる。

30

【0054】

図7a、7bは、本発明による半導体デバイス700の別の実施形態を示す。デバイス700は、ワイヤボンダッド704がその上に配設された、変更された表面702を有する。図7bでは、p型層206が、変更された表面702の下から突き出している。ワイヤボンダッド704は、変更された表面702上に配設され、電圧/電流源(図示せず)への電気接続をもたらす。特許文献1には、アレイの形で形成された内部および外部の光学要素を使用してLED内で光取出しを強化するための構造が開示されている。光学要素は、半球や角錐などのさまざまな形状を有し、LEDのさまざまな層の表面上、またはその中に配置することができる。それらの要素は、光がそこから屈折または散乱する表面をもたらす。

40

【0055】

変更された表面702は、六角形の底面を有する角錐として示されているが、最良の光取出しをもたらすように、デバイスのさまざまな実施形態に対して、さまざまな形状を使用することができる。図7aは、使用することができる形状の一例の断面図を示す。図7bは、デバイス700の平面図を示す。形状は、所与の実施形態にとって最良の光取出しをもたらすように選択し、調整することができる。さまざまな形状が、半導体材料および/またはマスク層と、標準的な湿式化学、乾式エッチング、レーザまたはウェーハソーイング技法とのさまざまな組合せを使用することによって形成される。図中に示す形状は、多くの可能な形状の単に1つを表すものであり、本発明の範囲は、図示の形状に限定すべ

50

きではない。

【0056】

図8および9は、本発明による半導体デバイス800、900という、さらに2つの実施形態を示す。デバイス800、900は、デバイス200に類似しており、いくつかの共通要素を共通に用いる。

【0057】

デバイス800では、複合ミラー806が、導電性金属層302上に配設されている。複合ミラー806は、オーミック電極804および屈折材料802を備える。屈折材料802は、それに隣接する材料よりも低い屈折率を有する。低屈折率の屈折材料として使用することができるいくつかの材料は、例えば、 SiO_2 、 SiN 、または空気である。オーミック電極804は、n型層204と導電性金属層302との間に電気接続をもたらす。複合ミラー806全体にわたって、n型層204との均一なオーム接点を形成する必要がないため、高平均反射率を達成することができる。変更された表面808が、n型層204と複合ミラー806との境界面に、n型層204の表面として示されている。光取出しを向上させるために、デバイス800内の他の表面が上述したように変更されても、デバイス800が、変更された表面を含まなくてもよい。

10

【0058】

さらに、屈折材料802は、負の屈折率を有するメタマテリアル (metamaterial) を含むことができる。メタマテリアルは一般に、その組成ではなく、その構造に主として依存する特性を有する合成材料である。これまでに形成された、いくつかのメタマテリアルは、負の屈折率を呈している。そのような材料は、当技術分野で既知である (例えば、非特許文献6参照)。メタマテリアルは、フォトリソグラフィ、ホログラフィリソグラフィ、または電子ビームリソグラフィなど、同様の加工方法を施すことができる。他の施与方法を使用することもできる。メタマテリアルは、オーミック電極804が、n型層204と導電性金属層302との間に電気接続をもたらした状態で、図8に示すようにn型層204と導電性金属層302との間に挟むことができる。

20

【0059】

デバイス900は、複合ミラー906を含む。複合ミラー806と同様に、複合ミラー906は、屈折材料902およびオーミック電極904を備える。屈折材料は、上述したように、低屈折率材料、または負の屈折率のメタマテリアルを備えることができる。追加の反射バック層 (reflective backing layer) 908が、複合ミラー906と導電性金属層302との間に挟まれる。反射バック層908は、複合ミラー906を通過する光をさらに反射させる。反射バック層908は、アルミニウム、銀、または他の反射材料を含むことができる。変更された表面910が、p型層206の表面として示されているが、デバイス900内の他の表面が変更されても、デバイス900が、変更された表面を有さなくてもよい。

30

【0060】

以上、本発明を、そのいくつかの好ましい構成に即して詳細に説明してきたが、他のバージョンも可能である。したがって、本発明の趣旨および範囲は、上述のバージョンに限定されるものではない。

40

【図面の簡単な説明】

【0061】

【図1】従来技術において開示された既知の実施形態による半導体デバイスの断面図である。

【図2a】製作プロセスの1段階での様子が示された、本発明による半導体デバイスの一実施形態の断面図である。

【図2b】製作プロセスの図2aに続く段階での様子が示された、本発明による半導体デバイスの一実施形態の断面図である。

【図2c】製作プロセスの図2bに続く段階での様子が示された、本発明による半導体デ

50

バイスの一実施形態の断面図である。

【図 2 d】製作プロセスの図 2 c に続く段階での様子が示された、本発明による半導体デバイスの一実施形態の断面図である。

【図 2 e】製作プロセスの図 2 d に続く段階での様子が示された、本発明による半導体デバイスの一実施形態の断面図である。

【図 2 f】製作プロセスの図 2 e に続く段階での様子が示された、本発明による半導体デバイスの一実施形態の断面図である。

【図 2 g】製作プロセスの図 2 f に続く段階での様子が示された、本発明による半導体デバイスの一実施形態の断面図である。

【図 3】本発明による半導体デバイスの別の実施形態の断面図である。

【図 4】本発明による半導体デバイスの別の実施形態の断面図である。

【図 5】本発明による半導体デバイスの別の実施形態の断面図である。

【図 6】本発明による半導体デバイスの別の実施形態の断面図である。

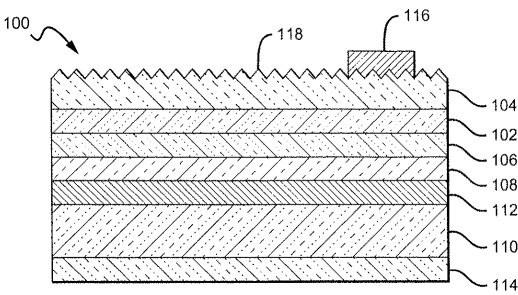
【図 7 a】本発明による半導体デバイスの別の実施形態の断面図である。

【図 7 b】本発明による半導体デバイスの別の実施形態の平面図である。

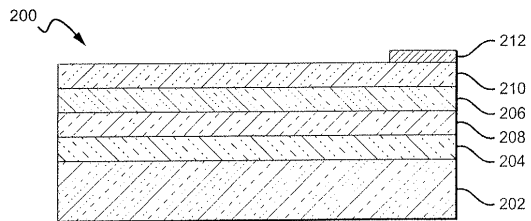
【図 8】本発明による半導体デバイスの別の実施形態の断面図である。

【図 9】本発明による半導体デバイスの別の実施形態の断面図である。

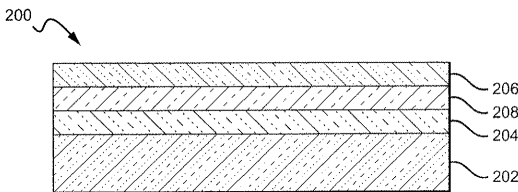
【図 1】



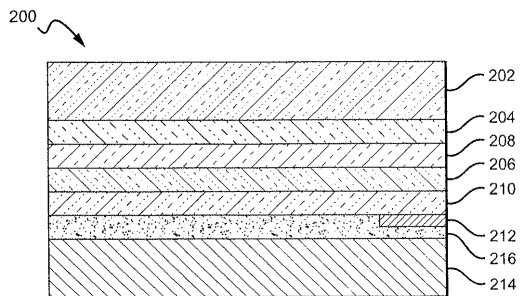
【図 2 b】



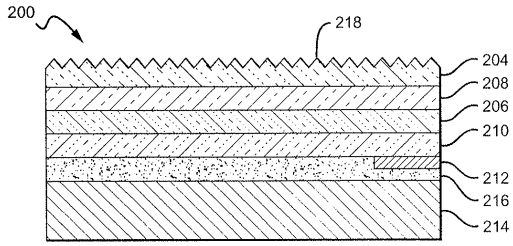
【図 2 a】



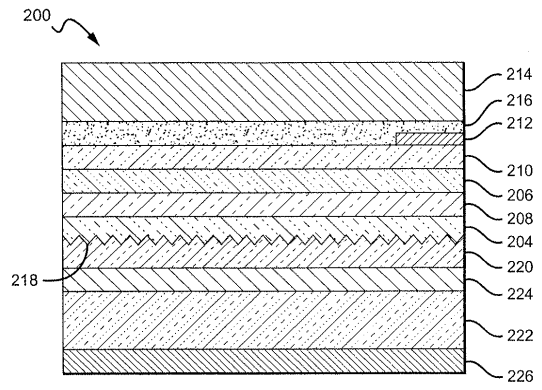
【図 2 c】



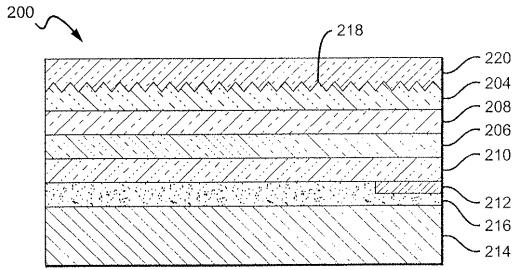
【図 2 d】



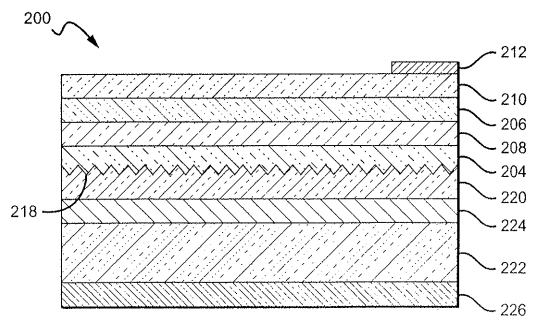
【図 2 f】



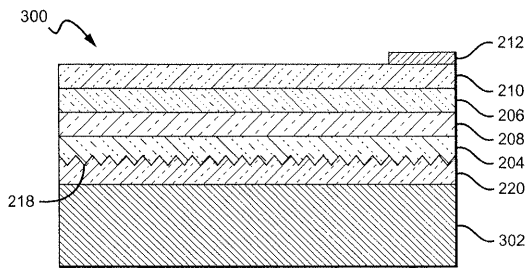
【図 2 e】



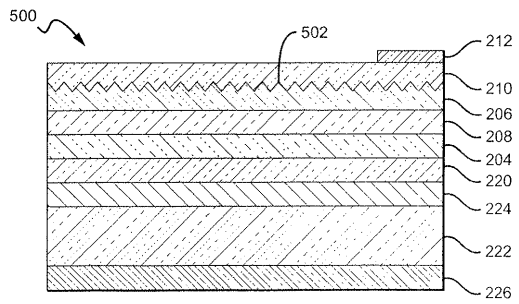
【図 2 g】



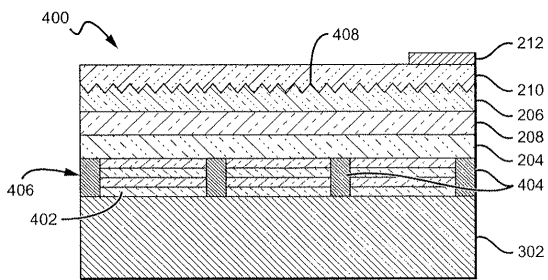
【図 3】



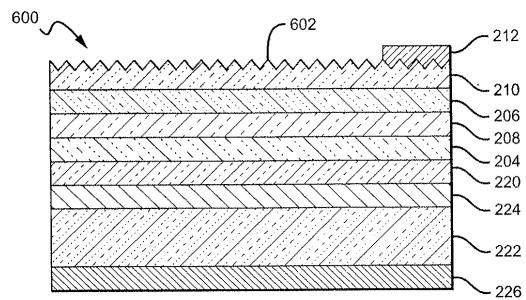
【図 5】



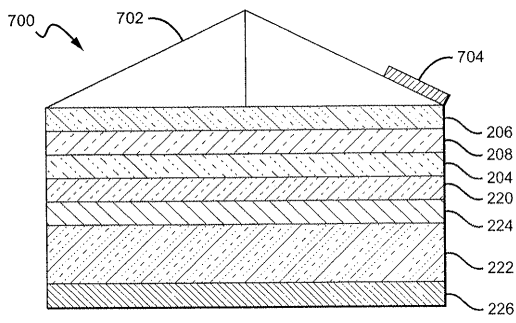
【図 4】



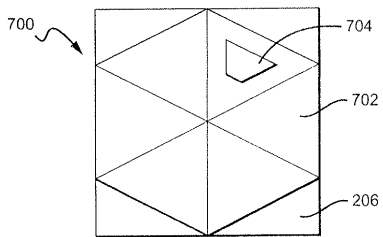
【図 6】



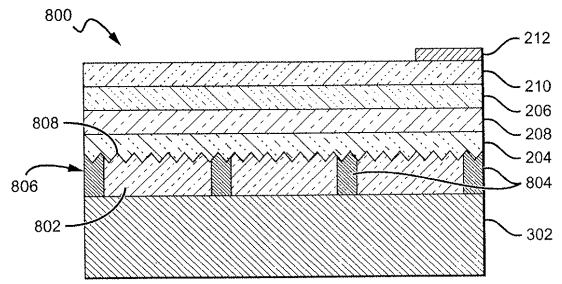
【 図 7 a 】



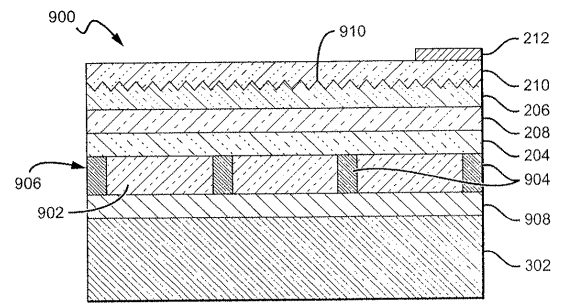
【 図 7 b 】



【 図 8 】



【 図 9 】



フロントページの続き

(72)発明者 ジェームス イベットソン

アメリカ合衆国 93111 カリフォルニア州 サンタバーバラ ランドルフ ロード 910

(72)発明者 ニコラス ダブリュ.メデンドーブ ジュニア

アメリカ合衆国 27614 ノースカロライナ州 ローリー デルビン コート 1129

(72)発明者 ジュリオ エー.ガルセラン

アメリカ合衆国 27519 ノースカロライナ州 カリー モリス ブランチ コート 120

Fターム(参考) 5F041 AA03 CA04 CA05 CA65 CA74 CA77 CB15

【外国語明細書】

2008205475000001.pdf