



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0116930  
(43) 공개일자 2023년08월04일

- |  |   |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)<br/>G01N 21/64 (2006.01) C12Q 1/6869 (2018.01)<br/>H01L 27/146 (2006.01)</p> <p>(52) CPC특허분류<br/>G01N 21/6452 (2013.01)<br/>C12Q 1/6869 (2018.05)</p> <p>(21) 출원번호 10-2023-7023615<br/>(22) 출원일자(국제) 2021년12월10일<br/>심사청구일자 없음<br/>(85) 번역문제출일자 2023년07월11일<br/>(86) 국제출원번호 PCT/US2021/062929<br/>(87) 국제공개번호 WO 2022/125973<br/>국제공개일자 2022년06월16일</p> <p>(30) 우선권주장<br/>63/124,655 2020년12월11일 미국(US)</p> | <p>(71) 출원인<br/>퀀텀-에스아이 인코포레이티드<br/>미국 06437 코네티컷주 길포드 올드 화이트필드 스트리트 530</p> <p>(72) 발명자<br/>웹스터, 에릭, 에이.지.<br/>미국 95051 캘리포니아 산타 클라라 브라이어우드 드라이브2139</p> <p>(74) 대리인<br/>양영준, 김연송, 백만기</p> |
|--|---|

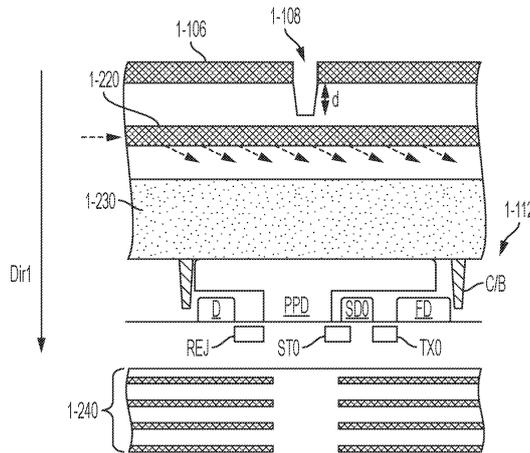
전체 청구항 수 : 총 54 항

(54) 발명의 명칭 개선된 전하 전송 효율을 갖는 집적 회로 및 연관된기술들

(57) 요약

본 개시내용은 입사 광자들을 수신하도록 구성되는 집적 회로 내에서 전하 전송의 속도 및 효율을 개선하기 위한 기술들을 제공한다. 본 개시내용의 일부 양태들은 집적 회로들 내에서 전하 전송의 속도 및 효율을 증가시키는 하나 이상의 고유 전기장을 유도하도록 구성되는 집적 회로들에 관한 것이다. 본 개시내용의 일부 양태들은 집적 회로들의 광 검출 영역(들)에서 전하 캐리어 공핍을 유도하도록 구성되는 집적 회로들에 관한 것이다. 일부 실시예들에서, 집적 회로에 인가되는 외부 전기장이 없는 경우에도 공핍이 유도된다는 점에서, 광 검출 영역(들) 내에서의 전하 캐리어 공핍은 고유할 수 있다. 본 개시내용의 일부 양태들은 본 명세서에 설명된 통합 디바이스들을 작동 및/또는 제조하기 위한 프로세스들에 관한 것이다.

대표도



도 1-2

(52) CPC특허분류

*G01N 21/6408* (2013.01)

*G01N 21/6456* (2013.01)

*H01L 27/14609* (2023.08)

*G01N 2201/0697* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

집적 회로로서,

광 검출 영역 - 상기 광 검출 영역은:

제1 방향에서 입사 광자들을 수신하고;

상기 입사 광자들을 수신하는 것에 응답하여 전하 캐리어들을 생성하고;

상기 제1 방향으로 제1 고유 전기장(intrinsic electric field)을 유도하도록

구성됨 -; 및

상기 광 검출 영역으로부터 상기 전하 캐리어들을 수신하도록 구성되는 하나 이상의 전하 저장 영역을 포함하는, 집적 회로.

#### 청구항 2

제1항에 있어서, 상기 광 검출 영역은 제1 고유 전위 레벨(intrinsic electric potential level)을 갖는 제1 층, 및 상기 제1 방향에서 상기 제1 층 뒤에 위치되며 상기 제1 고유 전위 레벨과는 상이한 제2 고유 전위 레벨을 갖는 제2 층을 포함하는, 집적 회로.

#### 청구항 3

제2항에 있어서, 상기 제1 층은 제1 도펀트 농도를 갖고, 상기 제2 층은 상기 제1 도펀트 농도보다 높은 제2 도펀트 농도를 갖는, 집적 회로.

#### 청구항 4

제3항에 있어서, 상기 광 검출 영역은 상기 제1 방향에서 상기 제2 층 뒤에 위치되며 상기 제2 도펀트 농도보다 높은 제3 도펀트 농도를 갖는 제3 층을 더 포함하는, 집적 회로.

#### 청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 광 검출 영역은 삼각형 개구를 갖는 마스크를 포함하고, 상기 삼각형 개구의 밀변은 제2 방향에서 상기 삼각형 개구의 꼭지점 뒤에 위치되고, 상기 마스크는 상기 제2 방향에서 상기 광 검출 영역으로부터 상기 하나 이상의 전하 저장 영역으로 제2 고유 전기장을 유도하도록 구성되는, 집적 회로.

#### 청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서, 상기 광 검출 영역은 제1 도펀트 농도를 갖고, 상기 하나 이상의 전하 저장 영역은 상기 제1 도펀트 농도보다 높은 적어도 제2 도펀트 농도를 갖는, 집적 회로.

#### 청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서, 상기 광 검출 영역으로부터 상기 하나 이상의 전하 저장 영역으로의, 및/또는 상기 하나 이상의 전하 저장 영역으로부터 판독 영역으로의 전하 캐리어들의 전송을 제어하도록 구성되는 하나 이상의 전송 게이트를 더 포함하고, 상기 하나 이상의 전송 게이트는 상기 제1 방향에서 상기 광 검출 영역 및 상기 하나 이상의 전하 저장 영역 뒤에 위치되는, 집적 회로.

#### 청구항 8

집적 회로로서,

광 검출 영역 - 상기 광 검출 영역은:

입사 광자들을 수신하는 것에 응답하여 전하 캐리어들을 생성하고;

제1 방향으로 제1 고유 전기장을 유도하도록

구성됨 -;

상기 광 검출 영역으로부터 상기 전하 캐리어들을 수신하도록 구성되는 하나 이상의 전하 저장 영역; 및

상기 제1 방향에서 상기 광 검출 영역 및 상기 하나 이상의 전하 저장 영역 뒤에 위치되고, 상기 광 검출 영역으로부터 상기 하나 이상의 전하 저장 영역으로의, 및/또는 상기 하나 이상의 전하 저장 영역으로부터 판독 영역으로의 전하 캐리어들의 전송을 제어하도록 구성되는 하나 이상의 전송 게이트

를 포함하는, 집적 회로.

#### 청구항 9

제8항에 있어서, 상기 광 검출 영역은 제1 고유 전위 레벨을 갖는 제1 층, 및 상기 제1 방향에서 상기 제1 층 뒤에 위치되며 상기 제1 고유 전위 레벨과는 상이한 제2 고유 전위 레벨을 갖는 제2 층을 포함하는, 집적 회로.

#### 청구항 10

제9항에 있어서, 상기 제1 층은 제1 도펀트 농도를 갖고, 상기 제2 층은 상기 제1 도펀트 농도보다 높은 제2 도펀트 농도를 갖는, 집적 회로.

#### 청구항 11

제10항에 있어서, 상기 광 검출 영역은 상기 제1 방향에서 상기 제2 층 뒤에 위치되며 상기 제2 도펀트 농도보다 높은 제3 도펀트 농도를 갖는 제3 층을 더 포함하는, 집적 회로.

#### 청구항 12

제8항 내지 제11항 중 어느 한 항에 있어서, 상기 광 검출 영역은 삼각형 개구를 갖는 마스크를 포함하고, 상기 삼각형 개구의 밑변은 제2 방향에서 상기 삼각형 개구의 꼭지점 뒤에 위치되고, 상기 마스크는 상기 제2 방향에서 상기 광 검출 영역으로부터 상기 하나 이상의 전하 저장 영역으로 제2 고유 전기장을 유도하도록 구성되는, 집적 회로.

#### 청구항 13

제8항 내지 제12항, 또는 제1항 내지 제7항 중 어느 한 항에 있어서, 상기 광 검출 영역은 제1 고유 전위 레벨을 갖고, 상기 하나 이상의 전하 저장 영역은 상기 제1 고유 전위 레벨과는 상이한 적어도 제2 고유 전위 레벨을 갖는, 집적 회로.

#### 청구항 14

제13항에 있어서, 상기 광 검출 영역은 제1 도펀트 농도를 갖고, 상기 하나 이상의 전하 저장 영역은 상기 제1 도펀트 농도보다 높은 적어도 제2 도펀트 농도를 갖는, 집적 회로.

#### 청구항 15

방법으로서,

집적 회로의 광 검출 영역에서 제1 방향으로 제1 고유 전기장을 유도하는 단계;

상기 광 검출 영역에서 입사 광자들을 수신하는 것에 응답하여 전하 캐리어들을 생성하는 단계;

하나 이상의 전하 저장 영역에서 상기 광 검출 영역으로부터 생성된 상기 전하 캐리어들을 수신하는 단계; 및

상기 제1 방향에서 상기 광 검출 영역 및 상기 하나 이상의 전하 저장 영역 뒤에 위치되는 하나 이상의 전송 게이트를 사용하여, 상기 광 검출 영역으로부터 상기 하나 이상의 전하 저장 영역으로의, 및/또는 상기 하나 이상의 전하 저장 영역으로부터 판독 영역으로의 전하 캐리어들의 전송을 제어하는 단계

를 포함하는, 방법.

**청구항 16**

제15항에 있어서, 상기 제1 고유 전기장은 적어도 부분적으로, 제1 고유 전위 레벨을 갖는 상기 광 검출 영역의 제1 층, 및 상기 제1 방향에서 상기 제1 층 뒤에 위치되며 상기 제1 고유 전위 레벨과는 상이한 제2 고유 전위 레벨을 갖는 상기 광 검출 영역의 제2 층에 의해 유도되는, 방법.

**청구항 17**

제16항에 있어서, 상기 제1 고유 전기장은 적어도 부분적으로, 상기 제1 층의 제1 도펀트 농도 및 상기 제1 도펀트 농도보다 높은 상기 제2 층의 제2 도펀트 농도에 의해 유도되는, 방법.

**청구항 18**

제17항에 있어서, 상기 제1 고유 전기장은 적어도 부분적으로, 상기 제1 방향에서 상기 제2 층 뒤에 위치되며 상기 제2 도펀트 농도보다 높은 제3 도펀트 농도를 갖는 상기 광 검출 영역의 제3 층에 의해 유도되는, 방법.

**청구항 19**

제15항 내지 제18항 중 어느 한 항에 있어서,

제2 방향에서 상기 광 검출 영역으로부터 상기 하나 이상의 전하 저장 영역으로 제2 고유 전기장을 유도하는 단계

를 더 포함하고, 상기 제2 고유 전기장은 적어도 부분적으로 상기 광 검출 영역의 마스크에 의해 유도되고, 상기 마스크는 삼각형 개구를 갖고, 상기 삼각형 개구의 밑변은 상기 제2 방향에서 상기 삼각형 개구의 꼭지점 뒤에 위치되는, 방법.

**청구항 20**

제15항 내지 제19항 중 어느 한 항에 있어서,

제2 방향에서 상기 광 검출 영역으로부터 상기 하나 이상의 전하 저장 영역으로 제2 고유 전기장을 유도하는 단계

를 더 포함하고, 상기 제2 고유 전기장은 적어도 부분적으로, 상기 광 검출 영역의 제1 도펀트 농도 및 상기 제1 도펀트 농도보다 높은 상기 하나 이상의 전하 저장 영역의 적어도 제2 도펀트 농도에 의해 유도되는, 방법.

**청구항 21**

집적 회로로서,

광 검출 영역 - 상기 광 검출 영역은:

제1 방향에서 입사 광자들을 수신하고;

상기 입사 광자들을 수신하는 것에 응답하여 전하 캐리어들을 생성하도록

구성됨 -;

상기 광 검출 영역으로부터 상기 전하 캐리어들을 수신하도록 구성되는 하나 이상의 전하 저장 영역; 및

적어도 부분적으로 상기 제1 방향으로, 상기 광 검출 영역으로부터 상기 하나 이상의 전하 저장 영역을 향하여 상기 전하 캐리어들을 전파하기 위해, 상기 광 검출 영역에서 전하 캐리어 공핍(charge carrier depletion)을 유도하도록 구성되는 하나 이상의 하전된(charged) 및/또는 바이어스된 영역

을 포함하는, 집적 회로.

**청구항 22**

제21항에 있어서, 상기 하나 이상의 하전된 및/또는 바이어스된 영역은 상기 광 검출 영역에서 상기 전하 캐리어 공핍을 유도하는 금속-산화물 화합물을 포함하는 전하 층을 포함하는, 집적 회로.

**청구항 23**

제21항 또는 제22항에 있어서, 상기 하나 이상의 하전된 및/또는 바이어스된 영역은 상기 집적 회로가 전력 공급부에 전기적으로 결합될 때, 상기 전력 공급부로부터 상기 광 검출 영역에서 상기 전하 캐리어 공핍을 유도하는 전압 바이어스를 수신하도록 구성되는 하나 이상의 금속 영역을 포함하는, 집적 회로.

**청구항 24**

제21항 내지 제23항 중 어느 한 항에 있어서, 상기 하나 이상의 하전된 및/또는 바이어스된 영역은:

상기 광 검출 영역의 제1 면에 위치되는 제1 하전된 및/또는 바이어스된 영역; 및

상기 제1 방향에 수직한 제2 방향에서 상기 제1 면에 반대되는 상기 광 검출 영역의 제2 면에 위치되는 제2 하전된 및/또는 바이어스된 영역

을 포함하는, 집적 회로.

**청구항 25**

제21항 내지 제24항 중 어느 한 항에 있어서, 상기 하나 이상의 하전된 및/또는 바이어스된 영역은 상기 광 검출 영역과 나란하게 상기 제1 방향으로 신장되는, 집적 회로.

**청구항 26**

제21항 내지 제25항 중 어느 한 항에 있어서, 상기 광 검출 영역과 상기 하나 이상의 전하 저장 영역 사이에서, 및/또는 상기 하나 이상의 전하 저장 영역과 판독 영역 사이에서 전하 캐리어들의 전송을 제어하도록 구성되는 하나 이상의 전송 게이트를 더 포함하고, 상기 하나 이상의 전송 게이트는 상기 제1 방향에서 상기 광 검출 영역 및 상기 하나 이상의 전하 저장 영역 뒤에 위치되는, 집적 회로.

**청구항 27**

제21항 내지 제26항 중 어느 한 항에 있어서, 상기 하나 이상의 하전된 및/또는 바이어스된 영역 주위에 위치되는 하나 이상의 도핑된 장벽을 더 포함하는, 집적 회로.

**청구항 28**

방법으로서,

집적 회로의 광 검출 영역에서 전하 캐리어 공핍을 유도하는 단계;

제1 방향으로, 상기 광 검출 영역에서 입사 광자들을 수신하는 단계;

상기 광 검출 영역에서, 상기 입사 광자들에 응답하여, 전하 캐리어들을 생성하는 단계;

적어도 부분적으로 상기 제1 방향으로, 상기 광 검출 영역으로부터 하나 이상의 전하 저장 영역을 향해 상기 전하 캐리어들을 전파하는 단계; 및

상기 집적 회로의 하나 이상의 전하 저장 영역에서, 상기 광 검출 영역으로부터 상기 전하 캐리어들을 수신하는 단계

를 포함하는, 방법.

**청구항 29**

제28항에 있어서, 상기 전하 캐리어 공핍은 적어도 부분적으로, 금속-산화물 화합물을 갖는 전하 층을 포함하는 상기 집적 회로의 하나 이상의 하전된 영역에 의해 유도되는, 방법.

**청구항 30**

제28항 또는 제29항에 있어서, 상기 전하 캐리어 공핍은 적어도 부분적으로, 상기 광 검출 영역에서 상기 전하 캐리어 공핍을 유도하기 위해 전압 바이어스를 수신하는 하나 이상의 금속 영역에 의해 유도되는, 방법.

**청구항 31**

제28항 내지 제30항 중 어느 한 항에 있어서, 상기 전하 캐리어 공핍은, 적어도 상기 광 검출 영역의 제1 면 및 상기 제1 방향에 수직한 제2 방향에서 상기 제1 면에 반대되는 상기 광 검출 영역의 제2 면 상에서, 상기 제1 방향으로 상기 광 검출 영역과 나란하게 유도되는, 방법.

**청구항 32**

제28항 내지 제31항 중 어느 한 항에 있어서, 상기 제1 방향에서 상기 광 검출 영역 및 상기 하나 이상의 전하 저장 영역 뒤에 위치되는 하나 이상의 전송 게이트를 사용하여, 상기 광 검출 영역과 상기 하나 이상의 전하 저장 영역 사이에서, 및/또는 상기 하나 이상의 전하 저장 영역과 판독 영역 사이에서 전하 캐리어들의 전송을 제어하는 단계를 더 포함하는, 방법.

**청구항 33**

제28항 내지 제32항 중 어느 한 항에 있어서, 상기 광 검출 영역에서, 상기 제1 방향에서 상기 광 검출 영역의 측면 단부들(lateral ends)과 정렬되는 금속 실드의 개구를 통해 상기 입사 광자들을 수신하는 단계를 더 포함하고, 상기 측면 단부들은 상기 제1 방향에 수직한 제2 방향에서 서로 분리되는, 방법.

**청구항 34**

집적 회로로서,

제1 광 검출 영역을 포함하는 제1 픽셀;

제2 광 검출 영역을 포함하는 제2 픽셀; 및

상기 제1 광 검출 영역과 상기 제2 광 검출 영역 사이에 위치되는 하나 이상의 하전된 및/또는 바이어스된 영역을 포함하는, 집적 회로.

**청구항 35**

제34항에 있어서,

상기 제1 픽셀은 제1 방향에서 입사 광자들에 응답하여 상기 제1 광 검출 영역에서 생성된 전하 캐리어들을 수신하도록 구성되는 하나 이상의 전하 저장 영역을 더 포함하고;

상기 제2 픽셀은 상기 제1 방향에서 입사 광자들을 수신하는 것에 응답하여 상기 제2 광 검출 영역에서 생성된 전하 캐리어들을 수신하도록 구성되는 하나 이상의 전하 저장 영역을 더 포함하는, 집적 회로.

**청구항 36**

제34항 또는 제35항에 있어서, 상기 하나 이상의 하전된 및/또는 바이어스된 영역은, 적어도 상기 광 검출 영역의 제1 면 및 상기 제1 방향에 수직한 제2 방향에서 상기 제1 면에 반대되는 상기 광 검출 영역의 제2 면 상에서, 상기 제1 광 검출 영역과 나란하게 상기 제1 방향으로 신장되는, 집적 회로.

**청구항 37**

제34항 내지 제36항 중 어느 한 항에 있어서, 상기 하나 이상의 하전된 및/또는 바이어스된 영역은 상기 제1 광 검출 영역에서 전하 캐리어 공핍을 유도하도록 구성되는 금속-산화물 화합물을 포함하는 전하 층을 포함하는, 집적 회로.

**청구항 38**

제34항 내지 제37항 중 어느 한 항에 있어서, 상기 하나 이상의 하전된 및/또는 바이어스된 영역은 상기 집적 회로가 전력 공급부에 전기적으로 결합될 때, 상기 전력 공급부로부터 상기 제1 광 검출 영역에서의 상기 전하 캐리어 공핍을 유도하는 전압 바이어스를 수신하도록 구성되는 하나 이상의 금속 영역을 포함하는, 집적 회로.

**청구항 39**

제34항 내지 제38항 중 어느 한 항에 있어서, 상기 제1 광 검출 영역과 상기 하나 이상의 전하 저장 영역 사이에서, 및/또는 상기 하나 이상의 전하 저장 영역과 판독 영역 사이에서 전하 캐리어들의 전송을 제어하도록 구성되는 하나 이상의 전송 게이트를 더 포함하고, 상기 하나 이상의 전송 게이트는 상기 제1 방향에서 상기 제1 광 검출 영역 및 상기 하나 이상의 전하 저장 영역 뒤에 위치되는, 집적 회로.

**청구항 40**

제39항에 있어서, 상기 제1 방향에서 상기 하나 이상의 하전된 및/또는 바이어스된 영역 앞에 위치되고 상기 제1 방향에서 상기 광 검출 영역의 측면 단부들과 정렬되는 개구를 포함하는 금속 실드를 더 포함하고, 상기 측면 단부들은 상기 제1 방향에 수직한 방향에서 서로 분리되는, 집적 회로.

**청구항 41**

집적 회로를 제조하는 방법으로서,

광 검출 영역이 입사 광자들을 수신하도록 구성되는 제1 방향으로 상기 광 검출 영역에서 제1 전기장을 유도하도록 상기 집적 회로의 광 검출 영역을 형성하는 단계

를 포함하는, 방법.

**청구항 42**

제41항에 있어서, 상기 광 검출 영역을 형성하는 단계는:

제1 고유 전위 레벨을 갖도록 상기 광 검출 영역의 제1 층을 형성하는 단계; 및

상기 제1 방향에서 상기 제1 층 뒤에 위치되며, 상기 제1 고유 전위 레벨과 상이한 제2 고유 전위 레벨을 갖도록 상기 광 검출 영역의 제2 층을 형성하는 단계

를 포함하는, 방법.

**청구항 43**

제42항에 있어서, 상기 광 검출 영역을 형성하는 단계는:

제1 도펀트 농도를 갖도록 상기 제1 층을 도핑하는 단계; 및

상기 제1 도펀트 농도보다 높은 제2 도펀트 농도를 갖도록 상기 제2 층을 도핑하는 단계

를 포함하는, 방법.

**청구항 44**

제43항에 있어서, 상기 광 검출 영역을 형성하는 단계는 상기 제1 방향에서 상기 제2 층 뒤에 위치되고 상기 제2 도펀트 농도보다 높은 제3 도펀트 농도를 갖도록 제3 층을 도핑하는 단계를 더 포함하는, 방법.

**청구항 45**

제41항 내지 제44항 중 어느 한 항에 있어서,

상기 제1 방향에서 상기 광 검출 영역 및 하나 이상의 전하 저장 영역 뒤에 하나 이상의 전송 게이트를 위치시키는 단계; 및

상기 하나 이상의 전송 게이트를 상기 광 검출 영역 및 상기 하나 이상의 전하 저장 영역에 전기적으로 결합하는 단계

를 더 포함하는, 방법.

**청구항 46**

집적 회로를 제조하는 방법으로서,

제1 픽셀의 제1 광 검출 영역과 제2 픽셀의 제2 광 검출 영역 사이에 하나 이상의 하전된 및/또는 바이어스된

영역을 형성하는 단계  
를 포함하는, 방법.

**청구항 47**

제46항에 있어서, 상기 하나 이상의 하전된 및/또는 바이어스된 영역을 형성하는 단계는, 상기 제1 광 검출 영역에서 전하 캐리어 공핍을 유도하기 위해 상기 하나 이상의 하전된 및/또는 바이어스된 영역 내에 및/또는 상에 금속-산화물 화합물을 포함하는 전하 층을 퇴적하는 단계를 포함하는, 방법.

**청구항 48**

제47항에 있어서, 상기 전하 층을 퇴적하는 단계는:  
적어도 하나의 트렌치를 형성하기 위해 마스크된 에칭을 수행하는 단계; 및  
상기 적어도 하나의 트렌치 내에 상기 금속-산화물 화합물을 형상추종하여(conformally) 퇴적하는 단계를 포함하는, 방법.

**청구항 49**

제46항 내지 제48항 중 어느 한 항에 있어서, 상기 하나 이상의 하전된 및/또는 바이어스된 영역을 형성하는 단계는:  
상기 제1 광 검출 영역과 상기 제2 광 검출 영역 사이에 위치되는 제1 하전된 및/또는 바이어스된 영역을 형성하는 단계; 및  
상기 제1 광 검출 영역과 제3 픽셀의 제3 광 검출 영역 사이에 위치되는 제2 하전된 및/또는 바이어스된 영역을 형성하는 단계를 포함하는, 방법.

**청구항 50**

제46항 내지 제49항 중 어느 한 항에 있어서,  
제1 방향에서 상기 제1 광 검출 영역 및 상기 하나 이상의 전하 저장 영역 뒤에 하나 이상의 전송 게이트를 위치시키는 단계; 및  
상기 하나 이상의 전송 게이트를 상기 제1 광 검출 영역 및 상기 제1 픽셀의 하나 이상의 전하 저장 영역에 전기적으로 결합하는 단계를 더 포함하는, 방법.

**청구항 51**

제50항에 있어서, 상기 제1 및 제2 광 검출 영역들을 형성하는 단계는 상기 집적 회로의 제1 표면(face)을 도핑하는 단계를 포함하고, 상기 하나 이상의 하전된 및/또는 바이어스된 영역은 상기 제1 방향에서 상기 제1 표면에 반대되는 상기 집적 회로의 제2 표면으로부터 형성되는, 방법.

**청구항 52**

제50항 또는 제51항에 있어서, 상기 하나 이상의 하전된 및/또는 바이어스된 영역을 형성하는 단계는:  
상기 제1 광 검출 영역의 제1 면 상에 제1 하전된 및/또는 바이어스된 영역을 형성하는 단계; 및  
상기 제1 방향에 수직한 제2 방향에서 상기 제1 면에 반대되는 상기 제1 광 검출 영역의 제2 면 상에 제2 하전된 및/또는 바이어스된 영역을 형성하는 단계를 포함하는, 방법.

**청구항 53**

제50항 내지 제52항 중 어느 한 항에 있어서, 상기 하나 이상의 하전된 및/또는 바이어스된 영역을 형성하는 단계는, 적어도 하나의 트렌치를 형성하기 위해 에칭하고, 상기 제1 방향에서 상기 제1 광 검출 영역과 나란하게 신장되도록 상기 적어도 하나의 트렌치 내에 전하 층을 퇴적하는 단계를 포함하는, 방법.

**청구항 54**

제50항 내지 제53항 중 어느 한 항에 있어서, 상기 제1 방향에서 상기 하나 이상의 하전된 및/또는 바이어스된 영역 앞에 금속 실드를 위치시키는 단계를 더 포함하고, 상기 금속 실드는 상기 제1 방향에서 상기 광 검출 영역의 측면 단부들과 정렬되는 개구를 갖고, 상기 측면 단부들은 상기 제1 방향에 수직인 제2 방향에서 서로 분리되는, 방법.

**발명의 설명**

**기술분야**

[0001] **관련 출원**

[0002] 본 출원은 35 U.S.C. § 119(e) 하에서, 대리인 문서번호 R0708.70111US00으로 2020년 12월 11일에 출원되고 발명의 명칭이 "개선된 전하 전송 효율을 갖는 집적 회로 및 연관된 기술들(INTEGRATED CIRCUIT WITH IMPROVED CHARGE TRANSFER EFFICIENCY AND ASSOCIATED TECHNIQUES)"인 미국 가출원 제63/124,655호의 우선권을 주장하며, 그것의 전체내용은 여기에 참조로 포함된다.

[0003] **기술분야**

[0004] 본 개시내용은 샘플 분석을 위해 수만 개 이상의 샘플 웰에 짧은 광학 펄스들을 동시에 제공하고 샘플 웰들로부터 형광 신호들을 수신함으로써 샘플들의 대규모 병렬 분석을 수행할 수 있는 통합 디바이스들 및 관련 기기들에 관한 것이다. 기기들은 현장 진단 유전자 시퀀싱(point-of-care genetic sequencing) 및 개인 맞춤형 의료에 유용할 수 있다.

**배경 기술**

[0005] 광 검출기들은 다양한 응용들에서 광을 검출하기 위해 사용된다. 입사 광의 강도를 나타내는 전기 신호를 생성하는 통합 광 검출기들이 개발되었다. 이미징 응용들을 위한 통합 광 검출기들은 장면 전체로부터 수신된 광의 강도를 검출하기 위한 픽셀들의 어레이를 포함한다. 통합 광 검출기들의 예들은 전하 결합 소자(CCD) 및 상보성 금속-산화물 반도체(CMOS) 이미지 센서를 포함한다.

[0006] 생물학적 또는 화학적 샘플들의 대규모 병렬 분석을 할 수 있는 기기들은 전형적으로 큰 크기, 휴대성 부족, 기기를 작동시키기 위한 숙련된 기술자의 요구, 전력 요구, 통제된 동작 환경의 필요성, 및 비용을 포함할 수 있는 여러 요인들로 인해 실험실 세팅들로 제한된다. 샘플이 이러한 장비를 사용하여 분석되어야 할 때, 일반적인 패러다임은 진단 현장(point of care) 또는 현장(field)에서 샘플을 추출하고, 샘플을 실험실로 보내고, 분석 결과를 기다리는 것이다. 결과를 기다리는 시간은 몇 시간 내지 며칠의 범위일 수 있다.

**발명의 내용**

[0007] 본 개시내용의 일부 양태들은 제1 방향에서 입사 광자들을 수신하고; 입사 광자들을 수신하는 것에 응답하여 전하 캐리어들을 생성하고; 제1 방향으로 제1 고유 전기장(intrinsic electric field)을 유도하도록 구성되는 광 검출 영역, 및 광 검출 영역으로부터 전하 캐리어들을 수신하도록 구성되는 하나 이상의 전하 저장 영역을 포함하는 집적 회로를 제공한다.

[0008] 본 개시내용의 일부 양태들은 집적 회로의 광 검출 영역에서 제1 방향으로 제1 고유 전기장을 유도하는 단계; 제1 방향으로 광 검출 영역에서 입사 광자들을 수신하는 단계; 및 집적 회로의 하나 이상의 전하 저장 영역에서, 입사 광자들에 응답하여 광 검출 영역에서 생성된 전하 캐리어들을 수신하는 단계를 포함하는 방법을 제공한다.

[0009] 본 개시내용의 일부 양태들은 입사 광자들을 수신하는 것에 응답하여 전하 캐리어들을 생성하고, 제1 방향으로 제1 고유 전기장을 유도하도록 구성되는 광 검출 영역; 광 검출 영역으로부터 전하 캐리어들을 수신하도록 구성되는 하나 이상의 전하 저장 영역; 및 제1 방향에서 광 검출 영역 및 하나 이상의 전하 저장 영역 뒤에 위치되고, 광 검출 영역으로부터 하나 이상의 전하 저장 영역으로의, 및/또는 하나 이상의 전하 저장 영역으로부터 판

독 영역으로의 전하 캐리어들의 전송을 제어하도록 구성되는 하나 이상의 전송 게이트를 포함하는 집적 회로를 제공한다.

[0010] 본 개시내용의 일부 양태들은 집적 회로의 광 검출 영역에서 제1 방향으로 제1 고유 전기장을 유도하는 단계; 광 검출 영역에서 입사 광자들을 수신하는 것에 응답하여 전하 캐리어들을 생성하는 단계; 하나 이상의 전하 저장 영역에서 광 검출 영역으로부터 전하 캐리어들을 수신하는 단계; 및 제1 방향에서 광 검출 영역 및 하나 이상의 전하 저장 영역 뒤에 위치되는 하나 이상의 전송 게이트를 사용하여, 광 검출 영역으로부터 하나 이상의 전하 저장 영역으로의, 및/또는 하나 이상의 전하 저장 영역으로부터 관독 영역으로의 전하 캐리어들의 전송을 제어하는 단계를 포함하는 방법을 제공한다.

[0011] 본 개시내용의 일부 양태들은 제1 방향에서 입사 광자들을 수신하고, 입사 광자들을 수신하는 것에 응답하여 전하 캐리어들을 생성하도록 구성되는 광 검출 영역; 광 검출 영역으로부터 전하 캐리어들을 수신하도록 구성되는 하나 이상의 전하 저장 영역; 및 적어도 부분적으로 제1 방향으로, 광 검출 영역으로부터 하나 이상의 전하 저장 영역을 향하여 전하 캐리어들을 전파하기 위해, 광 검출 영역에서 전하 캐리어 공핍(charge carrier depletion)을 유도하도록 구성되는 하나 이상의 하전된(charged) 및/또는 바이어스된 영역을 포함하는 집적 회로를 제공한다.

[0012] 본 개시내용의 일부 양태들은 집적 회로의 광 검출 영역에서 전하 캐리어 공핍을 유도하는 단계; 제1 방향으로, 광 검출 영역에서 입사 광자들을 수신하는 단계; 광 검출 영역에서, 입사 광자들을 수신하는 것에 응답하여, 전하 캐리어들을 생성하는 단계; 적어도 부분적으로 제1 방향으로 전파하는 단계; 및 집적 회로의 하나 이상의 전하 저장 영역에서, 광 검출 영역으로부터 전하 캐리어들을 수신하는 단계를 포함하는 방법을 제공한다.

[0013] 본 개시내용의 일부 양태들은 제1 방향에서 입사 광자들을 수신하고, 입사 광자들을 수신하는 것에 응답하여 전하 캐리어들을 생성하도록 구성되는 광 검출 영역; 광 검출 영역으로부터 전하 캐리어들을 수신하도록 구성되는 하나 이상의 전하 저장 영역; 및 광 검출 영역에서 고유 전하 캐리어 공핍을 유도하도록 구성된 하나 이상의 영역을 포함하는 집적 회로를 제공한다.

[0014] 본 개시내용의 일부 양태들은 집적 회로의 광 검출 영역에서 고유 전하 캐리어 공핍을 유도하는 단계; 제1 방향으로, 광 검출 영역에서 입사 광자들을 수신하는 단계; 광 검출 영역에서, 입사 광자들을 수신하는 것에 응답하여, 전하 캐리어들을 생성하는 단계; 및 집적 회로의 하나 이상의 전하 저장 영역에서, 광 검출 영역으로부터 전하 캐리어들을 수신하는 단계를 포함하는 방법을 제공한다.

[0015] 본 개시내용의 일부 양태들은 집적 회로를 제조하는 방법으로서, 광 검출 영역이 입사 광자들을 수신하도록 구성되는 제1 방향으로 광 검출 영역에서 제1 전기장을 유도하도록 집적 회로의 광 검출 영역을 형성하는 단계를 포함하는 방법을 제공한다.

[0016] 본 개시내용의 일부 양태들은 집적 회로를 제조하는 방법으로서, 집적 회로의 광 검출 영역을 형성하는 단계; 및 광 검출 영역에서 고유 전하 캐리어 공핍을 유도하기 위해 하나 이상의 하전된 영역을 형성하는 단계를 포함하는 방법을 제공한다.

[0017] 본 개시내용의 일부 양태들은 집적 회로를 제조하는 방법으로서, 제1 픽셀의 제1 광 검출 영역과 제2 픽셀의 제2 광 검출 영역 사이에 하나 이상의 하전된 및/또는 바이어스된 영역을 형성하는 단계를 포함하는 방법을 제공한다.

[0018] 기술한 개요는 제한으로 의도되지 않는다. 더욱이, 다양한 실시예들에 따르면, 본 개시내용의 양태들은 단독으로 또는 다른 양태들과 결합하여 구현될 수 있다.

### 도면의 간단한 설명

[0019] 도 1-1은 일부 실시예들에 따른 픽셀 행을 도시하는 예시적인 통합 디바이스의 단면 개략도이다.

도 1-2는 일부 실시예들에 따른 도 1-1의 통합 디바이스의 픽셀의 단면도이다.

도 1-3은 일부 실시예들에 따른 도 1-2의 픽셀의 회로도이다.

도 1-4는 일부 실시예들에 따른 도 1-3의 픽셀에서의 예시적인 전하 전송을 보여주는 도면이다.

도 2-1A는 일부 실시예들에 따른, 도 1-1의 통합 디바이스에 포함될 수 있는 실드 부분들을 갖는 예시적인 픽셀 어레이의 평면도이다.

도 2-1B는 일부 실시예들에 따른, 대안적인 구성의 실드 부분들을 포함하는 도 1-1의 통합 디바이스에 포함될 수 있는 예시적인 픽셀 어레이의 평면도이다.

도 2-1C는 일부 실시예들에 따른, 추가의 대안적인 구성의 실드 부분들을 포함하는 도 1-1의 통합 디바이스에 포함될 수 있는 예시적인 픽셀 어레이의 평면도이다.

도 2-2A는 일부 실시예들에 따른 도 2-1A에 보여진 어레이의 픽셀의 평면도이다.

도 2-2B는 일부 실시예들에 따른 도 2-1B에 보여진 어레이의 픽셀의 평면도이다.

도 2-2C는 일부 실시예들에 따른 도 2-1C에 보여진 어레이의 픽셀의 평면도이다.

도 2-3은 일부 실시예들에 따른 도 2-1A, 도 2-1B, 또는 도 2-1C의 어레이들에 포함될 수 있는 예시적인 픽셀의 레이아웃 스케치이다.

도 2-4A는 일부 실시예들에 따른 도 2-1A, 도 2-1B, 및 도 2-1C의 어레이들에 포함될 수 있는 대안적인 예시적인 픽셀의 레이아웃 스케치이다.

도 2-4B는 일부 실시예들에 따른 도 2-4A의 픽셀의 레이아웃 스케치이다.

도 2-5A는 일부 실시예들에 따른 도 2-1A, 도 2-1B, 및 도 2-1C의 어레이들에 포함될 수 있는 불연속 C/B 영역들을 갖는 예시적인 픽셀의 레이아웃 스케치이다.

도 2-5B는 일부 실시예들에 따른 도 2-1A, 도 2-1B, 및 도 2-1C의 어레이들에 포함될 수 있는 불연속 C/B 영역들을 갖는 대안적인 예시적인 픽셀의 레이아웃 스케치이다.

도 2-6A는 일부 실시예들에 따른 도 2-1A 및 도 2-1B의 어레이들에 포함될 수 있는 예시적인 픽셀의 단면 개략도이다.

도 2-6B는 일부 실시예들에 따른 도 2-1A 및 도 2-1B의 어레이들에 포함될 수 있는 대안적인 예시적인 픽셀의 단면 개략도이다.

도 2-7A는 일부 실시예들에 따른, 전하 저장 영역들 아래로 연장되는 광 검출 영역을 갖는 도 2-1A 및 도 2-1B의 어레이들에 포함될 수 있는 예시적인 픽셀의 단면 개략도이다.

도 2-7B는 일부 실시예들에 따른, 전하 저장 영역들 아래로 연장되는 광 검출 영역을 갖는 도 2-1A 및 도 2-1B의 어레이들에 포함될 수 있는 대안적인 예시적인 픽셀의 단면 개략도이다.

도 2-8은 일부 실시예들에 따른, 제1 방향으로 광 검출 영역의 단지 일부분과 나란하게(alongside) 연장되는 장벽들을 갖는 도 2-1A 및 도 2-1B의 어레이들에 포함될 수 있는 예시적인 픽셀의 단면 개략도이다.

도 2-9는 일부 실시예들에 따른 도 2-2C의 픽셀의 단면 개략도이다.

도 2-10은 일부 실시예들에 따른, 제1 방향으로 실드들로부터 전송 게이트들까지 광 검출 영역과 나란하게 연장되는 하전된 및/또는 바이어스된 영역들을 갖는 도 2-1C의 어레이에 포함될 수 있는 예시적인 픽셀의 단면 개략도이다.

도 2-11은 일부 실시예들에 따른, 제1 방향으로 광 검출 영역을 따라 위치되는 다수의 장벽을 갖는 도 2-1C의 어레이에 포함될 수 있는 예시적인 픽셀의 단면 개략도이다.

도 2-12는 일부 실시예들에 따른 도 2-1A, 도 2-1B, 또는 도 2-1C의 어레이들에 포함될 수 있는 예시적인 픽셀의 일부분의 단면 개략도이다.

도 2-13은 일부 실시예들에 따른 도 2-1A, 도 2-1B, 또는 도 2-1C의 어레이들에 포함될 수 있는 다수의 전하 저장 영역을 갖는 예시적인 픽셀의 레이아웃 스케치이다.

도 2-14는 일부 실시예들에 따른 도 2-13의 픽셀에서의 예시적인 전하 전송을 도시하는 도면이다.

도 3-1은 일부 실시예들에 따른 픽셀 내의 도펀트 농도를 보여주는, 도 1-1의 통합 디바이스에 포함될 수 있는 예시적인 픽셀의 사시도이다.

도 3-2는 일부 실시예들에 따른 픽셀 내의 도펀트 농도를 보여주는, 도 3-1의 픽셀의 단면의 측면도이다.

도 3-3은 일부 실시예들에 따른 도 3-2의 픽셀의 제1 하위-단면에서의 깊이에 대한 n형 및 총 도펀트 농도의 그

래프이다.

도 3-4는 일부 실시예들에 따른 도 3-2의 픽셀의 제2 하위-단면에서의 깊이에 대한 p형 도펀트 농도의 그래프이다.

도 3-5A는 일부 실시예들에 따른 픽셀 내의 전하 캐리어 밀도를 보여주는, 본 명세서에 설명된 기술들을 통합하는 도 3-1의 픽셀의 단면의 측면도이다.

도 3-5B는 일부 실시예들에 따른 픽셀 내의 전하 캐리어 밀도를 보여주는, 다른 예시적인 픽셀의 단면의 측면도이다.

도 3-6A는 일부 실시예들에 따른 시간 경과에 따른 도 3-5A 및 도 3-5B의 픽셀들의 상이한 깊이들에서의 전하 캐리어들의 수를 보여주는 그래프이다.

도 3-6B는 일부 실시예들에 따른 도 3-6A의 그래프의 일부분의 확대도이다.

도 3-7A는 일부 실시예들에 따른 픽셀 내의 전기장들을 보여주는, 본 명세서에 설명된 기술들을 통합하는 도 3-1의 픽셀의 단면의 측면도이다.

도 3-7B는 일부 실시예들에 따른 픽셀 내의 전기장들을 보여주는 도 3-5B의 픽셀의 단면의 측면도이다.

도 3-8은 일부 실시예들에 따른 도 3-1 및 도 3-5B의 픽셀들의 하위-단면들에 대한 깊이에 대한 전기장의 그래프이다.

도 3-9A는 일부 실시예들에 따른 시간 경과에 따른 도 3-1의 픽셀의 상이한 깊이들에서의 전하 캐리어들의 수를 보여주는 그래프이다.

도 3-9B는 일부 실시예들에 따른 도 3-9A의 그래프의 일부분의 확대도이다.

도 3-9C는 일부 실시예들에 따른 도 3-9B의 그래프의 일부분의 추가 확대도이다.

도 3-10은 일부 실시예들에 따른, 상이한 구성들을 갖는 다수의 픽셀에 대한 시간 경과에 따른 전하 캐리어들의 수를 보여주는 그래프이다.

도 3-11A는 일부 실시예들에 따른, 여기 펄스보다 1 나노초 후의 픽셀 내의 전하 캐리어 밀도를 보여주는 도 3-1의 픽셀의 단면의 측면도이다.

도 3-11B는 일부 실시예들에 따른, 여기 펄스보다 1 나노초 후의 픽셀 내의 전하 캐리어 밀도를 보여주는 다른 예시적인 픽셀의 단면의 측면도이다.

도 3-12A는 일부 실시예들에 따른 픽셀 내의 전기장들을 보여주는 도 3-1의 픽셀의 단면의 측면도이다.

도 3-12B는 일부 실시예들에 따른 픽셀 내의 전기장들을 보여주는 도 3-11B의 픽셀의 단면의 측면도이다.

도 3-13은 일부 실시예들에 따른 도 3-1 및 도 3-11B의 픽셀들의 하위-단면들에 대한 깊이에 대한 전기장의 그래프이다.

도 4-1은 일부 실시예들에 따른 도 1-1의 통합 디바이스에 포함될 수 있는 하나 이상의 하전된 영역을 갖는 예시적인 픽셀의 단면의 측면도이다.

도 4-2는 일부 실시예들에 따른 도 1-1의 통합 디바이스에 포함될 수 있는 하나 이상의 금속 영역을 갖는 예시적인 픽셀의 단면의 측면도이다.

도 4-3은 일부 실시예들에 따른 도 1-1의 통합 디바이스에 포함될 수 있는 하나 이상의 하전된 영역 및 광학적 지향 구조물을 갖는 예시적인 픽셀의 단면의 측면도이다.

도 5-1A는 일부 실시예들에 따른 통합 디바이스 및 기기의 블록도이다.

도 5-1B는 일부 실시예들에 따른 통합 디바이스를 포함하는 장치의 개략도이다.

도 5-1C는 일부 실시예들에 따른 컴팩트한 모드 고정 레이저 모듈을 포함하는 분석 기기의 블록도 도시이다.

도 5-1D는 일부 실시예들에 따른 분석 기기에 통합된 컴팩트한 모드 고정 레이저 모듈을 도시한다.

도 5-2는 일부 실시예들에 따른 광학 펄스들의 트레이인을 도시한다.

도 5-3은 일부 실시예들에 따라, 하나 이상의 도파관을 통해 펄스형 레이저에 의해 광학적으로 여기될 수 있는 병렬 반응 챔버들의 예를 도시한다.

도 5-4는 일부 실시예들에 따라, 도파관으로부터의 반응 챔버의 광학적 여기를 도시한다.

도 5-5는 일부 실시예들에 따른 통합된 반응 챔버, 광 도파관, 및 타임 비닝 광 검출기의 추가 세부사항을 도시한다.

도 5-6은 일부 실시예들에 따라 반응 챔버 내에서 발생할 수 있는 생물학적 반응의 예를 도시한다.

도 5-7은 일부 실시예들에 따라 상이한 감쇠 특성들을 갖는 두 개의 상이한 형광단에 대한 방출 확률 곡선들을 도시한다.

도 5-8은 일부 실시예들에 따른 형광 방출의 타임 비닝 검출(time-binning detection)을 도시한다.

도 5-9는 일부 실시예들에 따른 타임 비닝 광 검출기를 도시한다.

도 5-10A는 일부 실시예들에 따라 샘플로부터의 형광 방출의 펄스 여기 및 타임 비닝 검출을 도시한다.

도 5-10B는 일부 실시예들에 따라 샘플의 반복된 펄스 여기 후의 다양한 타임 빈들(time bins)에서 축적된 형광 광자 카운트의 히스토그램을 도시한다.

도 5-11A는 일부 실시예들에 따른 T 뉴클레오티드 또는 뉴클레오티드 유사체에 대응하는 히스토그램을 도시한다.

도 5-11B는 일부 실시예들에 따른 A 뉴클레오티드 또는 뉴클레오티드 유사체에 대응하는 히스토그램을 도시한다.

도 5-11C는 일부 실시예들에 따른 C 뉴클레오티드 또는 뉴클레오티드 유사체에 대응하는 히스토그램을 도시한다.

도 5-11D는 일부 실시예들에 따른 G 뉴클레오티드 또는 뉴클레오티드 유사체에 대응하는 히스토그램을 도시한다.

도 5-12는 일부 실시예들에 따라 에드먼 분해법(Edman degradation)에 의해 표지된 폴리펩티드를 시퀀싱하는 방법을 도시하는 흐름도이다.

도 5-13은 일부 실시예들에 따른 이산 바인딩 이벤트들이 신호 출력의 신호 펄스들을 발생시키는 시퀀싱의 방법을 도시하는 흐름도, 및 신호 출력을 도시하는 그래프를 포함한다.

본 개시내용의 특징들 및 장점들은 도면들과 관련하여 취해질 때 아래에 제시된 상세한 설명으로부터 더욱 명백해질 것이다. 도면들을 참조하여 실시예들을 설명할 때, 방향 참조들("위", "아래", "최상부", "최하부", "좌측", "우측", "수평", "수직" 등)이 사용될 수 있다. 이러한 참조들은 독자가 정상적인 배향으로 도면을 보는데 도움을 주기 위한 것으로서만 의도된다. 이러한 방향 참조들은 구현된 디바이스의 특징들의 선호되는 또는 유일한 배향을 설명하도록 의도된 것이 아니다. 디바이스는 다른 배향들을 사용하여 구현될 수 있다.

### 발명을 실시하기 위한 구체적인 내용

[0020]

#### I. 서론

[0021]

본 개시내용의 양태들은 단일 분자들의 식별 및 핵산 시퀀싱을 포함하여 샘플들을 병렬로 분석할 수 있는 통합 디바이스들, 기기들 및 관련 시스템들에 관한 것이다. 그러한 기기는 컴팩트하고 휴대하기 쉬우며 작동이 쉬울 수 있고, 그에 의해 의사 또는 다른 제공자가 기기를 쉽게 사용하고 관리가 필요할 수 있는 원하는 위치로 기기를 운반하는 것을 허용할 수 있다. 샘플의 분석은 샘플을 검출하고/하거나 샘플의 단일 분자들을 식별(예를 들어, 핵산 시퀀싱의 일부로서 개별 뉴클레오티드를 식별)하기 위해 사용될 수 있는 하나 이상의 형광 마커로 샘플을 표지하는 것을 포함할 수 있다. 형광 마커는 여기 광(예를 들어, 형광 마커를 여기 상태로 여기시킬 수 있는 특성 파장을 갖는 광)으로 형광 마커를 조명하는 것에 응답하여 여기될 수 있고, 형광 마커가 여기되는 경우, 방출 광(예를 들어, 여기 상태에서 기저 상태로 복귀함으로써 형광 마커에 의해 방출되는 특성 파장을 갖는 광)을 방출한다. 방출 광의 검출은 형광 마커의 식별을 허용할 수 있고, 따라서 형광 마커에 의해 표지된 샘플 또는 샘플의 분자의 식별을 허용할 수 있다. 일부 실시예들에 따르면, 기기는 대규모 병렬 샘플 분석을

할 수 있고 수만 개 이상의 샘플을 동시에 다루도록 구성될 수 있다.

- [0022] 본 발명자들은 샘플을 수용하도록 구성된 샘플 웰들 및 통합 디바이스 상에 형성된 통합 광학계들을 갖는 통합 디바이스, 및 통합 디바이스와 인터페이스하도록 구성된 기기가 이러한 수의 샘플들의 분석을 달성하기 위해 사용될 수 있음을 인식하고 이해했다. 기기는 하나 이상의 여기 광원을 포함할 수 있고, 통합 디바이스는 통합 디바이스 상에 형성된 통합 광학 컴포넌트들(예를 들어, 도파관들, 광학 결합기들, 광학 분할기들)을 사용하여 여기 광이 샘플 웰들에 전달되도록 기기와 인터페이스할 수 있다. 광학 컴포넌트들은 통합 디바이스의 샘플 웰들에 걸쳐 조명의 균일성을 향상시킬 수 있으며, 그것이 없었다면 필요했을 수 있는 많은 수의 외부 광학 컴포넌트를 줄일 수 있다. 또한, 본 발명자들은 통합 디바이스 상에 광 검출 영역들(예를 들어, 포토다이오드들)을 통합하는 것이 샘플 웰들로부터의 형광 방출들의 검출 효율을 개선하고, 그렇지 않았다면 필요했을 수 있는 광 수집 컴포넌트들(light-collection components)의 수를 감소시킬 수 있음을 인식하고 이해했다.
- [0023] 일부 실시예들에서, 통합 디바이스는 형광 방출 광자들을 수신하고, 전하 캐리어들을 하나 이상의 전하 저장 영역에 전송할 수 있다. 예를 들어, 광 검출 영역은 통합 디바이스 상에 위치되어, 광학적 방향(optical direction)으로 형광 방출 광자들을 수신할 수 있으며, 광 검출 영역은 또한 통합 디바이스의 하나 이상의 전하 저장 영역(예를 들어, 저장 다이오드)에 결합될 수 있고, 그에 의해 전하 저장 영역(들)은 형광 방출 광자들에 응답하여 광 검출 영역에서 생성된 전하 캐리어들을 수집할 수 있다. 그로부터 형광 방출 광자들이 수신된 샘플에 대한 정보를 획득하기 위해, 전하 저장 영역(들)에 축적된 전하 캐리어들의 수가 판독될 수 있다.
- [0024] 본 발명자들은 가능한 한 신속하고 효율적으로 전하 캐리어들을 생성하여 광 검출 영역으로부터 전하 저장 영역(들)으로 전송하는 것이 바람직하지만, 전하 저장 영역(들)이 통합 디바이스에서 입사 광자들이 수신되는 위치로부터 멀리 위치될 때는 그렇게 신속하고 효율적으로 하는 것이 어려운 과제를 인식했다. 예를 들어, 입사 광자들에 응답하여 통합 디바이스에서 생성된 전하 캐리어들이 전하 저장 영역(들)에 도달하는 데에는 오랜 시간이 걸릴 수 있다. 전하 캐리어들의 도착 시간들은 샘플에 관한 정보를 획득하기 위해 사용될 수 있기 때문에, 긴 이동 시간은 전하 캐리어들이 유용하기에는 지나치게 늦은 시간에 전하 저장 영역(들)에 도달하게 할 수 있다. 그러한 경우들에서, 늦게 도착하는 많은 양의 전하 캐리어들은 샘플에 관한 잘못된 타이밍 정보를 나타내어, 통합 디바이스로부터 부정확한 정보가 추출되게 할 수 있다. 신속하고 효율적인 전하 전송은 통합 디바이스가 통합 디바이스의 한쪽에서 입사 광자들을 수신하고 전하 저장 영역(들) 및/또는 전송 게이트(들)가 통합 디바이스의 반대쪽에 있는 통합 디바이스들에서 특히 어려운 과제이다.
- [0025] 상기 문제들을 해결하기 위해, 본 발명자들은 통합 디바이스들 내에서 전하 캐리어 생성 및 전송의 속도 및 효율을 증가시키는 통합 디바이스들 및 연관된 기술들을 개발하였다. 본 개시내용의 일부 양태들은 집적 회로들 내에서 전하 전송의 속도 및 효율을 증가시키는 하나 이상의 고유 전기장을 유도하도록 구성되는 집적 회로들에 관한 것이다. 전기장들은 집적 회로 외부에서 인가되는 어떠한 전기장도 없는 경우에서도, 존재하는 경우 고유하게(intrinsically) 유도된다.
- [0026] 일부 실시예들에서, 집적 회로는 광 검출 영역 및 하나 이상의 전하 저장 영역을 가질 수 있다. 광 검출 영역은 제1 방향(예를 들어, 샘플 웰로부터 광 검출 영역을 향하는 방향)으로 입사 광자들을 수신하고, 제1 방향으로 제1 고유 전기장을 유도하도록 구성될 수 있다. 예를 들어, 광 검출 영역은, 제1 방향으로 차례로 위치되고 각각이 상이한 고유 전위 레벨들을 갖는, 예를 들어 상이한 도펀트 농도들을 갖는 다수의 층을 가질 수 있다. 이 예에서, 집적 회로에 외부 전기장들이 인가되지 않을 때에도 광 검출 영역의 층들이 전기장을 유도하도록 구성될 수 있다는 점에서, 제1 전기장은 고유하게 유도될 수 있다. 전하 저장 영역(들)은 입사 광자들에 응답하여 광 검출 영역에서 생성된 전하 캐리어들을 수신하도록 구성될 수 있다. 제1 방향으로 제1 고유 전기장을 유도함으로써, 광 검출 영역에서 생성된 전하 캐리어들은 제1 고유 전기장에 의해 제1 방향으로 전하 저장 영역(들)을 향하여 신속하고 효율적으로 전송될 수 있다.
- [0027] 다양한 실시예에 따르면, 본 명세서에 설명된 고유 전기장들은 통합 디바이스 내에서 전하 캐리어들을 전송하기에 적절한 대로, 임의의 방향으로 및/또는 다수의 방향으로 유도될 수 있다. 예를 들어, 본 명세서에 설명된 통합 디바이스들은 수직하는 제1 및 제2 방향에서 고유 전기장들을 유도하도록 구성될 수 있고, 여기서 전하 캐리어들은 광 검출 영역 내에서 제1 방향으로, 그리고 광 검출 영역으로부터 전하 저장 영역(들)로 제2 방향으로 전송될 것이다. 일부 실시예들에서, 본 명세서에 설명된 고유 전기장들은 외부에서 인가된 전기장들로 보완될 수 있다. 예를 들어, 고유 전기장들은 더 작은 크기의 외부 인가 전기장이 통합 디바이스에 인가되는 것을 허용하여, 통합 디바이스에서 전력 소비 및/또는 열 발산을 감소시킬 수 있다.
- [0028] 일부 실시예들에서, 집적 회로는 제1 방향으로 제1 고유 전기장을 유도하도록 구성되는 광 검출 영역, 입사 광

자들에 응답하여 광 검출 영역에서 생성된 전하 캐리어들을 수신하도록 구성되는 하나 이상의 전하 저장 영역, 및 제1 방향에서 광 검출 영역 및 전하 저장 영역(들) 뒤에 위치되고, 광 검출 영역으로부터 전하 저장 영역(들)으로의 전하 캐리어들의 전송을 제어하도록 구성되는 하나 이상의 전송 게이트를 가질 수 있다. 제1 방향을 따라 이동하는 입사 광자들 또는 전하 캐리어들이 제1 방향을 따라 전송 게이트들의 위치들에 도달하기 전에, 제1 방향을 따라 광 검출 영역 및/또는 전하 저장 영역(들)의 위치(들)에 도달한다는 점에서, 전송 게이트들은 제1 방향에서 광 검출 영역 및 전하 저장 영역(들) 뒤에 위치될 수 있다. 예를 들어, 전송 게이트(들) 및 전하 저장 영역(들)은 광 검출 영역이 입사 광자들을 수신하도록 구성된 면으로부터 반대되는 통합 디바이스의 면에 위치될 수 있고, 그에 의해 전하 캐리어들은 전하 저장 영역(들)에 도달하기 위해 이동할 먼 거리를 갖는다. 이 예에서, 제1 고유 전기장은 전하 캐리어들을 전하 저장 영역(들)에 신속하고 효율적으로 전송할 수 있고, 그에 의해, 전하 저장 영역(들) 및 전송 게이트(들)를 통합 디바이스의 반대편에 위치시키는 것을 용이하게 한다. 본 발명자들은 전하 저장 영역(들) 및 전송 게이트(들)가 입사 광자들을 수신하는 통합 디바이스의 면 상에 위치한 경우에 비해, 전하 저장 영역(들)보다 더 적은 입사 광자들이 전하 저장 영역(들)에 도달하여 그 안에서 노이즈 전하 캐리어들을 생성할 수 있고, 전송 게이트(들)의 광학적 특성들이 입사 광자들에 미치는 영향이 더 적을 수 있기 때문에, 이 구성이 바람직함을 인식하였다.

[0029] 본 개시내용의 일부 양태들은 집적 회로들의 광 검출 영역(들)에서 전하 캐리어 공핍을 유도하도록 구성된 집적 회로들에 관한 것이다. 본 발명자들은 광 검출 영역 내의 자유 전하 캐리어들의 존재가 광 검출 영역 내에서의 및 광 검출 영역과 전하 저장 영역(들) 사이에서의 전하 전송의 속도 및 효율에 영향을 미칠 수 있음을 인식하였다. 일부 실시예들에서, 집적 회로는 제1 방향에서 입사 광자들을 수신하고, 입사 광자들을 수신하는 것에 응답하여 전하 캐리어들을 생성하도록 구성된 광 검출 영역, 및 광 검출 영역으로부터 전하 캐리어들을 수신하도록 구성된 하나 이상의 전하 저장 영역을 포함할 수 있다. 집적 회로는 적어도 부분적으로 제1 방향으로, 광 검출 영역으로부터 전하 저장 영역(들)을 향하여 전하 캐리어들을 전파하기 위해, 광 검출 영역에서 전하 캐리어 공핍을 유도하도록 구성되는 하나 이상의 하전된 및/또는 바이어스된 영역을 더 포함할 수 있다. 예를 들어, 하전된 및/또는 바이어스된 영역들은 전하 캐리어들을 전하 층으로 끌어당김으로써 전하 캐리어들의 광 검출 영역을 공핍시키도록 구성된 전하 층을 포함할 수 있다. 이 예에서, 전하 층은 통합 디바이스에 외부 전기장 또는 다른 외부 공핍수단이 적용되지 않는 경우에도 광 검출 영역을 공핍시킬 수 있다는 점에서, 전하 층은 광 검출 영역에서 고유 전하 캐리어 공핍을 유도하도록 구성될 수 있다.

[0030] 대안적으로 또는 추가적으로, 하전된 및/또는 바이어스된 영역은 광 검출 영역에서 전하 캐리어 공핍을 유도하는 전압 바이어스를 수신하도록 구성되는 금속 영역을 포함할 수 있다. 예를 들어, 전압 바이어스는 전력 공급부에 대한 접지 연결과 같은 외부 전력 소스로부터 통합 디바이스에 공급될 수 있다. 광 검출 영역에서 전하 캐리어 공핍을 유도함으로써, 광 검출 영역은 입사 광자들에 응답하여 더 신속하고 효율적으로 전하 캐리어들을 수신, 생성 및 전송할 수 있다. 일부 실시예들에서, 광 검출 영역에서 전하 캐리어가 공핍될 때, 광 검출 영역은 세제곱 센티미터( $\text{cm}^2$ )당  $10^{12}$ 개 미만의 전하 캐리어,  $\text{cm}^2$ 당  $10^6$ 개 미만의 전하 캐리어, 및/또는  $\text{cm}^2$ 당  $10^3$ 개 미만의 전하 캐리어를 가질 수 있다.

[0031] 본 발명자들은 또한 본 명세서에 설명된 바와 같이 통합 디바이스들을 작동 및/또는 제조하기 위한 프로세스들을 개발하였다. 본 개시내용은 그와 같이 제한되지 않으므로, 본 명세서에 설명된 기술들은 단독으로 또는 결합하여 구현될 수 있음을 이해해야 한다.

[0032] II. 통합 디바이스 개요

[0033] 일부 실시예들에 따라, 픽셀들(1-112)의 행을 도시하는 통합 디바이스(1-102)의 단면 개략도가 도 1-1에 도시된다. 통합 디바이스(1-102)는 결합 영역(1-201), 라우팅 영역(1-202) 및 픽셀 영역(1-203)을 포함할 수 있다. 결합 영역(1-201)은 여기 광원으로부터 입사 여기 광을 수신하도록 구성될 수 있다. 라우팅 영역(1-202)은 여기 광을 결합 영역(1-201)으로부터 픽셀 영역(1-203)으로 전달하도록 구성될 수 있다. 픽셀 영역(1-203)은 결합 영역(1-201)으로부터 분리된 위치의 표면에 위치한 복수의 샘플 웰(1-108)을 포함할 수 있다. 예를 들어, 결합 영역(1-201)은 하나 이상의 격자 결합기(grating coupler)(1-216)를 포함할 수 있고, 라우팅 영역(1-202)은 샘플 웰(들)(1-108) 아래에서 격자 결합기(들)(1-216)로부터 광을 전파하도록 구성된 하나 이상의 도파관(1-220)을 포함할 수 있다. 예를 들어, 도파관(들)(1-220)로부터의 여기 광의 소멸 결합은 샘플 웰(들)(1-108) 내의 샘플들을 여기시켜 형광 광을 방출할 수 있다.

[0034] 도 1-1에 도시된 바와 같이, 하나 이상의 적어도 부분적으로 불투명한(예를 들어, 금속) 층(1-106)은 도파관(들)(1-220)으로부터 결합된 입사 여기 광을 반사하기 위해 표면 위에 배치될 수 있다. 샘플들이 샘플

웰(들)(1-108) 내에 배치되는 것을 허용하기 위해, 샘플 웰들(1-108)은 층(들)(1-106)을 갖지 않을 수 있다. 일부 실시예들에서, 샘플 웰(1-108)로부터의 방출 광의 방향성은 금속 층(들)(1-106)에 대한 샘플 웰(1-108) 내의 샘플의 위치지정에 의존할 수 있는데, 왜냐하면 금속 층(들)(1-106)이 방출 광을 반사하는 역할을 할 수 있기 때문이다. 이러한 방식으로, 금속 층(들)(1-106)과 샘플 웰(1-108) 내에 위치한 샘플 상의 형광 마커 사이의 거리는 샘플 웰과 동일한 픽셀 내에 있는 광 검출기(들)(1-110)가 형광 마커에 의해 방출되는 광을 검출하는 효율에 영향을 미칠 수 있다. 동작 동안 샘플이 위치될 수 있는 장소에 근접한 샘플 웰(1-106)의 바닥 표면과 금속 층(들)(1-106) 사이의 거리는 100nm 내지 500nm의 범위, 또는 그 범위 내의 임의의 값 또는 값 범위일 수 있다. 일부 실시예들에서, 금속 층(들)(1-106)과 샘플 웰(1-106)의 바닥 표면 사이의 거리는 대략 300nm이지만, 본 명세서에 설명된 실시예들은 그와 같이 제한되지 않으므로, 다른 거리들이 사용될 수 있다.

[0035] 도 1-1에 도시된 바와 같이, 픽셀 영역(1-203)은 픽셀들(1-112)의 하나 이상의 행을 포함할 수 있다. 점선 직사각형으로 도시된 하나의 픽셀(1-112)은 샘플 웰(1-108), 및 샘플 웰(1-108)에 연관된 하나 이상의 광 검출기(1-110)(예를 들어, 광 검출 영역을 포함함)를 포함하는 통합 디바이스(1-102)의 영역이다. 일부 실시예들에서, 각각의 광 검출기(1-110)는 광 검출 영역, 및 샘플 웰(1-108)로부터의 입사 광에 응답하여 광 검출 영역에서 생성된 전하 캐리어들을 수신하도록 구성된 하나 이상의 전하 저장 영역을 포함할 수 있다. 도파관(들)(1-220)으로부터 결합된 여기 광이 샘플 웰(1-108) 내에 위치한 샘플을 조명할 때, 샘플은 여기 상태에 도달하고 방출 광을 방출할 수 있다. 방출 광은 샘플 웰(1-108)에 연관된 하나 이상의 광 검출기(1-110)에 의해 검출될 수 있다. 도 1-1은 샘플 웰(1-108)로부터 픽셀(1-112)의 광 검출기(들)(1-110)까지의 방출 광(실선으로 도시됨)의 광축을 개략적으로 도시한다. 픽셀(1-112)의 광 검출기(들)(1-110)는 샘플 웰(1-108)로부터의 방출 광을 검출하도록 구성되고 위치될 수 있다. 개별 픽셀(1-112)에 대해, 샘플 웰(1-108) 및 그 각각의 광 검출기(들)(1-110)는 공통 광축을 따라 정렬될 수 있다. 이러한 방식으로, 광 검출기(들)(1-110)는 픽셀(1-112) 내의 샘플 웰(1-108)과 중첩될 수 있다.

[0036] 또한, 도 1-1에 도시된 바와 같이, 통합 디바이스(1-102)는 샘플 웰들(1-108)과 광 검출기들(1-110) 사이에 위치한 하나 이상의 포토닉 구조물(1-230)을 포함할 수 있다. 예를 들어, 포토닉 구조물들(1-230)은 샘플 웰들(1-108)로부터 광 검출기들(1-110)에 도달하는 방출 광의 양을 증가시키도록 구성될 수 있다. 대안적으로 또는 추가적으로, 포토닉 구조물들(1-230)은 여기 광이 광 검출기들(1-110)에 도달하는 것을 감소시키거나 방지하도록 구성될 수 있는데, 그렇지 않으면 여기 광은 방출 광을 검출할 때의 신호 노이즈에 기여할 수 있다. 도 1-1에 도시된 바와 같이, 포토닉 구조물들(1-230)은 도파관(들)(1-220)과 광 검출기들(1-110) 사이에 위치될 수 있다. 다양한 실시예들에 따르면, 포토닉 구조물들(1-230)은 스펙트럼 필터, 편광 필터, 및 공간 필터를 포함하는 하나 이상의 광학적 제거 포토닉 구조물을 포함할 수 있다. 일부 실시예들에서, 포토닉 구조물들(1-230)은 공통 축을 따라 개별 샘플 웰들(1-108) 및 그들 각각의 광 검출기(들)(1-110)와 정렬되도록 위치될 수 있다.

[0037] 도 1-1에 도시된 바와 같이, 금속 층들(1-240)은 샘플 웰들(1-108)을 향하는 면으로부터 반대되는 광 검출기들(1-110)의 면 상에 위치될 수 있다. 일부 실시예들에서, 금속 층들(1-240)은 제어 신호들을 통합 디바이스(1-102)의 부분들로 및/또는 부분들로부터 라우팅하도록 구성될 수 있다. 예를 들어, 제어 신호들은 통합 디바이스(1-102)의 하나 이상의 전도성 패드(도시되지 않음)의 내부에 있고/거나 그에 결합된 제어 회로로부터 수신될 수 있고, 금속 층들(1-240)을 통해 픽셀들(1-112)에 라우팅될 수 있다.

[0038] 일부 실시예들에서, 샘플과 광 검출기(들) 사이의 거리는 또한 방출 광을 검출하는 효율에 영향을 미칠 수 있다. 광이 샘플과 광 검출기(들)(1-110) 사이에서 이동해야 하는 거리를 줄임으로써, 방출 광의 검출 효율이 향상될 수 있다. 추가로, 샘플과 광 검출기(들)(1-110) 사이의 더 작은 거리는 통합 디바이스의 더 작은 영역의 풋프린트를 차지하는 픽셀들을 허용할 수 있으며, 이는 더 많은 수의 픽셀이 통합 디바이스에 포함되는 것을 허용할 수 있다. 동시에, 광 검출기들(1-110)이 배치되는 기판 깊이는 금속 층들(1-240)이 배치되는 면을 통해 흐르는 생성된 전하 캐리어들의 양에 영향을 미칠 수 있다. 일부 실시예들에서, 샘플 웰(1-106)의 바닥 표면과 광 검출기(들)(1-110) 사이의 거리는 5 $\mu$ m 내지 15 $\mu$ m 범위, 또는 그 범위 내의 임의의 값 또는 값 범위일 수 있지만, 실시예들은 그와 같이 제한되지 않는다. 일부 실시예들에서, 방출 광은 여기 광원 및 샘플 웰이 아닌 다른 수단을 통해 제공될 수 있음을 이해해야 한다. 따라서, 일부 실시예들은 샘플 웰(1-108)을 포함하지 않을 수 있다.

[0039] 분석될 샘플은 픽셀(1-112)의 샘플 웰(1-108)에 도입될 수 있다. 샘플은 생물학적 샘플, 또는 화학적 샘플과 같은 임의의 다른 적절한 샘플일 수 있다. 샘플은 다수의 분자를 포함할 수 있고, 샘플 웰은 단일 분자를 고립시키도록 구성될 수 있다. 일부 경우들에서, 샘플 웰(1-108)의 치수들은 단일 분자를 샘플 웰(1-108) 내에 속박하는 작용을 할 수 있고, 그에 의해 측정이 단일 분자에 대해 수행되는 것을 허용한다. 여기 광은 샘플 웰

(1-108) 내로 전달되어, 샘플, 또는 샘플에 부착되거나 다르게 샘플에 연관된 적어도 하나의 형광 마커가 샘플 웰(1-108) 내의 조명 영역 내에 있는 동안 그것을 여기시킬 수 있다.

[0040] 동작 시에, 샘플 웰들(1-108) 내의 샘플들의 병렬 분석들은 여기 광을 사용하여 웰들 내의 샘플들의 일부 또는 전부를 여기시키고 샘플 방출로부터의 신호들을 광 검출기(1-110)로 검출함으로써 수행된다. 샘플로부터의 방출 광은 대응하는 광 검출기(1-110)에 의해 검출될 수 있고 적어도 하나의 전기 신호로 변환될 수 있다. 전기 신호들은 통합 디바이스(1-102)의 전도성 라인들(예를 들어, 금속 층들(1-240))을 따라 전송될 수 있으며, 이는 통합 디바이스(1-102)와 인터페이스되는 기기 및/또는 제어 회로에 연결될 수 있다. 전기 신호들은 기기 및/또는 제어 회로에 의해 후속하여 처리 및/또는 분석될 수 있다.

[0041] 도 1-2는 일부 실시예들에 따른 통합 디바이스(1-102)의 픽셀(1-112)의 단면도를 도시한다. 도 1-2에 도시된 바와 같이, 픽셀(1-112)은 피닝된 포토다이오드(pinned photodiode)(PPD)일 수 있는 광 검출 영역, 저장 다이오드(SDO)일 수 있는 전하 저장 영역, 플로팅 확산(FD) 영역일 수 있는 관독 영역, 드레인 영역(D), 및 전송 게이트들(REJ, ST0 및 TX0)을 포함한다. 일부 실시예들에서, 광 검출 영역(PPD), 전하 저장 영역(SDO), 관독 영역(FD), 및/또는 드레인 영역(D)은 통합 디바이스(1-102)의 하나 이상의 기판 층의 부분들을 도핑함으로써 통합 디바이스(1-102)에 형성될 수 있다. 예를 들어, 통합 디바이스(1-102)는 약하게 p-도핑된 기판을 가질 수 있고, 광 검출 영역(PPD), 전하 저장 영역(SDO), 관독 영역(FD), 및/또는 드레인 영역(D)은 기판의 n-도핑된 영역들일 수 있다. 이 예에서, p-도핑된 영역들은 붕소를 사용하여 도핑될 수 있고, n-도핑된 영역들은 인을 사용하여 도핑될 수 있지만, 다른 도펀트들 및 구성들이 가능하다. 일부 실시예들에서, 픽셀(1-112)은 10 마이크로미터 x 10 마이크로미터 이하, 예를 들어 7.5 마이크로미터 x 5 마이크로미터 이하의 면적을 가질 수 있다. 일부 실시예들에서, 본 명세서에 설명된 실시예가 이와 같이 제한되지 않으므로, 기판은 약하게 n-도핑될 수 있고, 광 검출 영역(PPD), 전하 저장 영역(SDO), 관독 영역(FD), 및/또는 드레인 영역(D)은 p-도핑될 수 있다는 것을 이해해야 한다.

[0042] 도 1-2에서, 광 검출 영역(PPD)은 제1 방향(Dir1)으로 입사 광자들을 수신하도록 구성되고, 전하 저장 영역(SDO), 드레인 영역(D) 및 관독 영역(FD)은 제1 방향(Dir1)에서 광 검출 영역(PPD)의 적어도 일부분 뒤에 위치된다. 예를 들어, 도 1-2에서, 광 검출 영역(PPD)의 일부분들은 전하 저장 영역(SDO), 드레인 영역(D) 및 관독 영역(FD)과 샘플 웰(1-108) 사이에 위치된다. 도 1-2에서, 전송 게이트들(ST0, TX0, 및 REJ)은 제1 방향(Dir1)에서 광 검출 영역(PPD), 전하 저장 영역(SDO), 관독 영역(FD) 및 드레인 영역(D) 뒤에 위치되는 것으로 도시된다. 또한, 도 1-2에서, 픽셀(1-112)은 도 2-1A 내지 도 2-13을 참조하는 것을 포함하여 본 명세서에 추가로 설명되는 하나 이상의 하전된 및/또는 바이어스된(C/B) 영역을 포함하는 것으로 도시된다.

[0043] 일부 실시예들에서, 광 검출 영역(PPD)은 입사 광에 응답하여 전하 캐리어들을 생성하도록 구성될 수 있다. 예를 들어, 픽셀(1-112)의 동작 동안, 여기 광은 샘플 웰(1-108)을 조명하여, 샘플로부터의 형광 방출들을 포함하는 입사 광자들이 광축(OPT)을 따라 광 검출 영역(PPD)으로 흐르게 할 수 있으며, 이는 샘플 웰(1-108)로부터의 입사 광자들에 응답하여 형광 방출 전하 캐리어들을 생성하도록 구성될 수 있다. 일부 실시예들에서, 통합 디바이스(1-102)는 전하 캐리어들을 드레인 영역(D) 또는 전하 저장 영역(SDO)으로 전송하도록 구성될 수 있다. 예를 들어, 여기 광 펄스 이후의 드레인 기간 동안, 광 검출 영역(PPD)에 도달하는 입사 광자들은 주로 드레인 영역(D)으로 전달되어 폐기될 여기 광자들일 수 있다. 이 예에서, 드레인 기간 이후의 수집 기간 동안, 형광 방출 광자들은 광 검출 영역(PPD)에 도달하여, 수집을 위해 전하 저장 영역(SDO)으로 전송될 수 있다. 일부 실시예들에서, 드레인 기간 및 수집 기간은 각각의 여기 펄스를 따를 수 있다.

[0044] 일부 실시예들에서, 전하 저장 영역(SDO)은 입사 광에 응답하여 광 검출 영역(PPD)에서 생성된 전하 캐리어들을 수신하도록 구성될 수 있다. 예를 들어, 전하 저장 영역(SDO)은 샘플 웰(1-108)로부터의 형광 방출 광자들에 응답하여 광 검출 영역(PPD)에서 생성된 전하 캐리어들을 수신하고 저장하도록 구성될 수 있다. 일부 실시예들에서, 전하 저장 영역(SDO)은 각각 여기 펄스가 진행되는 다수의 수집 기간 동안 광 검출 영역(PPD)으로부터 수신된 전하 캐리어들을 축적하도록 구성될 수 있다. 일부 실시예들에서, 전하 저장 영역(SDO)은 전하 전송 채널에 의해 광 검출 영역(PPD)에 전기적으로 결합될 수 있다. 일부 실시예들에서, 전하 전송 채널은 광 검출 영역(PPD)과 전하 저장 영역(SDO) 사이의 픽셀(1-112)의 영역을 광 검출 영역(PPD) 및 전하 저장 영역(SDO)과 동일한 전도성 유형으로 도핑함으로써 형성될 수 있고, 그에 의해 전하 전송 채널은, 적어도 임계 전압이 전하 전송 채널에 인가될 때는 전도성이고, 임계 전압보다 작은(또는 일부 실시예들의 경우 그보다 큰) 전압이 전하 전송 채널에 인가될 때는 비전도성이도록 구성된다. 일부 실시예들에서, 임계 전압은 전하 전송 채널이 전하 캐리어들을 공핍시키는 것보다 높은(또는 낮은) 전압일 수 있고, 그에 의해 광 검출 영역(PPD)으로부터의 전하 캐리어들은 전하 전송 채널을 통해 전하 저장 영역(SDO)으로 이동할 수 있다. 예를 들어, 임계 전압은 전하 전송 채널

널의 재료들, 치수들, 및/또는 도핑 구성들에 기초하여 결정될 수 있다.

[0045] 일부 실시예들에서, 전송 게이트(ST0)는 광 검출 영역(PPD)으로부터 전하 저장 영역(SD0)으로의 전하 캐리어들의 전송을 제어하도록 구성될 수 있다. 예를 들어, 전송 게이트(ST0)는 제어 신호를 수신하고, 이에 응답하여 광 검출 영역(PPD)을 전하 저장 영역(SD0)에 전기적으로 결합하는 전하 전송 채널의 전도성을 결정하도록 구성될 수 있다. 예를 들어, 제어 신호의 제1 부분이 전송 게이트(ST0)에서 수신될 때, 전송 게이트(ST0)는 전하 전송 채널을 바이어싱하여, 전하 전송 채널이 비전도성이 되게 하도록 구성될 수 있고, 그에 의해 전하 캐리어들이 전하 저장 영역(SD0)에 도달하는 것이 차단된다. 대안적으로, 제어 신호의 제2 부분이 전송 게이트(ST0)에서 수신될 때, 전송 게이트(ST0)는 전하 전송 채널을 바이어싱하여, 전하 전송 채널이 전도성이 되게 하도록 구성될 수 있고, 그에 의해 전하 캐리어들이 전하 전송 채널을 통해 광 검출 영역(PPD)으로부터 전하 저장 영역(SD0)으로 흐를 수 있다. 일부 실시예들에서, 전송 게이트(ST0)는 폴리실리콘을 사용하여 형성될 수 있다.

[0046] 일부 실시예들에서, 전송 게이트(TX0)는 광 검출 영역(PPD) 및 전하 저장 영역(SD0)과 관련하여 전송 게이트(ST0)에 대해 설명된 방식으로, 전하 저장 영역(SD0)으로부터 판독 영역(FD)으로의 전하 캐리어들의 전송을 제어하도록 구성될 수 있다. 예를 들어, 전하 캐리어들이 광 검출 영역(PPD)으로부터 전하 저장 영역(SD0)으로 전송되는 복수의 수집 기간 후에, 전하 저장 영역(SD0)에 저장된 전하 캐리어들이 판독 영역(FD)으로 전송되어, 처리를 위해 판독될 수 있다.

[0047] 일부 실시예들에서, 전송 게이트(REJ)는 광 검출 영역(PPD) 및 전하 저장 영역(SD0)과 관련하여 전송 게이트(ST0)에 대해 설명된 방식으로, 광 검출 영역(PPD)으로부터 드레인 영역(D)으로의 전하 캐리어들의 전송을 제어하도록 구성될 수 있다. 예를 들어, 샘플 웰(1-108)로부터의 형광 방출 광자들이 광 검출 영역(PPD)에 도달하기 전에, 여기 광원으로부터의 여기 광자들이 광 검출 영역(PPD)에 도달할 수 있다. 일부 실시예들에서, 통합 디바이스(1-102)는 여기 광자들에 응답하여 광 검출 영역(PPD)에서 생성된 전하 캐리어들을, 여기 광 펄스에 후속하고 형광 방출 전하 캐리어들의 수신에 선행하는 드레인 기간 동안 드레인 영역(D)에 전송하기 위해 전송 게이트(REJ)를 제어하도록 구성될 수 있다.

[0048] 일부 실시예들에서, 픽셀(1-112)은 통합 디바이스(1-102) 및/또는 통합 디바이스(1-102)를 포함하는 시스템의 제어 회로에 전기적으로 결합될 수 있고, 전송 게이트들(REJ, ST0, 및 TX0)에서 제어 신호들을 수신하도록 구성될 수 있다. 예를 들어, 금속 층들(1-240)의 금속 라인들은 통합 디바이스(1-102)의 픽셀들(1-112)에 제어 신호들을 운반하도록 구성될 수 있다. 일부 실시예들에서, 제어 신호를 운반하는 단일 금속 라인은 픽셀들(1-112)의 어레이, 서브어레이, 행 및/또는 열과 같은 복수의 픽셀(1-112)에 전기적으로 결합될 수 있다. 예를 들어, 픽셀들(1-112)의 행이 동시에 광 검출 영역(PPD)으로부터 전하 캐리어들을 드레인 및/또는 수집하게끔 구성되도록, 어레이 내의 각각의 픽셀(1-112)은 동일한 금속 라인 및/또는 네트로부터 제어 신호를 수신하도록 구성될 수 있다. 대안적으로 또는 추가적으로, 어레이 내의 픽셀들(1-112)의 각각의 행은 판독 기간 동안 상이한 제어 신호들(예를 들어, 행 선택 신호들)을 수신하도록 구성될 수 있고, 그에 의해 행들은 한 번에 한 행씩 전하 캐리어들을 판독할 수 있다. 도 1-3은 일부 실시예들에 따른 통합 디바이스(1-102)에 포함될 수 있는 예시적인 픽셀(1-312)의 회로도이다. 일부 실시예들에서, 픽셀(1-312)은 픽셀(1-112)에 대해 설명된 방식으로 구성될 수 있다. 예를 들어, 도 1-3에 도시된 바와 같이, 픽셀(1-312)은 광 검출 영역(PPD), 전하 저장 영역(SD0), 판독 영역(FD), 드레인 영역(D), 및 전송 게이트들(REJ, ST0, 및 TX0)을 포함한다. 도 1-3에서, 전송 게이트(REJ)는 광 검출 영역(PPD)을 드레인 영역(D)에 결합하는 트랜지스터의 게이트이고, 전송 게이트(ST0)는 광 검출 영역(PPD)을 전하 저장 영역(SD0)에 결합하는 트랜지스터의 게이트이고, 전송 게이트(TX0)는 전하 저장 영역(SD0)을 판독 영역(FD)에 결합하는 트랜지스터의 게이트이다.

[0049] 도 1-3에 도시된 바와 같이, 픽셀(1-112)은 판독 영역(FD)에 결합되고 전력 공급 전압(VDDP)에 결합되도록 구성된 리셋(RST) 전송 게이트, 및 판독 영역(FD)과 비트라인 사이에 결합되는 행 선택(RS) 전송 게이트를 더 포함한다. 통합 디바이스(1-102)가 전력 소스(예를 들어, 적어도 DC 전력 공급부)에 결합될 때, 전송 게이트(RST)는 전력 소스에 의해 공급되고/거나 통합 디바이스(1-102)의 전압 조절기에 의해 조절되는 전력 공급 전압(VDDP)에 결합될 수 있다. 예를 들어, 전송 게이트(RST)는 전하 캐리어들이 판독 영역(FD) 및/또는 전하 저장 영역(SD0)으로부터 전송 게이트(TX0) 및 판독 영역(FD)을 통해 전력 공급 전압(VDDP)으로 흐르게 하도록 구성될 수 있다.

[0050] 일부 실시예들에서, 전송 게이트(RST)는 판독 영역(FD)의 전압을 리셋하도록 구성될 수 있다. 예를 들어, 리셋 신호가 전송 게이트(RST)에 인가될 때, 전송 게이트(RST)는 판독 영역(FD)을 전력 공급 전압(VDDP)에 전기적으로 결합하는 전송 채널을 바이어싱하여, 전송 채널의 전도도를 증가시키고 전하 캐리어들을 판독 영역(FD)으로

부터 전력 공급 전압(VDDP)에 전송할 수 있다. 일부 실시예들에서, 리셋 전송 게이트(RST)는 전하 저장 영역(SD0)의 전압을 리셋하도록 추가로 구성될 수 있다. 예를 들어, 리셋 신호가 리셋 전송 게이트(RST)에 인가되고 제어 신호가 전송 게이트(TX0)에 인가될 때, 전송 게이트(TX0)는 전하 저장 영역(SD0) 내의 전하 캐리어들을 판독 영역(FD)에 전송할 수 있고, 전송 게이트(RST)는 전하 캐리어들을 전력 공급 전압(VDDP)에 전송할 수 있다. 일부 실시예들에서, 통합 디바이스(1-102)는 전하 캐리어들을 수집하고 판독하기 전에 판독 영역(FD) 및 전하 저장 영역(SD0)을 리셋하도록 구성될 수 있다. 예를 들어, 통합 디바이스(1-102)는 전하 캐리어들을 수집하고 판독하기 전에 판독 영역(FD)을 리셋한 다음, 전하 저장 영역(SD0)을 리셋하도록 구성될 수 있다.

[0051] 일부 실시예들에서, 전송 게이트(RS)는 행 선택 제어 신호에 응답하여, 처리를 위해 판독 영역(FD)으로부터 비트라인으로 전하 캐리어들을 전송하도록 구성될 수 있다. 일부 실시예들에서, 비트라인은 통합 디바이스(1-102) 상의 처리 회로, 및/또는 판독 영역(FD)으로 판독되는 전하 캐리어들을 나타내는 전압 레벨을 수신하도록 구성된 외부 회로에 결합될 수 있다. 예를 들어, 어레이의 각각의 픽셀(1-112)과 처리 회로 사이에 하나의 비트라인이 전기적으로 결합될 수 있다. 일부 실시예들에서, 처리 회로는 아날로그-대-디지털 변환기(analog-to-digital converter)(ADC)를 포함할 수 있다. 일부 실시예들에서, 통합 디바이스(1-102)는 전하 캐리어들을 판독하기 전에 각각의 픽셀의 판독 영역(FD)의 전압을 리셋하도록 구성될 수 있다. 예를 들어, 통합 디바이스(1-102)는 판독 영역(FD)의 전압을 리셋하고, 전압을 샘플링하고, 전하 캐리어들을 판독 영역(FD)에 전송하고, 전압을 다시 샘플링하도록 구성될 수 있다. 이 예에서, 두 번째로 샘플링된 전압은 최초로 샘플링된 전압과 비교될 때 판독 영역(FD)에 전송된 전하 캐리어들의 수를 나타낼 수 있다. 일부 실시예들에서, 통합 디바이스(1-102)는 (예를 들어, 행 선택 제어 신호들을 수신하는 것에 응답하여) 각각의 픽셀(1-112)로부터 비트라인으로 순차적으로, 예컨대 행별로(row by row) 및/또는 열별로(column by column) 전하 캐리어들을 판독하도록 구성될 수 있다.

[0052] 픽셀들(1-112)의 일부 어레이들은 픽셀들(1-112) 중의 상이한 것들 및/또는 그것들의 그룹들에 전기적으로 결합되는 다수의 비트라인을 가질 수 있고, 예컨대 하나의 비트 라인은 픽셀들(1-112)의 제1 열을 제1 처리 회로에 결합하고, 또 다른 비트라인은 픽셀들(1-112)의 제2 열을 제2 처리 회로에 결합하는 등임을 이해해야 한다. 일부 실시예들에서, 다수의 열의 픽셀들은 각각의 처리 회로에 동시에 판독될 수 있다. 예를 들어, 각각의 열의 제1 픽셀이 동시에 각각의 처리 회로에 판독될 수 있고, 이어서 각각의 제2 픽셀이 동시에 각각의 처리 회로에 판독될 수 있다. 일부 실시예들에서, 각각의 열에 대한 대안으로서 또는 그에 추가하여, 어레이의 각각의 행에 대해 처리 회로가 제공될 수 있음을 이해해야 한다. 일부 실시예들에서, 통합 디바이스(1-102)는 처리 회로의 다수의 유닛을 포함할 수 있고, 예컨대 각각은 비트라인에 전기적으로 결합된다.

[0053] 다양한 실시예들에 따르면, 본 명세서에 설명된 전송 게이트들은 반도체 재료(들) 및/또는 금속을 포함할 수 있고, 전계 효과 트랜지스터(FET)의 게이트, 바이폴라 접합 트랜지스터(BJT)의 베이스, 및/또는 그와 유사한 것을 포함할 수 있음을 이해해야 한다. 다양한 전송 게이트들에 인가되는 본 명세서에 설명된 제어 신호들은 예컨대 반도체 영역 및 반도체 영역에 전기적으로 결합된 영역들(예를 들어, 이웃 영역들)의 전위에 따라 형성 및/또는 전압이 달라질 수 있음을 이해해야 한다.

[0054] 도 1-4는 일부 실시예들에 따른 픽셀(1-312)에서의 예시적인 전하 전송을 도시하는 도면이다. 일부 실시예들에서, 픽셀(1-312)의 동작은 하나 이상의 수집 시퀀스를 포함할 수 있다. 제1 수집 기간(1-1), 제1 판독 기간(1-2), 제2 수집 기간(1-3) 및 제2 판독 기간(1-4)을 포함하는 예시적인 수집 시퀀스가 도 1-4에 도시되어 있다. 일부 실시예들에서, 수집 시퀀스의 각각의 수집 기간에는 본 명세서에 추가로 설명되는 바와 같이 드레인 기간이 선행될 수 있다. 일부 실시예들에서, 픽셀(1-312)의 동작은 도 1-4에 도시된 수집 시퀀스의 하나 이상의 반복을 포함할 수 있다. 일부 실시예들에서, 수집 시퀀스는 샘플 웰들(1-108) 내의 샘플들의 여기와 조정될(coordinated) 수 있다. 예를 들어, 단일 제어 회로는 여기 광원 및 픽셀들(1-312)의 동작을 제어하도록 구성될 수 있다.

[0055] 일부 실시예들에서, 제1 수집 기간(1-1)은 광 검출 영역(PPD)에서 제1 복수의 형광 방출 광자를 수신하는 것을 포함할 수 있다. 예를 들어, 제1 수집 기간(1-1)은 광 검출 영역(PPD)을 향해 형광 방출 광자들을 방출하도록 구성된 샘플 웰(1-108)을 조명하는 여기 광의 펄스에 응답하여 발생할 수 있다. 도 1-4에 도시된 바와 같이, 광 검출 영역(PPD)은 입사된 형광 방출 광자들에 응답하여 전하 캐리어들(Q1)을 생성하고, 제1 수집 기간(1-1) 동안 전하 캐리어들(Q1)을 전하 저장 영역(SD0)에 전송하도록 구성될 수 있다. 일부 실시예들에서, 여기 광자들은 여기 펄스 직후이지만 제1 수집 기간(1-1) 이전인 드레인 기간 동안 광 검출 영역(PPD)에 도달할 수 있고, 그러한 기간 동안, 여기 광자들에 응답하여 광 검출 영역(PPD)에서 생성된 전하 캐리어들은 드레인 영역(D)에 전송될 수 있다. 일부 실시예들에서, 수집 기간(1-1)은 다수의 개별 여기 펄스에 응답하여 여러 번 반복될 수

있고, 전하 캐리어들(Q<sub>1</sub>)은 수집 기간(1-1)의 과정에 걸쳐 전하 저장 영역(SD0)에 축적될 수 있다. 일부 그러한 실시예들에서, 각각의 수집 기간(1-1)에는 드레인 기간이 선행될 수 있다. 일부 실시예들에서, 수집 기간들(1-1), 및/또는 각각의 수집 기간(1-1)에 선행하는 드레인 기간들은 통합 디바이스(1-102)의 어레이, 서브어레이, 행 및/또는 열의 각각의 픽셀에 대해 동시에 발생할 수 있다.

[0056] 일부 실시예들에서, 제1 판독 기간(1-2)은 전하 캐리어들(Q1)이 전하 저장 영역(SD0)에 축적되는 하나 이상의 수집 기간(1-1)에 후속하여 발생할 수 있다. 도 1-4에 도시된 바와 같이, 제1 판독 기간(1-2) 동안, 전하 저장 영역(SD0)에 저장된 전하 캐리어들(Q1)은 처리를 위해 판독되도록 판독 영역(FD)으로 전송될 수 있다. 일부 실시예들에서, 판독 기간(1-2)은 상관 이중 샘플링(correlated double sampling)(CDS) 기술들을 사용하여 수행될 수 있다. 예를 들어, 판독 영역(FD)의 제1 전압이 최초로 판독된 후, (예를 들어, 리셋 신호를 전송 게이트(RST)에 인가하는 것에 의한) 판독 영역(FD)의 리셋 및 전하 저장 영역(SD0)으로부터 판독 영역(FD)으로의 전하 캐리어들(Q1)의 전송이 후속할 수 있고, 판독 영역(FD)의 제2 전압은 전하 캐리어들(Q1)의 전송에 후속하여 두 번째로 판독될 수 있다. 이 예에서, 제1 전압과 제2 전압 사이의 차이는 전하 저장 영역(SD0)으로부터 판독 영역(FD)으로 전송되는 전하 캐리어들(Q1)의 양을 나타낼 수 있다. 일부 실시예들에서, 제1 판독 기간(1-2)은 어레이의 각각의 행, 열 및/또는 픽셀에 대해 상이한 시간에 발생할 수 있다. 예를 들어, 한 번에 하나의 행 또는 열의 픽셀들을 판독함으로써, 단일 처리 라인은 동시에 판독하기 위해 각각의 픽셀에 처리 라인을 전용으로 하기보다는 각각의 행 또는 열의 판독을 순서대로 처리하도록 구성될 수 있다. 다른 실시예들에서, 어레이의 각각의 픽셀에 대해 처리 라인이 제공될 수 있기 때문에, 어레이의 각각의 픽셀은 동시에 판독되도록 구성될 수 있다. 다양한 실시예들에 따르면, 픽셀들로부터 판독된 전하 캐리어들은 샘플 웰들(1-108) 내의 샘플들의 형광 강도, 수명, 스펙트럼, 및/또는 다른 그러한 형광 정보를 나타낼 수 있다.

[0057] 일부 실시예들에서, 제2 수집 기간(1-3)은 수집 기간(1-1)에 대해 설명된 방식으로 발생할 수 있다. 예를 들어, 제1 판독 기간(1-2)에 후속하여, 하나 이상의 제2 수집 기간(1-3)은 예를 들어 각각의 수집 기간(1-3)에 선행하는 드레인 기간과 함께, 하나 이상의 개별 여기 펄스를 따를 수 있다. 도 1-4에 도시된 바와 같이, 제2 수집 기간(들)(1-3) 동안, 광 검출 영역(PPD)에서 생성된 전하 캐리어들(Q2)은 전하 저장 영역(SD0)에 전송될 수 있다. 일부 실시예들에서, 각각의 여기 펄스와 대응하는 수집 기간(1-3) 사이의 지연은 각각의 여기 펄스와 대응하는 수집 기간(1-1) 사이의 지연과 상이할 수 있다. 예를 들어, 상이한 수집 기간들 동안 여기 펄스에 후속하여 상이한 시간 주기 동안 전하 캐리어들을 수집함으로써, 수집 기간들(1-1 및 1-3)로부터 판독된 전하 캐리어들은 샘플 웰들(1-108) 내의 샘플들의 형광 수명 정보를 나타낼 수 있다. 일부 실시예들에서, 제2 수집 기간(들)(1-3)에 후속하여, 제1 판독 기간(1-2)에 대해 본 명세서에 설명된 방식으로 제2 수집 기간(들)의 과정에 걸쳐 전하 저장 영역(SD0)에 축적된 전하 캐리어들이 판독될 수 있는 제2 판독 기간(1-4)이 이어질 수 있다.

[0058] 다양한 실시예들에 따르면, 본 명세서에 설명된 픽셀들은 2개, 3개, 4개 또는 5개의 전하 저장 영역과 같은, 하나보다 많은 전하 저장 영역을 포함할 수 있다. 예를 들어, 픽셀은 전하 저장 영역(SD0)과 판독 영역(FD) 사이에 전기적으로 결합된 제2 전하 저장 영역을 포함할 수 있으며, 전송 채널들은 전하 저장 영역(SD0)을 제2 전하 저장 영역에 전기적으로 결합하고, 제2 전하 저장 영역을 판독 영역(FD)에 전기적으로 결합한다. 이 예에서, 전송 게이트(TX0)는 전하 저장 영역(SD0)으로부터 제2 전하 저장 영역으로의 전하 캐리어들의 전송을 제어하도록 구성될 수 있고, 픽셀은 제2 전하 저장 영역으로부터 판독 영역(FD)으로의 전하 캐리어들의 전송을 제어하도록 구성된 다른 전송 게이트를 포함할 수 있다.

[0059] III. 전하 캐리어 공핍 기술들

[0060] 본 발명자들은 픽셀의 광 검출 영역에서 전하 캐리어 공핍을 유도하기 위한 기술들을 개발하였다. 일부 실시예들에서, 픽셀은 광 검출 영역에서 전하 캐리어 공핍을 유도하도록 구성된 하나 이상의 하전된 및/또는 바이어스된 영역을 가질 수 있다. 예를 들어, 하전된 및/또는 바이어스된 영역은 광 검출 영역에서 고유 전하 캐리어 공핍을 유도하도록 구성된 전하 층을 포함할 수 있다. 이 예에서, 전하 층은 광 검출 영역의 하나 이상의 면, 및/또는 픽셀 경계의 하나 이상의 면 상에 위치될 수 있다. 대안적으로 또는 추가적으로, 하전된 및/또는 바이어스된 영역은 전압 바이어스를 수신하여 전하 캐리어 공핍을 유도하도록 구성된 금속 영역을 포함할 수 있다. 금속 영역은 광 검출 영역의 하나 이상의 면, 및/또는 픽셀 경계의 하나 이상의 면 상에 위치될 수 있다. 어느 경우에서든, 하전된 및/또는 바이어스된 영역은 광 검출 영역 내부로부터 전하 캐리어들을 끌어당겨, 광 검출 영역에서 전하 캐리어들을 공핍시킬 수 있다. 일부 실시예들에서, 광 검출 영역에서 전하 캐리어들이 공핍될 때, 광 검출 영역은 세제곱 센티미터(cm<sup>3</sup>)당 10<sup>12</sup>개 미만의 전하 캐리어, cm<sup>3</sup>당 10<sup>6</sup>개 미만의 전하 캐리어, 및/또는 cm<sup>3</sup>당 10<sup>3</sup>개 미만의 전하 캐리어를 가질 수 있다. 일부 실시예들에서, 픽셀은 광 검출 영역의 각각의 면들

상에 위치한 다수의 하전된 및/또는 바이어스된 영역을 포함할 수 있다. 다양한 실시예들에 따르면, 다수의 하전된 및/또는 바이어스된 영역은 연속적인 구조물을 형성할 수 있거나 서로 분리될 수 있다.

[0061] 도 2-1A는 일부 실시예들에 따라 통합 디바이스(1-102)에 포함될 수 있는 실드 부분들을 갖는 픽셀들(2-112a) 어레이의 평면도이다. 일부 실시예들에서, 픽셀들(1-112a)은 픽셀(1-112)에 대해 본 명세서에 설명된 방식으로 구성될 수 있다. 예를 들어, 도 2-1A에 도시된 바와 같이, 각각의 픽셀(2-112a)은 광 검출 영역(PPD)을 포함한다. 도 2-1A에서, 각각의 픽셀(2-112a)은 또한 실드 부분 및 픽셀(2-112a) 주위에 위치한 다수의 C/B 영역을 포함한다.

[0062] 일부 실시예들에서, 광 검출 영역(PPD) 픽셀들(2-112a)은 도 2-1A에 도시된 최상부 면에서 입사 광자들을 수신하도록 구성될 수 있다. 일부 실시예들에서, 실드 부분들은 입사 광자들이 실드 부분들 아래에 배치된 픽셀들(2-112a)의 다른 컴포넌트들, 예컨대 전하 저장 영역들, 판독 영역들, 전송 게이트들 및/또는 회로에 도달하는 것을 차단하도록 구성될 수 있다. 예를 들어, 실드 부분들은 금속(예를 들어, 알루미늄 또는 텅스텐)과 같은 광학적으로 불투명한 재료를 사용하여 형성될 수 있다.

[0063] 도 2-1A에서, 각각의 픽셀의 C/B 영역들은 광 검출 영역(PPD)의 다수의 각각의 면 상에 위치된다. 대안적으로 또는 추가적으로, C/B 영역들은 각각의 픽셀(2-112a)의 경계의 다수의 각각의 면 상에 위치될 수 있다. 일부 실시예들에서, 각각의 픽셀의 C/B 영역들은 광 검출 영역(PPD)에서 전하 캐리어 공핍을 유도하도록 구성될 수 있다. 예를 들어, C/B 영역들 중 하나 이상은 광 검출 영역(PPD)에서 고유 전하 캐리어 공핍을 유도하도록 구성된 전하 층을 포함할 수 있다. 일부 실시예들에서, 전하 층은 산화물 층 및 금속-산화물 화합물을 포함할 수 있다. 이 예에서, 산화물 층은 광 검출 영역(PPD)과 금속-산화물 화합물 사이에 격리를 제공할 수 있다. 다양한 실시예들에 따르면, 금속-산화물 화합물은 산화알루미늄( $Al_2O_3$ ), 이산화하프늄( $HfO_2$ ), 이산화티타늄( $TiO_2$ ), 오산화탄탈륨( $Ta_2O_5$ ), 또는 이들의 임의의 조합일 수 있다. 자유 전하 캐리어들의 축적 층을 생성하도록 구성된 다른 하전된 산화물 재료들, 예컨대 임의의 다른 금속-산화물들이 사용될 수 있음을 이해해야 한다. 일부 실시예들에서, 2개 이상의 픽셀 사이에 위치한 C/B 영역들은 픽셀들 중 일부 또는 픽셀들 각각의 광 검출 영역에서 전하 캐리어 공핍을 유도하도록 구성될 수 있다.

[0064] 대안적으로 또는 추가적으로, C/B 영역들은 광 검출 영역(PPD)에서 전하 캐리어 공핍을 유도하는 전압 바이어스를 수신하도록 구성된 하나 이상의 금속 영역을 포함할 수 있다. 예를 들어, 금속 영역(들)은 통합 디바이스(1-102)가 전력 공급부에 연결될 때, 통합 디바이스(1-102)의 전압 소스 및/또는 전압 조절기 및/또는 외부 전력 공급부에 전기적으로 결합하도록 구성될 수 있다. 일부 실시예들에서, 픽셀은 전압 바이어스를 수신하도록 구성된 금속 영역들 및 전하 층들의 조합을 가질 수 있고, 그 조합은 광 검출 영역(PPD)에서 전하 캐리어 공핍을 유도하도록 구성된다.

[0065] 도 2-1B는 일부 실시예들에 따른, 대안적인 구성의 실드 부분들을 포함하는 통합 디바이스(1-102)에 포함될 수 있는 픽셀들(2-112b)의 어레이의 평면도이다. 픽셀들(2-112b)은 도 2-1A와 관련하여 픽셀들(2-112a)에 대해 본 명세서에 설명된 방식으로 구성될 수 있다. 예를 들어, 픽셀들(2-112b)은 광 검출 영역들(PPD) 및 실드 부분들을 포함한다. 일부 실시예들에서, 픽셀들(2-112b)은 또한 실드 부분들 아래에 있고 도 2-1A와 관련하여 본 명세서에 설명된 방식으로 구성된 C/B 영역들을 포함할 수 있다. 일부 실시예들에서, 도 2-1B에 보여진 실드 부분들은 입사 광자들이 C/B 영역들에 도달하는 것을 차단하도록 구성될 수 있다. 예를 들어, 도 2-1B에서, 실드 부분들은, 자신이 제1 방향(Dir1)(도 1-2)으로 C/B 영역들에 입사하는 광자들이 C/B 영역들에 도달하는 것을 차단하도록 C/B 영역들을 커버할 수 있다.

[0066] 도 2-1C는 일부 실시예들에 따른, 추가의 대안적인 구성의 실드 부분들을 포함하는 통합 디바이스(1-102)에 포함될 수 있는 픽셀들(2-112c)의 어레이의 평면도이다. 픽셀들(1-112c)은 도 2-1B와 관련하여 픽셀들(2-112b)에 대해 본 명세서에 설명된 방식으로 구성될 수 있다. 예를 들어, 도 2-1C에 보여진 실드 부분들은 입사 광자들이 픽셀들(1-112c)의 C/B 영역들에 도달하는 것을 차단하도록 구성되는 방식으로 보여진다. 또한, 도 2-1C에 보여진 바와 같이, 실드 부분들은 입사 광자들에 노출되는 픽셀들(1-112c)의 추가 부분들을 남겨둔다. 예를 들어, 실드 부분들은 입사 광자들이 픽셀의 전하 저장 영역(들)에 도달하는 것을 차단하지 않을 수 있다. 본 발명자들은 일부 경우들에서 입사 광자들이 전하 저장 영역(들)에 도달하기 전에 픽셀의 깊이에서 흡수될 수 있음을 인식하였다. 또한, 본 발명자들은 실드 부분들을 통해 입사 광자들에 노출되는 픽셀의 추가 부분을 남겨두는 것이 광 검출 영역(PPD)에서 수신되는 광자들의 양을 증가시켜, 수신될 수 있는 형광 광자들 및 전하 저장 영역에서 수집될 수 있는 형광 전하 캐리어들의 수를 증가시킨다는 것을 인식했다.

- [0067] 도 2-2A는 일부 실시예들에 따른, 도 2-1A에 보여진 어레이의 픽셀(2-112a)의 평면도이다. 도 2-2A에 도시된 바와 같이, 픽셀(2-112a)의 C/B 영역들은 광 검출 영역(PPD)의 제1 면 상에 위치되는 제1 영역(C/B<sub>1</sub>), 광 검출 영역(PPD)의 제2 면 상에 위치되는 제2 영역(C/B<sub>2</sub>), 광 검출 영역(PPD)의 제3 면 상에 위치되는 제3 영역(C/B<sub>3</sub>), 및 광 검출 영역(PPD)의 제4 면 상에 위치되는 제4 영역(C/B<sub>4</sub>)을 포함한다. 제1 영역(C/B<sub>1</sub>)은 또한 픽셀(2-112a)의 경계의 제1 면 상에 위치되고, 제2 영역(C/B<sub>2</sub>)은 픽셀(2-112a)의 경계의 제2 면 상에 위치되고, 제4 영역(C/B<sub>4</sub>)은 픽셀(2-112a) 경계의 제3 면 상에 위치되고, 제5 영역(C/B<sub>5</sub>)은 픽셀(2-112a) 경계의 제4 면 상에 위치된다. 제5 영역(C/B<sub>5</sub>)은 또한 광 검출 영역(PPD)의 제3 면 상에 위치된다. 예를 들어, 제3 영역(C/B<sub>3</sub>)을 포함하지 않는 실시예들에서, 광 검출 영역(PPD)은 4개의 면 상에서 각각 영역들(C/B<sub>1</sub>, C/B<sub>2</sub>, C/B<sub>4</sub>, 및 C/B<sub>5</sub>)에 의해 둘러싸일 수 있다. 일부 실시예들에서, 제6 영역(C/B<sub>6</sub>)은 광 검출 영역(PPD)이 입사 광자들을 수신하도록 구성되는 방향(예를 들어, 제1 방향(Dir1))에서 광 검출 영역(PPD)의 앞과 같이, 픽셀(2-112a) 및/또는 광 검출 영역(PPD)의 경계의 제5 면 상에 위치될 수 있다. 도 2-2A에서, 실드 부분 주위에 위치한 C/B 영역들은 실드 부분에 의해 커버되고, 이는 입사 광자들이 실드 부분에 의해 커버되는 영역들에 도달하는 것을 차단하도록 구성될 수 있다.
- [0068] 도 2-2B는 일부 실시예들에 따른, 도 2-1B에 보여진 어레이의 픽셀(2-112b)의 평면도이다. 도 2-2A에 도시된 바와 같이, C/B 영역들은 도 2-2A와 관련하여 픽셀(2-112a)에 대해 본 명세서에서 설명된 바와 같이 구성되고, 실드 부분은 또한 광 검출 영역(PPD)의 제1, 제2, 제3 및 제4 면 상의 제1, 제2, 제3, 및 제4 영역(C/B<sub>1</sub>, C/B<sub>2</sub>, C/B<sub>3</sub> 및 C/B<sub>4</sub>)을 커버한다.
- [0069] 도 2-2C는 일부 실시예들에 따른, 도 2-1C에 도시된 어레이의 픽셀(2-112c)의 평면도이다. 도 2-2C에 도시된 바와 같이, C/B 영역들은 픽셀(2-112c)이 영역(C/B<sub>3</sub>)을 포함하지 않는 것을 제외하고는, 도 2-2A와 관련하여 픽셀(2-112a)에 대해 본 명세서에서 설명된 바와 같이 구성될 수 있다. 또한 도 2-2C에 도시된 바와 같이, 광 검출 영역(PPD)은 영역(C/B<sub>4</sub>)로부터 영역(C/B<sub>5</sub>)까지 연장된다. 일부 실시예들에서, 도 2-2C에 도시된 실드 부분들은 더 많은 광 검출 영역(PPD)을 입사 광자들에 노출시키면서 입사 광자들이 C/B 영역에 도달하는 것을 차단하도록 구성될 수 있다. 도 2-2C에서, 실드 부분들의 개구는 직사각형이지만, 다양한 실시예들에 따라 개구는 정사각형과 같은 임의의 형상을 가질 수 있다.
- [0070] 일부 실시예들에서, 픽셀들(2-112a 및 2-112b)은 영역(C/B<sub>3</sub>)을 포함하지 않을 수 있고/거나 영역(C/B<sub>4</sub>)으로부터 영역(C/B<sub>5</sub>)까지 연장되는 광 검출 영역(PPD)을 가질 수 있음을 이해해야 한다.
- [0071] 도 2-3은 일부 실시예들에 따른 도 2-1A, 도 2-1B, 또는 도 2-1C의 어레이들에 포함될 수 있는 예시적인 픽셀(2-312)의 레이아웃 스케치이다. 예를 들어, 일부 실시예들에서, 픽셀들(2-112a 및 2-112b)은 픽셀(2-312)에 대해 본 명세서에서 설명된 방식으로 추가로 구성될 수 있다. 도 2-3에 도시된 바와 같이, 픽셀(2-312)은 광 검출 영역(PPD), 전하 저장 영역(SD0), 드레인 영역(D), 및 전송 게이트들(ST0, TX0 및 REJ)을 포함한다. 일부 실시예들에서, 전송 게이트(RS)는 도 1-3에 대해 본 명세서에서 설명된 바와 같이 구성될 수 있다. 일부 실시예들에서, 소스 폴로어(SF) 전송 게이트는 판독 영역(FD)의 전압 레벨이 전송 게이트(RS)를 통해 샘플링될 수 있도록 판독 영역(FD)에 전기적으로 결합될 수 있다. 일부 실시예들에서, 픽셀(2-312)의 실드 부분은 입사 광자들이 전하 저장 영역(SD0), 드레인 영역(D) 및 전송 게이트들(ST0, TX0, REJ, RS 및 SF)에 도달하는 것을 차단하도록 구성될 수 있다.
- [0072] 일부 실시예들에서, 픽셀(2-312)의 광 검출 영역(PPD)은 도 2-4A 및 도 2-4B를 참조하여 본 명세서에서 추가로 설명되는 바와 같이 광 검출 영역(PPD)으로부터 전하 저장 영역(SD0)을 향하는 방향으로 고유 전기장을 유도하도록 구성될 수 있다. 도 2-4A는 일부 실시예들에 따른 도 2-1A, 도 2-1B, 또는 도 2-1C의 어레이들에 포함될 수 있는 대안적인 예시적인 픽셀(2-412)의 레이아웃 스케치이다. 픽셀(2-412)은 픽셀(2-312)에 대해 본 명세서에 설명된 방식으로 구성될 수 있다. 도 2-4A에 도시된 바와 같이, 픽셀(2-412)은 마찬가지로 광 검출 영역(PPD), 전하 저장 영역(SD0), 드레인 영역(D), 판독 영역(FD), 및 전송 게이트들(ST0, TX0, REJ, RS 및 SF)을 포함한다.
- [0073] 일부 실시예들에서, 광 검출 영역(PPD)은 광 검출 영역(PPD)으로부터 전하 저장 영역(SD0) 및 드레인 영역(D)을 향해 고유 전기장을 유도하도록 구성된 삼각형 도펀트 구성을 가질 수 있다. 도 2-4A에 보여진 바와 같이, 광 검출 영역(PPD)은 삼각형 개구를 갖는 마스크를 포함하고, 삼각형 개구의 밀변은 전하 저장 영역(SD0) 및 드레인

인 영역(D)에 인접한 광 검출 영역(PPD)의 제1 단부에 위치되고, 삼각형 개구의 꼭지점은 전하 저장 영역(SD0) 및 드레인 영역(D)에 반대되는 광 검출 영역(PPD)의 제2 단부에 위치된다. 일부 실시예들에서, 광 검출 영역(PPD)은 삼각형 개구를 통해 도핑될 수 있고, 그 결과 삼각형 도펀트 구성은 삼각형 개구의 형상을 갖게 된다. 일부 실시예들에서, 삼각형 도펀트 구성은 제2 단부로부터 제1 단부를 향하는 방향으로 고유 전기장을 유도할 수 있고, 그에 의해, 광 검출 영역(PPD)으로부터 전하 저장 영역(SD0) 및 드레인 영역(D)으로 전하 캐리어들을 전송하는 속도 및 효율을 증가시킨다.

[0074] 도 2-4B는 일부 실시예들에 따른 픽셀(2-412)의 레이아웃 스케치이다. 도 2-4B는 도 2-1A 및 도 2-2B와 관련하여 픽셀들(2-112a 및 2-112b)에 대해 본 명세서에서 설명된 바와 같이, 픽셀(2-412)의 경계의 면들 상에 위치한 영역들(C/B<sub>1</sub>, C/B<sub>2</sub>, C/B<sub>4</sub> 및 C/B<sub>5</sub>)을 추가로 도시한다. 도 2-4A에는 도시되지 않지만, 픽셀(2-412)은 또한 행 선택(RS) 및/또는 소스 폴로어(SF) 전송 게이트들, 및/또는 광 검출 영역(PPD)과 전하 저장 영역(SD0)과 드레인 영역(D) 사이에서 광 검출 영역(PPD)의 면 상에 위치한 C/B<sub>3</sub> 영역을 포함할 수 있다. 도 2-4B에는 도시되지 않지만, 일부 실시예들에서, 본 명세서에 설명된 픽셀들의 C/B 영역들의 전하 층(들)은 광 검출 영역(PPD)에서 전하 캐리어들을 공핍시키기 위해 접지 전위와 같은 전력 공급 전압에 결합하도록 구성될 수 있음을 이해해야 한다. 예를 들어, 전하 층(들)은 전력 공급 전압을 수신하기 위해 전하 층(들)과 금속 라우팅 사이의 연결들을 허용하기 위해 전송 게이트들을 지지하는 통합 디바이스의 표면(face)에서 노출될 수 있다. 대안적으로 또는 추가적으로, 통합 디바이스의 일부 또는 모든 픽셀은 전력 공급 전압을 픽셀 어레이의 에지에 전도성 결합하기 위한 트렌치들을 포함할 수 있고, 거기에서 어레이의 픽셀들은 전력 공급 전압에 연결될 수 있다.

[0075] 도 2-5A는 일부 실시예들에 따른 도 2-1A, 도 2-1B, 및 도 2-1C의 어레이들에 포함될 수 있는 불연속 C/B 영역들을 갖는 예시적인 픽셀(2-512a)의 레이아웃 스케치이다. 픽셀(2-512a)은 픽셀(2-312) 및/또는 본 명세서에 설명된 임의의 다른 픽셀에 대해 본 명세서에 설명된 방식으로 구성될 수 있다. 예를 들어, 광 검출(PPD), 드레인 영역(D), 전하 저장 영역(SD0), 판독 영역(FD) 및 전송 게이트들(REJ, ST0, RST, RS 및 SF)을 포함하는 픽셀(2-512a)이 도 2-5A에 도시되어 있다. 또한, 도 2-5A에 도시된 바와 같이, 픽셀(2-512a)은 장벽(BPW)을 포함하며, 이는 본 명세서에서 추가로 설명되는 바와 같이 입사 전하 캐리어들이 전하 저장 영역(SD0)에 도달하는 것을 차단하도록 구성될 수 있다. 또한, 도 2-5A에 도시된 바와 같이, 픽셀(2-512a)은 전송 게이트들(RST, RS, SF 및 TX0)을 갖는 트랜지스터들의 일부 또는 전부를 지원할 수 있는 p-도핑된 웰을 포함한다. 일부 실시예들에서, p-웰은 입사 전하 캐리어들이 전하 저장 영역(SD0)에 도달하는 것을 차단하도록 구성될 수 있다(예를 들어, 픽셀(2-512a)의 더 큰 영역을 도핑함으로써 확장될 수 있음). 또한, 도 2-5A에 도시된 바와 같이, 픽셀(2-512a)은 픽셀(2-512a)과 픽셀(2-512a)을 포함하는 어레이의 인접 픽셀들 사이에 위치되는 장벽들(DPI)을 포함한다. 예를 들어, 장벽들(DPI)은 본 명세서에서 추가로 설명되는 바와 같이 전하 캐리어들이 어레이의 인접 픽셀들 사이에서 이동하는 것을 차단하도록 구성될 수 있다.

[0076] 일부 실시예들에서, 일부 또는 모든 C/B 영역은 픽셀의 적어도 한 면에서 불연속적일 수 있다. 예를 들어, 도 2-5A에 도시된 바와 같이, 광 검출 영역(PPD)으로부터 전하 저장 영역(SD0)으로의 방향에 평행하게 이어지는 픽셀(2-512a)의 영역들(C/B<sub>1</sub> 및 C/B<sub>2</sub>)은 연속적이고, 영역들(C/B<sub>1</sub> 및 C/B<sub>2</sub>)의 방향에 수직으로 이어지는 영역들(C/B<sub>4</sub> 및 C/B<sub>5</sub>)은 불연속적이며, 갭들은 영역들(C/B<sub>4</sub> 및 C/B<sub>5</sub>)을 영역들(C/B<sub>1</sub> 및 C/B<sub>2</sub>)로부터 분리한다.

[0077] 도 2-5B는 일부 실시예들에 따른 도 2-1A, 도 2-1B, 및 도 2-1C의 어레이들에 포함될 수 있는 불연속 C/B 영역들을 갖는 대안적인 예시적인 픽셀(2-512b)의 레이아웃 스케치이다. 픽셀(2-512b)은 픽셀(2-512a) 및/또는 본 명세서에 설명된 임의의 다른 픽셀에 대해 본 명세서에 설명된 방식으로 구성될 수 있다. 도 2-5B에 도시된 바와 같이, 픽셀(2-512b)은 드레인 영역(D)에 결합된 보조 게이트(REJ')를 추가로 포함한다. 일부 실시예들에서, 보조 게이트(REJ')는 드레인 영역(D)과, 드레인 영역(D)을 전력 공급 전압에 전기적으로 결합하도록 구성된 금속 라인 사이에 연결된 다이오드-연결 트랜지스터의 일부일 수 있다. 본 명세서에 설명된 다른 픽셀들은 보조 게이트(REJ')를 추가로 포함할 수 있음을 이해해야 한다.

[0078] 도 2-5A에 도시된 픽셀(2-512a)과 마찬가지로, 픽셀(2-512b)의 일부 C/B 영역들은 불연속적이다. 예를 들어, 도 2-5B에 도시된 바와 같이, 광 검출 영역(PPD)으로부터 전하 저장 영역(SD0)으로의 방향에 평행하게 이어지는 픽셀(2-512a)의 영역들(C/B<sub>1</sub> 및 C/B<sub>2</sub>)은 불연속적이고, 영역들(C/B<sub>1</sub> 및 C/B<sub>1</sub>)의 방향에 수직으로 이어지는 영역들(C/B<sub>4</sub> 및 C/B<sub>5</sub>)은 연속적이며, 갭들은 영역들(C/B<sub>1</sub> 및 C/B<sub>2</sub>)을 영역들(C/B<sub>4</sub> 및 C/B<sub>5</sub>)로부터 분리한다. 본 명세서에 설명된 다른 픽셀들은 픽셀들(2-512a 및 2-512b)에 대해 본 명세서에 설명된 것과 같이 불연속적인 C/B 영역들을 가질 수 있음을 이해해야 한다.

- [0079] 또한 도 2-5B에 도시된 바와 같이, 픽셀(2-512b) 영역(C/B<sub>3</sub>)은 광 검출 영역과 전하 저장 영역(SD0) 사이에 위치되며 드레인 영역(D) 앞에서 중단된다. 일부 실시예들에서, 본 명세서에 설명된 다른 픽셀들의 영역(C/B<sub>3</sub>)은 픽셀(2-512b)에 대해 도 2-5B에 도시된 바와 같이 구성될 수 있다. 일부 실시예들에서, 영역(C/B<sub>3</sub>)은 도 2-2C에 도시된 것과 같이 생략될 수 있다.
- [0080] 도 2-6A는 일부 실시예들에 따른 도 2-1A 또는 도 2-1B의 어레이들에 포함될 수 있는 예시적인 픽셀(2-612a)의 단면 개략도이다. 도 2-6A에서, 영역들(C/B<sub>3</sub>-C/B<sub>5</sub>), 전하 저장 영역(SD0), 관독 영역(FD), 및 전송 게이트들(TX 및 ST0)은 제1 방향(Dir1)에서 픽셀(2-612a)의 실드 부분 뒤에 위치된다. 일부 실시예들에서, 픽셀(2-612a)은 제1 방향(Dir1)으로 실드 부분과 전송 게이트들(ST0 및 TX0) 사이에서 10 마이크로 미만, 예컨대 6 마이크로 미만, 및/또는 3 내지 6 마이크로 미만의 두께를 가질 수 있다.
- [0081] 일부 실시예들에서, 광 검출 영역(PPD)은 제1 방향(Dir1)으로 차례로 위치하는 다수의 하위-영역을 포함할 수 있다. 예를 들어, 도 2-6A에서, 광 검출 영역(PPD)은 제1 하위-영역, 및 제1 방향(Dir1)에서 제1 하위-영역 뒤에 위치되는 제2 하위-영역을 포함한다. 제1 하위-영역은 제1 방향(Dir1)으로 영역들(C/B<sub>3</sub> 및 C/B<sub>4</sub>)의 단부들까지 연장된다. 일부 실시예들에서, 제1 하위-영역은 제1 방향(Dir1)에서 영역들(C/B<sub>3</sub> 및 C/B<sub>4</sub>)의 단부들의 앞 또는 뒤에서 중단할 수 있음을 이해해야 한다. 도 2-6A에서, C/B 영역들은 광 검출 영역(PPD)과 나란하게 제1 방향(Dir1)으로 신장된다.
- [0082] 일부 실시예들에서, 영역들(C/B<sub>3</sub> 및/또는 C/B<sub>4</sub>)은 광 검출 영역(PPD)의 제1 하위-영역에서 전하 캐리어 공핍을 유도하도록 구성될 수 있다. 예를 들어, 영역들(C/B<sub>3</sub> 및/또는 C/B<sub>4</sub>)은 제1 하위-영역에서 고유 전하 캐리어 공핍을 유도하도록 구성된 전하 층들을 포함할 수 있다. 대안적으로 또는 추가적으로, 영역들(C/B<sub>3</sub> 및/또는 C/B<sub>4</sub>)은 금속 영역들에서 전압 바이어스가 수신될 때 제1 하위-영역에서 전하 캐리어 공핍을 유도하도록 구성된 금속 영역들을 포함할 수 있다. 일부 실시예들에서, 전송 게이트(ST0)(및/또는 도 2-6A에 도시되지 않은 드레인 게이트(REJ))는 제어 신호가 전송 게이트에서 수신될 때 제2 하위-영역에서 전하 캐리어 공핍을 유도하도록 구성될 수 있다. 일부 실시예들에서, 전하 캐리어 공핍은 광 검출 영역(PPD)으로부터 전하 저장 영역(SD0)을 향한 전하 캐리어들의 전파를 용이하게 할 수 있다.
- [0083] 도 2-6A에서, 픽셀(2-612a)은 또한 장벽(LPW) 및 장벽(BPW)을 포함하고, 관독 영역(FD)은 제1 방향(Dir1)에서 장벽(LPW) 뒤에 위치되고, 전하 저장 영역(SD0)은 제1 방향(Dir1)에서 장벽(BPW) 뒤에 위치된다. 일부 실시예들에서, 장벽들(LPW 및 BPW)은 픽셀(2-612a) 내의 전하 캐리어들이 영역들을 서로 전기적으로 결합하는 전송 채널들을 따르는 것 외에, 관독 영역(FD) 및 전하 저장 영역(SD0)에 각각 도달하는 것을 차단하도록 구성될 수 있다. 일부 실시예들에서, 장벽들(LPW 및 BPW)은 광 검출 영역(PPD), 전하 저장 영역(SD0) 및 관독 영역(FD)과 반대 전도성 유형을 갖도록 픽셀(2-612a)의 영역을 도핑함으로써 형성될 수 있다. 예를 들어, 광 검출 영역(PPD), 전하 저장 영역(SD0) 및 관독 영역(FD)은 n형 도핑될 수 있고, 장벽들(LPW 및 BPW)은 p형 도핑될 수 있다.
- [0084] 도 2-6A에서, 픽셀(2-612a)은 또한 픽셀(2-612a)의 C/B 영역들과 다른 영역들 사이에, 예컨대 영역(C/B<sub>4</sub>)과 광 검출 영역(PPD) 사이에, 영역(C/B<sub>3</sub>)과 광 검출 영역(PPD) 사이에, 및 영역(C/B<sub>5</sub>)과 관독 영역(FD) 사이에 위치된 장벽들(DPI)을 포함한다. 일부 실시예들에서, 장벽들(LPW 및 BPW)은 광 검출 영역(PPD), 전하 저장 영역(SD0) 및 관독 영역(FD)과 반대 전도성 유형을 갖도록 픽셀(2-612a)의 영역들을 도핑함으로써 형성될 수 있다.
- [0085] 픽셀(2-612a)은 또한 필터 층 및 광학 컴포넌트를 포함한다. 일부 실시예들에서, 필터 층은 광 검출 영역(PPD), 전하 저장 영역(SD0) 및 관독 영역(FD)과 동일한 전도성 유형으로, 제1 방향(Dir1)에서 실드 앞에 있는 픽셀(2-612a)의 영역을 도핑함으로써 형성될 수 있다. 일부 실시예들에서, 광학 컴포넌트는 마이크로디스크일 수 있다. 예를 들어, 마이크로디스크는 샘플에 의해 방출된 형광 방출 광자들을 결합시키고 광 검출 영역(PPD)을 향해 광자들을 재방출하도록 구성된 유전체 구조물일 수 있다. 일부 실시예들에서, 마이크로디스크는 제1 방향(Dir1)에 대해 비스듬한 방향으로 입사하는 광자들을 효율적으로 결합하고, 광자들을 제1 방향(Dir1)으로 광 검출 영역(PPD)을 향해 재방출할 수 있다.
- [0086] 일부 실시예들에서, C/B 영역들을 포함하는 픽셀은 광 검출 영역에서 전하 캐리어 공핍을 유도하도록 C/B 영역들을 형성함으로써 제조될 수 있다. 예를 들어, 하나 이상의 전하 층(예를 들어, 금속-산화물 화합물)이 C/B

영역들을 형성하기 위해 픽셀 내에 퇴적될 수 있다. 일부 실시예들에서, 산화물 층이 픽셀 내에 퇴적될 수 있고, 전하 층(들)이 산화물 층 위에 퇴적될 수 있다. 예를 들어, 산화물 층은 실리콘 이산화물(SiO<sub>2</sub>)을 포함할 수 있다. 일부 실시예들에서, 전하 층(들)이 산화물 층 위에 퇴적된 후에, 추가적인 산화물(예를 들어, SiO<sub>2</sub>)이 픽셀 내에 퇴적될 수 있다. 일부 실시예들에서, 본 명세서에 설명된 금속-산화물 화합물 들은 형상추종적으로, 예컨대 형상추종 원자층 퇴적(ALD)에 의해, 및/또는 화학 기상 증착(CVD)에 의해 퇴적될 수 있다. 예를 들어, 본 명세서에 설명된 금속-산화물 화합물들의 ALD는 50 옹스트롬의 두께를 가질 수 있고, 본 명세서에 설명된 CVD 금속-산화물 화합물들은 500 옹스트롬의 두께를 가질 수 있다. 일부 실시예들에서, 퇴적 전에, 트렌치 내로의 퇴적을 위한 적어도 하나의 트렌치를 형성하기 위해, 마스크된 에칭이 수행될 수 있다. 광 검출 영역(PPD)을 공핍시키기 위한 C/B 영역들을 형성하기 위해, 형상추종 퇴적 프로세스들(예를 들어, ALD)와 양립할 수 있는 재료들과 같이, 임의의 적합한 하전된 재료들(예를 들어, 전자들을 공핍시키기 위해 양으로 하전됨)이 사용될 수 있음을 이해해야 한다. 일례로서, 이러한 재료들은 원자 결합 및/또는 격자 부위들로부터의 전자들을 실질적으로 또는 완전히 갖지 않을 수 있고, 이는 양전하를 초래한다.

[0087] 일부 실시예들에서, 하나 이상의 금속 영역은 C/B 영역들을 형성하기 위해 픽셀 내에 퇴적될 수 있고, 하나 이상의 금속 영역은 광 검출 영역에서 전하 캐리어 공핍을 유도하기 위해 전압 바이어스에 결합하도록 구성된다. 일부 실시예들에서, 장벽들(DPI)은 광 검출 영역과 반대 전도성 유형을 갖도록 C/B 영역들 주위의 영역들을 도핑함으로써 형성될 수 있다. 일부 실시예들에서, C/B 영역들은 픽셀의 형성 시에 (예를 들어, 픽셀에 외부 전기장을 인가하지 않고서) 광 검출 영역에서(예를 들어, 제1 하위-영역에서) 고유 전하 캐리어 공핍을 유도할 수 있다. 일부 실시예들에서, 통합 디바이스의 일부 또는 모든 픽셀의 C/B 영역들은 동시에 형성될 수 있다. 예를 들어, 영역들 C/B<sub>1</sub>, C/B<sub>2</sub>, C/B<sub>3</sub>, C/B<sub>4</sub> 및/또는 C/B<sub>5</sub> 중 임의의 것 또는 그들 각각은 동일한 형상추종 ALD 및/또는 CVD 단계와 같이, 동일한 제조 단계 동안 형성될 수 있다. 일부 실시예들에서, 제6 영역 C/B<sub>6</sub>은 다른 C/B 영역들이 형성되는 단계 이전 또는 이후의 ALD 및/또는 CVD 단계 동안 형성될 수 있다.

[0088] 일부 실시예들에서, C/B 영역들은 제1 방향(Dir1)에서 광 검출 영역, 전하 저장 영역(들) 및/또는 판독 영역에 반대되는 통합 디바이스의 면 상에 형성될 수 있다. 예를 들어, 광 검출 영역, 전하 저장 영역(들), 및/또는 판독 영역들은 제1 방향(Dir1)에서 통합 디바이스의 제1 표면 상에 도핑될 수 있고, C/B/ 영역들은 제1 방향(Dir1)에서 통합 디바이스의 제2 표면으로부터 형성될 수 있다(예를 들어, 퇴적될 수 있음).

[0089] 도 2-6B는 일부 실시예들에 따른 도 2-1A 또는 도 2-1B의 어레이들에 포함될 수 있는 대안적인 예시적인 픽셀(2-612b)의 단면 개략도이다. 도 2-6B에 도시된 바와 같이, 픽셀(2-612b)이 필터를 포함하지 않을 수 있다는 점을 제외하면, 픽셀(2-612b)은 도 2-6A와 관련하여 픽셀(2-612a)에 대해 본 명세서에 설명된 방식으로 구성될 수 있다. 본 발명자들은, 일부 실시예들에서, 예컨대 픽셀에서 충분히 빠른 속도로 전하 전송이 발생할 때, 본 명세서에 설명된 픽셀들이 필터를 포함하지 않을 수 있음을 인식하였다.

[0090] 도 2-7A는 일부 실시예들에 따른 도 2-1A 또는 도 2-1B의 어레이들에 포함될 수 있는 예시적인 픽셀(2-712a)의 단면 개략도이다. 일부 실시예들에서, 픽셀(2-712a)은 픽셀(2-312)에 대해 본 명세서에서 설명된 방식으로 구성될 수 있다. 도 2-7A에서, 광 검출 영역(PPD)은 영역 C/B<sub>4</sub>로부터 영역 C/B<sub>5</sub>까지 연장된다. 예를 들어, 픽셀(2-712a)은 영역 C/B<sub>3</sub>을 포함하지 않을 수 있다. 본 발명자들은 광 검출 영역(PPD)을 영역 C/B<sub>4</sub>와 영역 C/B<sub>5</sub> 사이에서 연장되도록, 및/또는 광 검출 영역(PPD)의 적어도 일부가 제1 방향(Dir1)에서 전하 저장 영역(SD0) 및/또는 판독 영역(FD) 앞에 위치하도록 위치시키면, 입사 광자들 및/또는 전하 캐리어들이 픽셀(2-712a)의 원하지 않는 부분들에 들어가는 것을 방지함을 인식하였다. 예를 들어, 입사 광자들 및/또는 전하 캐리어들은 광 검출 영역(PPD)을 통해 드레인 영역(D) 및/또는 전하 저장 영역(SD0)에 전송될 수 있다.

[0091] 도 2-7A에 도시된 바와 같이, 픽셀(2-712a)의 광 검출 영역(PPD)은 제1 및 제2 하위-영역들을 포함하고, 제1 하위-영역은 제1 방향(Dir1)으로 영역들(C/B<sub>4</sub> 및 C/B<sub>5</sub>)의 단부들 및/또는 장벽들(LPW 및/또는 BPW)까지 연장된다. 예를 들어, 제1 하위-영역은 제1 방향(Dir1)에서 장벽 또는 영역(C/B<sub>4</sub> 또는 C/B<sub>5</sub>)의 단부 중 제1 하위-영역이 먼저 도달하는 것에서 끝날 수 있다. 도 2-7A에서, 영역들(C/B<sub>4</sub> 및/또는 C/B<sub>5</sub>)은 도 2-6A와 관련하여 본 명세서에서 설명된 바와 같이 제1 하위-영역에서 전하 캐리어 공핍을 유도하도록 구성될 수 있다. 도 2-7A에서, C/B 영역들은 제1 방향(Dir1)에서 광 검출 영역(PPD)과 나란하게 신장된다.

[0092] 도 2-7B는 일부 실시예들에 따른 도 2-1A 또는 도 2-1B의 어레이에 포함될 수 있는 대안적인 예시적인 픽셀(2-712b)의 단면 개략도이다. 도 2-7B에 도시된 바와 같이, 픽셀(2-712b)이 도 2-6B와 관련하여 픽셀(2-612b)에

대해 본 명세서에서 설명된 것과 같이 필터를 포함하지 않을 수 있다는 점을 제외하면, 픽셀(2-712b)은 도 2-7A와 관련하여 픽셀(2-712a)에 대해 본 명세서에 설명된 방식으로 구성될 수 있다.

- [0093] 도 2-8은 일부 실시예들에 따른 도 2-1A 또는 도 2-1B의 어레이에 포함될 수 있는 예시적인 픽셀(2-812)의 단면 개략도이다. 도 2-8에 도시된 바와 같이, 픽셀(2-812)은 도 2-6A와 관련된 것을 포함하여, 픽셀(2-612a)에 대해 본 명세서에 설명된 방식으로 구성될 수 있다. 추가적으로, 도 2-8에 도시된 바와 같이, 장벽들(DPI)은 제1 방향(Dir1)에서 픽셀(2-812)의 깊이를 따라 일부만 연장될 수 있다. 예를 들어, 장벽들(DPI)은 제1 방향(Dir1)에서 광 검출 영역(PPD)의 깊이를 통과하는 도중에 광 검출 영역(PPD)과 나란하게 중단될 수 있다.
- [0094] 도 2-9는 일부 실시예들에 따른 도 2-2C에 도시된 픽셀(2-112c)의 단면 개략도이다. 도 2-9에 도시된 바와 같이, 픽셀(2-112c)은 도 2-7A와 관련된 것을 포함하여, 픽셀(2-712a)에 대해 본 명세서에 설명된 방식으로 구성될 수 있지만, 광 검출 영역(PPD)은 제1 방향(Dir1)에서 입사 광자들을 수신하도록 구성된 면의 실드 부분들을 통해 노출된다. 일부 실시예들은 픽셀(2-612a)에 대해 본 명세서에서 설명된 것과 같은 필터를 포함할 수 있음을 이해해야 한다.
- [0095] 도 2-10은 일부 실시예들에 따른 도 2-1C의 어레이에 포함될 수 있는 예시적인 픽셀(2-1012)의 단면 개략도이다. 도 2-10에 도시된 바와 같이, 픽셀(2-1012)은 도 2-9와 관련된 것을 포함하여 픽셀(2-112c)에 대해 본 명세서에 설명된 방식으로 구성될 수 있다. 도 2-10에 도시된 바와 같이, 장벽들(DPI)은 도 2-8과 관련하여 픽셀(2-812)에 대해 본 명세서에서 설명된 바와 같이 픽셀(2-1012)의 깊이를 통해 일부만 연장된다. 또한, 도 2-10에 도시된 바와 같이, 픽셀(2-812)의 C/B 영역들은 실드 부분들에 근접한 광 검출 영역(PPD)의 제1 단부로부터 전송 게이트들(ST0 및 TX0)에 근접한 광 검출 영역(PPD)의 제2 단부까지, 광 검출 영역(PPD)과 나란하게 제1 방향(Dir1)으로 연장될 수 있다. 일부 실시예들에서, C/B 영역들은 제2 단부에서 광 검출 영역(PPD)의 피닝 층 이전에 중단될 수 있다. 본 발명자들은 광 검출 영역(PPD)의 제1 단부로부터 광 검출 영역(PPD)의 제2 단부까지 연장되는 C/B 영역들을 갖는 것이 인접한 픽셀들 사이에 더 큰 광학적 및 전기적 격리를 제공한다는 것을 인식하였다. 일부 실시예들에서, 픽셀(2-1012)은 도 2-6A와 관련하여 픽셀(2-612a)에 대해 본 명세서에서 설명된 것과 같은 필터를 포함할 수 있다.
- [0096] 도 2-11은 일부 실시예들에 따른 도 2-1C의 어레이에 포함될 수 있는 예시적인 픽셀(2-1112)의 단면 개략도이다. 도 2-11에 도시된 바와 같이, 픽셀(2-1112)은 도 2-10과 관련된 것을 포함하여 픽셀(2-1012)에 대해 본 명세서에 설명된 방식으로 구성될 수 있다. 도 2-11에서, 픽셀(2-1112)은 제1 방향(Dir1)에서 광 검출 영역(PPD)과 나란하게 신장된 다수의 장벽(STI 및 DPI)을 포함한다. 예를 들어, 장벽들(DPI) 및 C/B 영역들은 제1 방향(Dir1)에서 장벽들(STI)에서 중단될 수 있다. 일부 실시예들에서, 입사 광자들을 수신하도록 구성된 픽셀(2-1112)의 면으로부터 C/B 영역들을 형성하기 위해 한 세트의 도구들이 사용될 수 있고, 전송 게이트들이 위치되는 픽셀(2-1112)의 다른 면에서 장벽들(STI)을 형성하기 위해 상이한 세트의 도구들이 사용될 수 있다.
- [0097] 픽셀들(2-112a 및/또는 2-112b)과 관련하여 본 명세서에 설명된 기술들이 픽셀(2-112c)의 실시예들에서 사용될 수 있고 그 반대도 가능하다는 것을 이해해야 한다.
- [0098] 도 2-13은 일부 실시예들에 따른 도 2-1A, 도 2-1B, 및 도 2-1C의 어레이들에 포함될 수 있는 다수의 전하 저장 영역을 갖는 예시적인 픽셀(2-1312)의 레이아웃 스케치이다. 일부 실시예들에서, 픽셀(2-1312)은 픽셀(2-512a), 및/또는 본 명세서에 설명된 임의의 다른 픽셀에 대해 본 명세서에 설명된 방식으로 구성될 수 있다. 예를 들어, 도 2-13에서, 픽셀(2-1312)의 영역들(C/B<sub>1</sub> 및 C/B<sub>2</sub>)은 불연속적인 것으로 도시되고, 영역들(C/B<sub>1</sub> 및 C/B<sub>2</sub>)은 연속적인 것으로 도시된다.
- [0099] 도 2-13에 도시된 바와 같이, 픽셀(2-1312)은 제1 및 제2 전하 저장 영역들(S0 및 SD1)을 포함하고, 제2 전하 저장 영역들은 하위-영역들(SD1-0 및 SD1-1)을 포함하고, 전송 게이트(TX0)는 제1 전하 저장 영역(SD0)과 제2 전하 저장 영역(SD1) 사이에 위치된다. 또한 도 2-13에 도시된 바와 같이, 픽셀(2-1312)은 제2 전하 저장 영역(SD1)과 관독 영역(FD) 사이에 위치한 전송 게이트(TX1)를 포함한다.
- [0100] 일부 실시예들에서, 전하 저장 영역(SD0), 및 제2 전하 저장 영역(SD1)의 하위-영역들(SD1-0 및 SD1-1)은 상이한 전위 레벨들을 가질 수 있다. 예를 들어, 전하 저장 영역(SD0)은 제1 도핑 농도를 가질 수 있고, 하위-영역(SD1-0)은 제1 도핑 농도보다 높은 제2 도핑 농도를 가질 수 있으며, 하위-영역(SD1-1)은 제2 도핑 농도보다 높은 제3 도핑 농도를 가질 수 있다.
- [0101] 도 2-14는 일부 실시예에 따른, 픽셀(2-1312)에서의 예시적인 전하 전송을 도시하는 도면이다. 도 2-14에 도시

된 바와 같이, 픽셀(1-112)의 동작은 기간들(2-1, 2-2, 2-3, 2-4 및 2-5)에서 수행되는 다수의 전하 수집 및 전송 단계를 포함할 수 있다.

[0102] 도 2-14에서, 픽셀(1-112)의 동작은 주기적일 수 있다. 예를 들어, 본 명세서에서 추가로 설명되는 바와 같이, 각각의 동작 사이클은 기간들(2-1 내지 2-4) 동안 수행될 수 있고, 기간(2-5) 동안의 픽셀 동작은 후속 사이클의 기간(2-1) 동안(예를 들어, 후속 사이클의 기간(2-1) 동안 수행되는 단계들과 동시에) 수행될 수 있다.

[0103] 일부 실시예들에서, 기간(2-1)은 도 1-4와 관련하여 기간(1-1)에 대해 본 명세서에 설명된 것과 같은 하나 이상의 수집 시퀀스를 포함할 수 있다. 예를 들어, 도 2-14에 도시된 바와 같이, 전하 캐리어들(Q1)은 기간(2-1) 동안 광 검출 영역(PPD)으로부터 전하 저장 영역(SD0)에서 수신된다. 일부 실시예들에서, 전하 저장 영역(SD0)을 전하 저장 영역(SD1)에 전기적으로 결합하는 전송 채널은, 고유 전위 장벽이 전하 캐리어들이 전하 저장 영역(SD1)에 도달하는 것을 방지하도록, 기간(2-1) 동안 바이어스될 수 있다.

[0104] 일부 실시예들에서, 기간(2-2)은 하나 이상의 전송 시퀀스를 포함할 수 있다. 예를 들어, 도 2-14에서, 전하 캐리어들(Q1)은 기간(2-2) 동안 저장 영역(SD0)으로부터 저장 영역(SD1)으로 전송된다. 일부 실시예들에서, 광 검출 영역(PPD)을 전하 저장 영역(SD0)에 전기적으로 결합하는 전송 채널은 전하 캐리어들이 광 검출 영역(PPD)으로부터 전하 저장 영역(SD0) 내에 수신되지 않도록 기간(2-2) 동안 바이어스될 수 있다.

[0105] 일부 실시예들에서, 기간(2-3)은 하나 이상의 판독 시퀀스를 포함할 수 있다. 예를 들어, 각각의 판독 시퀀스 동안, 통합 디바이스(1-102)는 전하 저장 영역(SD1)으로부터 전하 캐리어들을 판독할 수 있다. 예를 들어, 도 2-14에서, 전하 캐리어들(Q1)은 기간(2-3) 동안 전하 저장 영역(SD1)으로부터 판독 영역(FD)으로 전송된다. 일부 실시예들에서, 기간(2-3)은 또한 기간(2-1)에 대해 본 명세서에 설명된 방식으로 수행되는 하나 이상의 수집 시퀀스를 포함할 수 있다. 예를 들어, 도 2-14에서, 전하 캐리어들(Q2)은 기간(2-3) 동안 광 검출 영역(PPD)으로부터 전하 저장 영역(SD0) 내에 수신된다. 일부 실시예들에서, 기간(2-3) 동안 수행되는 수집 시퀀스들은 기간(2-1)의 수집 기간들에 대해 시간적으로 오프셋된 수집 기간들을 포함할 수 있다. 예를 들어, 기간(2-3)의 수집 기간들은 기간(2-1)의 수집 기간들과 상이한 특성들(예를 들어, 형광 수명)을 나타내는 전하 캐리어들을 캡처하도록 시간이 정해질 수 있다.

[0106] 일부 실시예들에서, 기간(2-4)은 기간(2-2)에 대해 본 명세서에 설명된 방식으로 수행되는 하나 이상의 전송 시퀀스를 포함할 수 있다. 예를 들어, 도 2-14에서, 전하 캐리어들(Q2)은 기간(2-4) 동안 전하 저장 영역(SD0)으로부터 전하 저장 영역(SD1)으로 전송된다.

[0107] 일부 실시예들에서, 기간(2-5)은 기간(2-3)에 대해 본 명세서에 설명된 방식으로 수행되는 하나 이상의 판독 시퀀스 및 하나 이상의 수집 시퀀스를 포함할 수 있다. 예를 들어, 도 2-14에서, 전하 캐리어들(Q2)은 전하 저장 영역(SD1)으로부터 판독 영역(FD)으로 전송되고, 전하 캐리어들(Q1')은 기간(2-5) 동안 광 검출 영역(PPD)으로부터 전하 저장 영역(SD0)에서 수신된다. 이 예에서, 전하 캐리어들(Q1')의 수신은 또한 후속 동작 사이클의 기간(2-1) 동안 발생하는데, 왜냐하면 도시된 동작 사이클의 기간(2-5)이 후속 사이클의 기간(2-1)(예를 들어, 전하 캐리어들(Q2)이 특정 픽셀로부터 판독될 때)과 적어도 부분적으로 겹치기 때문이다.

[0108] 일부 실시예들에서, 본 명세서에 설명된 픽셀들의 동작은 본 명세서에 설명된 기간들 사이의 기간들을 포함할 수 있고/거나 본 명세서에 설명된 특정 기간들을 생략할 수 있음을 이해해야 한다. 또한, 일부 실시예들에서, 본 명세서에 설명된 픽셀들의 동작은, 예를 들어 (예를 들어, 기간들(2-1 내지 1-5) 중 어느 것도 아닌) 새로운 기간을 기간(2-5)이 완료된 후로 이동시킴으로써 주기적이지 않을 수 있음을 이해해야 한다. 일부 실시예들에서, 본 명세서에 설명된 기간들은 본 명세서에 설명된 것과 상이한 순서로 발생할 수 있다.

[0109] IV. 고유 전기장 기술들

[0110] 본 발명자들은 픽셀의 광 검출 영역에 고유 전기장들을 유도하기 위한 기술들을 개발했다. 일부 실시예들에서, 광 검출 영역은 제1 방향(예를 들어, 샘플 웰로부터 광 검출 영역을 향하는 방향)으로 고유 전기장을 유도하도록 구성될 수 있다. 예를 들어, 광 검출 영역은 입사 광자들에 응답하여 광 검출 영역에서 생성된 전하 캐리어들이 제1 방향으로 신속하고 효율적으로 전송될 수 있도록, 입사 광자들이 수신되는 방향으로 고유 전기장을 유도하도록 구성될 수 있다. 일부 실시예들에서, 광 검출 영역은 제1 방향으로 차례로 위치되고 (예를 들어, 상이한 도펀트 농도들을 갖는 것으로 인해) 상이한 고유 전위 층들을 갖는 다수의 층을 포함할 수 있고, 그에 의해 제1 방향으로 고유 전기장을 생성할 수 있다.

[0111] 일부 실시예들에서, 고유 전기장들은 전하 캐리어 공핍과 조합될 수 있으며, 각각은 광 검출 영역으로부터 전하 저장 영역(들)을 향한 전하 캐리어들의 전파를 용이하게 한다. 그러나, 본 명세서에 설명된 실시예들은 그와

같이 제한되지 않으므로, 이러한 기술들은 단독으로 또는 임의의 적절한 조합으로 사용될 수 있음을 이해해야 한다.

[0112] 일부 실시예들에서, 본 명세서에 설명된 픽셀들은 도 2-12를 참조하는 것을 포함하여 본 명세서에서 추가로 설명된 바와 같이 제1 방향에서 광 검출 영역에 고유 전기장을 유도하도록 구성된 광 검출 영역을 포함할 수 있다. 도 2-12는 일부 실시예들에 따른 도 2-1A, 도 2-1B, 또는 도 2-1C의 어레이들에 포함될 수 있는 픽셀(2-1212)의 일부분의 단면 개략도이다. 도 2-12에서, 픽셀(2-1212)의 일부분은 광 검출 영역(PPD), 전하 저장 영역(SD0) 및 전송 게이트(ST0)를 포함한다. 일부 실시예들에서, 광 검출 영역(PPD)은 제1 방향(Dir1)에서 차례로 위치한, 도 2-12에 도시된 층들(1-3)과 같은 다수의 층을 포함한다. 광 검출 영역(PPD)은 특정 응용에 대해 적합한 대로 4-10개의 층 또는 임의의 수의 층과 같은, 임의의 수의 층을 가질 수 있음을 이해해야 한다.

[0113] 일부 실시예들에서, 광 검출 영역(PPD)은 제1 방향(Dir1)으로 고유 전기장을 유도하도록 구성될 수 있다. 예를 들어, 광 검출 영역(PPD)의 층들은 상이한 고유 전위 레벨들을 갖도록 구성될 수 있고, 그에 의해 전위 레벨들 간의 차이는 고유 전기장을 유도한다. 이 예에서, 층(2)은 층(1)보다 높은 도펀트 농도를 가질 수 있고, 층(3)은 층(2)보다 높은 도펀트 농도를 가질 수 있다. 일부 실시예들에서, 광 검출 영역(PPD)은 n형 도핑될 수 있고, 층(3)의 고유 전위 레벨은 층(2)의 고유 전위 레벨보다 높을 수 있고, 층(2)의 고유 전위 레벨은 층(1)의 고유 전위 레벨보다 높을 수 있다. 결과적으로, 광 검출 영역(PPD)에서 생성된 광전자들은 제1 방향(Dir1)에서 더 신속하고 효율적으로 전송될 수 있다. 일부 실시예들에서, 광 검출 영역(PPD)은 p-형 도핑될 수 있고, 층(3)의 고유 전위 레벨은 층(2)의 고유 전위 레벨보다 높을 수 있고, 층(2)의 고유 전위 레벨은 층(1)의 고유 전위 레벨보다 높을 수 있다. 그 결과, 광 검출 영역(PPD)에서 생성된 광-정공들(photo-holes)이 제1 방향(Dir1)에서 더 신속하고 효율적으로 전송될 수 있다.

[0114] 일부 실시예들에서, 광 검출 영역(PPD)의 제1 하위-영역 내의 층은 광 검출 영역(PPD)의 제2 하위-영역 내의 층들과 상이한 전위 레벨들을 가질 수 있다. 예를 들어, 제1 방향(Dir1)에서 제1 하위-영역 뒤에 위치되는 제2 하위-영역의 층들은 제1 하위-영역의 층들보다 높은 도펀트 농도를 가질 수 있다.

[0115] 일부 실시예들에서, 광 검출 영역(PPD)은 예컨대 층(2)보다 높은 도펀트 농도를 갖도록 층(3)을 형성하고, 층(1)보다 높은 도펀트 농도를 갖도록 층(2)을 형성하는 것 등등에 의해, 상이한 고유 전위 레벨들을 갖도록 광 검출 영역(PPD)의 층들을 형성함으로써 제조될 수 있다. 예를 들어, 각각의 층은 별도의 도핑 단계에서 도핑될 수 있고/거나, 일부 층들은 (예를 들어, 일부 층들이 다른 층들보다 높은 도펀트 농도들을 갖도록) 적어도 부분적으로 중첩되는 복수의 단계에 걸쳐 형성될 수 있다. 일부 실시예들에서, 광 검출 영역(PPD)의 층들은 포토레지스트-정의된 경계들 없이 형성될 수 있고, 그에 의해, 층들 사이의 윤곽은 도펀트 농도의 갑작스러운 차이들이 아니라 점진적인 차이들에 의해 추론될 수 있음을 이해해야 한다.

[0116] V. 시뮬레이션 결과들

[0117] 본 명세서에 설명된 기술들을 통합하는 픽셀들의 일부 예시적인 시뮬레이션 결과들이 아래에 제시된다. 본 명세서에 제시된 예시적인 픽셀들에 대한 픽셀 구성들(예를 들어, 도핑 농도들) 및 시뮬레이션된 결과들은 제한하도록 의도된 것이 아니라, 오히려 몇몇 예시적인 픽셀들의 맥락에서 본 명세서에 설명된 기술들의 효과를 일반적으로 입증하도록 의도된 것임을 이해해야 한다.

[0118] 도 3-1은 일부 실시예들에 따른 픽셀(3-112) 내의 도펀트 농도를 보여주는, 통합 디바이스(1-102)에 포함될 수 있는 예시적인 픽셀(3-112)의 사시도이다. 일부 실시예들에서, 픽셀(3-112)은 픽셀(2-112) 및/또는 본 명세서에 설명된 임의의 다른 픽셀에 대해 본 명세서에 설명된 방식으로 구성될 수 있다. 예를 들어, 도 3-1에서, 픽셀(3-112)은 광 검출 영역(PPD), 전송 게이트들(ST0, TX0, REJ 및 RS), 및 C/B 영역들을 포함하며, 그들 중에서 영역들(C/B<sub>1</sub> 및 C/B<sub>4</sub>)이 도 3-1에 도시되어 있다. 도 3-1에서, 광 검출 영역(PPD)은 영역들(C/B<sub>1</sub> 및 C/B<sub>4</sub>)의 제1 단부들로부터 영역들(C/B<sub>1</sub> 및 C/B<sub>4</sub>)의 제2 단부들을 지나 제1 방향(Dir1)으로 연장되는 제1 하위-영역, 및 제1 하위-영역으로부터 드레인 영역(D) 및 전송 게이트들까지 제1 방향(Dir1)으로 연장되는 제2 하위-영역을 포함한다.

[0119] 도 3-2는 일부 실시예들에 따른 픽셀(3-112) 내의 도펀트 농도를 보여주는 픽셀(3-112)의 단면의 측면도이다. 도 3-2는 또한 제1 방향(Dir1)을 따른 픽셀(3-112)의 2개의 하위-단면, 즉 슬라이스1 및 슬라이스2를 나타낸다. 슬라이스1은 제1 방향(Dir1)에서 광 검출 영역(PPD)을 절단한다. 슬라이스2는 제1 방향(Dir1)에서 영역 C/B<sub>4</sub>를 절단한다. 도 3-3은 일부 실시예들에 따른 도 3-2에 도시된 픽셀(3-112)의 슬라이스1에서의 깊이(X)에 대한 총 도펀트 농도 및 n형 도펀트 농도의 그래프(3-300)이다. 도 3-4는 일부 실시예들에 따른 도 3-2에 도시된 픽셀

(3-112)의 슬라이스2에서의 깊이(X)에 대한 p형 도펀트 농도의 그래프(3-400)이다. 도 3-2는 또한 제1 방향(Dir1)에서 광 검출 영역(PPD) 앞에 위치되는 영역(C/B<sub>6</sub>)을 도시한다. 본 명세서에 설명된 임의의 픽셀들은 또한 영역(C/B<sub>6</sub>)을 포함할 수 있음을 이해해야 한다. 일부 실시예들에서, 영역(C/B<sub>6</sub>)은 산화물 층 내에 전하 층을 포함할 수 있다. 도 3-2에서, 영역(C/B<sub>6</sub>)은 광학적으로 투명하다. 일부 실시예들에서, 영역(C/B<sub>6</sub>)에서 약간의 광학적 손실 및/또는 반사가 발생할 수 있기 때문에, 영역(C/B<sub>6</sub>)은 완전히 광학적으로 투명하지 않을 수 있다.

[0120] 도 3-2 및 3-3에 도시된 바와 같이, 광 검출 영역(PPD)은 제1 방향(Dir1)에서 X=6 마이크로미터로부터 X=0 마이크로미터까지 연장되고, 영역들(C/B<sub>5</sub> 및 C/B<sub>4</sub>)은 제1 방향(Dir1)에서 광 검출 영역(PPD)과 나란하게 X=6 마이크로미터로부터 X=2 마이크로미터까지 연장된다. 제1 하위-영역은 제1 방향(Dir1)에서 X=6 마이크로미터로부터 X=2.5 마이크로미터까지 연장되고, 제2 하위-영역은 제1 방향(Dir1)에서 X=2.5 마이크로미터로부터 X=0 마이크로미터까지 연장된다. 드레인 게이트(REJ)는 제1 방향(Dir1)에 X=0 마이크로미터 뒤에 위치된다. 일부 실시예들에서, 제1 하위-영역은 제1 방향(Dir1)에서 X=6 마이크로미터로부터 X=2 마이크로미터까지 연장될 수 있고, 제2 하위-영역은 제1 방향(Dir1)에서 X=2 마이크로미터로부터 X=0 마이크로미터까지 연장될 수 있다는 것을 이해해야 한다.

[0121] 도 3-2에 도시된 바와 같이, 광 검출 영역(PPD)은 상이한 도펀트 농도들을 갖는 다수의 층(1-5)을 가지며, 층들의 도펀트 농도들은 제1 방향(Dir1)에서 층마다 증가한다. 예를 들어, 층(1)은 층(2)보다 높은 도펀트 농도를 갖고, 층(2)은 층(3)보다 높은 도펀트 농도를 갖고, 층(3)은 층(4)보다 높은 도펀트 농도를 갖고, 층(4)은 층(5)보다 높은 도펀트 농도를 갖는다. 도 3-2에서, 층들(3-5)은 광 검출 영역(PPD)의 제2 하위-영역 내에 있고, 층들(1-2)은 제1 및 제2 하위-영역들 내에 있다. 도 3-2 및 도 3-3에서, 슬라이스1을 따른 광 검출 영역(PPD)의 도펀트 농도는 X=0.1 마이크로미터와 X=4 마이크로미터 사이에서 cm<sup>3</sup>당 1.3×10<sup>18</sup> 총 도펀트(cm<sup>3</sup>당 1.1×10<sup>17</sup> n형 도펀트)로부터 cm<sup>3</sup>당 1.6×10<sup>14</sup> 총 도펀트(cm<sup>3</sup>당 0.9×10<sup>13</sup> n형 도펀트)로 감소한다. 일부 실시예들에서, 사용되는 n형 도펀트들은 비소일 수 있다. 본 명세서에 설명된 도펀트 농도들은 예시적인 것이며, 특정 실시예에 따라 달라질 수 있음을 이해해야 한다. 예를 들어, 더 큰 픽셀들은 특정 바이어스 전압에서 본 명세서에 설명된 바와 같은 전하 캐리어 공핍을 획득하기 위해 더 낮은 도펀트 농도로 구성될 수 있는 반면, 더 작은 픽셀들은 더 높은 도펀트 농도로 구성될 수 있다.

[0122] 도 3-4에 도시된 바와 같이, 슬라이스2를 따른 p형 도펀트 농도는 X=0.6 마이크로미터에서 가장 높고, cm<sup>3</sup>당 약 3×10<sup>20</sup> 도펀트에 도달한다. 슬라이스2를 따른 도펀트 농도는 영역(C/B<sub>1</sub>) 근처의 X=2 마이크로미터와 X=6 마이크로미터 사이에서 cm<sup>3</sup>당 10<sup>14</sup> 도펀트보다 낮다. 일부 실시예들에서, 슬라이스2를 따른 높은 p형 도펀트 농도는 픽셀(3-112)의 광 검출 영역(PPD)을 인접 픽셀들로부터 격리시킬 수 있다. 일부 실시예들에서, 사용되는 p형 도펀트는 붕소일 수 있다.

[0123] 도 3-5A는 일부 실시예들에 따른 픽셀(3-112) 내의 전하 캐리어 밀도를 보여주는, 픽셀(3-112)의 단면의 측면도이다. 도 3-5A에는 영역(C/B<sub>6</sub>)이 도시되지 않았지만, 영역(C/B<sub>6</sub>)은 여전히 픽셀(3-112)에 포함된다. 도 3-5B는 일부 실시예들에 따른 픽셀 내의 전하 캐리어 밀도를 보여주는, 다른 픽셀(3-112')의 단면의 측면도이다. 픽셀(3-112')이 C/B 영역들을 포함하지 않는 것을 제외하면, 픽셀(3-112')은 픽셀(3-112)에 대해 본 명세서에서 설명된 방식으로 구성될 수 있다(도 3-5B에 C/B 영역들의 윤곽이 도시되어 있지만, 도시된 영역들은 하전되거나 바이어싱되지 않음). 도 3-5A 및 도 3-5B 각각은 제어 신호들이 전송 게이트(REJ)에 인가되어 각각의 픽셀 내의 광 검출 영역(PPD)의 제2 하위-영역의 적어도 일부에서 적어도 부분적인 전하 캐리어 공핍을 유도하고 나서 수백 나노초 후의 각각의 픽셀들(3-112 및 3-112')을 도시한다.

[0124] 도 3-5A에 도시된 바와 같이, 픽셀(3-112)의 광 검출 영역(PPD)은 cm<sup>3</sup>당 5×10<sup>3</sup> 미만의 전하 캐리어를 갖는다. 예를 들어, 픽셀(3-112)의 광 검출 영역(PPD)은 X=5 마이크로미터와 X=6 마이크로미터 사이에서 cm<sup>3</sup>당 8×10<sup>-14</sup> 미만의 전하 캐리어들을 포함하여, 제1 하위-영역에서 cm<sup>3</sup>당 2×10<sup>-6</sup> 미만의 전하 캐리어들을 갖는다. 대조적으로, 도 3-5B에서, 픽셀(3-112')의 광 검출(PPD)은 X=3.7 마이크로미터로부터 X=6 마이크로미터까지의 제1 하위-영역의 부분 전체에 걸쳐서 cm<sup>3</sup>당 10<sup>14</sup> 초과 전하 캐리어들을 포함하여, 광 검출 영역(PPD)에서 cm<sup>3</sup>당 1.5×10<sup>12</sup> 초과 전하 캐리어들을 갖는다.

[0125] 도 3-6A는 일부 실시예들에 따른 시간 경과에 따른 픽셀들(3-112 및 3-112')의 상이한 깊이들에서의 전하 캐리

어들의 수를 보여주는 그래프(3-600a)이다. 도 3-6B는 일부 실시예들에 따른 도 3-6A의 그래프의 부분(3-600b)의 확대도이다. 도 3-6A 내지 도 3-6B의 일부 부분들은 광 검출 영역(PPD)의 영역 내의 전하 캐리어들의 분율을 나타내기 위한 것이지만, 도면들에 도시된 전하 캐리어의 분율들은 전하 캐리어의 존재의 양자역학적 확률들이 1 미만임을 나타낸다는 것을 이해해야 한다.

[0126] 도 3-6A 및 도 3-6B에 도시된 바와 같이, 픽셀(3-112)은 시간 0에서, 제1 하위-영역에 10 미만의 전하 캐리어들을 갖고 제2 하위-영역에  $8.25 \times 10^3$ 의 전하 캐리어들을 가지며, 픽셀(3-112')은 시간 0에서, 제1 하위-영역에  $1.15 \times 10^4$ 의 전하 캐리어들을 갖고 제2 하위-영역에  $9 \times 10^3$ 의 전하 캐리어들을 갖는다. 예를 들어, 시간 0에서, 각각의 픽셀의 광 검출 영역(PPD)의 제2 하위-영역 내의 전하 캐리어들의 실질적으로 전부는 입사 광자들에 응답하여 생성될 수 있고, 각각의 픽셀의 제1 하위-영역 내의 전하 캐리어들의 실질적으로 전부는 자유 전하 캐리어들일 수 있다. 도 3-6A 및 도 3-6B에서, 픽셀(3-112)은 제2 하위-영역에서 픽셀(3-112')과 동일한 자릿수의 전하 캐리어들을 갖지만, 픽셀(3-112)은 제1 하위-영역에서 픽셀(3-112')보다 4 자릿수 더 적은 전하 캐리어들을 갖는다.

[0127]  $10^{-8}$  초 후, 픽셀(3-112)은 제1 하위-영역에서  $10^{-13}$ 의 전하 캐리어들을 갖고 제2 하위-영역에서  $0.5 \times 10^3$  미만의 전하 캐리어들을 가지며, 픽셀(3-112')은 제1 하위-영역에서  $9.5 \times 10^3$ 의 전하 캐리어들을 갖고, 제2 하위-영역에서  $10^3$ 의 전하 캐리어들을 갖는다. 예를 들어,  $10^{-8}$  초 후, 많은 전하 캐리어들이 광 검출 영역(PPD)으로부터 드레인 영역(D) 및/또는 전하 저장 영역들로 전달되었을 수 있다. 픽셀(3-112)은 시간 0에서 제1 하위-영역 내에 더 적은 전하 캐리어들을 갖기 때문에, 전하 캐리어들은 픽셀(3-112')에서보다 픽셀(3-112)에서 드레인 및 전하 저장 영역들로 더 빠르고 더 효율적으로 전송되어, 픽셀(3-112')에서보다 픽셀(3-112)에서 시간의 경과에 따라 훨씬 더 적은 전하 캐리어들을 남긴다. 더욱이, 픽셀(3-112')은 시간 0에서 제1 하위-영역 내에 더 많은 자유 전하 캐리어를 가지므로, 자유 전하 캐리어들은 입사 광자들에 응답하여 생성된 전하 캐리어들의 수를 오염시키는 노이즈로서 전하 저장 영역들에 전송될 수 있다. 더욱이, 일부 응용들에서, 여기 펄스에 응답하여 생성된 여기 전하 캐리어들은 여기 펄스에 후속하여 생성된 형광 전하 캐리어들이 신속하고 효율적으로 전하 저장 영역들에 전송되도록 하기 위해 여기 펄스의 1 나노초 이내에 드레인 영역에 전송될 필요가 있을 수 있다. 따라서, 픽셀(3-112')은 1 나노초가 지난 후에 많은 여기 전하 캐리어가 픽셀에 남아 있기 때문에 그러한 응용들에 적합하지 않을 수 있다. 본 명세서에 설명된 픽셀들 내의 임의의 주어진 시간에서의 전하 캐리어들의 수는 픽셀 구성, 동작 모드, 및 동작 환경에 따라 달라질 수 있음을 이해해야 한다.

[0128] 도 3-7A는 일부 실시예들에 따른 픽셀(3-112) 내의 전기장들을 보여주는, 픽셀(3-112)의 단면의 측면도이다. 도 3-7B는 일부 실시예들에 따른 픽셀(3-112') 내의 전기장들을 보여주는, 픽셀(3-112')의 단면의 측면도이다. 도 3-8은 일부 실시예들에 따른 각각 픽셀(3-112 및 3-112')의 하위-단면들인 슬라이스1 및 슬라이스1'에 대한 깊이(X)에 대한 전기장의 그래프이다.

[0129] 도 3-7A 및 도 3-7B에 도시된 바와 같이, 픽셀들(3-112 및 3-112')의 광 검출 영역들(PPD)은  $X=0$  미크론과  $X=0.1$  미크론 사이에서는 물론, 광 검출 영역들(PPD)과 드레인 영역(D) 사이의 드레인 전송 채널들에서  $4 \times 10^4$  V/cm 내지  $4 \times 10^5$  V/cm의 전기장을 갖는다. 도 3-8에 표시된 하위-단면들에서, 각각의 픽셀은  $X=0$  미크론과  $X=0.2$  미크론 사이에서  $1.1 \times 10^5$ 의 전기장을 갖는다. 도 3-7A 및 도 3-7B에서, 픽셀(3-112)은  $X=6$  미크론으로부터  $X=2$  미크론까지의 영역들( $C/B_5$  및  $C/B_4$ )에서 광 검출 영역(PPD)에서  $1.2 \times 10^4$ 보다 큰 전기장을 갖는 반면, 픽셀(3-112')은  $X=6$  미크론과  $X=3.6$  미크론 사이에서  $1.2 \times 10^2$  V/cm 미만의 전기장을 갖는다. 도 3-8에 표시된 픽셀(3-112)의 슬라이스1은  $X=6$  미크론에서  $10^4$ 보다 큰 것을 포함하여,  $X=0.5$  미크론으로부터  $X=6$  미크론까지  $1.1 \times 10^3$  V/cm보다 큰 전기장을 갖는다. 도 3-8에 표시된 픽셀(3-112')의 슬라이스1'은  $X=3$  미크론으로부터  $X=6$  미크론까지에서  $10^3$  V/cm보다 작고,  $X=3.6$  미크론으로부터  $X=6$  미크론까지에서  $10^2$  V/cm보다 작은 것을 포함하여,  $X=0.5$  미크론으로부터  $X=6$  미크론까지  $1.3 \times 10^3$  V/cm보다 작은 전기장을 갖는다. 영역들( $C/B_5$  및  $C/B_4$ )에서 픽셀(3-112)의 광 검출 영역(PPD)에 보여진 전기장들은 도 3-5A에 도시된 바와 같이, 적어도 광 검출 영역(PPD)의 제1 하위-영역에서 전하 캐리어들을 공핍시킬 수 있다.

[0130] 도 3-9A는 일부 실시예들에 따른 시간 경과에 따른 픽셀(3-112)의 광 검출 영역(PPD) 내의 상이한 깊이들 및 전

체에서의 전하 캐리어들의 수를 보여주는 그래프(3-900a)이다. 도 3-9B는 일부 실시예들에 따른 도 3-9A의 그래프의 일부(3-900b)의 확대도이다. 도 3-9C는 일부 실시예들에 따른 도 3-9B의 그래프의 일부분(3-900c)의 추가 확대도이다. 도 3-9A 내지 도 3-9C에서, 광 검출 영역(PPD)의 제1 및 제2 하위-영역들에 대해, 그리고 광 검출 영역(PPD)의 전체에 대해 전하 캐리어들의 수가 도시되어 있다. 도 3-9A 내지 도 3-9C의 일부 부분들은 광 검출 영역(PPD)의 영역 내에서의 전하 캐리어의 분율들을 나타내기 위한 것이지만, 도면들에 도시된 전하 캐리어의 분율들은 전하 캐리어의 존재의 양자역학적 확률들이 1 미만임을 나타낸다는 것을 이해해야 한다. 도 3-9A 내지 도 3-9C에 도시된 바와 같이, 픽셀(3-112)의 광 검출 영역(PPD)은 시간 0에서 총 0개의 전하 캐리어를 갖는다.

[0131] 일부 실시예들에서, 픽셀(3-112)의 동작 동안, 제1 하위-영역에서 수신된 전하 캐리어들은 광 검출 영역(PPD)의 제2 하위-영역을 통해 드레인 영역 또는 전하 저장 영역에 전송될 수 있다. 시간  $0.5 \times 10^{-10}$  초에서, 광 검출 영역(PPD)은 총 0.8개의 전하 캐리어를 가지며, 제1 하위-영역에는 0.75개의 전하 캐리어가 있고 제2 하위-영역에는 0.05개의 전하 캐리어가 있다. 시간  $3.2 \times 10^{-10}$  초에서, 광 검출 영역(PPD)은 총 0.4개의 전하 캐리어를 가지며, 제1 및 제2 하위-영역 각각에는 0.2개의 전하 캐리어가 있다.  $1.3 \times 10^{-9}$  초 후, 광 검출 영역(PPD)의 총 전하 캐리어 수는 점근적으로  $10^{-4}$ 에 접근하며,  $1.5 \times 10^{-9}$  초 후에는 제2 하위-영역에서보다 제1 하위-영역에서 전하 캐리어들이 10배 이상 적다.  $10^{-8}$  초 후, 제1 하위-영역에 대한 제2 하위-영역의 전하 캐리어들의 비율은 8,000보다 크다.

[0132] 도 3-10은 일부 실시예들에 따른, 상이한 구성들을 갖는 다수의 픽셀에 대한 시간 경과에 따른 전하 캐리어들의 수를 보여주는 그래프(3-1000)이다. 도 3-10은 제1 방향(Dir1)에서 3 마이크로, 4.5 마이크로 및 6 마이크로미터의 두께를 갖는 픽셀들의 전하 캐리어들의 수를 도시한다. 각각의 두께에 대해, 주어진 두께를 갖는 후면 조명(backside illuminated)(BSI) 픽셀 및 전면 조명(front-side illuminated)(FSI) 픽셀에 대한 전하 캐리어들의 수가 도시된다. 본 명세서에 설명된 바와 같이, BSI 픽셀은 제1 방향(Dir1)으로 입사 광자들을 수신하도록 구성될 수 있고, BSI 픽셀의 전하 저장 영역들 및 전송 게이트들은 제1 방향(Dir1)에서 입사 광자들이 수신되는 것으로부터 반대되는 BSI 픽셀의 면에 위치될 수 있다. FSI 픽셀은 제1 방향(Dir1)으로 입사 광자들을 수신하도록 구성될 수 있고, 전하 저장 영역들 및 전송 게이트들은 제1 방향(Dir1)에서 입사 광자들이 수신되는 것과 동일한 FSI 픽셀의 면에 위치된다. 도 3-10에 도시된 바와 같이, 더 작은 픽셀들은 그들의 더 작은 크기로 인해 더 적은 자유 전하 캐리어들을 가지므로, 더 작은 두께들을 갖는 픽셀들은 더 적은 전하 캐리어들을 갖는다. 또한 도 3-10에 도시된 바와 같이, 동일한 두께들을 갖는 FSI 픽셀들 및 BSI 픽셀들에 대해, 적어도 부분적으로, FSI 픽셀의 전하 저장 영역들 및 전송 게이트들이 입사 광자들을 수신하는 픽셀의 면에 위치되고, 그에 의해 FSI 픽셀에서 생성된 전하 캐리어들이 전하 저장 영역들에 도달하기 위한 더 짧은 이동 거리를 갖는 것에 적어도 부분적으로 기인하여, FSI 픽셀들은 더 적은 전하 캐리어들을 갖는다.

[0133] 도 3-11A는 일부 실시예들에 따른, 여기 펄스보다 1 나노초 후의 픽셀의 전하 캐리어 밀도를 보여주는, 6 마이크로미터의 깊이(X)를 갖는 픽셀(3-112)의 단면의 측면도이다. 도 3-11B는 일부 실시예들에 따른, 여기 펄스보다 1 나노초 후의 픽셀(3-112") 내의 전하 캐리어들을 보여주는, 4.5 마이크로미터의 깊이(X)를 갖는 픽셀(3-112")의 단면의 측면도이다. 픽셀(3-112")은 깊이(X)에서의 차이를 제외하면, 픽셀(3-112)에 대해 본 명세서에 설명된 방식으로 구성될 수 있다.

[0134] 여기 펄스보다 1 나노초 후에, 픽셀(3-112)은 여기 또는 결과적인 형광 방출들에 응답하여 생성된 전하 캐리어들을 드레인 영역 또는 전하 저장 영역들에 전송할 수 있다. 도 3-11A에 도시된 바와 같이, 픽셀(3-112)의 광 검출 영역(PPD)의 일부 부분들은  $\text{cm}^2$ 당  $1 \times 10^8$  초과의 전하 캐리어들을 갖고, X=6 마이크로미터와 X=3.4 마이크로미터 사이의 실질적으로 모든 광 검출 영역(PPD)은  $\text{cm}^2$ 당 30 초과의 전하 캐리어들을 갖는다. 대조적으로, 1 나노초 후에, 픽셀(3-112")은 생성된 전하 캐리어들의 실질적으로 전부를 드레인 또는 전하 저장 영역들에 전송했을 수 있다. 도 3-11B에서, 픽셀(3-112")은 X=1.5 마이크로미터로부터 X=4.5 마이크로미터까지  $\text{cm}^2$ 당 2 미만의 전하 캐리어들을 갖는다. 픽셀(3-112")은 픽셀(3-112)보다 더 작은 깊이(X)를 갖기 때문에, 픽셀(3-112")은 더 적은 자유 전하 캐리어들을 가지며, 광 검출 영역(PPD) 내의 전하 캐리어들의 전송을 픽셀(3-112)에서보다 더 빠르고 더 효율적이게 하는 더 강한 전기장들을 가질 수 있다.

[0135] 도 3-12A는 일부 실시예들에 따른 픽셀(3-112) 내의 전기장들을 보여주는 픽셀(3-112)의 단면의 측면도이다. 도 3-12B는 일부 실시예들에 따른 픽셀(3-112") 내의 전기장들을 보여주는 픽셀(3-112")의 단면의 측면도이다. 도 3-12B는 픽셀(3-112)의 하위-단면 슬라이스1"을 나타낸다. 도 3-13은 일부 실시예들에 따른, 각각 픽셀(3-

112)의 슬라이스1 및 픽셀(3-112")의 슬라이스2에 대한 깊이(X)에 대한 전기장의 그래프이다. 도 3-12A, 도 3-12B 및 도 3-13에 도시된 바와 같이, 픽셀들(3-112 및 3-112")은 (픽셀(3-112")의 제2 하위-영역 및 대부분의 제1 하위-영역에 대응하는) X=0 미크론으로부터 X=2.5 미크론까지의 픽셀(3-112) 내의 제2 하위-영역 전체에 걸쳐서 실질적으로 동일한 전기장들을 갖는다. X=2.6 미크론과 X=4.5 미크론 사이의 픽셀(3-112)의 제1 하위-영역에서, 픽셀(3-112)의 슬라이스1의 전기장들은  $10^3$  V/cm 미만으로 감소하는 반면, 픽셀(3-112")의 슬라이스1"의 전기장들은  $10^4$  V/cm 초과로 증가하기 전에 단지  $1.2 \times 10^3$  V/cm로 감소한다. 픽셀(3-112)의 슬라이스1 내의 전기장들은 X=6 미크론 근처에서  $10^4$  V/cm 초과로 증가한다. 픽셀(3-112")의 더 작은 깊이의 결과로, 픽셀(3-112")의 전기장들은 X=2.6 미크론보다 큰 깊이들에서 픽셀(3-112)의 전기장들만큼 낮게 떨어지지 않으며, 따라서 픽셀(3-112)과 비교하여 픽셀(3-112")에서 전하 전송의 속도를 증가시킨다.

[0136] VI. 광학적 제거 기술들

[0137] 본 발명자들은 또한 입사 광자들 및/또는 전하 캐리어들을 픽셀의 광 검출 영역을 향하여 및/또는 픽셀의 전하 저장 영역(들)으로부터 멀어지게 지향, 굴절 및/또는 반사시키는 기술들을 개발했다. 광자들 및/또는 전하 캐리어들을 광 검출 영역을 향해 지향, 굴절 및/또는 반사함으로써, 더 적은 입사 광자들 및/또는 전하 캐리어들이 픽셀 및/또는 인접 픽셀들의 원하지 않는 부분들, 예컨대 전하 저장 영역들에 도달할 수 있는데, 여기서 전하 캐리어들 및/또는 광자들은 전하 저장 영역들에 노이즈를 추가할 수 있다. 마찬가지로, 입사 광자들 및/또는 전하 캐리어들을 픽셀의 전하 저장 영역(들)으로부터 멀어지게 지향, 굴절 및/또는 반사함으로써, 더 적은 노이즈 광자들 및/또는 전하 캐리어들이 픽셀의 전하 저장 영역(들)에 노이즈를 추가할 수 있다. 일부 실시예들에서, 픽셀의 C/B 영역들은 본 명세서에 설명된 바와 같이, 입사 광자들 및/또는 전하 캐리어들이 광 검출 영역을 떠나는 것, 및/또는 전송 게이트들을 경유하는 것 이외의 경로들에 의해 전하 저장 영역들에 도달하는 것을 방지하도록 추가로 구성될 수 있다.

[0138] 도 4-1은 일부 실시예들에 따른 통합 디바이스(1-102)에 포함될 수 있는 광학 제거 기술들을 포함하는 픽셀(4-112)의 단면의 측면도이다. 일부 실시예들에서, 픽셀(4-112)은 픽셀들(1-112, 2-112 및 3-112) 중 임의의 것에 대해 본 명세서에 설명된 방식으로 구성될 수 있다. 예를 들어, 도 4-1에 도시된 바와 같이, 픽셀(4-112)은 광 검출 영역(PPD), 전하 저장 영역(SD0), 및 전송 게이트(STO)를 포함한다.

[0139] 일부 실시예들에서, 픽셀(4-112)은 하나 이상의 장벽을 포함할 수 있다. 도 4-1에 도시된 바와 같이, 픽셀(4-112)은 광 검출 영역(PPD)의 제1 단부에 위치되고 제1 방향(Dir1)에 평행하게 신장된 영역(C/B<sub>a</sub>)을 포함한다. 일부 실시예들에서, 영역(C/B<sub>a</sub>)은 전하 캐리어들을 차단하도록 구성될 수 있다. 예를 들어, 일부 실시예들에서, 제1 장벽 영역(C/B<sub>a</sub>)은 광 검출 영역(PPD) 내의 전하 캐리어들이 통합 디바이스(1-102)의 다른 부분들에 도달하는 것을 차단하도록 구성될 수 있고, 그에 의해, 전하 캐리어들은 적절한 대로(예를 들어, 도착 시간에 따라) 드레인 영역(D) 또는 전하 저장 영역(SD0)에 전송된다. 일부 실시예들에서, 영역(C/B<sub>a</sub>)은 전하 층과 함께 유전체 재료(예를 들어, 산화물 층 및/또는 산화물 화합물)를 포함할 수 있다. 일부 실시예들에서, 광 검출 영역(PPD) 및 전하 저장 영역(SD0)에 반대되는 전도성 유형을 갖는 도핑 영역을 포함하는 장벽은 영역(C/B<sub>a</sub>)의 적어도 일부 주위에 배치될 수 있다. 영역(C/B<sub>a</sub>)에서 전하 캐리어들을 차단함으로써, 픽셀(4-112)은 더 높은 속도 및 더 큰 효율로 전하 캐리어들을 생성하고 드레인 영역(D) 및/또는 전하 저장 영역(SD0)에 전송하도록 구성될 수 있다.

[0140] 도 4-1에 도시된 바와 같이, 픽셀(4-112)은 제1 방향(Dir1)에서 전하 저장 영역(SD0) 앞에 위치되는 영역(C/B<sub>b</sub>)을 포함한다. 일부 실시예들에서, 영역(C/B<sub>b</sub>)은 전하 캐리어들이 전하 저장 영역(SD0)에 도달하는 것을 차단하도록 구성될 수 있다. 예를 들어, 일부 실시예들에서, 영역(C/B<sub>b</sub>)은 광 검출 영역(PPD), 또는 픽셀(4-112) 또는 통합 디바이스(1-102) 내의 다른 곳의 전하 캐리어들이 전하 저장 영역(SD0)에 도달하는 것을 차단하도록 구성될 수 있다. 일부 실시예들에서, 영역(C/B<sub>b</sub>)은 유전체 재료, 및/또는 광 검출 영역(PPD) 및 전하 저장 영역(SD0)과 반대되는 도펀트 농도를 갖는 도핑 영역을 포함할 수 있다. 전하 캐리어들이 전하 저장 영역(SD0)에 도달하는 것을 차단함으로써, 전하 저장 영역(SD0)에 더 적은 노이즈 전하 캐리어들이 도달하거나 생성되어, 전하 저장 영역(SD0) 내에 저장되는 전하 캐리어들의 신호 대 잡음비를 증가시킬 수 있다.

[0141] 또한 도 4-1에 도시된 바와 같이, 픽셀(4-112)은 제1 방향(Dir1)에서 영역(C/B<sub>a</sub>) 앞에 위치되는 제1 금속 층,

및 제1 방향(Dir1)에서 영역(C/B<sub>0</sub>) 앞에 위치되는 제2 금속 층을 포함한다. 일부 실시예들에서, 제1 층은 입사 광자들이 영역(C/B<sub>0</sub>)의 내부로 진입하는 것을 차단하도록 구성될 수 있다. 일부 실시예들에서, 제2 금속 층은 입사 광자들이 영역(C/B<sub>0</sub>)의 내부로 진입하는 것 및/또는 전하 저장 영역(SD0)에 도달하는 것을 차단하도록 구성될 수 있다.

[0142] 도 4-2는 일부 실시예들에 따른 통합 디바이스(1-102)에 포함될 수 있는 광학적 제거 기술들을 포함하는 대안적인 픽셀(4-212)의 단면의 측면도이다. 일부 실시예들에서, 픽셀(4-212)은 픽셀(4-112)에 대해 본 명세서에서 설명된 방식으로 구성될 수 있다. 일부 실시예들에서, 픽셀(4-212)은 입사 광자들 및/또는 전하 캐리어들을 차단하도록 구성된 하나 이상의 금속 장벽을 포함할 수 있다. 도 4-2에서, 픽셀(4-212)은 광 검출 영역(PPD)의 제1 단부에 위치되며 제1 방향(Dir1)으로 신장되는 제1 금속 장벽을 포함한다. 일부 실시예들에서, 제1 금속 장벽은 입사 광자들 및/또는 전하 캐리어들이 광 검출 영역(PPD)에 남도록, 제1 금속 장벽에 입사하는 광자들 및/또는 전하 캐리어들을 반사하도록 구성될 수 있다. 일부 실시예들에서, 제1 금속 장벽은 광 검출 영역(PPD), 및/또는 인접 픽셀의 광 검출 영역(PPD)에서 전하 캐리어 공핍을 유도하도록 구성될 수 있다. 예를 들어, 제1 금속 장벽은 광 검출 영역(PPD) 및/또는 인접 픽셀의 광 검출 영역에서 전하 캐리어 공핍을 유도하는 전압 바이어스를 수신하도록 구성될 수 있다.

[0143] 또한 도 4-2에 도시된 바와 같이, 픽셀(4-212)은 전하 저장 영역(SD0)의 제1 및 제2 단부들에 위치되며 제1 방향(Dir1)으로 신장되는 제2 금속 장벽들을 포함한다. 일부 실시예들에서, 제2 금속 장벽들은 전하 저장 영역(SD0)에 입사하는 광자들 및/또는 전하 캐리어들을 반사하도록 구성될 수 있다. 일부 실시예들에서, 하나 또는 각각의 제2 금속 장벽은 픽셀(4-212) 및/또는 인접 픽셀의 광 검출 영역(PPD)에서 전하 캐리어 공핍을 유도하도록 구성될 수 있다. 도 4-2에서, 2개의 제2 금속 장벽은 제1 방향(Dir1)에서 도 4-1의 제2 장벽(BPW) 뒤에 위치한 금속 층에 대해 본 명세서에 설명된 방식으로 구성될 수 있는 금속 층에 의해 연결된다.

[0144] 도 4-3은 일부 실시예들에 따른 통합 디바이스(1-102)에 포함될 수 있는 광학적 제거 기술들을 포함하는 또 다른 대안적인 픽셀(4-312)의 단면의 측면도이다. 일부 실시예들에서, 픽셀(4-312)은 픽셀(4-212)에 대해 본 명세서에서 설명된 방식으로 구성될 수 있다. 도 4-3에서, 픽셀(4-312)의 광 검출 영역(PPD)은 다수의 층(PD1 및 PD2)을 포함하고, 층(PD1)은 제1 방향(Dir1)에서 층(PD2)으로부터 이격되어 있다. 일부 실시예들에서, 층들(PD1 및 PD2)은 상이한 고유 전위 레벨들을 가질 수 있다. 예를 들어, 층(PD1)은 층(PD2)보다 높은 도펀트 농도를 가질 수 있다.

[0145] 일부 실시예들에서, 픽셀(4-312)은 입사 광자들을 광 검출 영역(PPD)을 향해 지향시키도록 구성된 광학적 지향 구조물을 또한 포함할 수 있다. 예를 들어, 광학적 지향 구조물은 픽셀(4-312)에 입사하는 광자들을 제1 방향(Dir1)에 대해 비스듬한 방향으로 굴절시키도록 구성될 수 있다. 도 4-3에서, 픽셀(4-413)은 제1 방향(Dir1)에서 광 검출 영역(PPD) 앞에 위치되는 표면에 광학적 지향 구조물을 포함하고, 광학적 지향 구조물은 표면을 따라 위치되는 복수의 개구를 포함한다. 일부 실시예들에서, 개구들은 공기 및/또는 산화물과 같은 유전체 재료를 포함할 수 있다.

[0146] 도 4-3에서, 픽셀(4-312)은 또한 영역들(C/Ba 및 C/Bb)을 포함하며, 이는 제1 방향(Dir1)에서 C/B 영역들 앞에 위치되는 금속 층들을 포함하여, 도 4-1에 도시된 C/B 영역들에 대해 본 명세서에 설명된 방식으로 구성될 수 있다.

[0147] VII. DNA 및/또는 RNA 시퀀싱 애플리케이션들

[0148] 여기에 설명된 분석 시스템은 통합 디바이스, 및 통합 디바이스와 인터페이스하도록 구성된 기기를 포함할 수 있다. 통합 디바이스는 픽셀들의 어레이를 포함할 수 있고, 여기서 픽셀은 반응 챔버 및 적어도 하나의 광 검출기를 포함한다. 통합 디바이스의 표면은 복수의 반응 챔버를 가질 수 있으며, 반응 챔버는 통합 디바이스의 표면에 배치된 현탁액(suspension)으로부터 샘플을 수용하도록 구성된다. 현탁액은 동일한 유형의 다수의 샘플을 포함할 수 있고, 일부 실시예들에서는 상이한 유형의 샘플들이 포함될 수 있다. 이와 관련하여, 본 명세서에서 사용되는 "관심 샘플"이라는 문구는 예를 들어 현탁액에 분산되어 있는 동일한 유형의 복수의 샘플을 지칭할 수 있다. 마찬가지로, 본 명세서에 사용된 "관심 분자"라는 문구는 현탁액에 분산되어 있는 동일한 유형의 복수의 분자를 지칭할 수 있다. 복수의 반응 챔버는 반응 챔버들의 적어도 일부가 현탁액으로부터 하나의 샘플을 수용할 수 있도록 적절한 크기 및 형상을 가질 수 있다. 일부 실시예들에서, 반응 챔버 내의 샘플들의 수는 반응 챔버들 사이에 분산될 수 있고, 그에 의해 일부 반응 챔버들은 하나의 샘플을 포함하고 다른 반응 챔버들은 0개, 2개 이상의 샘플을 포함하게 된다.

- [0149] 일부 실시예들에서, 현탁액은 다수의 단일 가닥 DNA 템플릿을 함유할 수 있고, 통합 디바이스의 표면 상의 개별 반응 챔버들은 시퀀싱 템플릿을 수용하도록 크기 및 형상이 정해질 수 있다. 시퀀싱 템플릿들은 통합 디바이스의 반응 챔버들 사이에 분산될 수 있고, 그에 의해 통합 디바이스의 반응 챔버들 중 적어도 일부가 시퀀싱 템플릿을 포함하게 된다. 현탁액은 또한 나중에 반응 챔버에 들어가는 표지된 뉴클레오티드를 포함할 수 있고, 뉴클레오티드가 반응 챔버 내의 단일 가닥 DNA 템플릿에 상보적인 DNA 가닥에 통합될 때 뉴클레오티드의 식별을 허용할 수 있다. 일부 실시예들에서, 현탁액은 시퀀싱 템플릿들을 포함할 수 있고, 뉴클레오티드들이 반응 챔버 내의 상보적 가닥으로 통합됨에 따라, 표지된 뉴클레오티드들이 반응 챔버에 후속적으로 도입될 수 있다. 이러한 방식으로, 뉴클레오티드들의 통합 타이밍은 표지된 뉴클레오티드들이 통합 디바이스의 반응 챔버들에 도입되는 시기에 의해 제어될 수 있다.
- [0150] 여기 광은 통합 디바이스의 픽셀 어레이와 별도로 위치한 여기 소스로부터 제공된다. 여기 광은 반응 챔버 내의 조명 영역을 조명하기 위해 하나 이상의 픽셀을 향해 통합 디바이스의 요소에 의해 적어도 부분적으로 지향된다. 다음으로, 마커는 조명 영역 내에 위치될 때 여기 광에 의해 조명되는 것에 응답하여 방출 광을 방출할 수 있다. 일부 실시예들에서, 하나 이상의 여기 소스는 시스템의 기기의 일부이며, 여기서 기기 및 통합 디바이스의 컴포넌트들은 여기 광을 하나 이상의 픽셀을 향해 지향시키도록 구성된다.
- [0151] 다음으로, 반응 챔버로부터 (예를 들어, 형광 표지에 의해) 방출된 방출 광은 통합 디바이스의 픽셀 내의 하나 이상의 광 검출기에 의해 검출될 수 있다. 검출된 방출 광의 특성들은 방출 광에 연관된 마커를 식별하기 위한 표시를 제공할 수 있다. 그러한 특성들은 광 검출기에 의해 검출된 광자들의 도달 시간, 광 검출기에 의해 시간 경과에 따라 축적된 광자들의 양, 및/또는 둘 이상의 광 검출기에 걸친 광자의 분포를 포함하는 임의의 적합한 유형의 특성을 포함할 수 있다. 일부 실시예들에서, 광 검출기는 방출 광에 연관된 하나 이상의 타이밍 특성(예를 들어, 형광 수명)의 검출을 허용하는 구성을 가질 수 있다. 광 검출기는 여기 광의 펄스가 통합 디바이스를 통해 전파된 후 광자 도달 시간들의 분포를 검출할 수 있고, 도달 시간들의 분포는 방출 광의 타이밍 특성(예를 들어, 형광 수명에 대한 프록시)의 표시를 제공할 수 있다. 일부 실시예들에서, 하나 이상의 광 검출기는 마커에 의해 방출되는 방출 광의 확률(예를 들어, 형광 강도)의 표시를 제공한다. 일부 실시예들에서, 복수의 광 검출기는 방출 광의 공간적 분포를 포착하도록 크기가 정해지고 배열될 수 있다. 하나 이상의 광 검출기로부터의 출력 신호들은 복수의 마커 중에서 마커를 구별하기 위해 사용될 수 있으며, 여기서 복수의 마커는 샘플 또는 그것의 구조를 식별하기 위해 사용될 수 있다. 일부 실시예들에서, 샘플은 다수의 여기 에너지에 의해 여기될 수 있고, 다수의 여기 에너지에 응답한 반응 챔버로부터의 방출 광 및/또는 방출 광의 타이밍 특성들은 마커를 복수의 마커로부터 구별할 수 있다.
- [0152] 시스템(5-100)의 개략적인 개요가 도 5-1A에 도시된다. 시스템은 기기(5-104)와 인터페이스하는 통합 디바이스(5-102)를 모두 포함한다. 본 명세서에 설명된 임의의 또는 모든 통합 디바이스들은 통합 디바이스(5-102)를 대신하여 또는 그에 추가하여 사용될 수 있음을 이해해야 한다. 일부 실시예들에서, 기기(5-104)는 기기(5-104)의 일부로서 통합된 하나 이상의 여기 소스(5-106)를 포함할 수 있다. 일부 실시예들에서, 여기 소스는 기기(5-104) 및 통합 디바이스(5-102) 둘 다 외부에 있을 수 있고, 기기(5-104)는 여기 소스로부터 여기 광을 수신하는 것 및 여기 광을 통합 디바이스로 지향시키는 것 둘 다를 위해 구성될 수 있다. 통합 디바이스는 통합 디바이스를 수용하고 그것을 여기 소스와 정확히 광학적 정렬 상태로 유지하기 위해 임의의 적합한 소켓을 사용하여 기기와 인터페이스할 수 있다. 여기 소스(5-106)는 여기 광을 통합 디바이스(5-102)에 제공하도록 구성될 수 있다. 도 5-1A에 개략적으로 도시된 바와 같이, 통합 디바이스(5-102)는 복수의 픽셀(5-112)을 가지며, 여기서 픽셀들의 적어도 일부는 관심 샘플의 독립적인 분석을 수행할 수 있다. 이러한 픽셀들(5-112)은 픽셀이 픽셀과 별개인 소스(5-106)로부터 여기 광을 수신하기 때문에 "수동 소스 픽셀들"로 지칭될 수 있으며, 여기서 소스로부터의 여기 광은 픽셀들(5-112)의 일부 또는 전부를 여기시킨다. 여기 소스(5-106)는 임의의 적절한 광원일 수 있다. 적합한 여기 소스들의 예들은 2015년 8월 7일자로 출원되고 발명의 명칭이 "분자들을 프로빙, 검출 및 분석하기 위한 통합 디바이스(INTEGRATED DEVICE FOR PROBING, DETECTING AND ANALYZING MOLECULES)"인 미국 특허 출원 제14/821,688호에 설명되며, 그것의 전체 내용이 참조로 포함된다. 일부 실시예들에서, 여기 소스(5-106)는 여기 광을 통합 디바이스(5-102)에 전달하기 위해 결합되는 다수의 여기 소스를 포함한다. 다수의 여기 소스는 다수의 여기 에너지 또는 파장을 생성하도록 구성될 수 있다.
- [0153] 픽셀(5-112)은 단일 관심 샘플을 수용하도록 구성된 반응 챔버(5-108), 및 여기 소스(5-106)에 의해 제공된 여기 광으로 샘플 및 반응 챔버(5-108)의 적어도 일부를 조명하는 것에 응답하여 반응 챔버로부터 방출되는 방출 광을 검출하기 위한 광 검출기(5-110)를 갖는다. 일부 실시예들에서, 반응 챔버(5-108)는 통합 디바이스(5-102)의 표면에 근접하게 샘플을 유지할 수 있으며, 이는 여기 광을 샘플에 전달하는 것 및 샘플 또는 반응 컴포

넌트(예를 들어, 표지된 뉴클레오타이드)로부터의 방출 광을 검출하는 것을 용이하게 할 수 있다.

[0154] 여기 광원(5-106)으로부터의 여기 광을 통합 디바이스(5-102)에 결합하고 여기 광을 반응 챔버(5-108)로 안내하기 위한 광학 요소들은 통합 디바이스(5-102)와 기기(5-104) 둘 다에 위치된다. 소스-대-챔버 광학 요소들은 여기 광을 통합 디바이스에 결합하기 위해 통합 디바이스(5-102)에 위치된 하나 이상의 격자 결합기, 및 여기 광을 기기(5-104)로부터 픽셀들(5-112) 내의 반응 챔버들에 전달하기 위한 도파관들을 포함할 수 있다. 하나 이상의 광학 분할기 요소가 격자 결합기와 도파관들 사이에 위치될 수 있다. 광학 분할기는 격자 결합기로부터의 여기 광을 결합하고, 여기 광을 도파관들 중 적어도 하나에 전달할 수 있다. 일부 실시예들에서, 광학 분할기는 여기 광의 전달이 모든 도파관에 걸쳐 실질적으로 균일하여 도파관들 각각이 실질적으로 유사한 양의 여기 광을 수신하는 것을 허용하는 구성을 가질 수 있다. 이러한 실시예들은 통합 디바이스의 반응 챔버들에 의해 수신된 여기 광의 균일성을 개선함으로써 통합 디바이스의 성능을 향상시킬 수 있다.

[0155] 반응 챔버(5-108), 여기 소스-대-챔버 광학계의 일부, 및 반응 챔버-대-광 검출기 광학계는 통합 디바이스(5-102) 상에 위치된다. 여기 소스(5-106), 및 소스-대-챔버 컴포넌트들의 일부는 기기(5-104) 상에 위치된다. 일부 실시예들에서, 단일 컴포넌트는 여기 광을 반응 챔버(5-108)에 결합하는 것, 및 방출 광을 반응 챔버(5-108)로부터 광 검출기(5-110)로 전달하는 것 둘 다에서 역할을 할 수 있다. 여기 광을 반응 챔버에 결합하는 것 및/또는 방출 광을 광 검출기로 지향시키는 것을 위한, 통합 디바이스에 포함시킬 적합한 컴포넌트들의 예들은 2015년 8월 7일자로 출원되고 발명의 명칭이 "분자들을 프로빙, 검출 및 분석하기 위한 통합 디바이스 (INTEGRATED DEVICE FOR PROBING, DETECTING AND ANALYZING MOLECULES)"인 미국 특허 출원 제14/821,688호, 및 2014년 11월 17일자로 출원되고 발명의 명칭이 "분자들을 프로빙, 검출 및 분석하기 위한 외부 광원을 갖는 통합 디바이스(INTEGRATED DEVICE WITH EXTERNAL LIGHT SOURCE FOR PROBING, DETECTING, AND ANALYZING MOLECULES)"인 미국 특허 출원 제14/543,865호에 설명되고, 그들의 전체 내용은 참조로 포함된다.

[0156] 픽셀(5-112)은 그 자신의 개별 반응 챔버(5-108) 및 적어도 하나의 광 검출기(5-110)에 연관된다. 통합 디바이스(5-102)의 복수의 픽셀은 임의의 적합한 형상, 크기 및/또는 치수를 갖도록 배열될 수 있다. 통합 디바이스(5-102)는 임의의 적절한 수의 픽셀을 가질 수 있다. 통합 디바이스(5-102)의 픽셀의 수는 대략 10,000 픽셀 내지 1,000,000 픽셀의 범위, 또는 그 범위 내의 임의의 값 또는 값 범위일 수 있다. 일부 실시예들에서, 픽셀들은 512 픽셀 × 512 픽셀의 어레이로 배열될 수 있다. 통합 디바이스(5-102)는 임의의 적절한 방식으로 기기(5-104)와 인터페이스할 수 있다. 일부 실시예들에서, 기기(5-104)는 통합 디바이스(5-102)에 분리가능하게 결합하는 인터페이스를 가질 수 있고, 그에 의해 사용자는 현탁액 내의 적어도 하나의 관심 샘플을 분석하기 위해 통합 디바이스(5-102)를 사용하도록 통합 디바이스(5-102)를 기기(5-104)에 부착할 수 있고, 다른 통합 디바이스가 부착되는 것을 허용하기 위해 통합 디바이스(5-102)를 기기(5-104)로부터 제거할 수 있다. 기기(5-104)의 인터페이스는 하나 이상의 광 검출기로부터의 관독 신호들이 기기(5-104)로 전송되는 것을 허용하기 위해, 통합 디바이스(5-102)를 기기(5-104)의 회로와 결합하도록 위치시킬 수 있다. 통합 디바이스(5-102) 및 기기(5-104)는 대형 픽셀 어레이들(예를 들어, 10,000 픽셀 초과)에 연관된 데이터를 다루기 위한 멀티채널 고속 통신 링크들을 포함할 수 있다.

[0157] 픽셀들(5-112)의 행을 도시하는 통합 디바이스(5-102)의 단면 개략도가 도 5-1B에 도시되어 있다. 통합 디바이스(5-102)는 결합 영역(5-201), 라우팅 영역(5-202), 및 픽셀 영역(5-203)을 포함할 수 있다. 픽셀 영역(5-203)은 여기 광(점선 화살표로 보여짐)이 통합 디바이스(5-102)에 결합되는 장소인, 결합 영역(5-201)으로부터 분리된 위치에서 표면 상에 위치된 반응 챔버들(5-108)을 갖는 복수의 픽셀(5-112)을 포함할 수 있다. 반응 챔버들(5-108)은 금속 층(들)(5-116)을 통해 형성될 수 있다. 점선 직사각형에 의해 도시된 하나의 픽셀(5-112)은 반응 챔버(5-108), 및 하나 이상의 광 검출기(5-110)를 갖는 광 검출 영역을 포함하는 통합 디바이스(5-102)의 영역이다.

[0158] 도 5-1B는 여기 광의 빔을 결합 영역(5-201) 및 반응 챔버들(5-108)에 결합하는 것에 의한 여기 경로(점선으로 보여짐)를 도시한다. 도 5-1B에 보여진 반응 챔버들(5-108)의 행은 도파관(5-220)과 광학적으로 결합하도록 위치될 수 있다. 여기 광은 반응 챔버 내에 위치된 샘플을 조명할 수 있다. 샘플 또는 반응 컴포넌트(예를 들어, 형광 표지)는 여기 광에 의해 조명되는 것에 응답하여 여기 상태에 도달할 수 있다. 여기 상태에 있을 때의 샘플 또는 반응 컴포넌트는 반응 챔버에 연관된 하나 이상의 광 검출기에 의해 검출될 수 있는 방출 광을 방출할 수 있다. 도 5-1B는 반응 챔버(5-108)로부터 픽셀(5-112)의 광 검출기(들)(5-110)로의 방출 광의 경로(실선으로 도시됨)를 개략적으로 도시한다. 픽셀(5-112)의 광 검출기(들)(5-110)는 반응 챔버(5-108)로부터 방출 광을 검출하도록 구성 및 위치될 수 있다. 적합한 광 검출기의 예들은 2015년 8월 7일자로 출원되고 발명의 명칭이 "수신된 광자들의 시간적 비닝을 위한 통합 디바이스(INTEGRATED DEVICE FOR TEMPORAL BINNING OF

RECEIVED PHOTONS)"인 미국 특허 출원 제14/821,656호에 설명되고, 그 전체 내용은 참조로 포함된다. 개별 픽셀(5-112)에 대해, 반응 챔버(5-108) 및 그 각각의 광 검출기(들)(5-110)는 공통 축을 따라(도 5-1B에 보여진 y 방향을 따라) 정렬될 수 있다. 이러한 방식으로, 광 검출기(들)는 픽셀(5-112) 내의 반응 챔버와 중첩될 수 있다.

[0159] 반응 챔버(5-108)로부터의 방출 광의 방향성은 금속 층(들)(5-116)에 대한 반응 챔버(5-108) 내에서의 샘플의 위치지정에 의존할 수 있는데, 왜냐하면 금속 층(들)(5-116)이 방출 광을 반사하는 역할을 할 수 있기 때문이다. 이러한 방식으로, 금속 층(들)(5-116)과 반응 챔버(5-108) 내에 위치한 형광 마커 사이의 거리는, 반응 챔버와 동일한 픽셀 내에 있는 광 검출기(들)(5-110)가 형광 마커에 의해 방출되는 광을 검출하는 효율에 영향을 미칠 수 있다. 금속 층(들)(5-116)과, 동작 동안 샘플이 위치될 수 있는 장소에 근접한 반응 챔버(5-108)의 바닥 표면 사이의 거리는 100nm 내지 500nm의 범위, 또는 그 범위 내의 임의의 값 또는 값 범위일 수 있다. 일부 실시예들에서, 금속 층(들)(5-116)과 반응 챔버(5-108)의 바닥 표면 사이의 거리는 대략 300nm이다.

[0160] 샘플과 광 검출기(들) 사이의 거리는 또한 방출 광을 검출하는 효율에 영향을 미칠 수 있다. 샘플과 광 검출기(들) 사이에서 광이 이동해야 하는 거리를 줄임으로써 방출 광의 검출 효율이 향상될 수 있다. 또한, 샘플과 광 검출기(들) 사이의 더 작은 거리들은 통합 디바이스의 더 작은 면적의 풋프린트를 차지하는 픽셀들을 허용할 수 있으며, 이는 더 많은 수의 픽셀이 통합 디바이스에 포함되는 것을 허용할 수 있다. 반응 챔버(5-108)의 바닥 표면과 광 검출기(들) 사이의 거리는 1 $\mu$ m 내지 15 $\mu$ m 범위, 또는 그 범위 내의 임의의 값 또는 값 범위일 수 있다.

[0161] 포토닉 구조물(들)(5-230)은 반응 챔버들(5-108)과 광 검출기들(5-110) 사이에 위치될 수 있고, 여기 광이 광 검출기들(5-110)에 도달하는 것을 감소시키거나 방지하도록 구성될 수 있는데, 그렇지 않으면 그러한 여기 광은 방출 광을 검출할 때 신호 노이즈에 기여할 수 있다. 도 5-1B에 도시된 바와 같이, 하나 이상의 포토닉 구조물(5-230)은 도파관(5-220)과 광 검출기들(5-110) 사이에 위치될 수 있다. 포토닉 구조물(들)(5-230)은 스펙트럼 필터, 편광 필터, 및 공간 필터를 포함하는 하나 이상의 광학적 제거 포토닉 구조물을 포함할 수 있다. 포토닉 구조물(들)(5-230)은 공통 축을 따라 개별 반응 챔버들(5-108) 및 이들 각각의 광 검출기(들)(5-110)와 정렬되도록 위치될 수 있다. 일부 실시예들에 따르면, 통합 디바이스(5-102)에 대한 회로로서 작용할 수 있는 금속 층들(5-240)은 또한 공간 필터로서 작용할 수 있다. 그러한 실시예들에서, 하나 이상의 금속 층(5-240)은 여기 광의 일부 또는 전부가 광 검출기(들)(5-110)에 도달하는 것을 차단하도록 위치될 수 있다.

[0162] 결합 영역(5-201)은 외부 여기 소스들로부터의 여기 광을 결합하도록 구성된 하나 이상의 광학 컴포넌트를 포함할 수 있다. 결합 영역(5-201)은 여기 광 빔의 일부 또는 전부를 수신하도록 위치한 격자 결합기(5-216)를 포함할 수 있다. 적합한 격자 결합기들의 예들은 2017년 12월 15일자로 출원되고 발명의 명칭이 "광학 결합기 및 도파관 시스템(OPTICAL COUPLER AND WAVEGUIDE SYSTEM)"인 미국 특허 출원 제15/844,403호에 설명되고, 그것의 전체 내용은 참조로 포함된다. 격자 결합기(5-216)는 여기 광을 도파관(5-220)에 결합할 수 있고, 도파관은 여기 광을 하나 이상의 반응 챔버(5-108)에 가깝게 전파시키도록 구성될 수 있다. 대안적으로, 결합 영역(5-201)은 광을 도파관 내로 결합하기 위한 다른 널리 공지된 구조물들을 포함할 수 있다.

[0163] 여기 소스(5-106)를 위치시키고 통합 디바이스에 정렬하기 위해, 통합 디바이스로부터 떨어져 위치되는 컴포넌트들이 사용될 수 있다. 이러한 컴포넌트들은 렌즈, 미러, 프리즘, 창, 애퍼처, 감쇠기 및/또는 광섬유를 포함하는 광학 컴포넌트들을 포함할 수 있다. 하나 이상의 정렬 컴포넌트의 제어를 허용하기 위해, 추가의 기계적 컴포넌트들이 기기에 포함될 수 있다. 그러한 기계적 컴포넌트들은 액추에이터, 스테퍼 모터 및/또는 손잡이를 포함할 수 있다. 적절한 여기 소스들 및 정렬 메커니즘들의 예들은 2016년 5월 20일자로 출원되고 발명의 명칭이 "펄스 레이저 및 시스템(PULSED LASER AND SYSTEM)"인 미국 특허 출원 제15/161,088호에 설명되며, 그것의 전체 내용이 참조로 포함된다. 빔 조향 모듈의 다른 예는 2017년 12월 14일자로 출원되고 발명의 명칭이 "컴팩트 빔 성형 및 조향 어셈블리(COMPACT BEAM SHAPING AND STEERING ASSEMBLY)"인 미국 특허 출원 제15/842,720호에 설명되며, 그것의 전체 내용이 참조로 포함된다.

[0164] 분석될 샘플은 픽셀(5-112)의 반응 챔버(5-108) 내에 도입될 수 있다. 샘플은 생물학적 샘플, 또는 화학적 샘플과 같은 임의의 다른 적절한 샘플일 수 있다. 일부 경우들에서, 현탁액은 다수의 관심 분자를 포함할 수 있고, 반응 챔버는 단일 분자를 고립시키도록 구성될 수 있다. 일부 경우들에서, 반응 챔버의 치수들은 단일 분자를 반응 챔버 내에 속박하는 작용을 할 수 있고, 그에 의해 측정이 단일 분자에 대해 수행되는 것을 허용한다. 여기 광은 반응 챔버(5-108) 내로 전달되어, 샘플, 또는 샘플에 부착되거나 다르게 샘플에 연관된 적어도 하나의 형광 마커가 반응 챔버(5-108) 내의 조명 영역 내에 있는 동안 그것을 여기시킬 수 있다.

- [0165] 동작 시에, 반응 챔버들 내의 샘플들의 병렬 분석들은 여기 광을 사용하여 반응 챔버들 내의 샘플들의 일부 또는 전부를 여기시키고 반응 챔버들로부터의 방출 광을 표현하는 신호들을 광 검출기들로 검출함으로써 수행된다. 샘플 또는 반응 컴포넌트(예를 들어, 형광 표지)로부터의 방출 광은 대응하는 광 검출기에 의해 검출되고 적어도 하나의 전기 신호로 변환될 수 있다. 전기 신호들은 통합 디바이스의 회로에서 전도성 라인들(예를 들어, 금속 층들(5-240))을 따라 전송될 수 있으며, 이는 통합 디바이스와 인터페이스되는 기기에 연결될 수 있다. 전기 신호들은 후속하여 처리 및/또는 분석될 수 있다. 전기 신호들의 처리 또는 분석은 기기 상에 또는 기기 외부에 위치한 적절한 컴퓨팅 디바이스 상에서 발생할 수 있다.
- [0166] 기기(5-104)는 기기(5-104) 및/또는 통합 디바이스(5-102)의 동작을 제어하기 위한 사용자 인터페이스를 포함할 수 있다. 사용자 인터페이스는 사용자가 기기의 기능을 제어하기 위해 사용되는 커맨드들 및/또는 세팅들과 같은 정보를 기기에 입력하는 것을 허용하도록 구성될 수 있다. 일부 실시예들에서, 사용자 인터페이스는 버튼, 스위치, 다이얼, 및 음성 커맨드를 위한 마이크로폰을 포함할 수 있다. 사용자 인터페이스는 사용자가 적절한 정렬, 및/또는 통합 디바이스의 광 검출기들로부터의 관독 신호들에 의해 획득된 정보와 같은, 기기 및/또는 통합 디바이스의 성능에 관한 피드백을 수신하는 것을 허용할 수 있다. 일부 실시예들에서, 사용자 인터페이스는 가청 피드백을 제공하기 위해 스피커를 사용하여 피드백을 제공할 수 있다. 일부 실시예들에서, 사용자 인터페이스는 사용자에게 시각적 피드백을 제공하기 위한 표시등 및/또는 디스플레이 스크린을 포함할 수 있다.
- [0167] 일부 실시예들에서, 기기(5-104)는 컴퓨팅 디바이스와 연결하도록 구성된 컴퓨터 인터페이스를 포함할 수 있다. 컴퓨터 인터페이스는 USB 인터페이스, FireWire 인터페이스, 또는 임의의 다른 적절한 컴퓨터 인터페이스일 수 있다. 컴퓨팅 디바이스는 랩톱 또는 데스크탑 컴퓨터와 같은 임의의 범용 컴퓨터일 수 있다. 일부 실시예들에서, 컴퓨팅 디바이스는 적절한 컴퓨터 인터페이스를 경유하여 무선 네트워크를 통해 액세스가능한 서버(예를 들어, 클라우드 기반 서버)일 수 있다. 컴퓨터 인터페이스는 기기(5-104)와 컴퓨팅 디바이스 사이의 정보 통신을 용이하게 할 수 있다. 기기(5-104)를 제어 및/또는 구성하기 위한 입력 정보는 컴퓨팅 디바이스에 제공되고 컴퓨터 인터페이스를 통해 기기(5-104)에 전송될 수 있다. 기기(5-104)에 의해 생성된 출력 정보는 컴퓨터 인터페이스를 통해 컴퓨팅 디바이스에 의해 수신될 수 있다. 출력 정보는 기기(5-104)의 성능, 통합 디바이스(5-112)의 성능, 및/또는 광 검출기(5-110)의 관독 신호들로부터 생성된 데이터에 관한 피드백을 포함할 수 있다.
- [0168] 일부 실시예들에서, 기기(5-104)는 통합 디바이스(5-102)의 하나 이상의 광 검출기로부터 수신된 데이터를 분석하고/하거나 제어 신호들을 여기 소스(들)(2-106)에 전송하도록 구성되는 처리 디바이스를 포함할 수 있다. 일부 실시예들에서, 처리 디바이스는 범용 프로세서, 특별히 적용된 프로세서(예를 들어, 하나 이상의 마이크로프로세서 또는 마이크로컨트롤러 코어와 같은 중앙 처리 장치(CPU), 필드 프로그래밍가능한 게이트 어레이(field-programmable gate array)(FPGA), 주문형 집적 회로(application-specific integrated circuit)(ASIC), 커스텀 집적 회로, 디지털 신호 프로세서(DSP), 또는 이들의 조합)를 포함할 수 있다. 일부 실시예들에서, 하나 이상의 광 검출기로부터의 데이터의 처리는 기기(5-104)의 처리 디바이스 및 외부 컴퓨팅 디바이스 둘 다에 의해 수행될 수 있다. 다른 실시예들에서, 외부 컴퓨팅 디바이스는 생략될 수 있고, 하나 이상의 광 검출기로부터의 데이터의 처리는 통합 디바이스(5-102)의 처리 디바이스에 의해서만 수행될 수 있다.
- [0169] 도 5-1C를 참조하면, 휴대용 고급 분석 기기(5-100)는 기기(5-100) 내에 교체가능한 모듈로서 장착되거나 그에 다르게 결합된 하나 이상의 펄스형 광학 소스(5-106)를 포함할 수 있다. 휴대용 분석 기기(5-100)는 광학 결합 시스템(5-115) 및 분석 시스템(5-160)을 포함할 수 있다. 광학 결합 시스템(5-115)은 광학 컴포넌트들의 소정의 조합(예를 들어, 이하의 컴포넌트들 중의 하나 또는 하나 초과를 포함하거나 포함하지 않을 수 있음: 렌즈, 미러, 광학 필터, 감쇠기, 빔 조향 컴포넌트, 빔 성형 컴포넌트)을 포함할 수 있고, 펄스형 광학 소스(5-106)로부터 분석 시스템(5-160)으로 출력 광학 펄스들(5-122)을 조작 및/또는 결합하도록 구성된다. 분석 시스템(5-160)은 광학 펄스들을 샘플 분석을 위한 적어도 하나의 반응 챔버로 지향시키고, 적어도 하나의 반응 챔버로부터 하나 이상의 광학 신호(예를 들어, 형광, 후방 산란 복사)를 수신하고, 수신된 광학 신호들을 표현하는 하나 이상의 전기 신호를 생성하도록 배열된 복수의 컴포넌트를 포함할 수 있다. 일부 실시예들에서, 분석 시스템(5-160)은 하나 이상의 광 검출기를 포함할 수 있으며, 광 검출기들로부터의 전기 신호들을 처리하도록 구성된 신호 처리 전자장치(예를 들어, 하나 이상의 마이크로컨트롤러, 하나 이상의 필드 프로그래밍가능한 게이트 어레이, 하나 이상의 마이크로프로세서, 하나 이상의 디지털 신호 프로세서, 로직 게이트 등)를 또한 포함할 수 있다. 분석 시스템(5-160)은 또한 외부 디바이스들(예를 들어, 기기(5-100)가 하나 이상의 데이터 통신 링크를 통해 접속할 수 있는 네트워크 상의 하나 이상의 외부 디바이스)에 데이터를 전송하고 그들로부터 데이터를 수신하도록 구성된 데이터 전송 하드웨어를 포함할 수 있다. 일부 실시예들에서, 분석 시스템(5-160)은 분석될 하나 이상의 샘플을 유지하는 생체 광전자 칩(5-140)을 수용하도록 구성될 수 있다.

- [0170] 도 5-1D는 컴팩트한 펄스형 광학 소스(5-108)를 포함하는 휴대용 분석 기기(5-100)의 더 상세한 예를 도시한다. 이 예에서, 펄스형 광학 소스(5-108)는 컴팩트한 수동 모드 고정 레이저 모듈(5-113)을 포함한다. 수동 모드 고정 레이저는 외부 펄스 신호의 적용 없이 광학 펄스들을 자율적으로 생성할 수 있다. 일부 구현들에서, 모듈은 기기 새시 또는 프레임(5-103)에 장착될 수 있으며, 기기의 외부 케이싱 내부에 위치될 수 있다. 일부 실시예들에 따르면, 펄스형 광학 소스(5-106)는 광학 소스를 동작시키고 광학 소스(5-106)로부터의 출력 빔에 작용하도록 사용될 수 있는 추가 컴포넌트들을 포함할 수 있다. 모드 고정 레이저(5-113)는 레이저의 종방향 주파수 모드들의 위상 고정을 유도하는, 레이저 캐비티 내의 또는 레이저 캐비티에 결합된 요소(예를 들어, 포화 흡수기, 음향 광학 변조기, Kerr 렌즈)를 포함할 수 있다. 레이저 캐비티는 캐비티 엔드 미러들(cavity end mirrors)(5-111, 5-119)에 의해 부분적으로 정의될 수 있다. 주파수 모드들의 이러한 고정은 레이저의 펄스화된 동작을 초래하고(예를 들어, 캐비티 내 펄스(5-120)는 캐비티 엔드 미러들 사이에서 앞뒤로 바운스함), 부분적으로 투과성인 하나의 엔드 미러(5-111)로부터 출력 광학 펄스들(5-122)의 스트림을 생성한다.
- [0171] 일부 경우들에서, 분석 기기(5-100)는 제거가능한 패키징된 생체 광전자 또는 광전자 칩(5-140)("일회용 칩"이라고도 지칭됨)을 수용하도록 구성된다. 일회용 칩은 예를 들어 복수의 반응 챔버, 반응 챔버들에 광학 여기 에너지를 전달하도록 배열된 통합된 광학 컴포넌트, 및 반응 챔버들로부터의 형광 방출을 검출하도록 배열된 통합된 광 검출기를 포함하는 생체 광전자 칩을 포함할 수 있다. 일부 구현들에서, 칩(5-140)은 단일 사용 후에 폐기될 수 있는 반면, 다른 구현들에서 칩(5-140)은 2회 이상 재사용될 수 있다. 칩(5-140)이 기기(5-100)에 의해 수용될 때, 그것은 펄스형 광학 소스(5-106)와 전기 및 광학 통신을 하고, 분석 시스템(5-160) 내의 장치와 전기 및 광학 통신을 할 수 있다. 예를 들어, 칩 패키지 상의 전기 콘택트들을 통해 전기 통신이 이루어질 수 있다.
- [0172] 일부 실시예들에서, 도 5-1D를 참조하면, 일회용 칩(5-140)은 추가적인 기기 전자장치들을 포함할 수 있는 인쇄 회로 보드(PCB)와 같은 전자 회로 보드(5-130) 상에 (예를 들어, 소켓 접속을 통해) 장착될 수 있다. 예를 들어, PCB(5-130)는 전기 전력, 하나 이상의 클럭 신호, 및 제어 신호들을 광전자 칩(5-140)에 제공하도록 구성된 회로, 및 반응 챔버들로부터 검출된 형광 방출을 표현하는 신호들을 수신하도록 배열된 신호 처리 회로를 포함할 수 있다. 일부 구현들에서, 광전자 칩으로부터 반환된 데이터는 부분적으로 또는 전체적으로 기기(5-100) 상의 전자장치에 의해 처리될 수 있지만, 데이터는 네트워크 접속을 통해 하나 이상의 원격 데이터 프로세서에 전송될 수 있다. PCB(5-130)는 또한 광전자 칩(5-140)의 도파관들에 결합된 광학 펄스들(5-122)의 광학 결합 및 전력 레벨들과 관련하여 칩으로부터 피드백 신호들을 수신하도록 구성된 회로를 포함할 수 있다. 피드백 신호들은 광학 펄스들(5-122)의 출력 빔의 하나 이상의 파라미터를 제어하기 위해 펄스형 광학 소스(5-106) 및 광학 시스템(5-115) 중 하나 또는 둘 다에 제공될 수 있다. 일부 경우들에서, PCB(5-130)는 광학 소스, 및 광학 소스(5-106) 내의 관련 회로를 동작시키기 위해 펄스형 광학 소스(5-106)에 전력을 제공하거나 라우팅할 수 있다.
- [0173] 일부 실시예들에 따르면, 펄스형 광학 소스(5-106)는 컴팩트한 모드 고정 레이저 모듈(5-113)을 포함한다. 모드 고정 레이저는 이득 매질(5-105)(일부 실시예들에서 고체 상태 재료일 수 있음), 출력 결합기(5-111), 및 레이저 캐비티 엔드 미러(5-119)를 포함할 수 있다. 모드 고정 레이저의 광학 캐비티는 출력 결합기(5-111) 및 엔드 미러(5-119)에 의해 바인딩될 수 있다. 레이저 캐비티의 광축(5-125)은 레이저 캐비티의 길이를 증가시키고 원하는 펄스 반복률을 제공하기 위해 하나 이상의 접힘(회전)을 가질 수 있다. 펄스 반복률은 레이저 캐비티의 길이(예를 들어, 광학 펄스가 레이저 캐비티 내에서 왕복하기 위한 시간)에 의해 결정된다.
- [0174] 일부 실시예들에서, 빔 성형, 파장 선택, 및/또는 펄스 형성을 위해 레이저 캐비티 내의 추가적인 광학 요소들이 존재할 수 있다(도 5-1D에 도시되지 않음). 일부 경우들에서, 엔드 미러(5-119)는 종방향 캐비티 모드들의 수동 모드 고정을 유도하고 모드 고정 레이저의 펄스형 동작을 초래하는 포화 흡수기 미러(saturable-absorber mirror)(SAM)를 포함한다. 모드 고정 레이저 모듈(5-113)은 이득 매질(5-105)을 여기시키기 위한 펌프 소스(예를 들어, 레이저 다이오드, 도 5-1D에 도시되지 않음)를 더 포함할 수 있다. 모드 고정 레이저 모듈(5-113)의 추가 세부사항은 2017년 12월 15일자로 출원되고 발명의 명칭이 "컴팩트한 모드 고정 레이저 모듈(Compact Mode-Locked Laser Module)"인 미국 특허 출원 제15/844,469호에서 찾을 수 있으며, 이 출원들 각각은 여기에 참조로 통합된다.
- [0175] 레이저(5-113)가 모드 고정될 때, 캐비티 내 펄스(5-120)는 엔드 미러(5-119)와 출력 결합기(5-111) 사이를 순환할 수 있으며, 캐비티 내 펄스의 일부는 출력 펄스(5-122)로서 출력 결합기(5-111)를 통해 전송될 수 있다. 따라서, 도 5-2의 그래프에 도시된 바와 같이, 캐비티 내 펄스(5-120)가 레이저 캐비티의 출력 결합기(5-111)와 엔드 미러(5-119) 사이에서 앞뒤로 바운스함에 따라, 출력 펄스들의 트레인(5-122)이 출력 결합기에서 검출될

수 있다.

[0176] 도 5-2는 출력 펄스들(5-122)의 시간적 강도 프로파일들을 도시하지만, 도시는 비례에 맞지 않는다. 일부 실시예들에서, 방출된 펄스들의 피크 강도 값들은 대략 동일할 수 있고, 프로파일들은 가우스 시간 프로파일을 가질 수 있지만,  $\text{sech}^2$  프로파일과 같은 다른 프로파일들이 가능할 수 있다. 일부 경우들에서, 펄스들은 대칭적인 시간 프로파일을 갖지 않을 수 있고, 다른 시간적 형상들을 가질 수 있다. 각각의 펄스의 지속시간은 도 5-2에 나타난 바와 같이 반치전폭(FWHM) 값에 의해 특성화될 수 있다. 모드 고정 레이저의 일부 실시예들에 따르면, 초단 광학 펄스들은 100 피코초(ps) 미만의 FWHM 값들을 가질 수 있다. 일부 경우들에서, FWHM 값들은 약 5ps 내지 약 30ps일 수 있다.

[0177] 출력 펄스들(5-122)은 일정한 간격들(T)에 의해 분리될 수 있다. 예를 들어, T는 출력 결합기(5-111)와 캐비티 엔드 미러(5-119) 사이의 왕복 이동 시간에 의해 결정될 수 있다. 일부 실시예들에 따르면, 펄스 분리 간격(T)은 약 1ns 내지 약 30ns일 수 있다. 일부 경우들에서, 펄스 분리 간격(T)은 약 0.7 미터 내지 약 3 미터 사이의 레이저 캐비티 길이(레이저 캐비티 내의 광축(5-125)의 대략적인 길이)에 대응하는 약 5ns 내지 약 20ns일 수 있다. 실시예들에서, 펄스 분리 간격은 레이저 캐비티에서의 왕복 이동 시간에 대응하므로, 3미터의 캐비티 길이(6미터의 왕복 거리)는 약 20ns의 펄스 분리 간격(T)을 제공한다.

[0178] 일부 실시예들에 따르면, 요구되는 펄스 분리 간격(T) 및 레이저 캐비티 길이는 광전자 칩(5-140) 상의 반응 챔버들의 수, 형광 방출 특성들, 및 칩(5-140)으로부터의 데이터를 판독하기 위한 데이터 핸들링 회로의 속도의 조합에 의해 결정될 수 있다. 실시예들에서, 상이한 형광단들이 그들의 상이한 형광 감쇠율 또는 특성 수명들에 의해 구별될 수 있다. 따라서, 선택된 형광단들에 대한 적절한 통계를 수집하여 그들의 상이한 감쇠율을 구별하기 위해, 충분한 펄스 분리 간격(T)이 있어야 한다. 추가로, 펄스 분리 간격(T)이 지나치게 짧으면, 데이터 핸들링 회로는 많은 수의 반응 챔버에 의해 수집되는 대량의 데이터를 따라갈 수 없다. 약 5ns 내지 약 20ns의 펄스 분리 간격(T)이 약 2ns까지의 감쇠율을 갖는 형광단들에 적합하고, 약 60,000 내지 10,000,000개의 반응 챔버로부터의 데이터를 핸들링하는 데 적합하다.

[0179] 일부 구현들에 따르면, 빔 조향 모듈(5-150)은 펄스형 광학 소스(5-106)로부터 출력 펄스들을 수신할 수 있고, 적어도, 광전자 칩(5-140)의 광학 결합기(예를 들어, 격자 결합기) 상으로의 광학 펄스들의 위치 및 입사각들을 조절하도록 구성된다. 일부 경우들에서, 광전자 칩(5-140) 상의 광학 결합기에서의 빔 형상 및/또는 빔 회전을 추가적으로 또는 대안적으로 변경하기 위해, 펄스형 광학 소스(5-106)로부터의 출력 펄스들(5-122)이 빔 조향 모듈(5-150)에 의해 조작될 수 있다. 일부 구현들에서, 빔 조향 모듈(5-150)은 광학 결합기 상으로의 출력 펄스들의 빔의 포커싱 및/또는 편광 조절들을 더 제공할 수 있다. 빔 조향 모듈의 일례는 2016년 5월 20일자로 출원되고 발명의 명칭이 "펄스형 레이저 및 바이오 분석 시스템(Pulsed Laser and Bioanalytic System)"인 미국 특허 출원 제15/161,088호에 설명되어 있으며, 이것은 여기에 참조로 포함된다. 빔 조향 모듈의 다른 예는 2016년 12월 16일자로 출원되고 발명의 명칭이 "컴팩트한 빔 성형 및 조향 어셈블리(Compact Beam Shaping and Steering Assembly)"인 별도의 미국 특허 출원 제62/435,679호에 설명되어 있으며, 이것은 여기에 참조로 포함된다.

[0180] 도 5-3을 참조하면, 펄스형 광학 소스로부터의 출력 펄스들(5-122)은 예를 들어 생체 광전자 칩(5-140) 상의 하나 이상의 광 도파관(5-312)에 결합될 수 있다. 일부 실시예들에서, 광학 펄스들은 격자 결합기(5-310)를 통해 하나 이상의 도파관에 결합될 수 있지만, 일부 실시예에서는 광전자 칩 상의 하나 이상의 광 도파관의 단부에 대한 결합이 사용될 수 있다. 일부 실시예들에 따르면, 쿼드 검출기(5-320)는 격자 결합기(5-310)에 대한 광학 펄스들(5-122)의 빔의 정렬을 돕기 위해 반도체 기관(5-305)(예를 들어, 실리콘 기관) 상에 위치될 수 있다. 하나 이상의 도파관(5-312), 및 반응 챔버들 또는 반응 챔버들(5-330)은 기관, 도파관, 반응 챔버들, 및 광 검출기들(5-322) 사이에 유전체 층들(예를 들어, 실리콘 이산화물 층들)을 개재하여 동일한 반도체 기관 상에 통합될 수 있다.

[0181] 각각의 도파관(5-312)은 도파관을 따라 반응 챔버들에 결합되는 광학 전력을 균등화하기 위해 반응 챔버들(5-330) 아래에 테이퍼링된 부분(5-315)을 포함할 수 있다. 감소 테이퍼는 도파관의 코어 외부에 더 많은 광학 에너지를 강제하여 반응 챔버들에 대한 결합을 증가시키고 반응 챔버들로의 광 결합에 대한 손실을 포함하여 도파관을 따른 광학 손실을 보상할 수 있다. 제2 격자 결합기(5-317)는 광학 에너지를 통합된 포토다이오드(5-324)로 지향시키기 위해 각각의 도파관의 단부에 위치될 수 있다. 통합된 포토다이오드는 도파관 아래로 결합되는 전력량을 검출하고, 검출된 신호를 예를 들어 빔 조향 모듈(5-150)을 제어하는 피드백 회로에 제공할 수 있다.

- [0182] 반응 챔버들(5-330) 또는 반응 챔버들(5-330)은 도파관의 테이퍼링된 부분(5-315)과 정렬될 수 있고, 터브(5-340) 내로 리세스될 수 있다. 각각의 반응 챔버(5-330)에 대해 반도체 기관(5-305) 상에 위치된 광 검출기들(5-322)이 존재할 수 있다. 일부 실시예들에서, 반도체 흡수체(도 5-5에서 광학 필터(5-530)로서 도시됨)는 각각의 픽셀에서 도파관과 광 검출기(5-322) 사이에 위치될 수 있다. 반응 챔버들 내에 있지 않은(예를 들어, 반응 챔버들 위의 용액 내에 분산된) 형광단들의 광학적 여기를 방지하기 위해, 금속 코팅 및/또는 다층 코팅(5-350)이 반응 챔버들의 주위에, 그리고 도파관 위에 형성될 수 있다. 금속 코팅 및/또는 다층 코팅(5-350)은 각각의 도파관의 입력 및 출력 단부들에서 도파관(5-312) 내의 광학 에너지의 흡수 손실들을 감소시키기 위해 터브(5-340)의 가장자리를 넘어 상승될 수 있다.
- [0183] 광전자 칩(5-140) 상에 복수의 행의 도파관, 반응 챔버, 및 타임 비닝 광 검출기가 존재할 수 있다. 예를 들어, 일부 구현들에서, 총 65,536개의 반응 챔버에 대해, 각각 512개의 반응 챔버를 갖는 128개의 행이 있을 수 있다. 다른 구현들은 더 적거나 더 많은 반응 챔버를 포함할 수 있고, 다른 레이아웃 구성들을 포함할 수 있다. 펄스형 광학 소스(5-106)로부터의 광학 전력은 하나 이상의 스타 결합기 또는 다중 모드 간섭 결합기를 통해, 또는 칩(5-140)에 대한 광학 결합기(5-310)와 복수의 도파관(5-312) 사이에 위치된 임의의 다른 수단을 통해 복수의 도파관에 분산될 수 있다.
- [0184] 도 5-4는 도파관(5-315)의 테이퍼링된 부분 내의 광학 펄스(5-122)로부터 반응 챔버(5-330)로의 광학 에너지 결합을 도시한다. 도면은 도파관 치수들, 반응 챔버 치수들, 상이한 재료들의 광학 속성들, 및 반응 챔버(5-330)로부터 도파관(5-315)의 테이퍼링된 부분까지의 거리를 설명하는 광학 파장의 전자기장 시뮬레이션으로부터 생성되었다. 도파관은 예를 들어 실리콘 이산화물의 주변 매질(5-410) 내의 실리콘 질화물로 형성될 수 있다. 도파관, 주변 매질, 및 반응 챔버는 2015년 8월 7일자로 출원되고 발명의 명칭이 "분자들의 프로빙, 검출 및 분석을 위한 통합된 디바이스(Integrated Device for Probing, Detecting and Analyzing Molecules)"인 미국 출원 제14/821,688호에 설명된 미세가공 프로세스들에 의해 형성될 수 있다. 일부 실시예들에 따르면, 소멸 광학 필드(evanescent optical field)(5-420)는 도파관에 의해 수송되는 광학 에너지를 반응 챔버(5-330)에 결합한다.
- [0185] 반응 챔버(5-330)에서 발생하는 생물학적 반응의 비-제한적인 예가 도 5-5에 도시되어 있다. 이 예는 표적 핵산에 상보적인 성장 가닥으로의 뉴클레오티드 또는 뉴클레오티드 유사체의 서열적 통합(sequential incorporation)을 도시한다. 서열적 통합은 반응 챔버(5-330)에서 발생할 수 있으며, DNA 시퀀싱을 위해 고급 분석 기기에 의해 검출될 수 있다. 반응 챔버는 약 150nm 내지 약 250nm의 깊이, 및 약 80nm 내지 약 160nm의 직경을 가질 수 있다. 금속화 층(5-540)(예를 들어, 전기 기준 전위에 대한 금속화)은 인접한 반응 챔버들 및 다른 원하지 않는 광원들로부터의 스트레이 광(stray light)을 차단하는 애퍼처 또는 조리개를 제공하기 위해 광 검출기(5-322) 위에 패터닝될 수 있다. 일부 실시예들에 따르면, 중합 효소(5-520)가 반응 챔버(5-330) 내에 위치될 수 있다(예를 들어, 챔버의 베이스에 부착됨). 중합 효소는 표적 핵산(5-510)(예를 들어, DNA로부터 유래된 핵산의 일부)을 취하고, 성장하는 상보적인 핵산 가닥을 시퀀싱하여, 성장하는 DNA(5-512) 가닥을 생성할 수 있다. 상이한 형광단들로 표지된 뉴클레오티드들 또는 뉴클레오티드 유사체들은 반응 챔버 위의 및 반응 챔버 내부의 용액에 분산될 수 있다.
- [0186] 표지된 뉴클레오티드 또는 뉴클레오티드 유사체(5-610)가 도 5-6에 도시된 바와 같이 성장하는 상보적인 핵산 가닥에 통합될 때, 하나 이상의 부착된 형광단(5-630)은 도파관(5-315)으로부터 반응 챔버(5-330) 내로 결합된 광학 에너지의 펄스들에 의해 반복적으로 여기될 수 있다. 일부 실시예들에서, 형광단 또는 형광단들(5-630)은 임의의 적합한 링커(5-620)를 사용하여 하나 이상의 뉴클레오티드 또는 뉴클레오티드 유사체(5-610)에 부착될 수 있다. 통합 이벤트는 최대 약 100ms의 기간 동안 지속될 수 있다. 이 시간 동안, 모드 고정 레이저로부터의 펄스들에 의한 형광단(들)의 여기로 인한 형광 방출의 펄스들은 예를 들어 타임 비닝 광 검출기(5-322)로 검출될 수 있다. 일부 실시예들에서, 신호 핸들링(예를 들어, 증폭, 판독, 라우팅, 신호 전처리 등)을 위해 각각의 픽셀에 하나 이상의 추가 통합 전자 디바이스(5-323)가 존재할 수 있다. 일부 실시예들에 따르면, 각각의 픽셀은 형광 방출을 통과시키고 여기 펄스로부터의 복사의 투과를 감소시키는 적어도 하나의 광학 필터(5-530)(예를 들어, 반도체 흡수체)를 포함할 수 있다. 일부 구현들은 광학 필터(5-530)를 사용하지 않을 수 있다. 상이한 방출 특성들(예를 들어, 형광 감쇠율, 강도, 형광 파장)을 갖는 형광단들을 상이한 뉴클레오티드들(A, C, G, T)에 부착하고, 상이한 방출 특성을 검출하고 구별함으로써, DNA 가닥(5-512)이 핵산을 통합하는 동안, 성장하는 DNA 가닥의 유전자 서열의 결정을 가능하게 한다.
- [0187] 일부 실시예들에 따르면, 형광 방출 특성들에 기초하여 샘플들을 분석하도록 구성되는 고급 분석 기기(5-100)는 상이한 형광 분자들 사이의 형광 수명들 및/또는 강도들의 차이, 및/또는 상이한 환경들에서의 동일한 형광 분

자들의 수명들 및/또는 강도들 사이의 차이들을 검출할 수 있다. 설명을 위해, 도 5-7은 예를 들어 2개의 상이한 형광 분자들로부터의 형광 방출을 표현할 수 있는 2개의 상이한 형광 방출 확률 곡선(A 및 B)을 플로팅한다. 곡선 A(점선)를 참조하면, 짧은 또는 매우 짧은 광학 펄스에 의해 여기된 후, 제1 분자로부터의 형광 방출의 확률  $P_A(t)$ 는 도시된 바와 같이 시간이 지남에 따라 감소할 수 있다. 일부 경우들에서, 시간의 경과에 따른 광자 방출 확률의 감소는 지수 감쇠 함수  $P_A(t)=P_{A0} * e^{-t/\tau_1}$ 로 표현될 수 있고, 여기서  $P_{A0}$ 는 초기 방출 확률이고,  $\tau_1$ 은 방출 감쇠 확률을 특징짓는 제1 형광 분자에 연관된 시간 파라미터이다.  $\tau_1$ 은 제1 형광 분자의 "형광 수명", "방출 수명" 또는 "수명"으로 지칭될 수 있다. 일부 경우들에서,  $\tau_1$ 의 값은 형광 분자의 국소 환경에 의해 변경될 수 있다. 다른 형광 분자들은 곡선 A에 보여진 것과는 상이한 방출 특성들을 가질 수 있다. 예를 들어, 다른 형광 분자는 단일 지수 감쇠와는 다른 감쇠 프로파일을 가질 수 있으며, 그것의 수명은 반감기 값 또는 소정의 다른 메트릭에 의해 특징지어질 수 있다.

[0188] 제2 형광 분자는 도 5-7에서 곡선 B에 대해 도시된 바와 같이, 지수적이지만 측정가능하게 상이한 수명  $\tau_2$ 를 갖는 감쇠 프로파일  $P_B(t)$ 를 가질 수 있다. 곡선 B에 대한 초기 방출 확률은 도 5-7에서  $P_{B0}$ 로서 보여진다. 보여진 예에서, 곡선 B의 제2 형광 분자의 수명은 곡선 A의 수명보다 짧고, 방출 확률  $P_B(t)$ 는 곡선 A에 대한 것에 비해 제2 분자의 여기 직후에 더 높다. 일부 실시예들에서, 상이한 형광 분자들은 약 0.1ns 내지 약 20ns 범위의 수명들 또는 반감기 값들을 가질 수 있다.

[0189] 상이한 형광 분자들의 존재 또는 부재를 식별하고/하거나 형광 분자들이 종속되는 상이한 환경들 또는 조건들을 식별하기 위해 형광 방출 수명들의 차이들이 사용될 수 있다. 일부 경우들에서, (예를 들어, 방출 파장이 아닌) 수명에 기초하여 형광 분자들을 식별하는 것은 분석 기기(5-100)의 양태들을 단순화할 수 있다. 예를 들어, 수명에 기초하여 형광 분자들을 식별할 때, 파장 구별 광학계(예컨대, 파장 필터들, 각각의 파장에 대한 전용 검출기들, 상이한 파장들에서의 전용 펄스형 광학 소스들, 및/또는 회절 광학계)는 개수가 감소되거나 제거될 수 있다. 일부 경우들에서, 광학 스펙트럼의 동일한 파장 영역 내에서 방출하지만 측정가능하게 상이한 수명들을 갖는 상이한 형광 분자들을 여기시키기 위해, 단일 특성 파장에서 동작하는 단일 펄스형 광학 소스가 사용될 수 있다. 동일한 파장 영역에서 방출하는 상이한 형광 분자들을 여기시키고 식별하기 위해 상이한 파장들에서 동작하는 복수의 소스가 아닌 단일 펄스형 광학 소스를 사용하는 분석 시스템은 동작 및 유지 관리가 덜 복잡할 수 있고 더 컴팩트할 수 있으며 더 낮은 비용으로 제조될 수 있다.

[0190] 형광 수명 분석에 기초하는 분석 시스템들은 특정 이점들을 가질 수 있지만, 분석 시스템에 의해 획득되는 정보의 양 및/또는 검출 정확도는 추가의 검출 기술들을 허용함으로써 증가될 수 있다. 예를 들어, 일부 분석 시스템들(5-160)은 형광 파장 및/또는 형광 강도에 기초하여 샘플의 하나 이상의 속성을 식별하도록 추가로 구성될 수 있다.

[0191] 다시 도 5-7을 참조하면, 일부 실시예들에 따라, 상이한 형광 수명들은 형광 분자의 여기 후에 형광 방출 이벤트들을 타임-비닝하도록 구성된 광 검출기로 구별될 수 있다. 타임 비닝은 광 검출기에 대한 단일 전하-축적 사이클 동안 발생할 수 있다. 전하-축적 사이클은 광-생성 캐리어들이 타임 비닝 광 검출기의 빈들에 축적되는, 판독 이벤트들 사이의 간격이다. 방출 이벤트들의 타임 비닝에 의해 형광 수명을 결정하는 개념은 도 5-8에서 그래프로 소개된다.  $t_1$  직전의 시간  $t_e$ 에서, 동일한 유형(예를 들어, 도 5-7의 곡선 B에 대응하는 유형)의 형광 분자 또는 형광 분자들의 앙상블은 짧은 또는 매우 짧은 광학 펄스에 의해 여기된다. 큰 분자 앙상블에 대해, 방출 강도는 도 5-8에 도시된 바와 같이 곡선 B와 유사한 시간 프로파일을 가질 수 있다.

[0192] 그러나, 단일 분자 또는 적은 수의 분자에 대해, 본 예에 대해 도 5-7의 곡선 B의 통계에 따라 형광 광자들의 방출이 발생한다. 타임 비닝 광 검출기(5-322)는 방출 이벤트들로부터 생성된 캐리어들을 별개의 타임 빈들에 축적할 수 있다. 도 5-8에는 3개의 빈이 나타나 있지만, 실시예들에서는 더 적은 수의 빈 또는 더 많은 수의 빈이 사용될 수 있다. 빈들은 형광 분자(들)의 여기 시간  $t_e$ 에 대하여 시간적으로 분리될 수 있다. 예를 들어, 제1 빈은 시간  $t_e$ 에서의 여기 이벤트 이후에 발생하는 시간  $t_1$ 과  $t_2$  사이의 간격 동안 생성된 캐리어들을 축적할 수 있다. 제2 빈은 시간  $t_2$ 와  $t_3$  사이의 간격 동안 생성된 캐리어들을 축적할 수 있고, 제3 빈은 시간  $t_3$ 와  $t_4$  사이의 간격 동안 생성된 캐리어를 축적할 수 있다. 많은 수의 방출 이벤트가 합산될 때, 타임 빈들에 축적되는 전하 캐리어들은 도 5-8에 도시된 감쇠 강도 곡선에 근접할 수 있고, 비닝된 신호들은 상이한 형광 분자들, 또는 형광 분자가 위치한 상이한 환경들을 구별하기 위해 사용될 수 있다.

[0193] 타임-비닝 광 검출기(5-322)의 예들은 2015년 8월 7일자로 출원되고 발명의 명칭이 "수신된 광자들의 시간적 비닝을 위한 통합된 디바이스(Integrated Device for Temporal Binning of Received Photons)"인 미국 특허 출원 제14/821,656호, 및 2017년 12월 22일자로 출원되고 발명의 명칭이 "직접 비닝 픽셀을 갖는 통합된 광 검출기(Integrated Photodetector with Direct Binning Pixel)"인 미국 특허 출원 제15/852,571호에 설명되어 있으며, 이들 둘 다의 전체 내용은 참조에 의해 여기에 포함된다. 설명을 위해, 타임 비닝 광 검출기의 비-제한적 실시예가 도 5-9에 도시되어 있다. 단일 타임 비닝 광 검출기(5-322)는 광자 흡수/캐리어 생성 영역(5-902), 캐리어 방출 채널(5-906), 및 복수의 캐리어 저장 영역(5-908a, 5-908b)을 포함할 수 있고, 이들 모두는 반도체 기판 상에 형성된다. 캐리어 전송 채널들(5-907)은 광자 흡수/캐리어 생성 영역(5-902)과 캐리어 저장 영역들(5-908a, 5-908b) 사이에 접속될 수 있다. 도시된 예에서, 2개의 캐리어 저장 영역이 도시되어 있지만, 더 많거나 더 적을 수 있다. 전하 저장 영역들에 접속된 판독 채널(5-910)이 존재할 수 있다. 광자 흡수/캐리어 생성 영역(5-902), 캐리어 방출 채널(5-906), 캐리어 저장 영역들(5-908a, 5-908b), 및 판독 채널(5-910)은 캐리어들의 광 검출 능력, 제한, 및 수송을 제공하기 위해 반도체를 국부적으로 도핑함으로써 및/또는 인접 절연 영역들을 형성함으로써 형성될 수 있다. 타임 비닝 광 검출기(5-322)는 또한 디바이스를 통해 캐리어들을 수송하기 위해 디바이스 내에 전기장들을 발생시키도록 구성되는, 기판 상에 형성된 복수의 전극(5-920, 5-921, 5-922, 5-923, 5-924)을 포함할 수 있다. 단일 전하 저장 영역을 갖는 것, 및 복수의 순차적으로 결합된 전하 저장 영역을 갖는 것을 포함하여, 적절한 광 검출기들의 다른 예들이 본 명세서에 설명되지만, 본 명세서에 설명되는 실시예들은 그와 같이 제한되지 않는다.

[0194] 동작에서, 펄스형 광학 소스(5-106)(예를 들어, 모드 고정 레이저)로부터의 여기 펄스(5-122)의 일부는 타임 비닝 광 검출기(5-322)를 통해 반응 챔버(5-330)에 전달된다. 초기에, 일부 여기 복사 광자들(5-901)이 광자 흡수/캐리어 생성 영역(5-902)에 도착할 수 있고, 캐리어들(밝은 음영 원들로 보여짐)을 생성할 수 있다. 여기 복사 광자들(5-901)과 함께 도착하여 대응 캐리어들(어두운 음영 원들로 보여짐)을 생성하는 일부 형광 방출 광자들(5-903)이 또한 존재할 수 있다. 처음에, 여기 복사에 의해 생성된 캐리어들의 수가 형광 방출에 의해 생성된 캐리어들의 수에 비해 너무 클 수 있다. 시간 간격  $|t_e - t_1$  동안 생성되는 초기 캐리어들은 예를 들어 제1 전송 게이트(5-920)를 사용하여 그것들을 캐리어 방출 채널(5-906) 내로 게이팅함으로써 제거될 수 있다.

[0195] 나중에, 대부분의 형광 방출 광자들(5-903)은 광자 흡수/캐리어 생성 영역(5-902)에 도착하고 반응 챔버(5-330)로부터의 형광 방출을 표현하는 유용하고 검출가능한 신호를 제공하는 캐리어들(어두운 음영 원들로 표시됨)을 생성한다. 일부 검출 방법들에 따르면, 제2 전극(5-921) 및 제3 전극(5-923)은 나중에(예를 들어, 제2 시간 간격  $t_1 - t_2$  동안) 생성된 캐리어들을 제1 캐리어 저장 영역(5-908a)에 지향시키도록 나중에 게이팅될 수 있다. 후속하여, 제4 전극(5-922) 및 제5 전극(5-924)은 캐리어들을 제2 캐리어 저장 영역(5-908b)으로 지향시키기 위해 나중에(예를 들어, 제3 시간 간격  $t_2 - t_3$  동안) 게이팅될 수 있다. 각각의 캐리어 저장 영역(5-908a, 5-908b)에서 상당한 수의 캐리어들 및 신호 레벨들을 축적하기 위해, 많은 수의 여기 펄스들에 대해, 전하 축적이 여기 펄스 이후에 이러한 방식으로 계속될 수 있다. 나중에, 신호는 빈들로부터 판독될 수 있다. 일부 구현들에서, 각각의 저장 영역에 대응하는 시간 간격들은 서브 나노초 시간 스케일이지만, 일부 실시예들에서(예를 들어, 형광단들이 더 긴 감쇠 시간들을 갖는 실시예들에서) 더 긴 시간 스케일들이 사용될 수 있다.

[0196] 여기 이벤트(예를 들어, 펄스형 광학 소스로부터의 여기 펄스) 후에 캐리어들을 생성하고 타임 비닝하는 프로세스는 단일 여기 펄스 후에 한 번 발생하거나, 타임 비닝 광 검출기(5-322)에 대한 단일 전하 축적 사이클 동안의 복수의 여기 펄스 후에 여러 번 반복될 수 있다. 전하 축적이 완료된 후, 캐리어들은 판독 채널(5-910)을 통해 저장 영역들로부터 판독될 수 있다. 예를 들어, 적절한 바이어싱 시퀀스가 전극들(5-923, 5-924) 및 적어도 전극(5-940)에 인가되어 저장 영역들(5-908a, 5-908b)로부터 캐리어들을 제거할 수 있다. 전하 축적 및 판독 프로세스들은 광전자 칩(5-140) 상에서 대규모 병렬 동작으로 발생하여 데이터 프레임들을 야기할 수 있다.

[0197] 도 5-9와 관련하여 설명된 예는 복수의 전하 저장 영역(5-908a, 5-908b)을 포함하지만, 일부 경우들에서는 단일 전하 저장 영역이 대신 사용될 수 있다. 예를 들어, 타임 비닝 광 검출기(5-322)에는 bin1만이 존재할 수 있다. 그러한 경우에서, 단일 저장 영역들(5-908a)은 상이한 여기 이벤트들 이후 상이한 시간 간격들에서 보기 위해 가변 시간 게이팅 방식으로 동작될 수 있다. 예를 들어, 제1의 일련의 여기 펄스들 내의 펄스들 후에, 저장 영역(5-908a)에 대한 전극들은 제1 시간 간격 동안(예를 들어, 제2 시간 간격  $t_1 - t_2$  동안) 생성된 캐리어들을 수집하도록 게이팅될 수 있으며, 축적된 신호는 제1의 미리 결정된 수의 펄스들 후에 판독될 수 있다. 동일한 반응 챔버에서의 후속하는 일련의 여기 펄스들 내의 펄스들 후, 저장 영역(5-908a)에 대한 동일한 전극들은 상이한 간격(예를 들어, 제3 시간 간격  $t_2 - t_3$ ) 동안 생성된 캐리어들을 수집하도록 게이팅될 수 있고, 축적된

신호는 제2의 미리 결정된 수의 펄스 후에 관독될 수 있다. 필요한 경우, 캐리어들은 유사한 방식으로 나중의 시간 간격들 동안 수집될 수 있다. 이러한 방식으로, 여기 펄스가 반응 챔버에 도착한 후의 상이한 기간들 동안의 형광 방출에 대응하는 신호 레벨들이 단일 캐리어 저장 영역을 사용하여 생성될 수 있다.

[0198] 일부 실시예들에서, 제2 및 제3 시간 간격들 동안 생성된 캐리어들은 순차적으로 결합된 전하 캐리어 저장 영역들을 사용하여 수집되고 저장될 수 있다. 예를 들어, 시간 간격  $t_1 - t_2$  동안 생성된 전하 캐리어들은 제1 전하 저장 영역에서 수집되고 제2 전하 저장 영역으로 전송될 수 있고, 다음으로, 시간 간격  $t_2 - t_3$  동안 생성된 전하 캐리어들은 제1 전하 저장 영역에서 수집될 수 있는 한편, 시간 간격  $t_1 - t_2$  동안 수집된 전하 캐리어들은 관독 영역(FD)으로 관독될 수 있다. 대안적으로 또는 추가적으로, 시간 간격  $t_1 - t_2$  동안 생성된 전하 캐리어들은 추가로 제3 전하 저장 영역에 전송되고 그로부터 관독되며, 다음으로 시간 간격  $t_2 - t_3$  동안 생성된 전하 캐리어들은 제3 전하 저장 영역을 통해 제2 전하 저장 영역으로부터 관독될 수 있다(예를 들어, 그 사이의 관독 영역(FD)의 전압을 리셋하지 않고서).

[0199] 여기 후의 상이한 시간 간격들 동안 전하 축적이 어떻게 수행되는지에 관계없이, 관독된 신호들은 예를 들어 형광 방출 감쇠 특성을 표현하는 빈들의 히스토그램을 제공할 수 있다. 반응 챔버들로부터의 형광 방출을 취득하기 위해 2개의 전하 저장 영역이 사용되는 예시적인 프로세스가 도 5-10A 및 도 5-10B에 도시되어 있다. 히스토그램의 빈들은 반응 챔버(5-330)에서 형광단(들)이 여기된 후 각각의 시간 간격 동안 검출되는 광자들의 수를 나타낼 수 있다. 일부 실시예들에서, 빈들에 대한 신호들은 도 5-10A에 도시된 바와 같이 많은 수의 여기 펄스 후에 축적될 것이다. 여기 펄스들은 펄스 간격 시간(T)에 의해 분리된 시간들( $t_{e1}, t_{e2}, t_{e3}, \dots, t_{en}$ )에서 발생할 수 있다. 일부 경우들에서, 반응 챔버에서 관찰되는 단일 이벤트(예를 들어, DNA 분석에서의 단일 뉴클레오티드 통합 이벤트)에 대해 전자 저장 영역들에 신호들이 축적되는 동안 반응 챔버에 적용되는  $10^5$  내지  $10^7$ 개의 여기 펄스(5-122)(또는 그 일부)가 존재할 수 있다. 일부 실시예들에서, 하나의 빈(빈 0)은 각각의 광학 펄스와 함께 전달되는 여기 에너지의 진폭을 검출하도록 구성될 수 있으며, (예를 들어, 데이터를 정규화하기 위해) 기준 신호로서 사용될 수 있다. 다른 경우들에서, 여기 펄스 진폭은 안정적인 수 있고, 신호 취득 동안 1회 이상 결정될 수 있으며, 각각의 여기 펄스 후에는 결정되지 않고, 그에 의해 각각의 여기 펄스 후에는 bin0 신호 취득이 존재하지 않는다. 그러한 경우들에서, 여기 펄스에 의해 생성된 캐리어들은 도 5-9와 관련하여 위에서 설명된 바와 같이 광자 흡수/캐리어 생성 영역(5-902)으로부터 제거되고 폐기될 수 있다.

[0200] 일부 구현들에서, 도 5-10A에 도시된 바와 같이, 여기 이벤트 후에 형광단으로부터 단일 광자만이 방출될 수 있다. 시간  $t_{e1}$ 에서의 제1 여기 이벤트 이후, 시간  $t_{f1}$ 에서의 방출된 광자는 제1 시간 간격(예를 들어, 시간  $t_1$ 과  $t_2$  사이) 내에서 발생할 수 있고, 그에 의해 결과적인 전자 신호가 제1 전자 저장 영역에 축적된다(빈 1에 기여함). 시간  $t_{e2}$ 에서의 후속 여기 이벤트에서, 시간  $t_{f2}$ 에서의 방출된 광자는 제2 시간 간격(예를 들어, 시간  $t_2$ 와  $t_3$  사이) 내에서 발생할 수 있고, 그에 의해 결과적인 전자 신호는 빈 2에 기여한다. 시간  $t_{e3}$ 에서의 다음 여기 이벤트 이후, 광자는 제1 시간 간격 내에서 발생하는 시간  $t_{f3}$ 에서 방출될 수 있다.

[0201] 일부 구현들에서, 반응 챔버(5-330)에서 수신된 각각의 여기 펄스 후에 방출 및/또는 검출된 형광 광자가 존재하지 않을 수 있다. 일부 경우들에서, 반응 챔버에 전달되는 10,000개의 여기 펄스마다 반응 챔버에서 검출되는 형광 광자는 1개 정도로 적을 수 있다. 펄스 여기 소스(5-106)로서 모드 고정 레이저(5-113)를 구현하는 것의 한 가지 이점은 모드 고정 레이저가 높은 펄스 반복률(예를 들어, 50MHz 내지 250MHz)에서의 빠른 턴오프 시간들 및 높은 강도를 갖는 짧은 광학 펄스들을 생성할 수 있다는 것이다. 이러한 높은 펄스 반복률들을 이용하면, 10 밀리초 전하 축적 간격 내의 여기 펄스들의 수는 50,000 내지 250,000개일 수 있고, 그에 의해 검출가능한 신호가 축적될 수 있다.

[0202] 많은 수의 여기 이벤트 및 캐리어 축적 후, 타임 비닝 광 검출기(5-322)의 캐리어 저장 영역들이 관독되어, 반응 챔버에 대해 다중 값 신호(예를 들어, 두 개 이상의 값의 히스토그램, N차원 벡터 등)를 제공할 수 있다. 각각의 빈에 대한 신호 값들은 형광단의 감쇠율에 의존할 수 있다. 예를 들어, 다시 도 5-8을 참조하면, 감쇠 곡선 B를 갖는 형광단은 감쇠 곡선 A를 갖는 형광단에 비해 빈 1 대 빈 2의 신호 비율이 더 높을 것이다. 존재하는 특정 형광단을 결정하기 위해, 빈들로부터의 값들이 분석되고, 교정 값들과 및/또는 서로와 비교될 수 있다. 시퀀싱 응용을 위해, 형광단들을 식별하면, 예를 들어 성장하는 DNA 가닥에 통합되고 있는 뉴클레오티드 또는 뉴클레오티드 유사체를 결정할 수 있다. 다른 응용들에 대해, 형광단을 식별하면, 형광단에 링크될 수 있

는 관심있는 분자 또는 시료의 정체를 결정할 수 있다.

[0203] 신호 분석을 이해하는 데 더 도움을 주기 위해, 축적된 다중 빈 값들은, 예를 들어 도 5-10B에 도시된 바와 같이 히스토그램으로서 플로팅될 수 있거나, N차원 공간 내의 벡터 또는 위치로서 기록될 수 있다. 교정 실행들(calibration runs)은 4개의 뉴클레오티드 또는 뉴클레오티드 유사체에 연결된 4개의 상이한 형광단에 대해 다중 값 신호들에 대한 교정 값들(예를 들어, 교정 히스토그램들)을 취득하기 위해 별개로 수행될 수 있다. 예로서, 교정 히스토그램들은 도 5-11A(T 뉴클레오티드에 연관된 형광 표지), 도 5-11B(A 뉴클레오티드에 연관된 형광 표지), 도 5-11C(C 뉴클레오티드에 연관된 형광 표지), 및 도 5-11D(G 뉴클레오티드에 연관된 형광 표지)에 도시된 바와 같이 나타날 수 있다. 측정된 다중 값 신호(도 5-10B의 히스토그램에 대응함)와 교정 다중 값 신호들의 비교는 성장하는 DNA 가닥에 통합되는 뉴클레오티드 또는 뉴클레오티드 유사체의 정체 "T"(도 5-11A)를 결정할 수 있다.

[0204] 일부 구현들에서, 상이한 형광단들을 구별하기 위해, 형광 강도가 추가적으로 또는 대안적으로 사용될 수 있다. 예를 들어, 일부 형광단들은 그들의 감쇠율이 유사하더라도 상당히 다른 강도들로 방출하거나 여기 확률들의 상당한 차이(예를 들어, 적어도 약 35%의 차이)를 가질 수 있다. 측정된 여기 에너지 및/또는 다른 취득된 신호에 대해 비닝된 신호들(빈들 5-3)을 참조함으로써, 강도 레벨들에 기초하여 상이한 형광단들을 구별하는 것이 가능할 수 있다.

[0205] 일부 실시예들에서, 동일한 유형의 상이한 개수의 형광단이 상이한 뉴클레오티드들 또는 뉴클레오티드 유사체들에 연결될 수 있고, 그에 의해 뉴클레오티드들이 형광단 강도에 기초하여 식별될 수 있다. 예를 들어, 2개의 형광단이 제1 뉴클레오티드(예를 들어, "C") 또는 뉴클레오티드 유사체에 연결될 수 있고, 4개 이상의 형광단이 제2 뉴클레오티드(예를 들어, "T") 또는 뉴클레오티드 유사체에 연결될 수 있다. 형광단의 수가 상이하기 때문에, 상이한 뉴클레오티드들에 연관된 상이한 여기 및 형광단 방출 확률들이 존재할 수 있다. 예를 들어, 신호 축적 간격 동안 "T" 뉴클레오티드 또는 뉴클레오티드 유사체에 대해 더 많은 방출 이벤트가 존재할 수 있고, 그에 의해 빈의 겉보기 강도는 "C" 뉴클레오티드 또는 뉴클레오티드 유사체에 대한 것보다 훨씬 더 높다.

[0206] 형광단 감쇠율들 및/또는 형광단 강도들에 기초하여 뉴클레오티드들 또는 임의의 다른 생물학적 또는 화학적 시료를 구별하는 것은 분석 기기(5-100)에서의 광학적 여기 및 검출 시스템의 단순화를 가능하게 한다. 예를 들어, 광학 여기는 단일 파장 소스(예를 들어, 다수의 소스가 아닌 하나의 특성 파장을 생성하는 소스, 또는 다수의 상이한 특성 파장에서 동작하는 소스)로 수행될 수 있다. 추가적으로, 파장 식별 광학계들 및 필터들은 상이한 파장들의 형광단들을 구별하기 위해 검출 시스템에서 필요하지 않을 수 있다. 또한, 상이한 형광단들로부터의 방출을 검출하기 위해, 각각의 반응 챔버에 대해 단일 광 검출기가 사용될 수 있다.

[0207] 문구 "특성 파장" 또는 "파장"은 제한된 복사 대역폭 내의 중심 또는 우세 파장(예를 들어, 펄스형 광학 소스에 의해 출력되는 20nm 대역폭 내의 중심 또는 피크 파장)을 지칭하기 위해 사용된다. 일부 경우들에서, "특성 파장" 또는 "파장"은 소스에 의해 출력되는 복사의 총 대역폭 내의 피크 파장을 지칭하기 위해 사용될 수 있다.

[0208] 약 560nm 내지 약 900nm 범위의 방출 파장들을 갖는 형광단들이 타임 비닝 광 검출기(CMOS 프로세스들을 사용하여 실리콘 웨이퍼 상에 제조될 수 있음)에 의해 검출될 수 있는 적절한 양의 형광을 제공할 수 있다. 이러한 형광단들은 유전자 시퀀싱 응용을 위해 뉴클레오티드들 또는 뉴클레오티드 유사체들과 같은 관심 생물학적 분자들에 연결될 수 있다. 이 파장 범위의 형광 방출은 더 긴 파장의 형광에 비해 실리콘 기반 광 검출기에서 더 높은 반응성으로 검출될 수 있다. 추가적으로, 이러한 파장 범위 내의 형광단들 및 연관된 링커들은 성장하는 DNA 가닥들에 대한 뉴클레오티드 또는 뉴클레오티드 유사체의 통합을 방해하지 않을 수 있다. 일부 구현들에서, 약 560nm 내지 약 660nm 범위의 방출 파장들을 갖는 형광단들이 단일 파장 소스로 광학적으로 여기될 수 있다. 이 범위의 예시적인 형광단은 매사추세츠 주 윌섬의 Thermo Fisher Scientific Inc.로부터 입수할 수 있는 Alexa Fluor 647이다. 약 560nm 내지 약 900nm의 파장들에서 방출하는 형광단들을 여기시키기 위해, 더 짧은 파장(예를 들어, 약 500nm 내지 약 650nm)에서의 여기 에너지가 사용될 수 있다. 일부 실시예들에서, 타임 비닝 광 검출기들은 예를 들어 Ge와 같은 다른 재료들을 광 검출기 활성 영역들에 통합함으로써, 반응 챔버들로부터의 더 긴 파장의 방출을 효율적으로 검출할 수 있다.

[0209] VIII. 단백질 시퀀싱 애플리케이션

[0210] 본 개시내용의 일부 양태들은 단백질 시퀀싱에 유용할 수 있다. 예를 들어, 본 개시내용의 일부 양태들은 폴리펩티드로부터 아미노산 서열 정보를 결정하는 데(예를 들어, 하나 이상의 폴리펩티드를 시퀀싱하는 데) 유용하다. 일부 실시예들에서, 아미노산 서열 정보는 단일 폴리펩티드 분자들에 대해 결정될 수 있다. 일부 실시예

들에서, 폴리펩티드의 하나 이상의 아미노산이 (예를 들어, 직접적으로 또는 간접적으로) 표지되고, 폴리펩티드 내에서의 표지된 아미노산들의 상대적 위치들이 결정된다. 일부 실시예들에서, 단백질 내에서의 아미노산들의 상대적 위치들은 일련의 아미노산 표지화 및 절단(cleavage) 단계들을 사용하여 결정된다.

[0211] 일부 실시예들에서, 말단 아미노산의 정체(예를 들어, N-말단 또는 C-말단 아미노산)가 평가되고, 그 후에 말단 아미노산이 제거되고, 다음 말단에서 다음 아미노산의 정체가 평가되며, 이 프로세스는 폴리펩티드 내의 복수의 연속적인 아미노산이 평가될 때까지 반복된다. 일부 실시예들에서, 아미노산의 정체를 평가하는 것은 존재하는 아미노산의 유형을 결정하는 것을 포함한다. 일부 실시예들에서, 아미노산의 유형을 결정하는 것은 (예를 들어, 개별 말단 아미노산에 대해 특이적인 인식 분자를 사용하여) 예를 들어 자연 발생하는 20개의 아미노산 중 어느 것이 말단 아미노산인지 결정함으로써 실제 아미노산 정체를 결정하는 것을 포함한다. 그러나, 일부 실시예들에서 말단 아미노산 유형의 정체를 평가하는 것은 폴리펩티드의 말단에 존재할 수 있는 잠재적 아미노산의 서브세트를 결정하는 것을 포함할 수 있다. 일부 실시예들에서, 이는 아미노산이 하나 이상의 특이적 아미노산이 아님(따라서 다른 아미노산들 중 임의의 것일 수 있음)을 결정함으로써 달성될 수 있다. 일부 실시예들에서, 이것은 (예를 들어, 2개 이상의 말단 아미노산의 특정 서브세트에 결합하는 인식 분자를 사용하여) (예를 들어, 크기, 전하, 소수성, 결합 속성들에 기초하여) 아미노산들의 특정 서브세트 중 어느 것이 폴리펩티드의 말단에 있을 수 있는지를 결정함으로써 달성될 수 있다.

[0212] 폴리펩티드의 아미노산들은, 예를 들어 폴리펩티드 상의 하나 이상의 유형의 아미노산에 선택적으로 결합하는 아미노산 인식 분자들을 사용하여 간접적으로 표지될 수 있다. 폴리펩티드의 아미노산들은 예를 들어 고유하게 식별가능한 표지들로 폴리펩티드 상의 하나 이상의 유형의 아미노산 측쇄를 선택적으로 변형함으로써 직접 표지될 수 있다. 아미노산 측쇄들의 선택적 표지 방법, 및 표지된 폴리펩티드들의 준비 및 분석에 관한 세부사항은 본 기술분야에 공지되어 있다(예를 들어, Swaminathan, et al. *PLoS Comput Biol.* 2015, 11(2): e1004080 참조). 따라서, 일부 실시예들에서, 하나 이상의 유형의 아미노산은 하나 이상의 유형의 아미노산에 선택적으로 결합하는 하나 이상의 아미노산 인식 분자의 결합을 검출함으로써 식별된다. 일부 실시예들에서, 하나 이상의 유형의 아미노산은 표지된 폴리펩티드를 검출함으로써 식별된다.

[0213] 일부 실시예들에서, 단백질 내에서의 표지된 아미노산들의 상대적 위치는 단백질로부터 아미노산들을 제거하지 않고서 표지된 단백질을 포어(pore)(예를 들어, 단백질 채널)를 통해 전위(translocating)시키고, 단백질 분자 내에서의 표지된 아미노산들의 상대적 위치를 결정하기 위해 포어를 통한 전위 동안 표지된 아미노산(들)로부터 신호(예를 들어, Förster 공명 에너지 전달(FRET) 신호)를 검출함으로써 결정될 수 있다.

[0214] 본 명세서에서 사용될 때, 폴리펩티드를 시퀀싱하는 것은 폴리펩티드에 대한 서열 정보를 결정하는 것을 지칭한다. 일부 실시예들에서, 이는 폴리펩티드의 일부(또는 전부)에 대한 각각의 순차적 아미노산의 정체를 결정하는 것을 수반할 수 있다. 그러나, 일부 실시예들에서, 이는 폴리펩티드 내의 아미노산들의 서브세트의 정체를 평가하는 것(그리고, 예를 들어, 폴리펩티드 내의 각각의 아미노산의 정체를 결정하지 않고서 하나 이상의 아미노산 유형의 상대적 위치를 결정하는 것)을 수반할 수 있다. 그러나, 일부 실시예들에서, 아미노산 함량 정보는 폴리펩티드 내에서의 상이한 유형들의 아미노산들의 상대적 위치를 직접적으로 결정하지 않고서 폴리펩티드로부터 획득될 수 있다. (예를 들어, 아미노산 함량을 폴리펩티드 정보의 데이터베이스와 비교하고 어떤 폴리펩티드(들)가 동일한 아미노산 함량을 갖는지를 결정함으로써) 존재하는 폴리펩티드의 정체를 추론하는 데에 아미노산 함량이 단독으로 사용될 수 있다.

[0215] 일부 실시예들에서, (예를 들어, 효소적 및/또는 화학적 절단을 통해) 더 긴 폴리펩티드 또는 단백질로부터 획득된 복수의 폴리펩티드 생성물에 대한 서열 정보는 더 긴 폴리펩티드 또는 단백질의 서열을 재구성하거나 추론하기 위해 분석될 수 있다. 따라서, 일부 실시예들은 폴리펩티드의 복수의 단편을 시퀀싱함으로써 폴리펩티드를 시퀀싱하기 위한 조성물들 및 방법들을 제공한다. 일부 실시예들에서, 폴리펩티드를 시퀀싱하는 것은 복수의 폴리펩티드 단편에 대한 서열 정보를 조합하여 폴리펩티드에 대한 서열을 식별 및/또는 결정하는 것을 포함한다. 일부 실시예들에서, 서열 정보를 조합하는 것은 컴퓨터 하드웨어 및 소프트웨어에 의해 수행될 수 있다. 본 명세서에 설명된 방법들은 유기체의 전체 프로테옴(proteome)과 같은 관련 폴리펩티드들의 세트가 시퀀싱되는 것을 허용할 수 있다. 일부 실시예들에서, 복수의 단일 분자 시퀀싱 반응이 (예를 들어, 단일 칩 상에서) 병렬로 수행될 수 있다. 예를 들어, 일부 실시예들에서, 복수의 단일 분자 시퀀싱 반응이 각각 단일 칩 상의 개별 샘플 웰들에서 수행된다.

[0216] 일부 실시예들에서, 본 명세서에 제공된 방법들은 단백질들의 복합 혼합물을 포함하는 샘플에서 개별 단백질의 시퀀싱 및 식별을 위해 사용될 수 있다. 일부 실시예들은 단백질들의 복합 혼합물에서 개별 단백질을 고유하게

식별하는 방법들을 제공한다. 일부 실시예들에서, 개별 단백질은 단백질의 부분 아미노산 서열을 결정함으로써 혼합 샘플에서 검출된다. 일부 실시예들에서, 단백질의 부분 아미노산 서열은 대략 5 내지 50개 아미노산의 연속 스트레치 내에 있다.

[0217] 임의의 특정 이론에 얽매이기를 원하지 않고서, 대부분의 인간 단백질들은 프로테오믹 데이터베이스를 참조하여 불완전한 서열 정보를 사용하여 식별될 수 있다고 여겨진다. 예를 들어, 인간 프로테오믹의 간단한 모델링은 6 내지 40개의 아미노산의 스트레치 내에서 단 4가지 유형의 아미노산을 검출함으로써 단백질의 약 98%가 고유하게 식별될 수 있음을 보여주었다(예를 들어, Swaminathan, et al. *PLoS Comput Biol.* 2015, 11(2):e1004080; 및 Yao, et al. *Phys. Biol.* 2015, 12(5):055003 참조). 따라서, 단백질들의 복합 혼합물은 약 6 내지 40개 아미노산의 짧은 폴리펩티드 단편들로 분해(예를 들어, 화학적 분해, 효소 분해)될 수 있으며, 이 폴리펩티드 라이브러리의 시퀀싱은 원래의 복합 혼합물 내에 존재하는 단백질들 각각의 정체 및 풍부함을 드러낼 것이다. 부분 서열 정보를 결정하는 것에 의한 선택적 아미노산 표지 및 폴리펩티드 식별을 위한 조성물들 및 방법들은 2015년 9월 15일자로 출원되고 발명의 명칭이 "단일 분자 펩타이드 시퀀싱(SINGLE MOLECULE PEPTIDE SEQUENCING)"인 미국 특허 출원 제15/510,962호에 상세하게 설명되고, 그것의 전체 내용이 참조로 포함된다.

[0218] 일부 실시예들에 따른 시퀀싱은 기관 또는 고체 지지체, 예를 들어 칩 또는 통합 디바이스의 표면에 폴리펩티드를 고정화(immobilizing)하는 것을 수반할 수 있다. 일부 실시예들에서, 폴리펩티드는 기관 상의 샘플 웰의 표면 상에(예를 들어, 샘플 웰의 바닥 표면 상에) 고정화될 수 있다. 일부 실시예들에서, 폴리펩티드의 제1 말단은 표면에 고정화되고, 다른 말단은 본 명세서에 기재된 바와 같은 시퀀싱 반응에 종속된다. 예를 들어, 일부 실시예들에서, 폴리펩티드는 C-말단을 통해 표면에 고정화되고, 말단 아미노산 인식 및 분해는 폴리펩티드의 N-말단으로부터 C-말단을 향하여 진행된다. 일부 실시예들에서, 폴리펩티드의 N-말단 아미노산이 고정화된다(예를 들어, 표면에 부착됨). 일부 실시예들에서, 폴리펩티드의 C-말단 아미노산이 고정화된다(예를 들어, 표면에 부착됨). 일부 실시예들에서, 하나 이상의 비-말단 아미노산이 고정화된다(예를 들어, 표면에 부착됨). 고정화된 아미노산(들)은 예를 들어 본 명세서에 설명된 바와 같은 임의의 적합한 공유 또는 비공유 결합을 사용하여 부착될 수 있다. 일부 실시예들에서, 복수의 폴리펩티드는 예를 들어 기관 상의 샘플 웰들의 어레이에서 복수의 샘플 웰에 부착된다(예를 들어, 하나의 폴리펩티드가 각각의 샘플 웰의 표면, 예를 들어 바닥 표면에 부착됨).

[0219] 본 개시내용의 일부 양태들은 말단 아미노산 변형 및 절단의 반복된 사이클에 종속되는 표지된 폴리펩티드의 발광성을 검출함으로써 폴리펩티드를 시퀀싱하는 방법을 제공한다. 예를 들어, 도 5-12는 일부 실시예들에 따른 Edman 분해에 의해 표지된 폴리펩티드를 시퀀싱하는 방법을 보여준다. 일부 실시예들에서, 방법은 일반적으로 Edman 분해에 의한 시퀀싱의 다른 방법들에 대해 본 명세서에 설명된 바와 같이 진행된다. 예를 들어, 일부 실시예들에서, 도 5-12에 보여진 단계들 (1) 및 (2)는 Edman 분해 반응에서의 말단 아미노산 변형 및 말단 아미노산 절단에 대해 각각 본 명세서의 다른 곳에서 설명된 바와 같이 수행될 수 있다.

[0220] 도 5-12에 도시된 예에 보여진 바와 같이, 일부 실시예들에서, 방법은 (1) 표지된 폴리펩티드의 말단 아미노산을 변형시키는 단계를 포함한다. 본 명세서의 다른 곳에서 설명된 바와 같이, 일부 실시예들에서, 변형은 말단 아미노산을 이소티오시아네이트(예를 들어, PITC)와 접촉시켜 이소티오시아네이트-변형된 말단 아미노산을 형성하는 것을 포함한다. 일부 실시예들에서, 이소티오시아네이트 변형(5-1210)은 말단 아미노산을 절단 시약(예를 들어, 본 명세서에 설명된 바와 같은 화학적 또는 효소적 절단 시약)에 의한 제거에 더 민감한 형태로 변환한다. 따라서, 일부 실시예들에서, 방법은 (2) Edman 분해에 대해 본 명세서의 다른 곳에서 상세히 설명된 화학적 또는 효소적 수단을 사용하여 변형된 말단 아미노산을 제거하는 단계를 포함한다.

[0221] 일부 실시예들에서, 방법은 복수의 사이클 동안 단계 (1) 내지 (2)를 반복하는 것을 포함하며, 그 동안 표지된 폴리펩티드의 발광이 검출되고, 말단으로부터 표지된 아미노산을 제거하는 것에 대응하는 절단 이벤트들은 검출되는 신호의 감소로서 검출될 수 있다. 일부 실시예들에서, 도 5-12에 보여진 바와 같이 단계 (2) 이후에 신호에 변화가 없는 것은 알 수 없는 유형의 아미노산을 식별한다. 따라서, 일부 실시예들에서, 부분 서열 정보는 검출되는 신호의 변화에 기초하여 결정된 정체에 의해 아미노산 유형을 할당하거나 검출되는 신호의 변화 없음에 기초하여 아미노산 유형을 알 수 없음으로 식별함으로써, 각각의 순차적 라운드 동안 단계 (2) 이후에 검출되는 신호를 평가함으로써 결정될 수 있다.

[0222] 본 개시내용의 일부 양태들은 말단 아미노산들과 표지된 아미노산 인식 분자들 및 표지된 절단 시약(예를 들어, 표지된 엑소펩티다제)의 결합 상호작용들을 평가하는 것에 의한 실시간 폴리펩티드 시퀀싱의 방법들을 제공한다. 도 5-13은 개별 결합 이벤트들이 신호 출력(5-1300)의 신호 펄스들을 발생시키는 시퀀싱 방법의 예

를 보여준다. 도 5-13의 삽입 패널은 이 접근법에 의한 실시간 시퀀싱의 일반적인 개요를 도시한다. 보여진 바와 같이, 표지된 아미노산 인식 분자(5-1310)는 말단 아미노산(여기서는 라이신으로 보여짐)에 선택적으로 결합하고 그로부터 해리하고, 이에 의해 신호 출력(5-1300)에서 일련의 펄스를 생성되며, 이는 말단 아미노산을 식별하기 위해 사용될 수 있다. 일부 실시예들에서, 일련의 펄스는 대응하는 말단 아미노산의 정체를 진단할 수 있는 펄스 패턴을 제공한다.

[0223] 이론에 얽매이기를 원하지 않고서, 표지된 아미노산 인식 분자(5-1310)는 결합의 연계 속도(association rate)( $k_{on}$ ) 및 결합의 해리 속도( $k_{off}$ )에 의해 정의된 결합 친화도( $K_D$ )에 따라 선택적으로 결합한다. 속도 상수들( $k_{off}$  및  $k_{on}$ )은 각각 펄스 지속시간(예를 들어, 검출가능한 결합 이벤트에 대응하는 시간) 및 인터펄스 지속시간(예를 들어, 검출가능한 결합 이벤트들 사이의 시간)의 중요한 결정요인이다. 일부 실시예들에서, 이러한 속도들은 최고의 시퀀싱 정확도를 제공하는 펄스 지속시간들 및 펄스 속도들을 달성하도록 설계될 수 있다.

[0224] 삽입 패널에 보여진 바와 같이, 시퀀싱 반응 혼합물은 표지된 아미노산 인식 분자(5-1310)의 것과 상이한 검출가능한 표지를 포함하는 표지된 절단 시약(5-1320)을 더 포함한다. 일부 실시예들에서, 표지된 절단 시약(5-1320)은 표지된 아미노산 인식 분자(5-1310)의 농도보다 낮은 농도로 혼합물에 존재한다. 일부 실시예들에서, 표지된 절단 시약(5-1320)은 대부분의 또는 모든 유형의 말단 아미노산을 절단하도록 광범위한 특이성을 나타낸다.

[0225] 신호 출력(5-1300)의 진행에 의해 도시된 바와 같이, 일부 실시예들에서, 표지된 절단 시약(5-1320)에 의한 말단 아미노산 절단은 고유하게 식별가능한 신호 펄스를 발생시키고, 이러한 이벤트들은 표지된 아미노산 인식 분자(5-1310)의 결합 펄스들보다 더 낮은 빈도로 발생한다. 이러한 방식으로, 폴리펩티드의 아미노산들은 실시간 시퀀싱 프로세스에서 카운팅 및/또는 식별될 수 있다. 신호 출력(5-1300)에 더 도시된 바와 같이, 일부 실시예들에서, 표지된 아미노산 인식 분자(5-1310)는 고유하게 식별가능한 펄스 패턴들을 생성하는 각각의 유형에 대응하는 상이한 결합 속도들을 갖는 하나보다 많은 유형의 아미노산에 결합하도록 설계된다. 일부 실시예들에서, 대응하는 말단 아미노산을 식별하는 데 사용될 수 있는 진단 펄스 패턴을 각각 갖는 복수의 표지된 아미노산 인식 분자가 사용될 수 있다.

[0226] IX. 결론

[0227] 이와 같이, 본 개시내용의 기술의 수 개의 양태들 및 실시예들을 설명하였지만, 본 기술분야의 통상의 기술자에게는 다양한 변경, 수정 및 개선이 쉽게 떠올릴 수 있다는 것을 알아야 한다. 이러한 변경들, 수정들 및 개선들은 본 명세서에 설명된 기술의 사상 및 범위 내에 있도록 의도된다. 따라서, 전술한 실시예들은 단지 예로서 제시된 것이며, 첨부된 청구항들 및 그 균등물의 범위 내에서, 본 발명의 실시예들은 구체적으로 설명된 것과 달리 실시될 수 있다는 것을 이해해야 한다. 추가로, 본 명세서에 설명된 2개 이상의 특징, 시스템, 물품, 재료, 키트, 및/또는 방법이 상호 불일치하지 않는 경우, 그러한 특징, 시스템, 물품, 재료, 키트, 및/또는 방법의 임의의 조합이 본 개시내용의 발명의 범위 내에 포함된다.

[0228] 또한, 설명되는 바와 같이, 일부 양태들은 하나 이상의 방법으로서 실시될 수 있다. 방법의 일부로서 수행되는 동작들은 임의의 적절한 방식으로 순서가 정해질 수 있다. 따라서, 예시적인 실시예들에서 순차적인 동작들로 보여지더라도, 설명된 것과 상이한 순서로 동작들이 수행되는 실시예들이 구성될 수 있고, 이는 일부 동작들이 동시에 수행하는 것을 포함할 수 있다.

[0229] 본 명세서에 정의되고 사용된 모든 정의들은 사전적 정의, 참조로 통합된 문서들에서의 정의, 및/또는 정의된 용어들의 일반적인 의미에 우선하는 것으로 이해되어야 한다.

[0230] 본 명세서 및 청구항들에서 사용될 때의 단수 표현(부정 관사 "a" 및 "an")은 반대로 명확하게 표시되지 않는 한, "적어도 하나"를 의미하는 것으로 이해되어야 한다.

[0231] 본 명세서 및 청구항들에서 사용될 때의 문구 "및/또는"은 이렇게 결합된 요소들 중 "어느 하나 또는 둘 다"를 의미하는 것으로서, 즉 일부 경우들에서는 결합적으로 존재하고 다른 경우들에서는 분리되어 존재하는 요소들을 의미하는 것으로 이해되어야 한다.

[0232] 본 명세서 및 청구항들에서 사용될 때, 하나 이상의 요소의 목록을 참조하는 문구 "적어도 하나"는 요소들의 목록 내의 요소들 중 임의의 하나 이상으로부터 선택된 적어도 하나의 요소를 의미하지만, 요소들의 목록 내에 구체적으로 나열된 각각의 모든 요소 중 적어도 하나를 반드시 포함하지는 않고, 요소들의 목록 내의 요소들의 임의의 조합들을 배제하지 않음을 이해해야 한다. 이러한 정의는 또한 문구 "적어도 하나"가 참조하는 요소들의

목록 내에서 구체적으로 식별되는 요소들에 관련이 있는지 여부에 관계없이, 구체적으로 식별되는 그러한 요소들 외의 요소들이 임의적으로 존재하는 것을 허용한다.

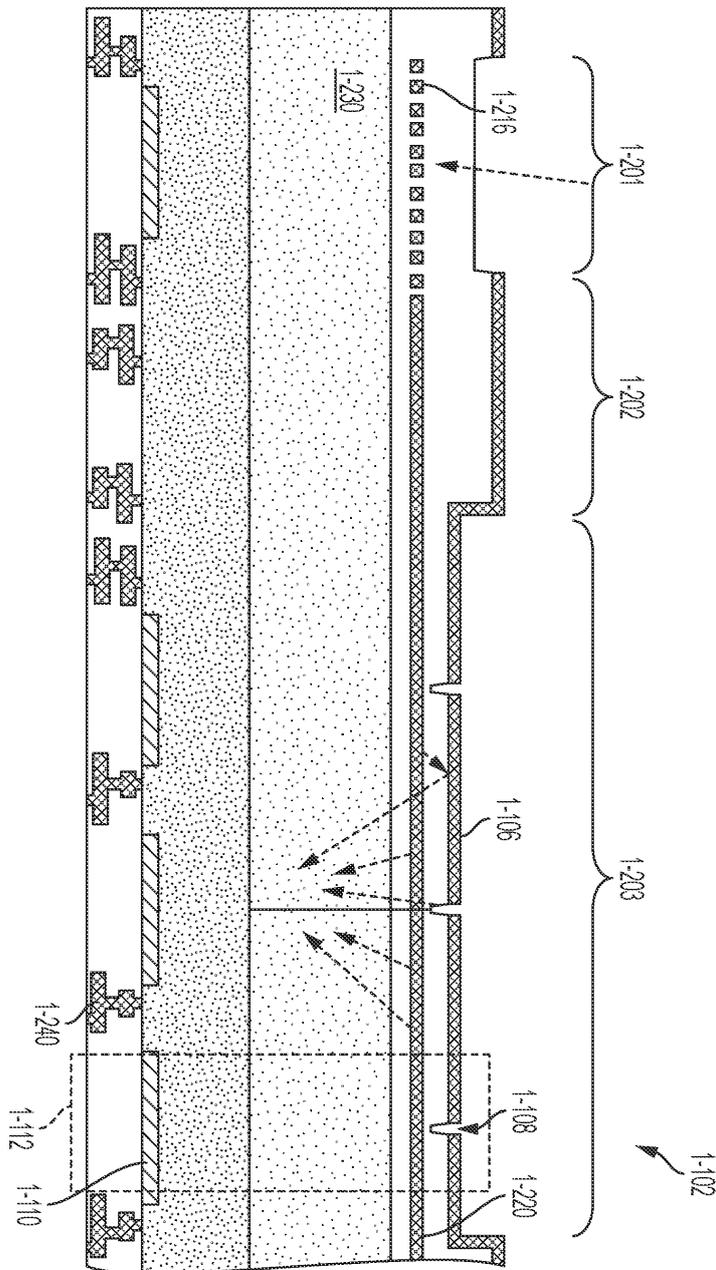
[0233]

청구항들에서는 물론, 상기 명세서에서, "포함하는(comprising, including)", "지니는(carrying)", "갖는(having)", "함유하는(containing)", "수반하는(involving)", "보유하는(holding)", "이루어진(composed of)" 등과 같은 모든 전이 문구들은 개방형인 것으로, 즉 포함하지만 제한되지 않음을 의미하는 것으로 이해되어야 한다. 전이 문구들 "구성된(consisting of)" 및 "본질적으로 구성된(consisting essentially of)"은 각각 폐쇄형 또는 반-폐쇄형 전이 문구들일 것이다.

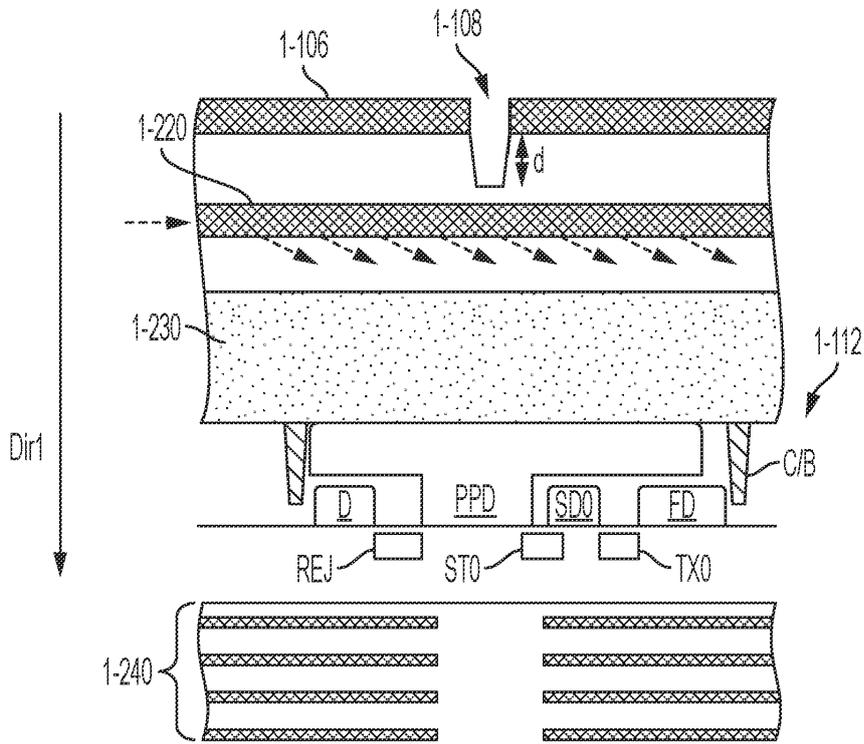
도면

도면1a

도 1-1

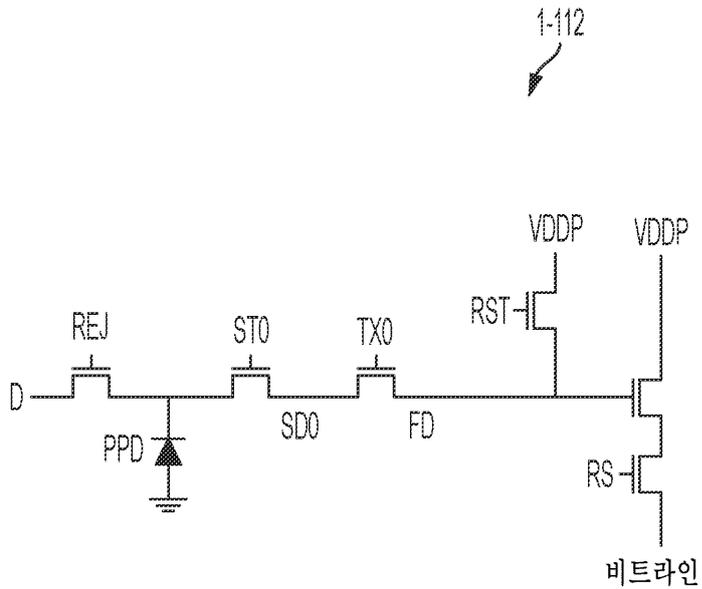


도면1b



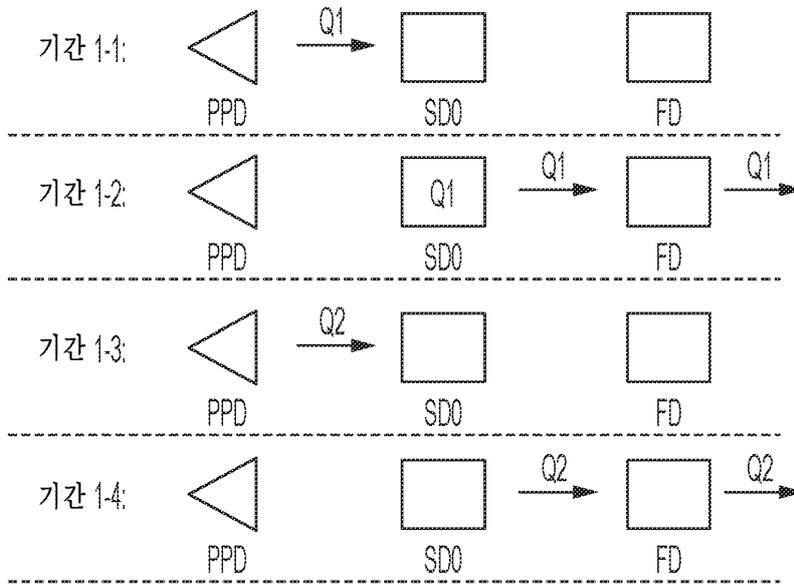
도 1-2

도면1c



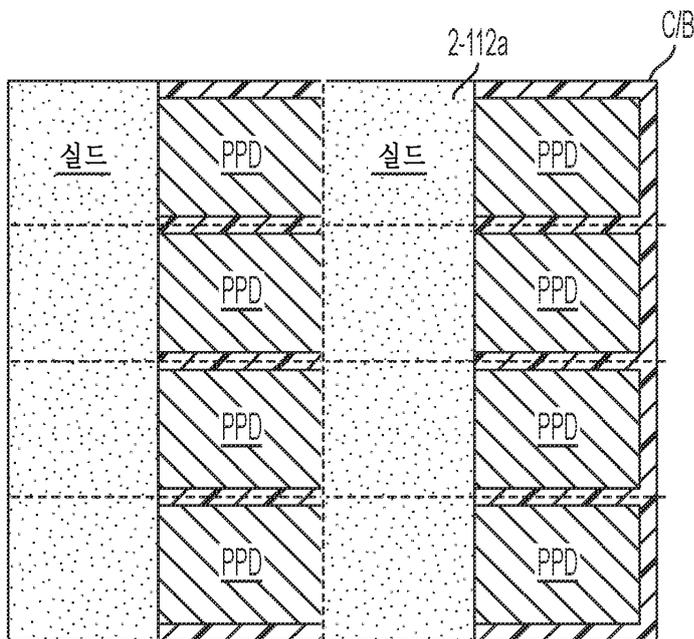
도 1-3

도면1d



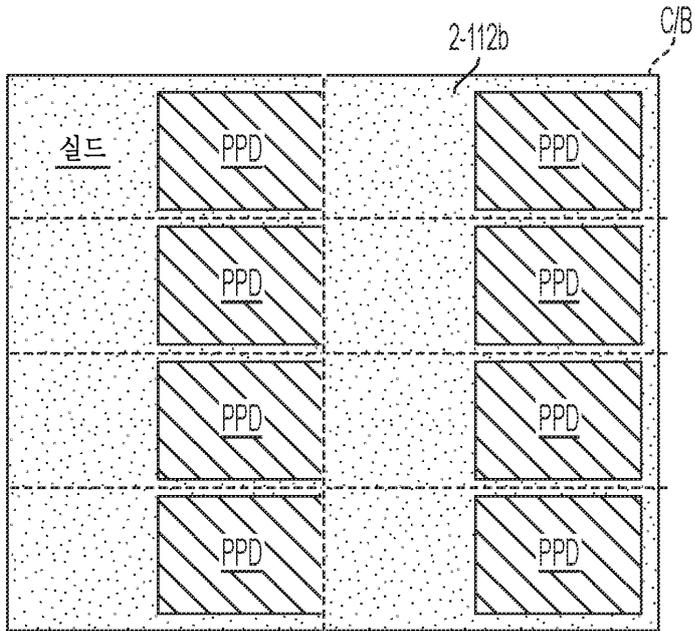
도 1-4

도면2aa



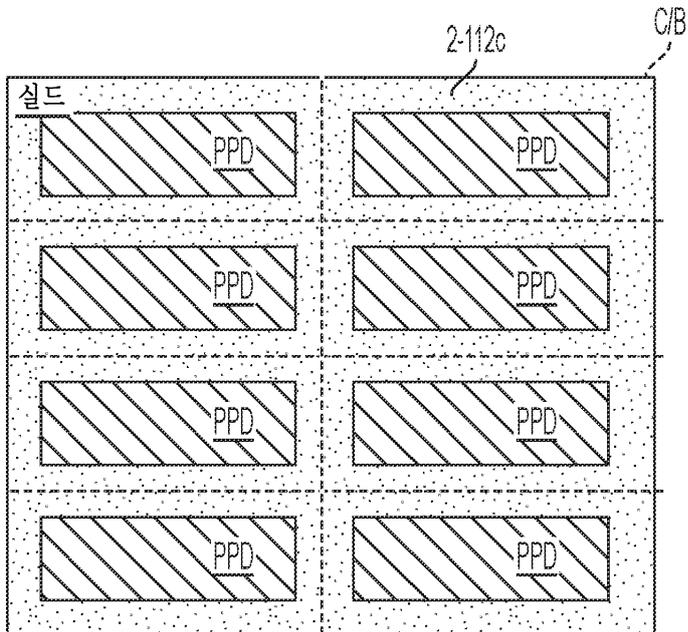
도 2-1A

도면2ab



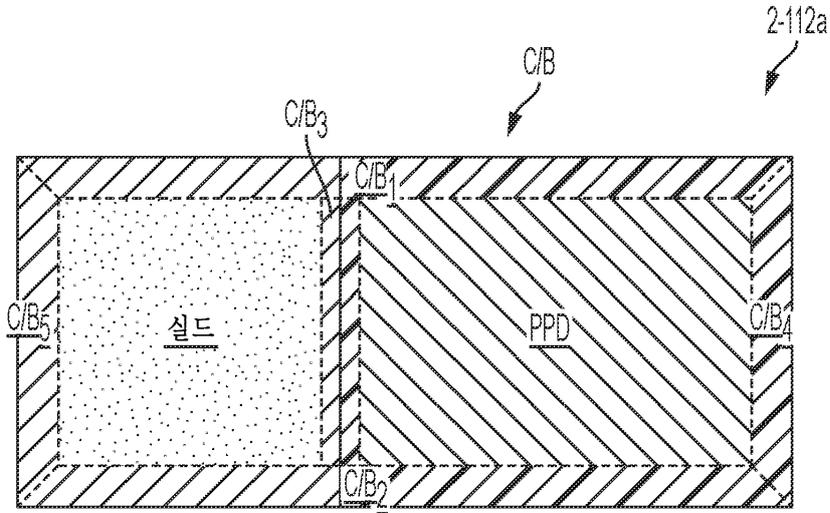
도 2-1B

도면2ac



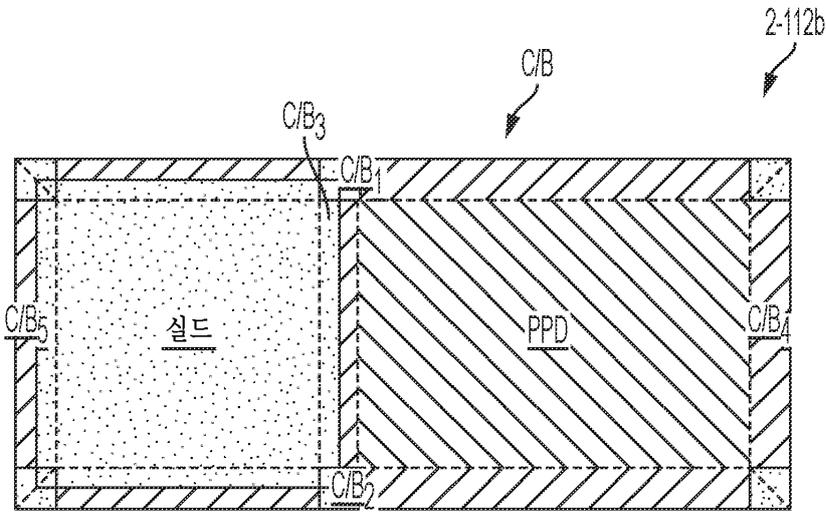
도 2-1C

도면2ba



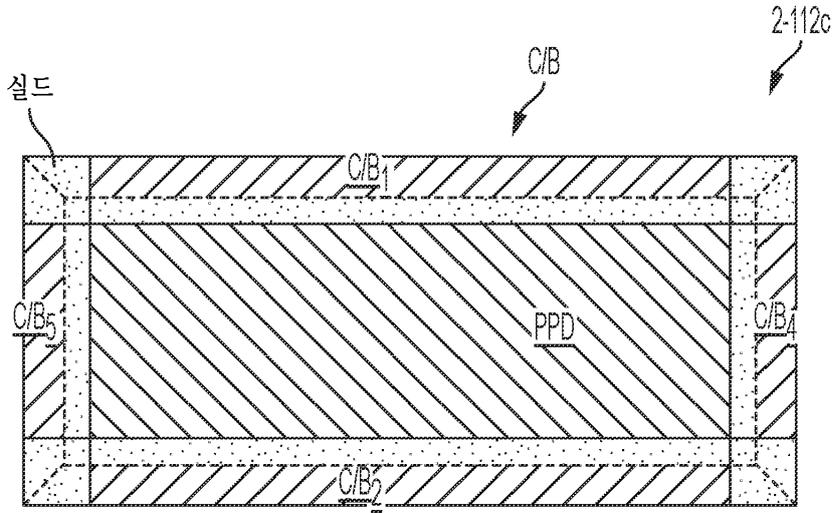
도 2-2A

도면2bb



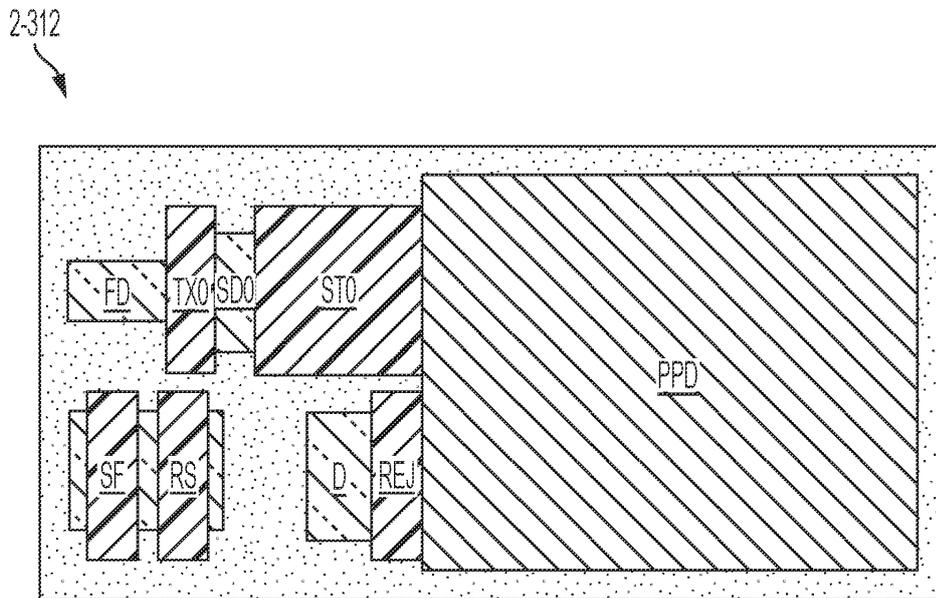
도 2-2B

도면2bc



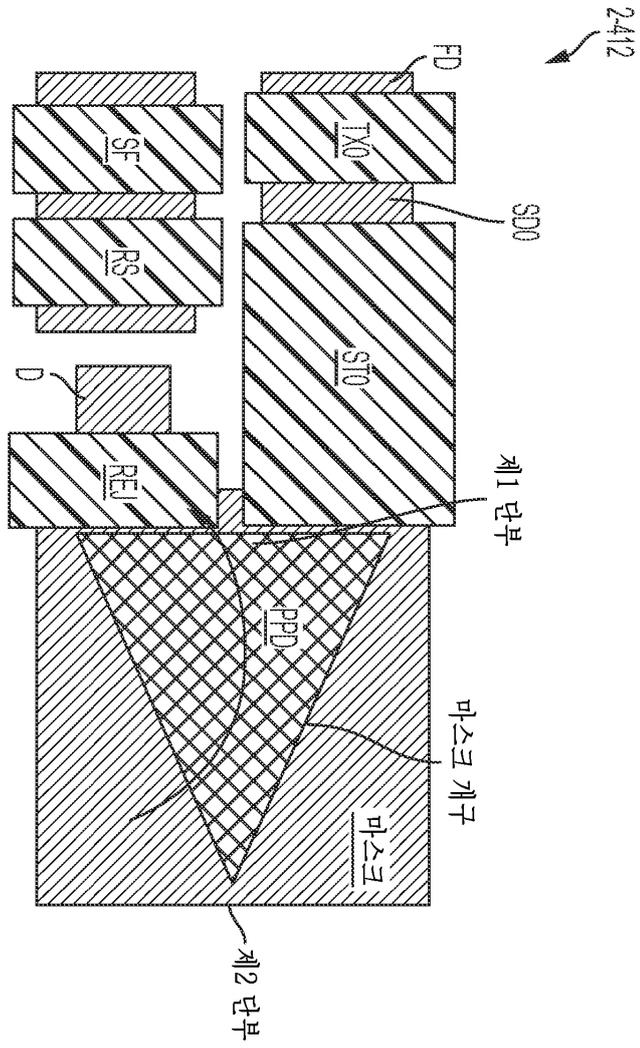
도 2-2C

도면2c



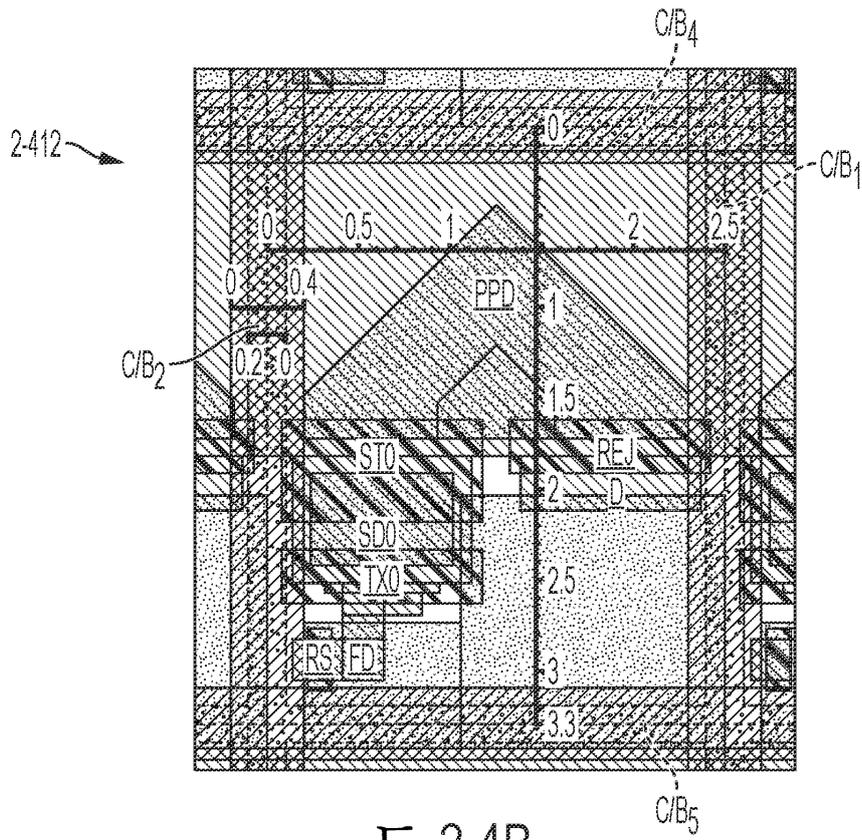
도 2-3

도면2da



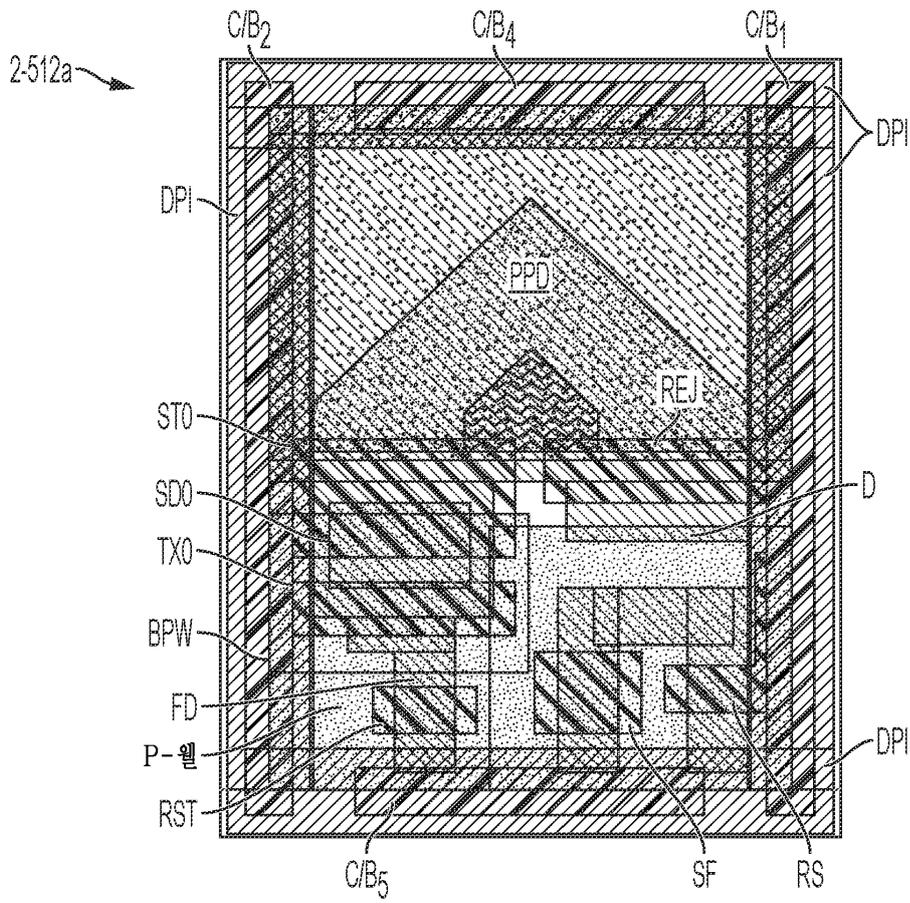
도 2-4A

도면2db



도 2-4B

도면2ea

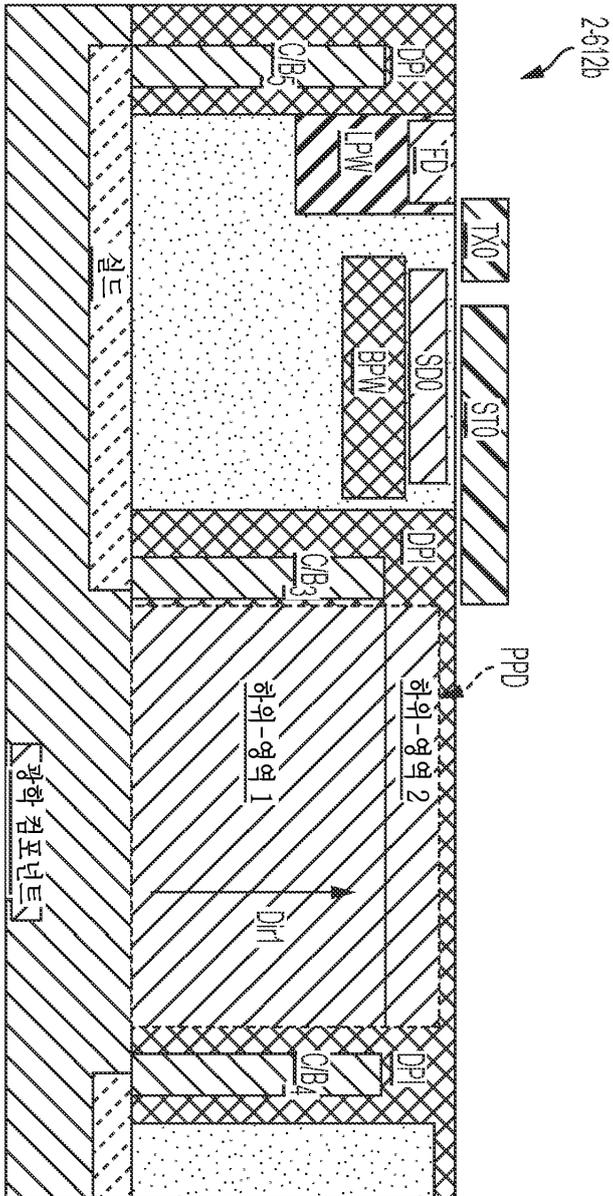


도 2-5A



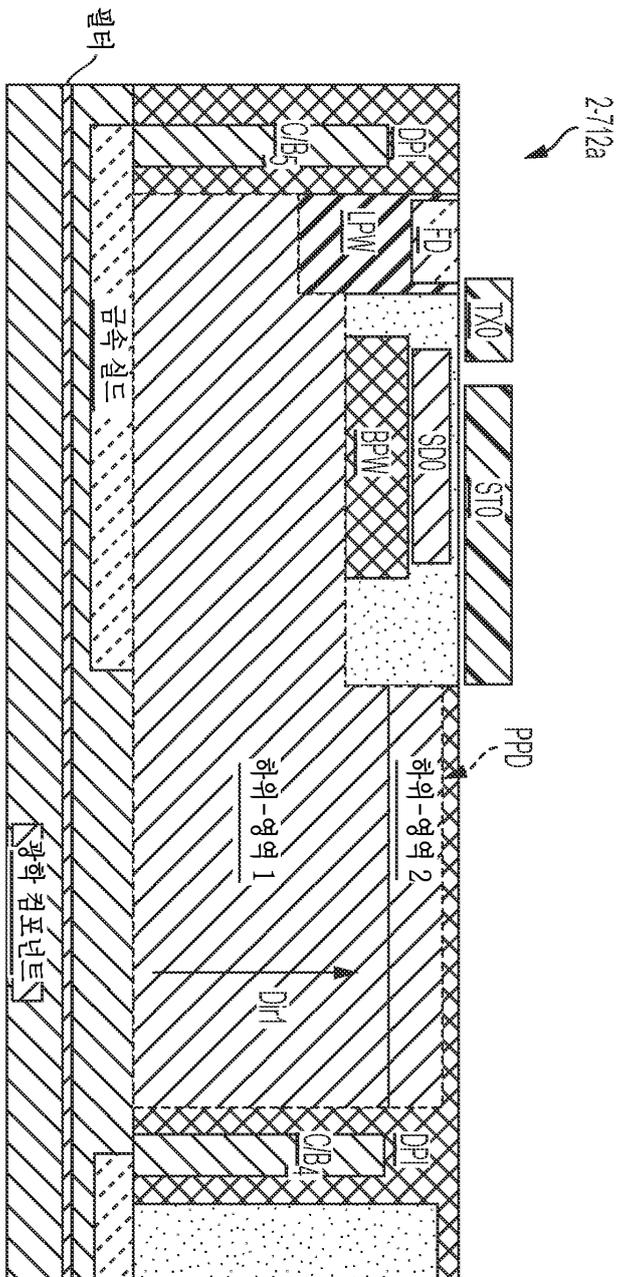


도면2fb



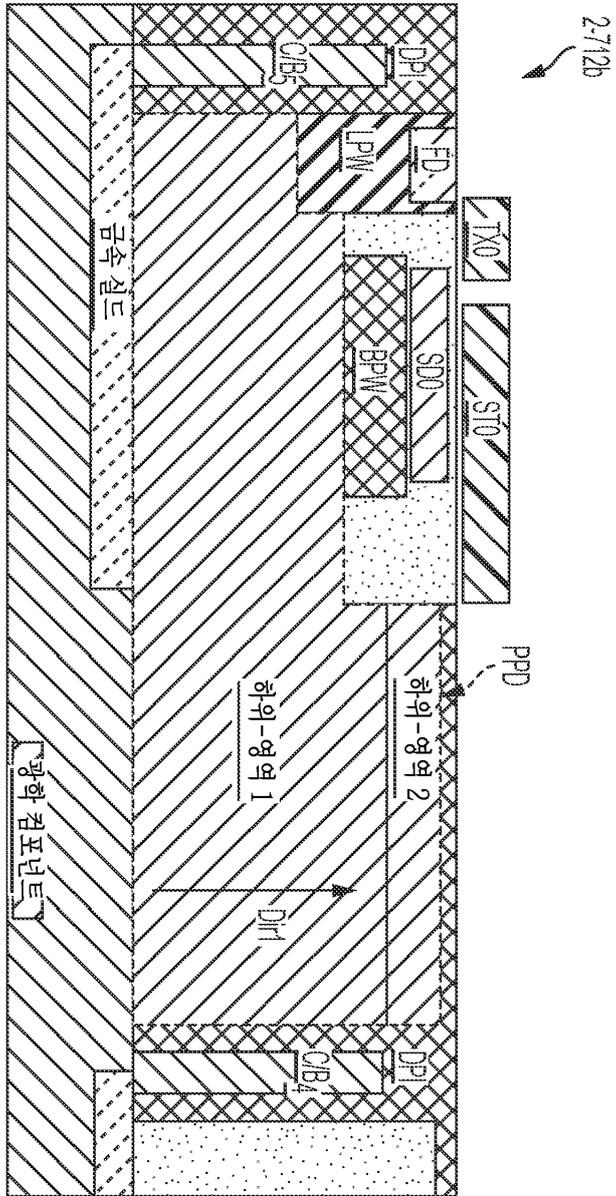
도 2-6B

도면2ga



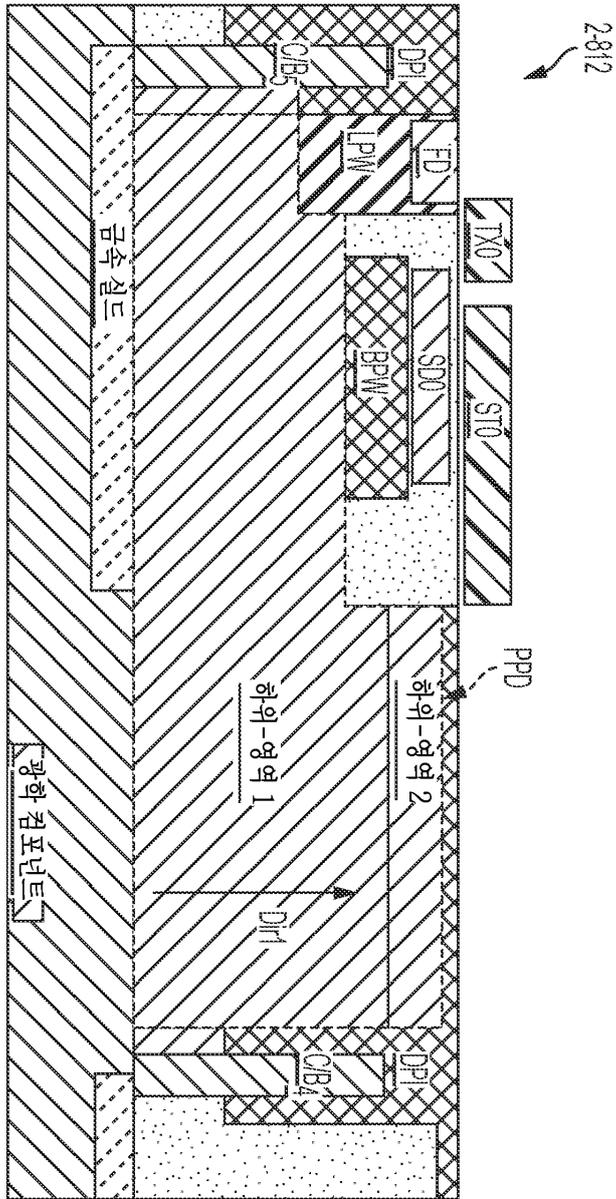
도 2-7A

도면2gb



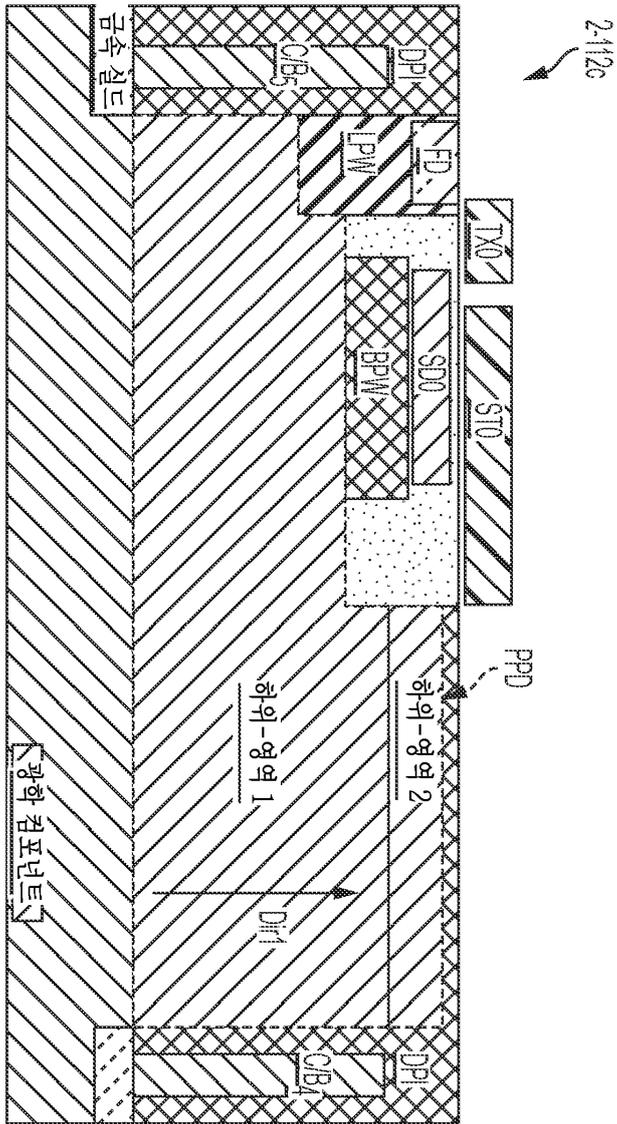
도 2-7B

도면2h



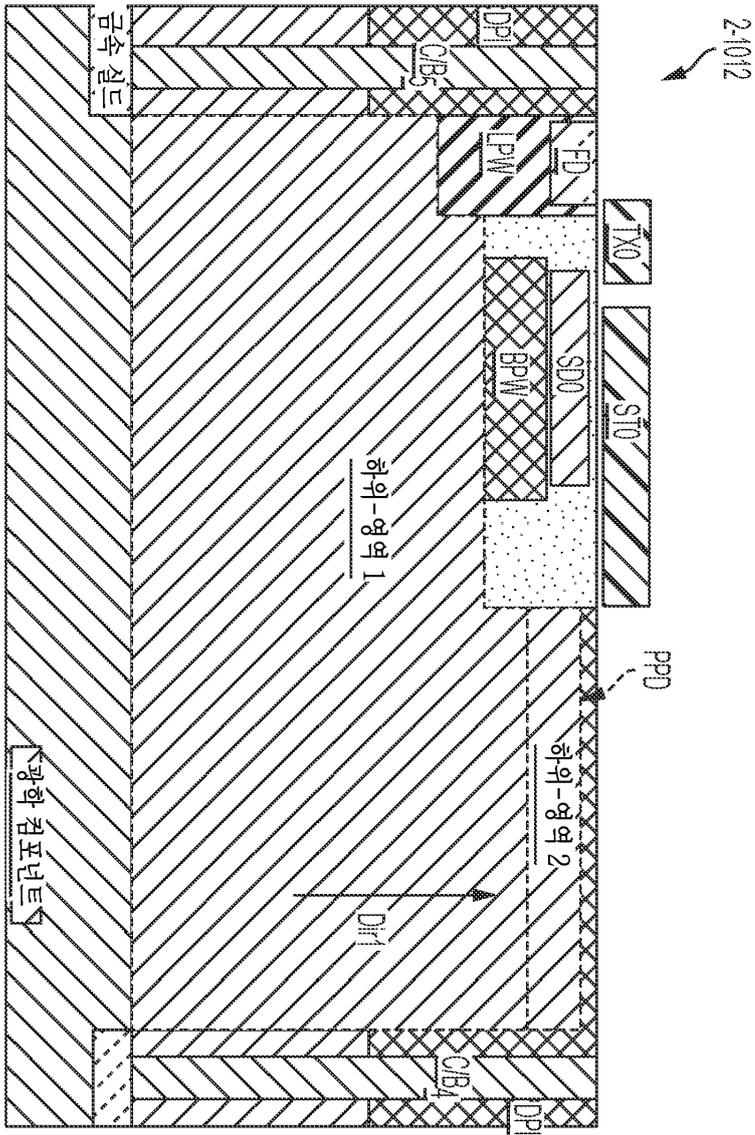
도 2-8

도면2i



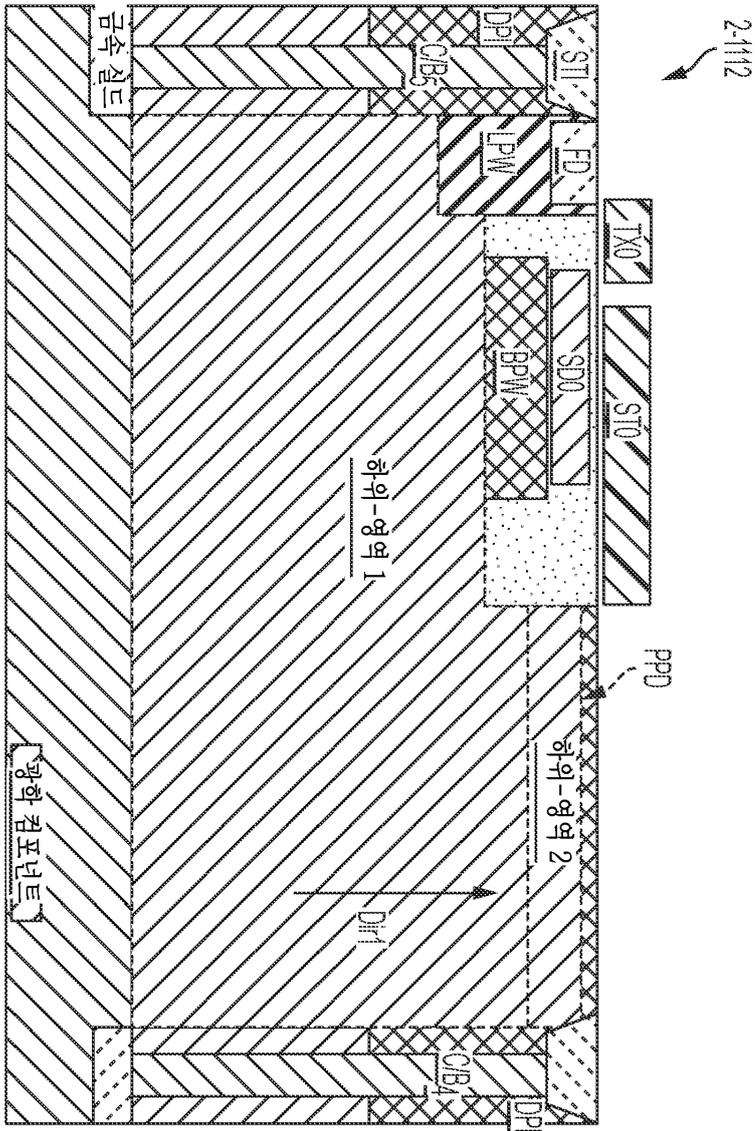
도 2-9

도면2j



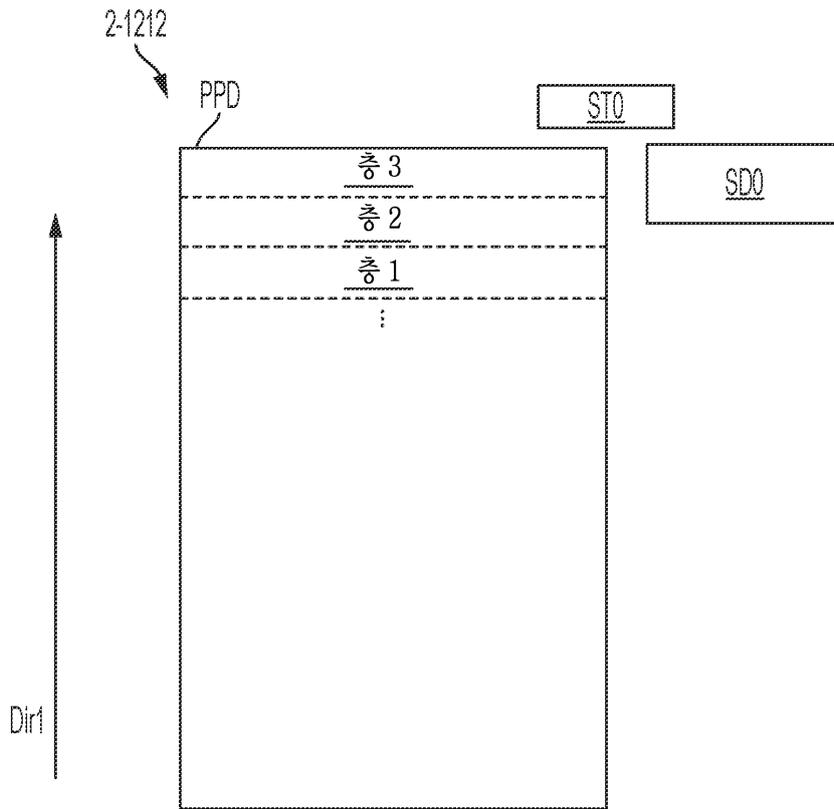
도 2-10

도면2k



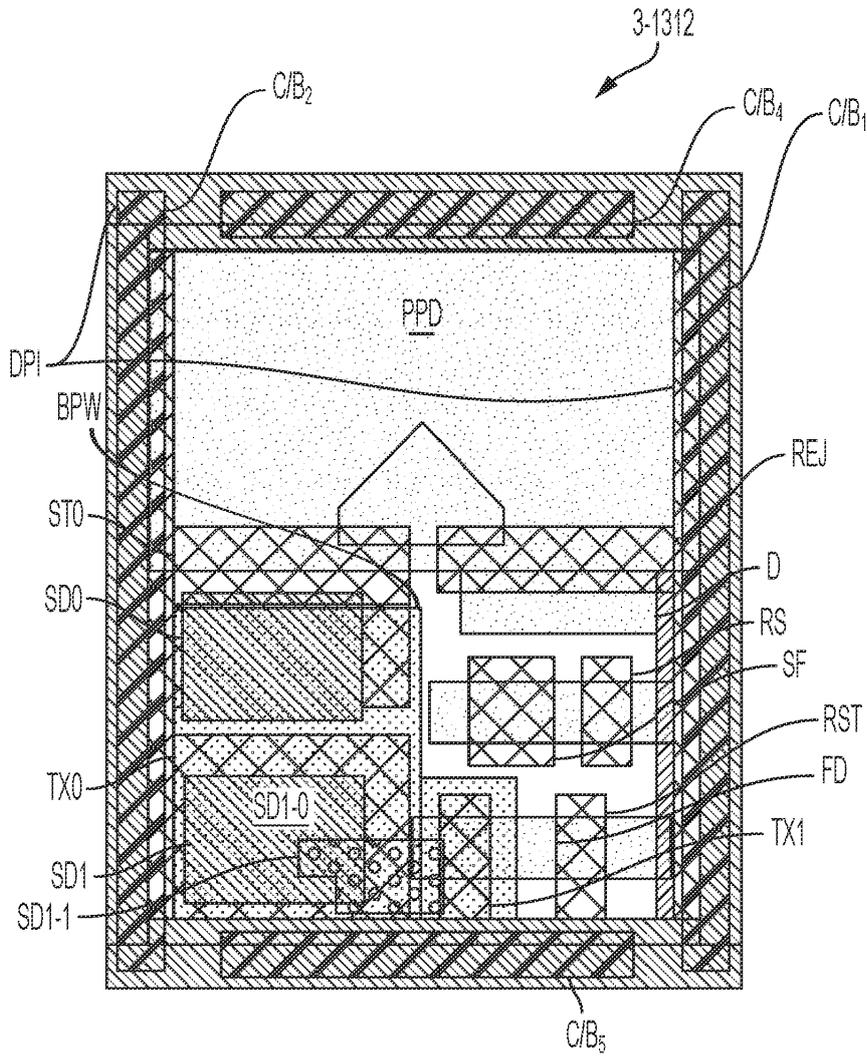
도 2-11

도면21



도 2-12

도면 2m



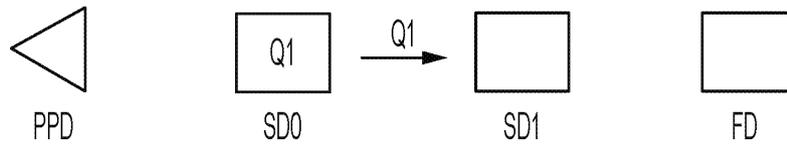
도 2-13

도면 2n

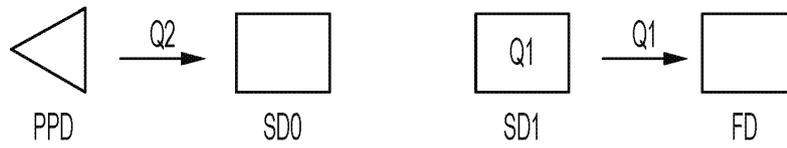
기간 2-1:



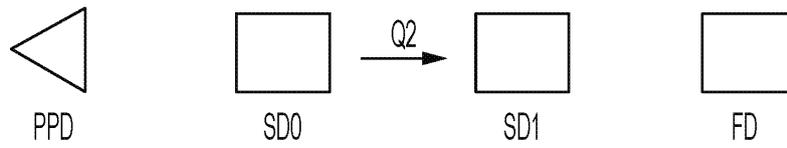
기간 2-2:



기간 2-3:



기간 2-4:

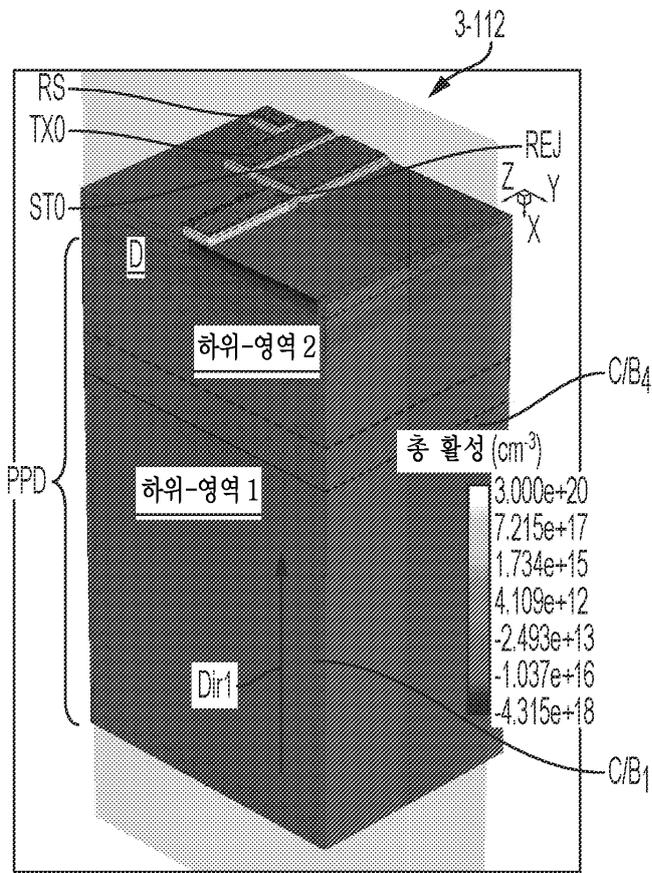


기간 2-5:



도 2-14

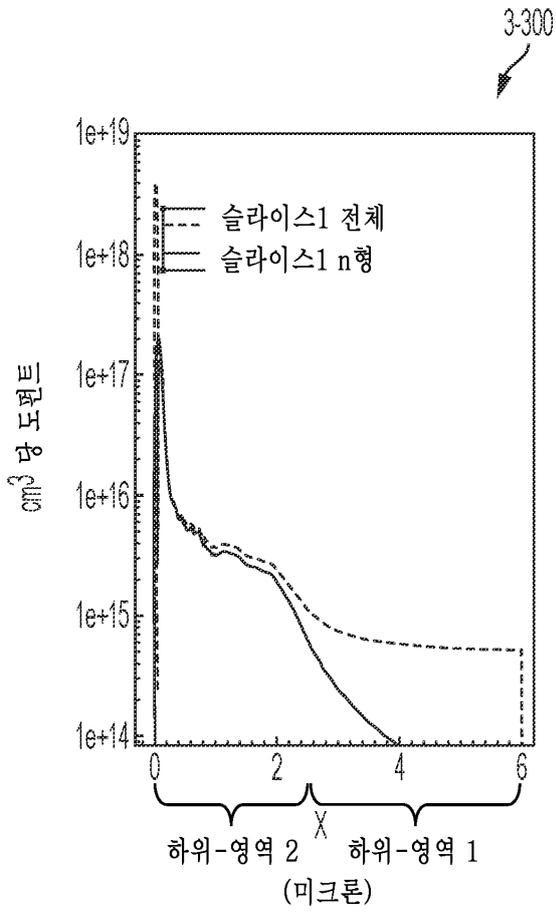
도면3a



도 3-1

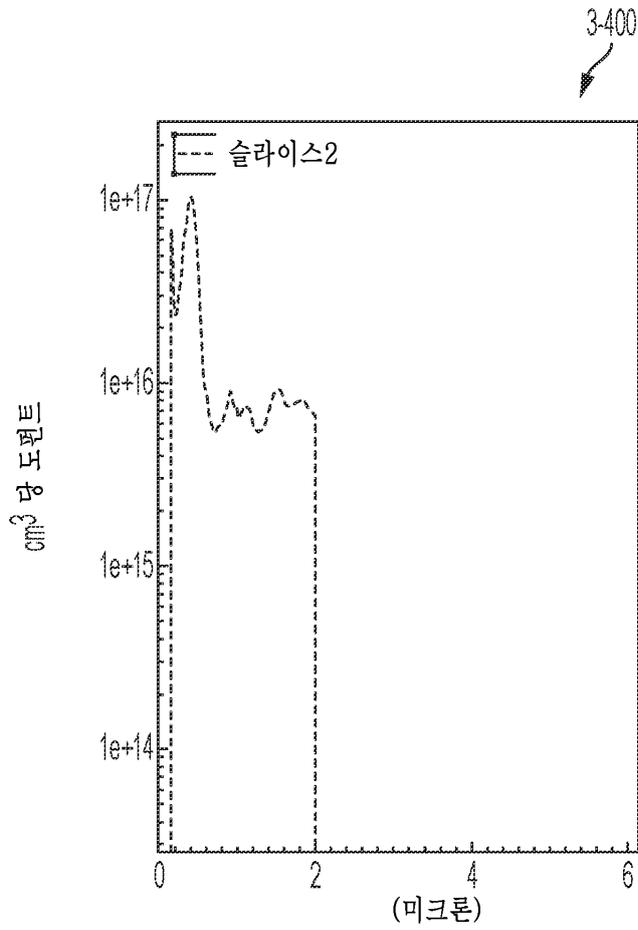


도면3c



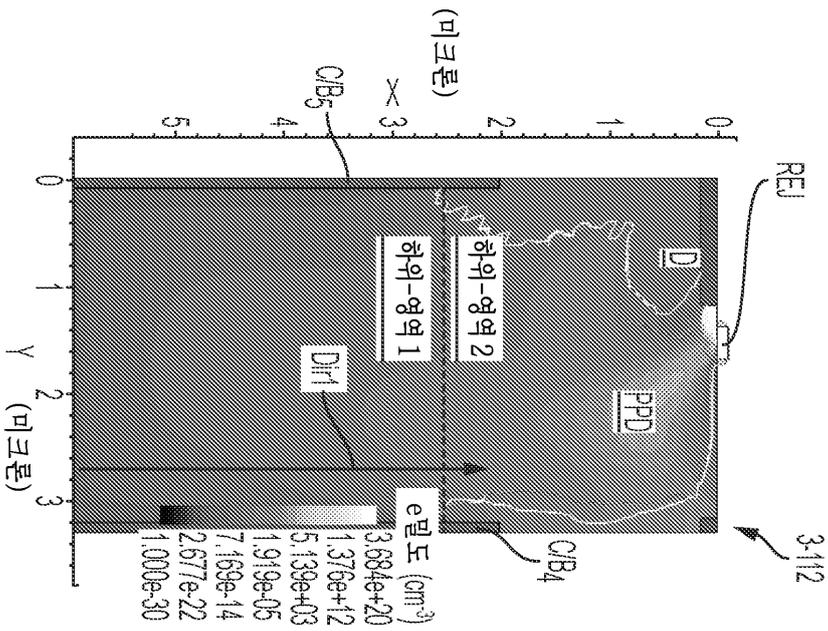
도 3-3

도면3d

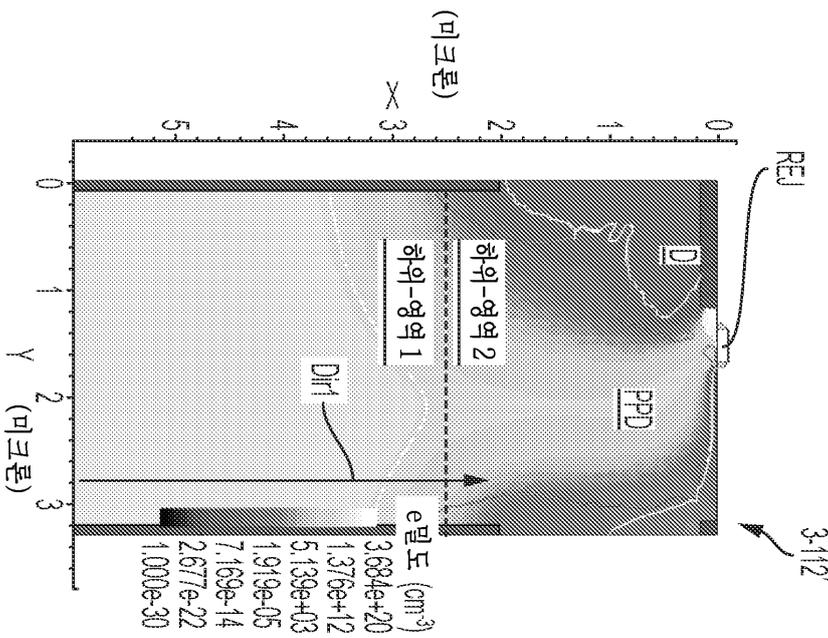


도 3-4

도면3e

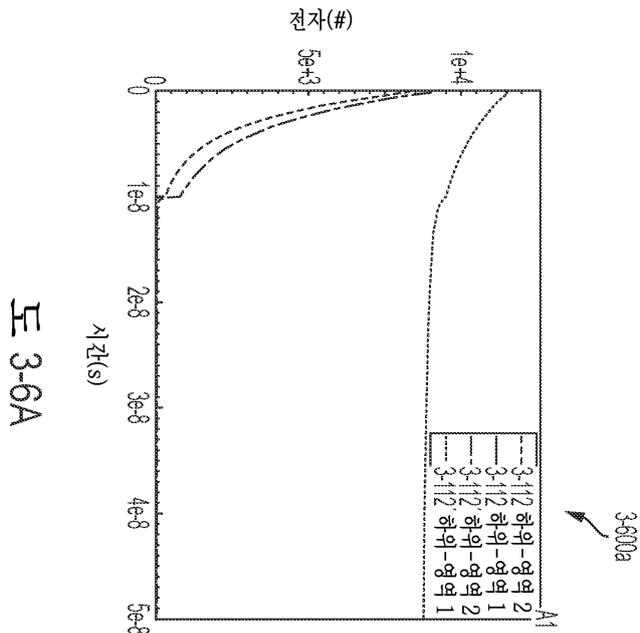


도 3-5A

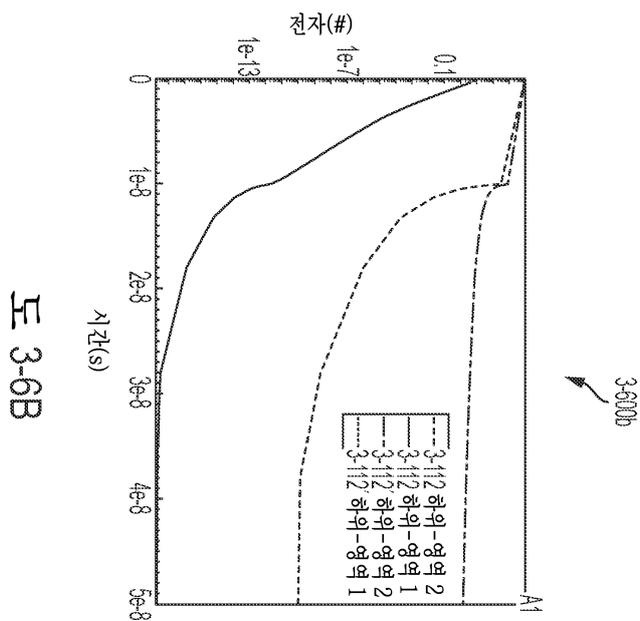


도 3-5B

도면3f

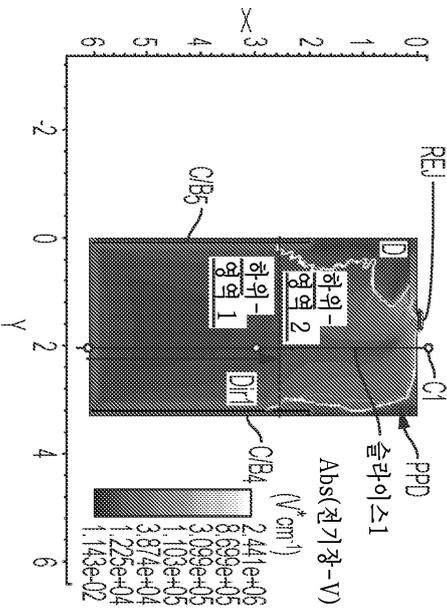


도 3-6A

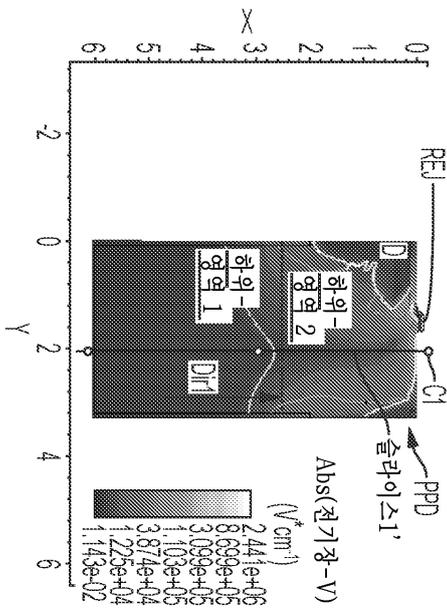


도 3-6B

도면3g



도 3-7A

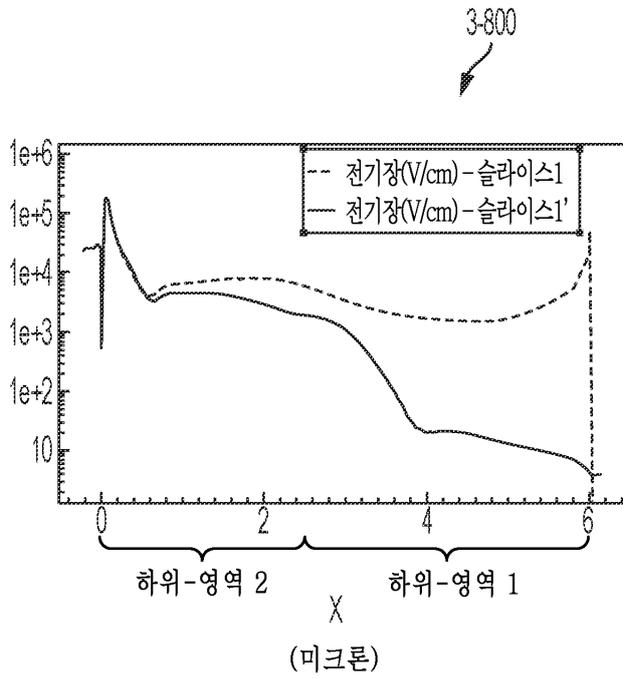


도 3-7B

3-112

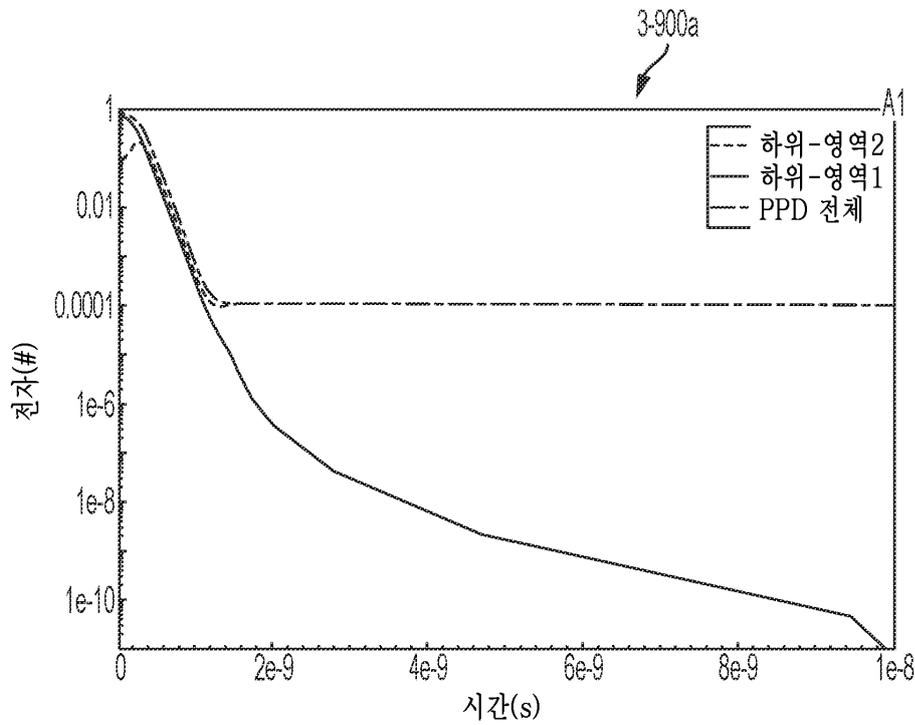
3-112

도면3h



도 3-8

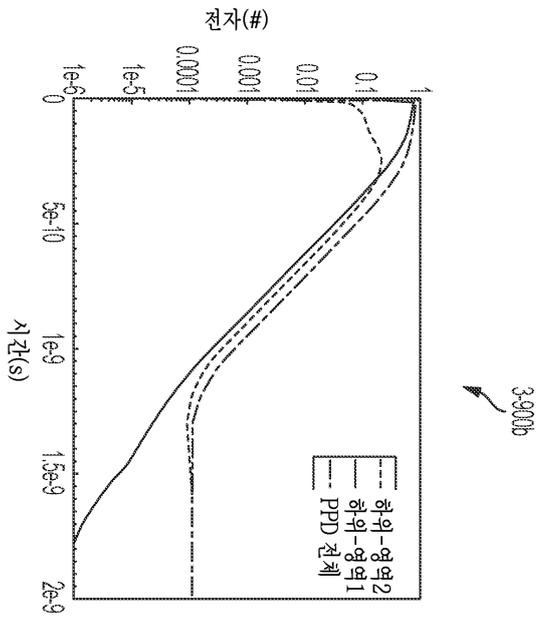
도면3ia



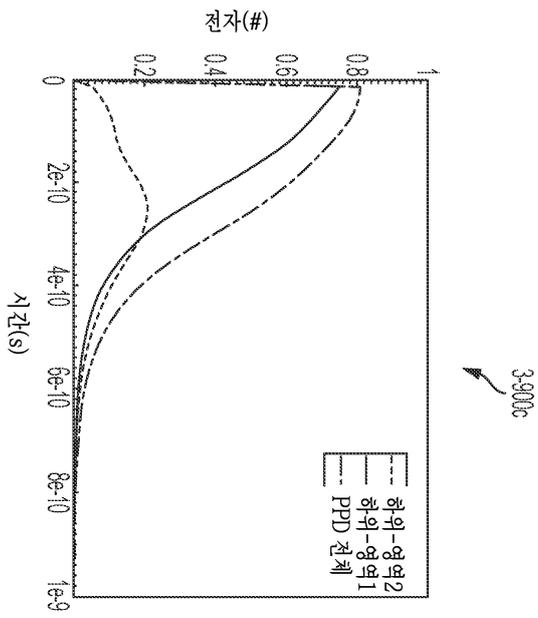
도 3-9A

도면31bc

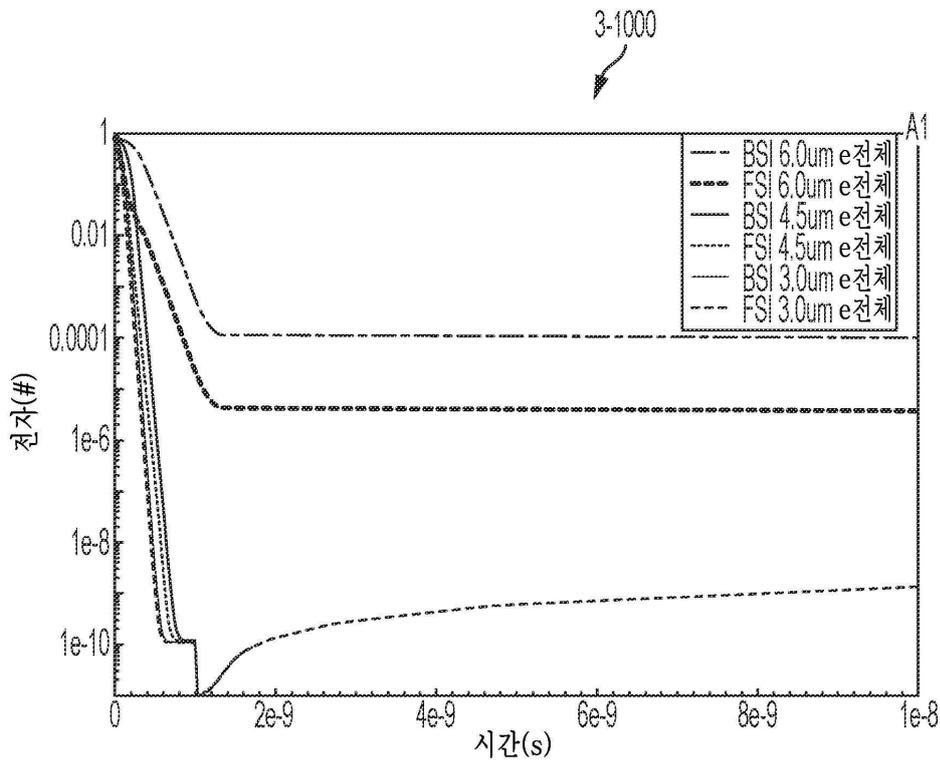
도 3-9B



도 3-9C

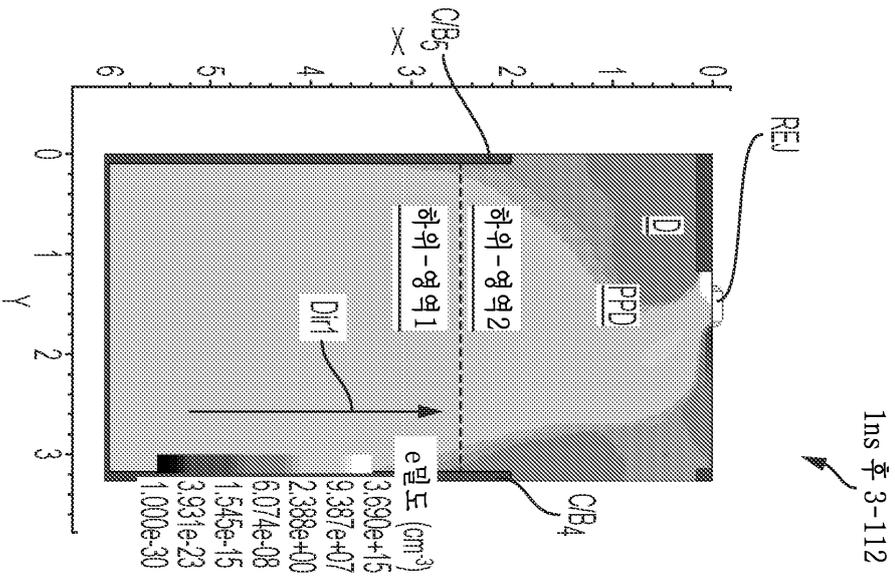


도면3j

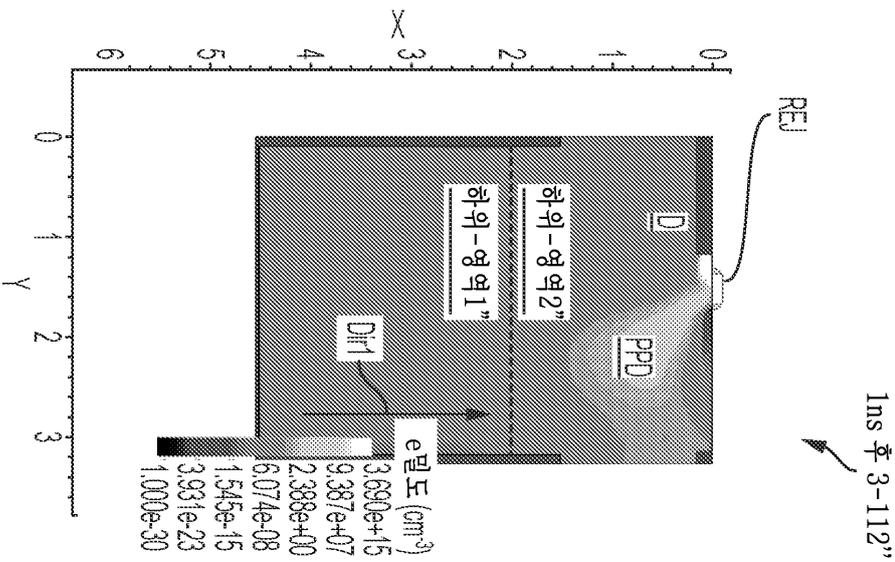


도 3-10

도면3k

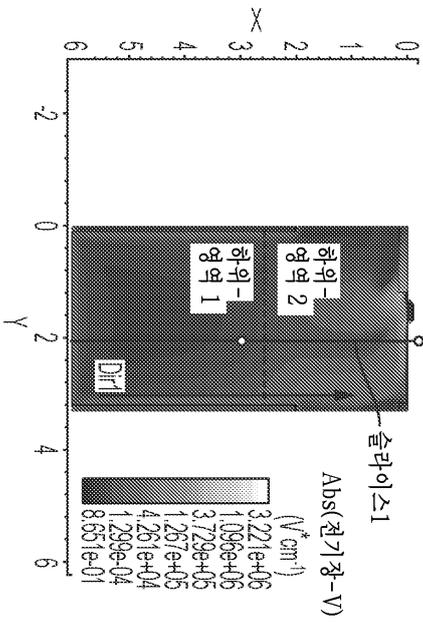


도 3-11A



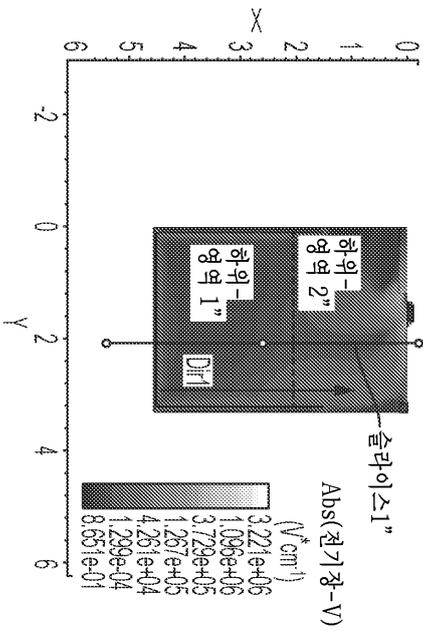
도 3-11B

도면31



도 3-12A

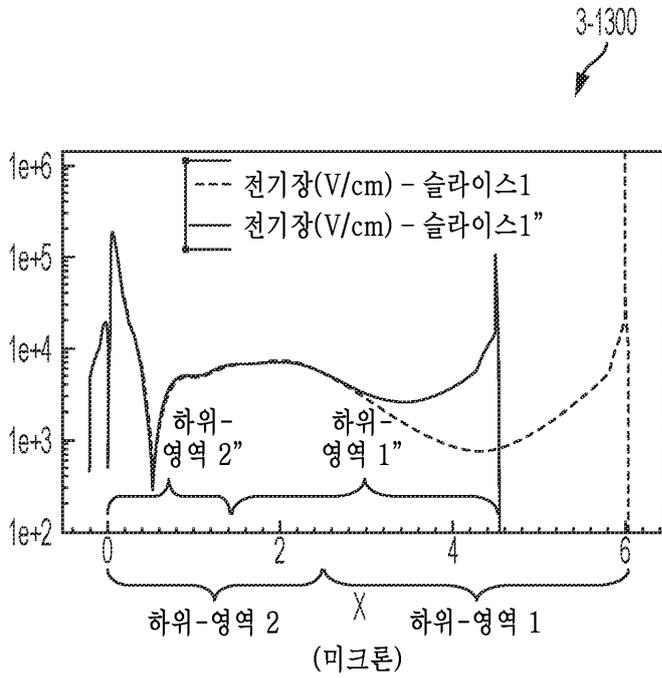
3-1212



도 3-12B

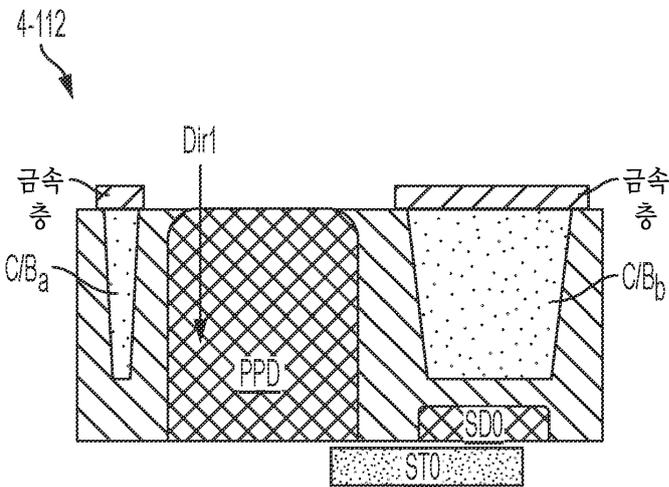
3-1212

도면3m



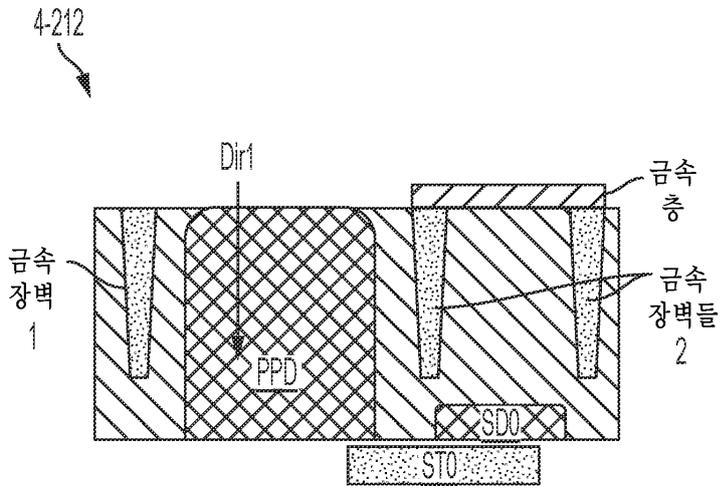
도 3-13

도면4a



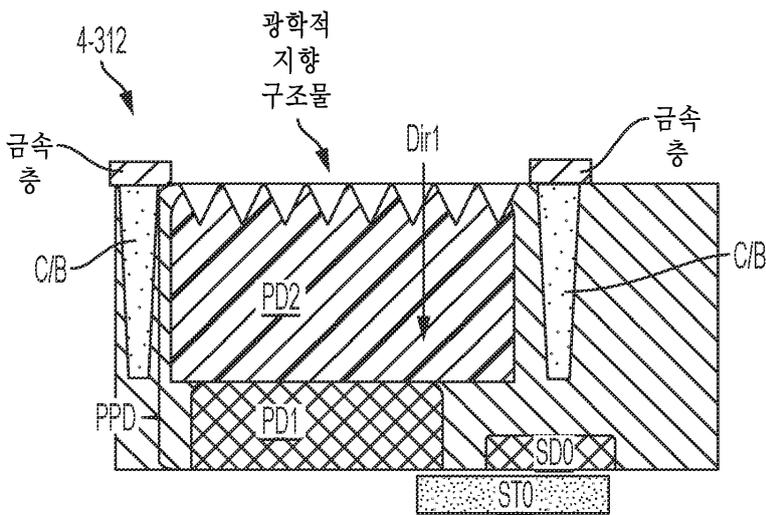
도 4-1

도면4b



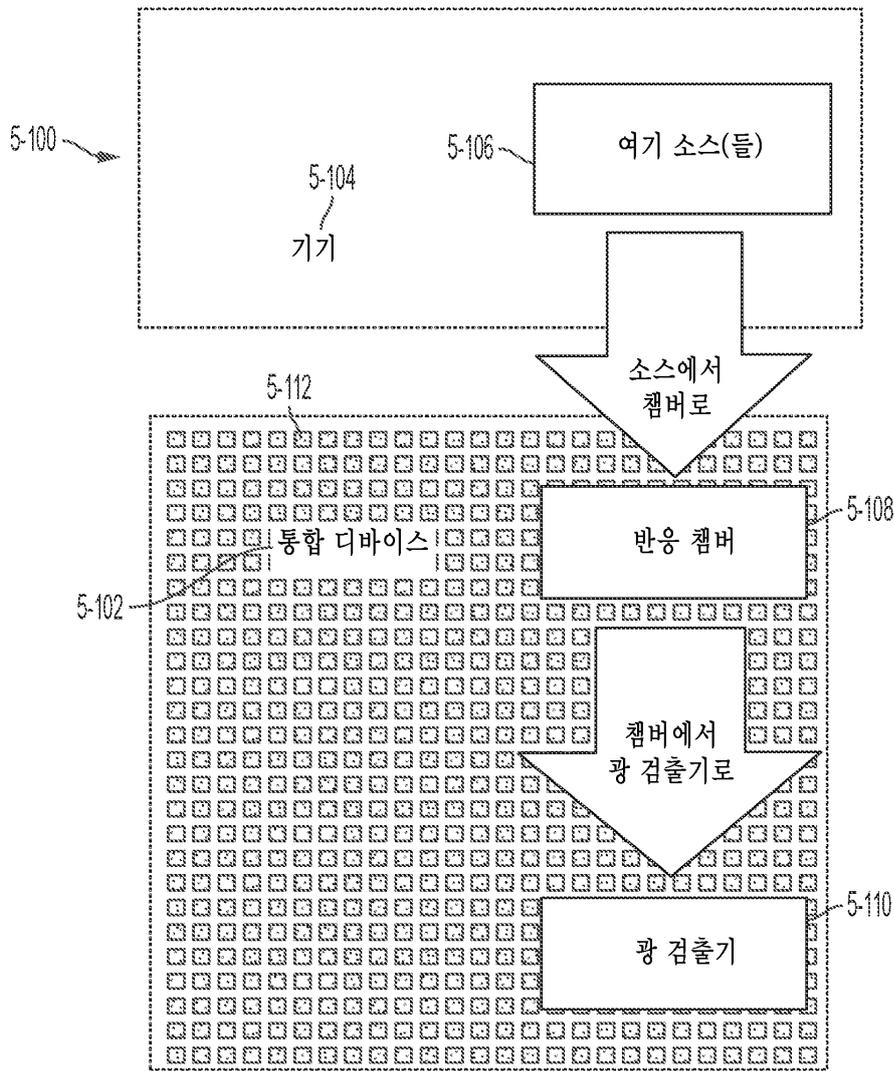
도 4-2

도면4c



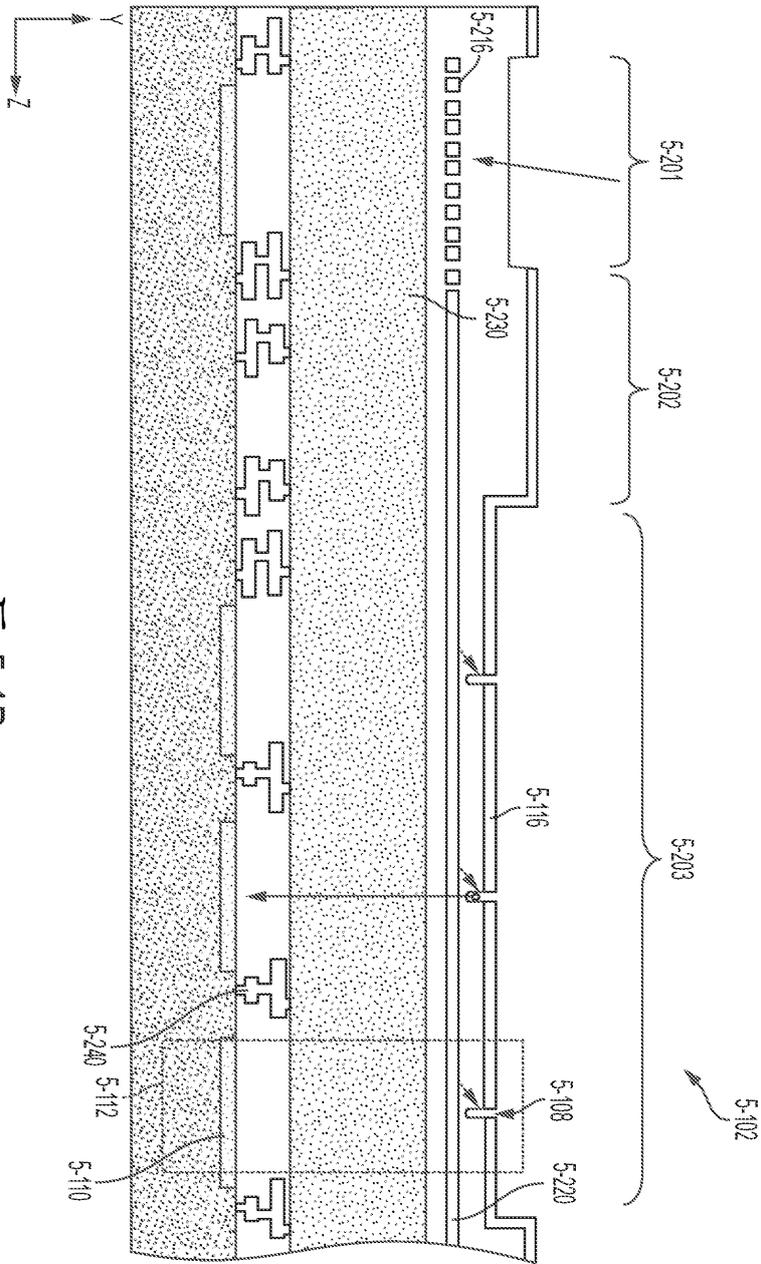
도 4-3

도면 5aa



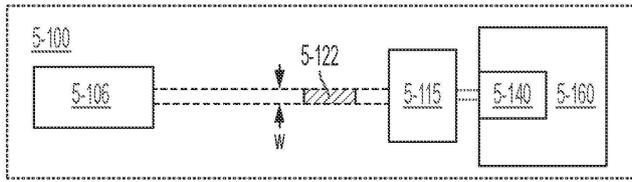
도 5-1A

도면5ab

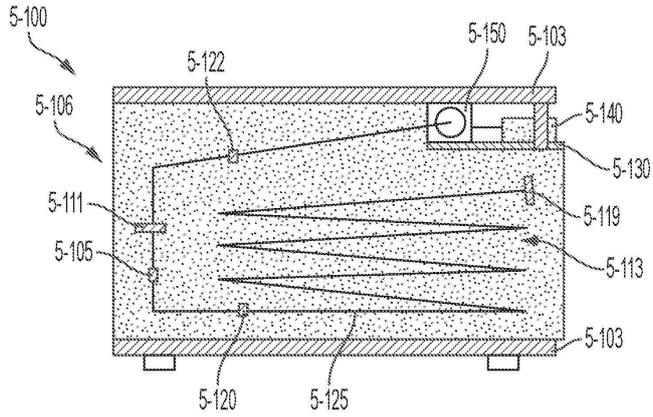


도 5-1B

도면5acd

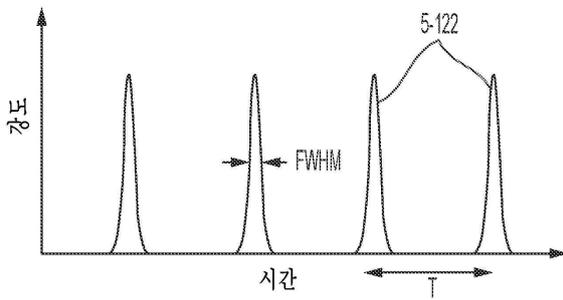


도 5-1C



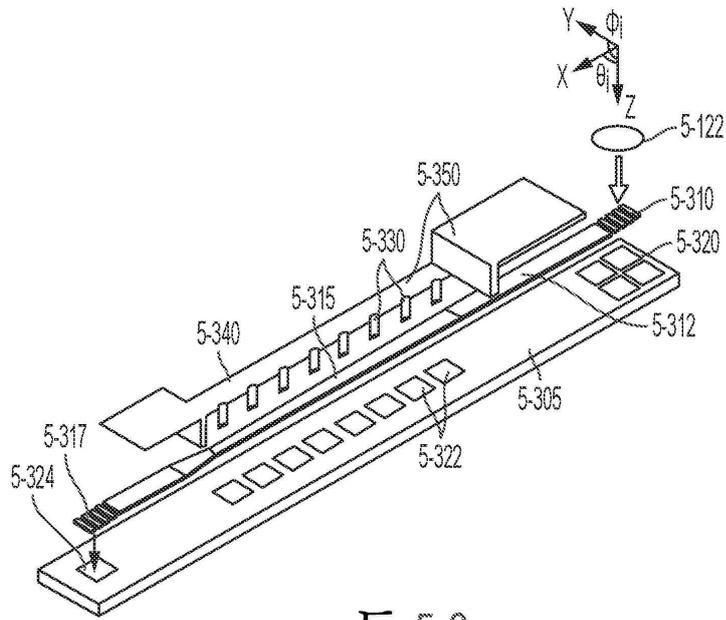
도 5-1D

도면5b



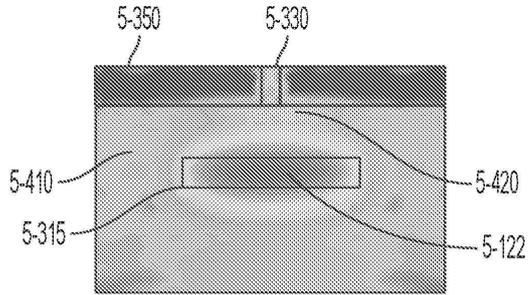
도 5-2

도면5c



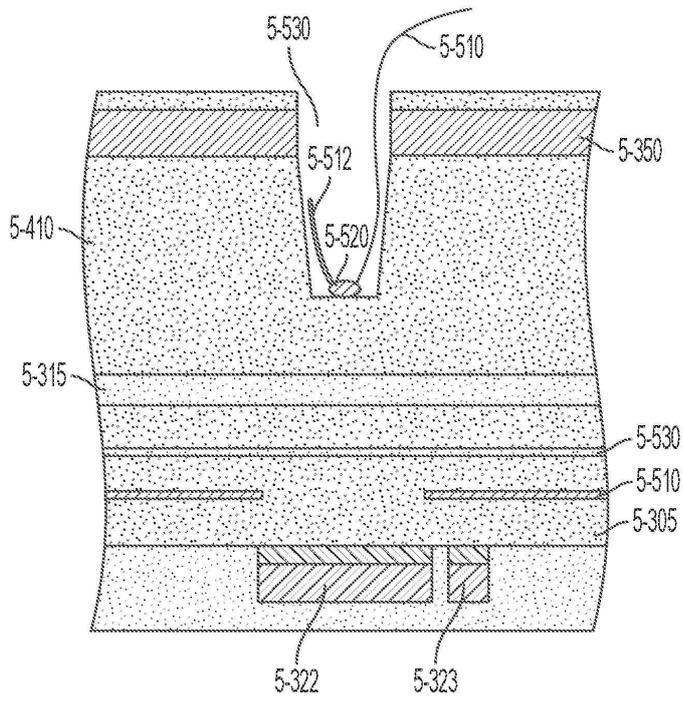
도 5-3

도면5d



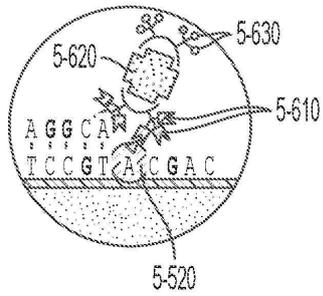
도 5-4

도면5e



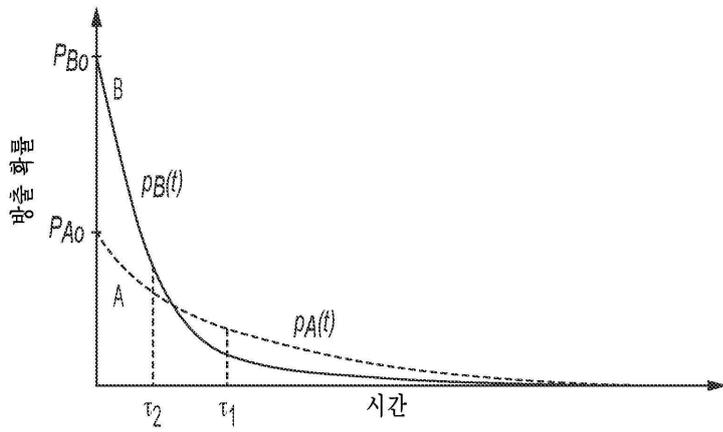
도 5-5

도면5f



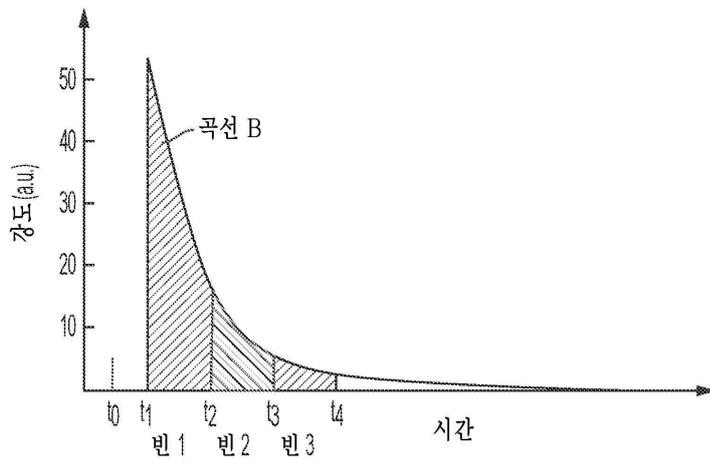
도 5-6

도면5g



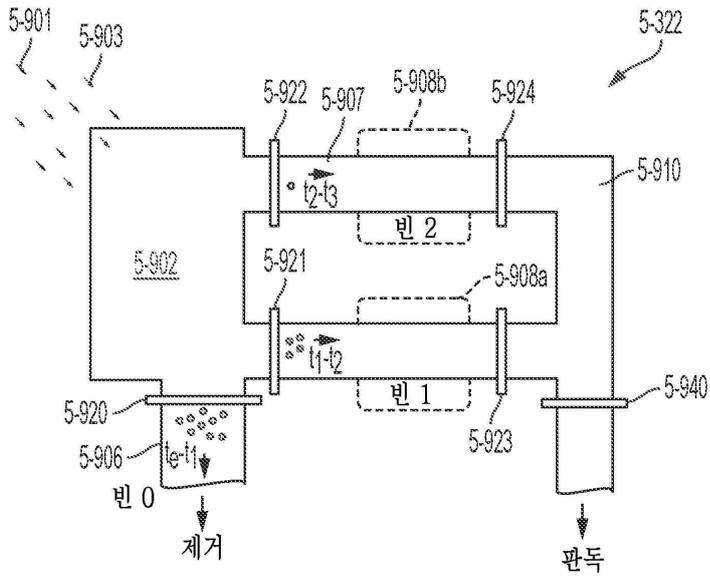
도 5-7

도면5h



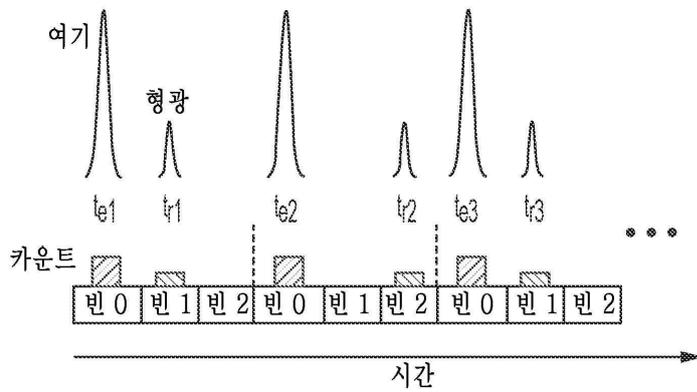
도 5-8

도면5i



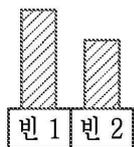
도 5-9

도면5ja



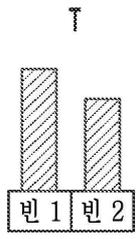
도 5-10A

도면5jb

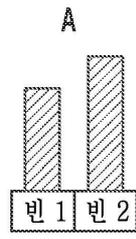


도 5-10B

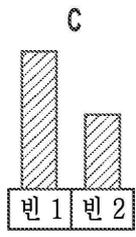
도면5k



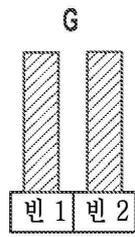
도 5-11A



도 5-11B

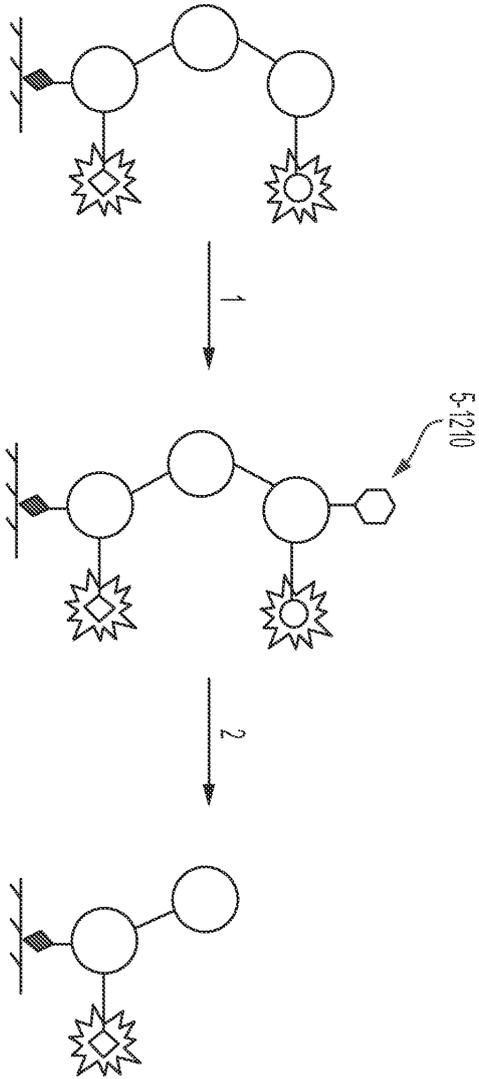


도 5-11C



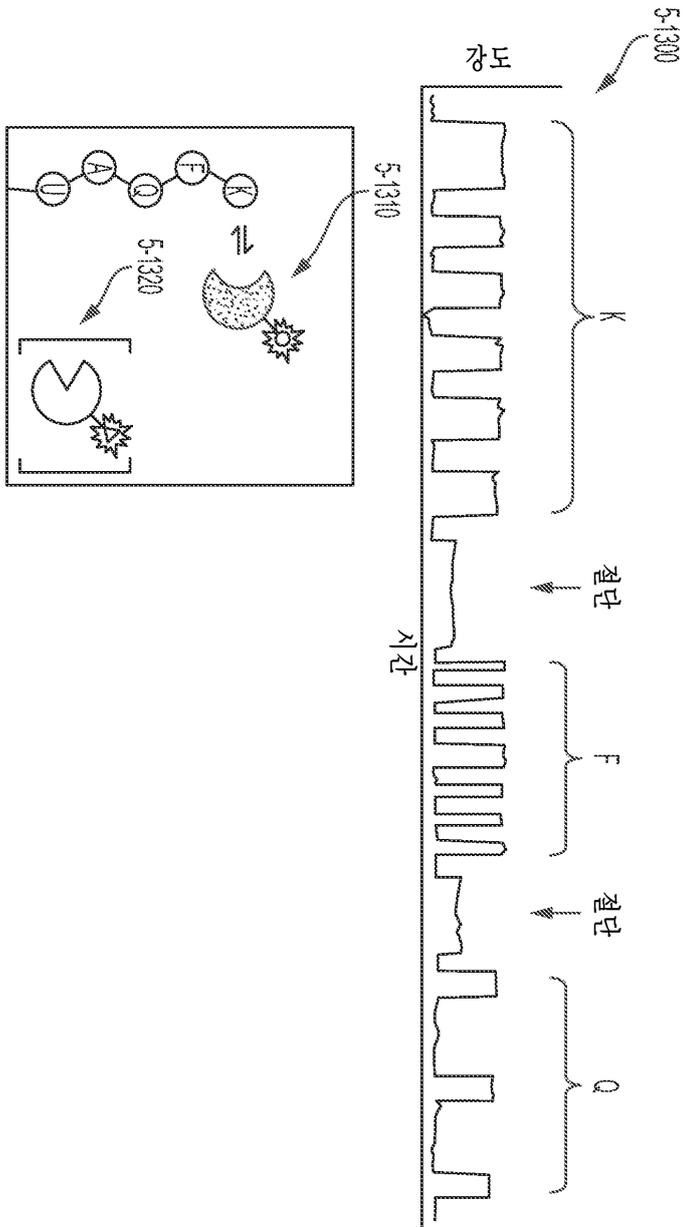
도 5-11D

도면51



도 5-12

도면 5m



도 5-13