



(12)发明专利申请

(10)申请公布号 CN 111243482 A

(43)申请公布日 2020.06.05

(21)申请号 202010101577.7

(22)申请日 2020.02.19

(71)申请人 厦门天马微电子有限公司

地址 361101 福建省厦门市翔安区翔安西路6999号

(72)发明人 吴昊 吴薇

(74)专利代理机构 北京品源专利代理有限公司 11332

代理人 巩克栋

(51) Int. Cl.

G09G 3/20(2006.01)

G11C 19/28(2006.01)

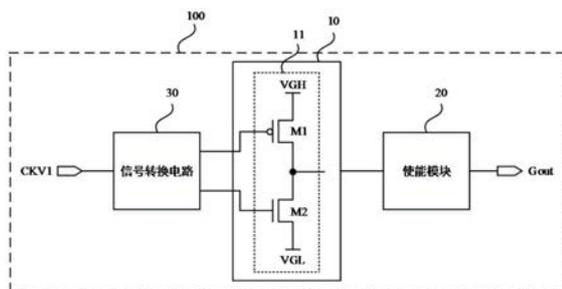
权利要求书3页 说明书14页 附图15页

(54)发明名称

移位寄存单元、移位寄存器、显示面板和显示装置

(57)摘要

本发明公开了一种移位寄存单元、移位寄存器、显示面板和显示装置,该移位寄存单元包括移位模块、使能模块、信号转换电路和至少一个时钟信号输入端;其中,至少移位模块包括第一反相器;该第一反相器包括P型第一晶体管和N型的第二晶体管;第一晶体管的第一电极接收高电平信号;第二晶体管的第二电极接收低电平信号;第一晶体管的栅极和第二晶体管的栅极为第一反相器的输入端;第一晶体管的第二电极和第二晶体管的第二电极为第一反相器的输出端;信号转换电路分别与时钟信号输入端、第一晶体管的栅极以及第二晶体管的栅极电连接,以升高输入至第一晶体管的栅极的时钟信号的电位,和/或降低输入至第二晶体管的栅极的时钟信号的电位。



1. 一种移位寄存单元,其特征在于,包括:移位模块和使能模块;

所述移位模块用于接收并锁存移位信号;

所述使能模块与所述移位模块电连接;所述使能模块用于根据所述移位信号产生栅极驱动信号;

其中,至少所述移位模块包括第一反相器;所述第一反相器包括第一晶体管和第二晶体管;所述第一晶体管为P型晶体管,所述第二晶体管为N型晶体管;所述第一晶体管的第一电极与高电平信号电连接,所述第一晶体管的第二电极与所述第二晶体管的第一电极电连接;所述第二晶体管的第二电极与低电平信号电连接;所述第一晶体管的栅极和所述第二晶体管的栅极为所述第一反相器的输入端;所述第一晶体管的第二电极和所述第二晶体管的第一电极为所述第一反相器的输出端;

所述移位寄存单元还包括信号转换电路和至少一个时钟信号输入端;

所述时钟信号输入端用于接收时钟信号,且不同的时钟信号输入端接收的时钟信号不同;

所述信号转换电路分别与所述时钟信号输入端、所述第一晶体管的栅极以及所述第二晶体管的栅极电连接;所述信号转换电路用于升高输入至所述第一晶体管的栅极的所述时钟信号的电位,和/或用于降低输入至所述第二晶体管的栅极的所述时钟信号的电位。

2. 根据权利要求1所述的移位寄存单元,其特征在于,所述信号转换电路包括至少一个第一二极管和至少一个第二二极管;

其中,各所述第一二极管依次串联;所述第一二极管的阳极与所述第一晶体管的栅极电连接,所述第一二极管的阴极与所述时钟信号输入端电连接;

各所述第二二极管依次串联;所述第二二极管的阳极与所述第二晶体管的栅极电连接,所述第二二极管的阴极与所述时钟信号输入端电连接。

3. 根据权利要求1所述的移位寄存单元,其特征在于,所述信号转换电路包括第一电阻和第二电阻;

所述第一电阻的第一端与所述时钟信号输入端电连接,所述第一电阻的第二端与所述第一晶体管的栅极电连接;

所述第二电阻的第一端与所述时钟信号输入端电连接,所述第二电阻的第二端与所述第二晶体管的栅极电连接;

其中,所述第一晶体管的阈值电压为 V_{th1} ,所述第二晶体管的阈值电压为 V_{th2} ,所述第一电阻的分压值为 $V1$,所述第二电阻的分压值为 $V2$;其中, $V1 > |V_{th1}|$, $V2 > V_{th2}$ 。

4. 根据权利要求1所述的移位寄存单元,其特征在于,所述信号转换电路包括负载单元;

所述负载单元的第一端与所述时钟信号输入端电连接,所述负载单元的第二端与所述第一晶体管的栅极和所述第二晶体管的栅极电连接;

其中,所述负载单元的第一端与所述负载单元的第二端的电势差大于所述第二晶体管的阈值电压。

5. 根据权利要求4所述的移位寄存单元,其特征在于,所述负载单元包括至少一个第三电阻;

所述第三电阻的第一端与所述时钟信号输入端电连接,所述第三电阻的第二端与所述

第一晶体管的栅极和所述第二晶体管的栅极电连接。

6. 根据权利要求4所述的移位寄存单元,其特征在于,所述负载单元包括至少一个第三二极管;

各所述第三二极管依次串联;所述第三二极管的阳极与所述时钟信号输入端电连接;所述第三二极管的阴极与所述第一晶体管的栅极和所述第二晶体管的栅极电连接。

7. 根据权利要求1所述的移位寄存单元,其特征在于,所述信号转换电路包括第一开关单元、第二开关单元、第三开关单元、第四开关单元和耦合电容;

所述第一开关单元电连接于所述耦合电容的第一端与所述时钟信号输入端之间;所述第二开关单元电连接于所述耦合电容的第二端与所述时钟信号输入端之间;所述耦合电容的第一端与所述第一晶体管的栅极和所述第二晶体管的栅极电连接;所述第三开关单元电连接于所述耦合电容的第二端和所述低电平信号之间;所述第四开关单元电连接于所述耦合电容的第二端和所述高电平信号之间;

所述第一开关单元用于在第一阶段和第三阶段时导通,以将所述第一阶段的或第三阶段的所述时钟信号输入端的时钟信号写入所述耦合电容的第一端;

所述第二开关单元用于在第二阶段和第四阶段时导通,以将所述第二阶段或所述第四阶段的所述时钟信号输入端的时钟信号写入所述耦合电容的第二端,抬高或降低所述耦合电容的第一端的电位;

所述第三开关单元用于在所述第一阶段时导通,以将所述低电平信号写入所述耦合电容的第二端;所述第四开关单元用于在所述第三阶段时导通,以将所述高电平信号写入所述耦合电容的第二端

其中,所述第一阶段和所述第二阶段为所述时钟信号的上升沿阶段,所述第三阶段和所述第四阶段为所述时钟信号的下降沿阶段,且所述第二阶段和所述第三阶段位于所述第一阶段和所述第四阶段之间。

8. 根据权利要求7所述的移位寄存单元,其特征在于,所述第一开关单元包括第三晶体管,所述第二开关单元包括第四晶体管,所述第三开关单元包括第五晶体管,所述第四开关单元包括第六晶体管;

所述第三晶体管的第一电极与所述时钟信号输入端电连接,所述第三晶体的第二电极与所述耦合电容的第一端电连接;所述第三晶体的栅极接收第一栅极控制信号电连接;

所述第四晶体管的第一电极与所述时钟信号输入端电连接,所述第四晶体的第二电极与所述耦合电容的第二端电连接,所述第四晶体的栅极接收第二栅极控制信号;

所述第五晶体管的第一电极与所述低电平信号电连接,所述第五晶体的第二电极与所述耦合电容的第二端电连接,所述第五晶体的栅极接收第三栅极控制信号;

所述第六晶体管的第一电极与所述高电平信号电连接,所述第六晶体的第二电极与所述耦合电容的第二端电连接,所述第六晶体的栅极接收第四栅极控制信号。

9. 根据权利要求8所述的移位寄存单元,其特征在于,所述第一栅极控制信号与所述第二栅极控制信号为同一栅极控制信号。

所述第三晶体管为N型晶体管,所述第四晶体管为P型晶体管;

或者,所述第三晶体管为P型晶体管,所述第四晶体管为N型晶体管。

10. 根据权利要求1~9任一项所述的移位寄存单元,其特征在于,还包括:缓冲器和栅极驱动信号输出端;

所述缓冲器电连接于所述使能模块与所述栅极驱动信号输出端之间;所述缓冲器用于增加所述使能模块输出的所述栅极驱动信号的驱动能力,并通过所述栅极驱动信号输出端输出。

11. 根据权利要求1~9任一项所述的移位寄存单元,其特征在于,还包括:重置信号输入端和重置单元;

所述重置单元电连接于所述重置信号输入端和所述移位模块之间;所述重置单元用于在所述重置信号输入端的重置信号的控制下,重置所述移位模块的移位信号。

12. 一种移位寄存器,其特征在于,包括:权利要求1~11任一项所述的移位寄存单元。

13. 根据权利要求12所述的移位寄存器,其特征在于,包括N个所述移位寄存单元;N个所述移位寄存单元级联设置;其中,N为正整数;

其中,第一级所述移位寄存单元的移位模块接收并锁存启动信号,第二级至第N级所述移位寄存单元中的每一级移位寄存单元的移位模块接收并锁存上一级移位寄存单元中的移位模块输出的移位信号。

14. 一种显示面板,其特征在于,包括:多条扫描线以及权利要求12~13任一项所述的移位寄存器;

其中,所述移位寄存器中各所述移位寄存单元的输出端分别与一条所述扫描线连接。

15. 一种显示装置,其特征在于,包括权利要求14所述的显示面板。

移位寄存单元、移位寄存器、显示面板和显示装置

技术领域

[0001] 本发明实施例涉及显示技术领域,尤其涉及移位寄存单元、移位寄存器、显示面板和显示装置。

背景技术

[0002] 显示面板包括显示区和围绕显示区的非显示区,显示区设置有多条数据线和多条扫描线,且扫描线和数据线交叉限定相应的像素。在显示面板显示一帧画面时,会依次向显示面板的各条扫描线输入相应的扫描信号,以使数据信号能够通过相应的数据线写入至显示区的相应的像素中,而通过扫描线输入至各像素的扫描信号会由栅极驱动电路提供。

[0003] 栅极驱动电路通常包括多个级联的移位寄存单元,每一移位寄存单元包括多个时钟信号输入端,在多个时钟信号输入端输入的时钟信号以及上一级移位寄存单元输出的移位信号的控制下,移位寄存单元输出相应的扫描信号。其中,移位寄存单元的时钟信号会通过相应的时钟信号线传输至移位寄存单元。当时钟信号线较多时,会增加显示面板的边框面积。现有技术中,通过在移位寄存单元中设置反相器,能够在时钟信号线传输的时钟信号通过反相器时,转换为与时钟信号线传输的时钟信号相反的时钟信号,此时无需设置相反的时钟信号所需的时钟信号线,减少时钟信号输出引脚以及时钟信号线的数量。

[0004] 但是,由于采用时钟信号线传输时钟信号时,会使传输至移位寄存单元的时钟信号具有一定的延迟,从而在通过反相器时,使得反相器中产生贯穿电流,从而增加功耗,同时会损坏反相器。

发明内容

[0005] 本发明提供一种移位寄存单元、移位寄存器、显示面板和显示装置,以减小反相器中存在贯穿电流的时间,进而降低移位寄存单元的功耗。

[0006] 第一方面,本发明实施例提供了一种移位寄存单元,包括:移位模块和使能模块;

[0007] 所述移位模块用于接收并锁存移位信号;

[0008] 所述使能模块与所述移位模块电连接;所述使能模块用于根据所述移位信号产生栅极驱动信号;

[0009] 所述移位模块至少包括第一反相器;所述第一反相器包括第一晶体管和第二晶体管;所述第一晶体管为P型晶体管,所述第二晶体管为N型晶体管;所述第一晶体管的第一电极与高电平信号电连接,所述第一晶体管的第二电极与所述第二晶体管的第一电极电连接;所述第二晶体管的第二电极与低电平信号电连接;所述第一晶体管的栅极和所述第二晶体管的栅极为所述第一反相器的输入端;所述第一晶体管的第二电极和所述第二晶体管的第一电极为所述第一反相器的输出端;

[0010] 所述移位寄存单元还包括信号转换电路和至少一个时钟信号输入端;

[0011] 所述时钟信号输入端用于接收时钟信号,且不同的时钟信号输入端接收的时钟信号不同;

[0012] 所述信号转换电路分别与所述时钟信号输入端、所述第一晶体管的栅极以及所述第二晶体管的栅极电连接；所述信号转换电路用于升高输入至所述第一晶体管的栅极的所述时钟信号的电位，和/或用于降低输入至所述第二晶体管的栅极的所述时钟信号的电位。

[0013] 第二方面，本发明实施例还提供了一种移位寄存器，包括上述移位寄存单元。

[0014] 第三方面，本发明实施例还提供了一种显示面板，包括上述移位寄存器。

[0015] 第四方面，本发明实施例还提供了一种显示装置，包括上述显示面板。

[0016] 本发明实施例的技术方案，通过在移位寄存单元的第一反相器和时钟信号输入端之间设置信号转换电路，该信号转换电路能够升高输入至第一晶体管的栅极的时钟信号，和/或降低第二晶体管的栅极的时钟信号，以缩小第一晶体管和第二晶体管同时导通的电压范围，从而降低第一晶体管和第二晶体管同时导通产生的贯穿电流的功耗，以及削弱贯穿电流对反相器的性能的影响，进而有利于降低移位寄存单元的功耗，提升移位寄存单元的性能。

附图说明

[0017] 图1为一种反相器的结构示意图；

[0018] 图2是本发明实施例提供的一种移位寄存单元的结构示意图；

[0019] 图3是本发明实施例提供的又一种移位寄存单元的结构示意图；

[0020] 图4是本发明实施例提供的一种信号转换电路的结构示意图；

[0021] 图5是本发明实施例提供的又一种信号转换电路的结构示意图；

[0022] 图6是本发明实施例提供的又一种信号转换电路的结构示意图；

[0023] 图7是本发明实施例提供的又一种信号转换电路的结构示意图；

[0024] 图8是本发明实施例提供的又一种信号转换电路的结构示意图；

[0025] 图9是本发明实施例提供的又一种信号转换电路的结构示意图；

[0026] 图10是本发明实施例提供的又一种信号转换电路的结构示意图；

[0027] 图11是与图10对应的一种信号转换电路的驱动时序图；

[0028] 图12是本发明实施例提供的一种移位寄存单元的电路结构示意图；

[0029] 图13与图12对应的一种移位寄存单元的驱动时序图；

[0030] 图14是本发明实施例提供的又一种移位寄存单元的结构示意图；

[0031] 图15是本发明实施例提供的又一种移位寄存单元的电路结构示意图；

[0032] 图16是本发明实施例提供的一种移位寄存器的结构示意图；

[0033] 图17为本发明实施例提供的一种显示面板的结构示意图；

[0034] 图18是本发明实施例提供的一种显示装置的结构示意图。

具体实施方式

[0035] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是，此处所描述的具体实施例仅仅用于解释本发明，而非对本发明的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与本发明相关的部分而非全部结构。

[0036] 图1为一种反相器的结构示意图。如图1所示，反相器001包括N型的晶体管N01和P型的晶体管P01。其中，N型的晶体管N01的栅极和P型晶体管P01的栅极均为反相器001的输

入端I01,N型晶体管N01的第一电极和P型晶体管P01的第二电极均为反相器001的输出端,并且P型晶体管P01的第一电极接收高电平信号,而N型晶体管N01的第二电极接收低电平信号。由于N型晶体管N01的栅极为高电平信号时,该N型晶体管N01的第一电极与其第二电极导通;而P型晶体管P01的栅极为低电平信号时,P型晶体管P01的第一电极与其第二电极导通;因此,当反相器001的输入端I01输入低电平信号时,即P型晶体管P01的栅极和N型晶体管N01的栅极均为低电平信号,此时P型晶体管P01的第一电极与其第二电极导通,以使P型晶体管P01的第一电极的高电平信号传输至P型晶体管P01的第二电极,即反相器001的输出端001输出高电平信号;而当反相器001的输入端I01输入高电平信号时,P型晶体管P01的栅极和N型晶体管N01的栅极均为高电平信号,此时N型晶体管N01的第一电极与其第二电极导通,以使N型晶体管N01的第二电极的低电平信号传输至N型晶体管N01的第一电极,即反相器001的输出端001输出低电平信号。如此,当反相器001的输入端输入高电平信号时,反相器001的输出端就会输出低电平信号;而反相器001的输入端输入低电平信号时,反相器001的输出端就会输出高电平信号。

[0037] 显示面板的移位寄存器的各移位寄存单元中通常设置有反相器001,该反相器001的输入端I01接收时钟信号线传输的时钟信号,并能够输出与该时钟信号线传输的时钟信号相反的信号。示例性的,传输至移位寄存单元中反相器001的输入端I01的时钟信号可在-7V~8V之间变化,以满足反相器001中N型晶体管N01和P型晶体管P01的导通要求,使得反相器001能够输出与时钟信号相反的信号。

[0038] 但是,当传输至移位寄存单元中反相器001的输入端I01的时钟信号可在-7V~8V之间变化时,反相器001的N型晶体管N01可在该反相器001的输入端I01接收的时钟信号为-5.5V~8V时导通,而反相器001的P型晶体管P01可在该反相器001的输入端I01接收的时钟信号为-7V~6.5V时导通。如此,当时钟信号在-5.5V~6.5V之间变化时,反相器001的N型晶体管N01和P型晶体管P01同时导通,使得P型晶体管P01的第一电极接收的高电平信号与N型晶体管N01的第二电极接收的低电平信号之间形成回路,从而在反相器001的内部产生贯穿电流,影响反相器001的性能,同时会产生不必要的功耗,进而影响显示面板的显示性能,以及提升显示面板的功耗。

[0039] 为解决上述技术问题,本发明实施例提供一种移位寄存单元,该移位寄存单元包括移位模块和使能模块;该移位模块用于接收并锁存移位信号;使能模块与移位模块电连接,该使能模块用于根据移位信号产生栅极驱动信号。其中,至少移位模块包括第一反相器;该第一反相器包括第一晶体管和第二晶体管;第一晶体管为P型晶体管,第二晶体管为N型晶体管,且第一晶体管的第一电极与高电平信号电连接,第一晶体管的第二电极与第二晶体管的第一电极电连接,第二晶体管的第二电极与低电平信号电连接;第一晶体管的栅极和第二晶体管的栅极为第一反相器的输入端;第一晶体管的第二电极和第二晶体管的第一电极为第一反相器的输出端;该移位寄存单元还包括信号转换电路和至少一个时钟信号输入端;该时钟信号输入端用于接收时钟信号,且不同的时钟信号输入端接收的时钟信号不同;信号转换电路分别与时钟信号输入端、第一晶体管的栅极和第二晶体管的栅极电连接;该信号转换电路用于升高输入至第一晶体管的栅极的时钟信号的电位,和/或用于降低输入至第二晶体管的栅极的时钟信号的电位。

[0040] 采用上述技术方案,通过在移位寄存单元的第一反相器和时钟信号输入端之间设

置信号转换电路,该信号转换电路能够升高输入至第一晶体管的栅极的时钟信号,和/或降低第二晶体管的栅极的时钟信号,以缩小第一晶体管和第二晶体管同时导通的电压范围,从而降低第一晶体管和第二晶体管同时导通产生的贯穿电流的功耗,以及削弱贯穿电流对反相器的性能的影响,进而有利于降低移位寄存单元的功耗,提升移位寄存单元的性能。

[0041] 以上是本发明的核心思想,基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下,所获得的所有其他实施例,都属于本发明保护的范围。以下将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述。

[0042] 在本发明实施例中,移位寄存单元至少包括移位模块和使能模块,且至少移位模块包括第一反相器;同时,在使能模块能够实现相应功能的前提下,该使能模块也可以包括第一反相器,本发明实施例对此不作具体限定。为便于描述,本发明实施例以移位模块包括第一反相器为例进行示例性的说明。

[0043] 图2是本发明实施例提供的一种移位寄存单元的结构示意图。如图2所示,移位寄存单元100包括信号转换电路30、移位模块10、使能模块20以及至少一个时钟信号输入端(CKV1)。各时钟信号输入端(CKV1)接收不同的时钟信号,以使移位模块接收并锁存移位信号,并使使能模块根据移位信号产生栅极驱动信号。

[0044] 移位模块10包括第一反相器11,该第一反相器11包括P型的第一晶体管M1和N型的第二晶体管M2;其中,第一晶体管M1的第一电极接收高电平信号VGH,第二晶体管M2的第二电极接收低电平信号VGL,且第一晶体管M1的栅极和第二晶体管M2的栅极均为第一反相器11的输入端,第一晶体管M1的第二电极和第二晶体管M2的第一电极均为第一反相器11的输出端。如此,当第一晶体管M1的栅极电位 $V_{g1} < VGH + V_{th1}$ 时,第一晶体管M1的第一电极与其第二电极导通,第一反相器11的输出端可输出高电平信号VGH;当第二晶体管M2的栅极电位的栅极电位 $V_{g2} > VGL + V_{th2}$ 时,第二晶体管M2的第一电极与其第二电极导通,第一反相器11的输出端可输出低电平信号VGL。其中, V_{th1} 为第一晶体管M1的阈值电压, V_{th2} 为第二晶体管M2的阈值电压。

[0045] 当时钟信号输入端CKV1输入的时钟信号CK1的取值范围为 $a < CK1 < b$,且 $a \leq VGL + V_{th2}$, $b \geq VGH + V_{th1}$ 时,若直接将时钟信号输入端CKV1的时钟信号CK1输入至第一晶体管M1的栅极和第二晶体管M2的栅极,则在 $[a, VGH + V_{th1}]$ 范围内的时钟信号能够满足第一晶体管M1的导通条件,而在 $[VGL + V_{th2}, b]$ 范围内的时钟信号能够满足第二晶体管M2的导通条件。而当 $VGL + V_{th2} < VGH + V_{th1}$ 时,时钟信号输入端CKV1输入的时钟信号CK1能够使第一晶体管M1和第二晶体管M2同时导通,将会产生贯穿第一晶体管M1和第二晶体管M2的贯穿电流。

[0046] 在时钟信号输入端CKV1与第一晶体管M1的栅极和第二晶体管M2的栅极之间设置信号转换电路30,且该信号转换电路30能够升高输入至第一晶体管M1的栅极的时钟信号的电位,和/或能够降低输入至第二晶体管M2的栅极的时钟信号的电位。即,当信号转换电路30将输入至第一晶体管M1的栅极的时钟信号的电位升高 $\Delta V1$ 时,时钟信号输入端输入CKV1的时钟信号CK1通过信号转换电路30输入至第一晶体管M1的栅极后变为 $CK1 + \Delta V1$,此时使第一晶体管M1导通的时钟信号CK1的范围为 $[a, VGH + V_{th1} - \Delta V1]$,使得第一晶体管M1导通的时钟信号CK1的范围缩小;而当信号转换电路30将输入至第二晶体管M2的栅极的时钟信号的电位降低 $\Delta V2$ 时,时钟信号输入端输入CKV1的时钟信号CK1通过信号转换电路30输入至第二晶体管M2的栅极后变为 $CK1 - \Delta V2$,此时使第二晶体管M2导通的时钟信号的范围为 $[VGL +$

$V_{th2} + \Delta V_2, b]$,使得第二晶体管M2导通的时钟信号CK1的范围缩小。如此,缩小使第一晶体管M1和/或第二晶体管M2导通的时钟信号CK1的范围,有利于减少产生贯穿电流的时间,从而能够降低因贯穿电流而产生的功耗,进而提高移位寄存单元100的性能,降低包括移位寄存单元100的显示面板的功耗,以及提高该显示面板的显示效果。

[0047] 需要说明的是,上述 ΔV_1 和 ΔV_2 可以相同或不同,本发明实施例对此不做具体限定。此外,图2仅为本发明实施例示例性的附图,图2中示例性的示出了移位寄存单元100仅包括一个时钟信号输入端CKV1;在本发明实施例中移位寄存单元100还可以包括两个或两个以上的时钟信号输入端。

[0048] 示例性的,图3是本发明实施例提供的又一种移位寄存单元的结构示意图。图3与图2相同之处在此不再赘述,此处仅对图3与图2不同之处进行示例性的说明。如图3所示,移位寄存单元100包括两个时钟信号输入端CKV1和CKV2;该移位寄存单元100还包括移位信号输入端IN、移位信号输出端Next以及栅极驱动信号输出端Gout。其中,时钟信号输入端CKV1接收的时钟信号输入至移位模块10中,同时还通过信号转换电路30输入至移位模块10的第一反相器,以使移位模块10能够锁存移位信号输入端IN的移位信号,以及能够通过移位信号输出端Next向下一级移位寄存单元提供移位信号;时钟信号输入端CKV2提供的时钟信号输入至使能模块20中,以使使能模块20能够根据时钟信号输入端CKV2的时钟信号以及移位模块10输出的信号进行逻辑运算后,通过栅极驱动信号输出端Gout输出相应的栅极驱动信号。

[0049] 为便于描述以下均以图3所示的移位寄存单元为例,对本发明实施例中信号转换电路的功能以及结构进行示例性的说明。

[0050] 可选的,信号转换电路可以包括至少一个第一二极管和至少一个第二二极管;其中,各第一二极管依次串联,且第一二极管的阳极与第一反相器的第一晶体管的栅极电连接,第一二极管的阴极与时钟信号输入端电连接;各第二二极管依次串联,且第二二极管的阳极与第二晶体管的栅极电连接,第二二极管的阴极与时钟信号输入端电连接。

[0051] 示例性的,图4是本发明实施例提供的一种信号转换电路的结构示意图。如图4所示,信号转换电路30包括一个第一二极管D1和一个第二二极管D2;第一二极管D1的阳极与第一反相器11的第一晶体管M1的栅极电连接,第一二极管D1的阴极与时钟信号输入端CKV1电连接;第二二极管D2的阳极与时钟信号输入端CKV1电连接,第二二极管D2的阴极与第二晶体管M2的栅极电连接。由于通过二极管具有管压降 ΔV_d ,且二极管具有正向导通的特性,因此第一二极管D1的阳极电位应该比该第一二极管D1的阴极电位高 ΔV_{d1} ,同样的第二二极管D2的阳极电位应该比第二二极管D2的阴极电位高 ΔV_{d2} 。即当第一二极管D1导通时,若与第一二极管D1的阴极电连接的时钟信号输入端CKV1的时钟信号为CK1,则与第一二极管D1的阳极电连接的第一晶体管M1的栅极电位为 $CK1 + \Delta V_{d1}$,相较于第一晶体管M1的栅极直接输入时钟信号输入端CKV1的时钟信号CK1的情况,输入至第一晶体管M1的栅极的信号升高了 ΔV_{d1} ;相应的,当第二二极管D2导通时,若与第二二极管D2的阳极电连接的时钟信号输入端CKV1的时钟信号为CK1,则与第二二极管D2的阴极电连接的第二晶体管M2的栅极电位为 $CK1 - \Delta V_{d2}$,相较于第二晶体管M2的栅极直接输入时钟信号输入端CKV1的时钟信号CK1的情况,输入至第二晶体管M2的栅极的信号降低了 ΔV_{d2} 。如此,当时钟信号输入端CKV1的时钟信号CK1的取值范围为 $[a, b]$,第一晶体管M1的阈值电压为 V_{th1} ,第二晶体管M2的阈值

电压为 V 挺好2时,时钟信号CK1在 $[a, VGH+V_{th1}-\Delta Vd1]$ 的范围内变化时,第一晶体管M1导通,而时钟信号CK1在 $[VGL+V_{th2}+\Delta Vd2, b]$ 的范围内变化时,第二晶体管M2导通,即缩小了使第一晶体管M1和第二晶体管M2导通的时钟信号CK1的范围,从而能够缩小使第一晶体管M1和第二晶体管M2同时导通的时钟信号CK1的范围,有利于减少使第一晶体管M1和第二晶体管M2同时导通的时间,降低因第一晶体管M1和第二晶体管M2同时导通所产生的贯穿电流带来的功耗,进而提高移位寄存单元的性能。

[0052] 其中,第一二极管D1的管压降 $\Delta Vd1$ 与第二二极管D2的管压降可以相同或不同,本发明实施例对此不作具体限定。以第一二极管D1的管压降与第二二极管D2的管压降相同为例。示例性的,第一二极管D1和第二二极管D2的管压降 Vd 可以为1.5V,第一晶体管M1的阈值电压 V_{th1} 可以为-1.5V,第二晶体管M2的阈值电压 V_{th2} 可以为1.5V,高电平信号VGH可以为8V,低电平信号VGL可以为-7V,时钟信号输入端CKV1输入的时钟信号CK1在 $[-7V, 8V]$ 的范围内变化。此时,第一晶体管M1的栅极电位在 $[-7V, 6.5V]$ 的范围内时导通,即时钟信号输入端CKV1输入的时钟信号CK1在 $[-7V, 5V]$ 的范围内时第一晶体管M1导通;而第二晶体管M2的栅极电位在 $[-5.5V, 8V]$ 的范围内时导通,即时钟信号输入端CKV1输入的时钟信号CK1在 $[-4V, 8V]$ 的范围内时第二晶体管M2导通。如此,现有技术中,直接将时钟信号输入端CKV1的时钟信号输入至第一晶体管M1的栅极和第二晶体管M2的栅极时,第一晶体管M1和第二晶体管M2同时导通的时钟信号CK1的范围为 $[-5.5V, 6.5V]$,而本实施例能够使第一晶体管M1和第二晶体管M2同时导通的时钟信号CK1的范围可缩小为 $[-4V, 5V]$,即时钟信号CK1在 $-7V\sim-4V$ 之间时,第一晶体管M1导通,在 $5V\sim 8V$ 之间时,第二晶体管M1导通,而仅在 $-4V\sim 5V$ 之间时第一晶体管M1和第二晶体管M2才同时导通,相较于现有技术缩小了时第一晶体管M1和第二晶体管M2同时导通的时钟信号的范围,减少了产生贯穿电流的时间。

[0053] 需要说明的是,图4仅为本发明实施例示例性的附图,图4中仅示例性的示出了,信号转换电路30包括一个第一二极管D1和一个第二二极管D2;此外,信号转换电路30还可以包括两个或多个第一二极管,和/或包括两个或多个第二二极管,以使第一晶体管M1和第二晶体管M2同时导通的时钟信号CK1的范围进一步缩小。在能够实现缩小使第一晶体管M1和第二晶体管M2同时导通的时钟信号CK1的范围的前提下,本实施例对信号转换电路中第一二极管和第二二极管的数量不做具体限定。

[0054] 可选的,图5是本发明实施例提供的又一种信号转换电路的结构示意图。如图5所示,信号转换电路30包括第一电阻R1和第二电阻R2;该第一电阻R1的第一端与时钟信号输入端CKV1电连接,第一电阻R1的第二端与第一晶体管M1的栅极电连接;第二电阻R2的第一端与时钟信号输入端CKV1电连接,第二电阻R2的第二端与第二晶体管M2的栅极电连接;其中,第一晶体管M1的阈值电压为 V_{th1} ,第二晶体管M2的阈值电压为 V_{th2} ,第一电阻R1的分压值为 $V1$,第二电阻R2的分压值为 $V2$;其中, $V1 > |V_{th1}|$, $V2 > V_{th2}$ 。

[0055] 具体的,时钟信号输入端CKV1输入的时钟信号CK1通过第一电阻R1分压后输入值第一晶体管M1的栅极,以及通过第二电阻R2分压后输入值第二晶体管M2。由于第一电阻R1的分压值为 $V1$,因此时钟信号输入端CKV1的时钟信号CK1通过第一电阻R1后会向0V靠近 $V1$,当时钟信号输入端CKV1的时钟信号CK1在 $[VGL, VGH]$ 范围内变化,且 $VGL < 0V$, $VGH > 0V$ 时,时钟信号输入端CKV1的时钟信号CK1通过第一电阻R1输入第一晶体管M1的栅极,使得第一晶体管M1的栅极电位在 $[VGL+V1, VGH-V1]$ 的范围内变化;同样的,时钟信号输入端CKV1的时钟信

号CK1通过第二电阻R2输入第二晶体管M2的栅极,会使得第二晶体管M2的栅极电位在 $[V_{GL}+V_2, V_{GH}-V_2]$ 的范围内变化。即在时钟信号输入端CKV1的时钟信号CK1大于0V时,信号转换电路10能够使时钟信号输入端CKV1的时钟信号降低后输入至第一晶体管M1和第二晶体管M2的栅极;而在时钟信号输入端CKV2的时钟信号CK2小于0V时,信号转换电路10能够使时钟信号输入端CKV1的时钟信号CK1升高后输入至第一晶体管M1和第二晶体管M2的栅极。

[0056] 当第一晶体管M1的阈值电压为 V_{th1} ,第二晶体管M2的阈值电压为 V_{th2} 时,若将时钟信号端CKV1的时钟信号CK1直接输入至第一晶体管M1的栅极和第二晶体管M2的栅极,则第一晶体管M1和第二晶体管M2同时导通的范围为 $[V_{GL}+V_{th2}, V_{GH}+V_{th1}]$ 。而对于时钟信号输入端CKV1的时钟信号C看1通过第一电阻R1和第二电阻R2后分别输入至第一晶体管M1的栅极和第二晶体管M2的栅极情况,由于第一电阻R1的分压值 V_1 大于 V_{th1} ,第二电阻R2的分压值大于 V_{th2} ,且第一晶体管M1为P型晶体管,即 $V_{th1}<0V$,第二晶体管M2为N型晶体管,即 $V_{th2}>0V$,因此第一晶体管M1的栅极电位 V_{g1} 在 $[V_{GL}+V_1, V_{GH}-V_1]$ 的范围内导通第二晶体管M2的栅极电位 V_{g2} 在 $[V_{GL}+V_2, V_{GH}-V_2]$ 的范围内导通。当 V_1 大于 $|V_{th1}|$, V_2 大于 V_{th2} 时, $V_{GH}-V_1$ 小于 $V_{GH}+V_{th1}$, $V_{GL}+V_2$ 大于 $V_{GL}+V_{th2}$;当 V_1 等于 V_2 时,第一晶体管M1和第二晶体管M2同时导通的电压范围为 $[V_{GL}+V_{th2}, V_{GH}-V_1]$,该范围 $[V_{GL}+V_{th2}, V_{GH}-V_1]$ 包含在 $[V_{GL}+V_{th2}, V_{GH}+V_{th1}]$ 范围内,如此,缩小了第一晶体管M1和第二晶体管M2同时导通的电压范围,有利于降低因贯穿电流的存在而产生的功耗,从而能够提高移位寄存单元的性能。

[0057] 需要说明的是,在能够实现本实施例中信号转换电路的功能的前提下,本对第一电阻R1的压降值 V_1 与第二电阻R2的压降值 V_2 是否相同,不做具体限定。同时,在能够实现本实施例中信号转换电路的功能的前提下,该信号转换电路可以包括多个第一电阻和多个第二电阻,本发明实施例对此不作具体限定。

[0058] 可选的,图6是本发明实施例提供的又一种信号转换电路的结构示意图。如图6所示,信号转换电路30包括负载单元31;该负载单元31的第一端与时钟信号输入端CKV1电连接,负载单元31的第二端与第一晶体管M1的栅极和第二晶体管M2的栅极电连接;其中,负载单元31的第一端与负载单元31的第二端的电势差大于第二晶体管M2的阈值电压。此时,时钟信号输入端CKV1的时钟信号CK1通过负载单元31后会向0V靠近,或发生压降。

[0059] 具体的,时钟信号输入端CKV1的时钟信号CK1通过负载单元31后会向0V靠近,即当负载单元31两端的电势差为 ΔV ,时钟信号输入端CKV1的时钟信号CK1在 $[V_{GL}, V_{GH}]$ 的范围内变化时,第一晶体管M1的栅极电位和第二晶体管M2的栅极电位可在 $[V_{GL}+\Delta V, V_{GH}-\Delta V]$ 的范围内变化。由于负载单元31两端的电势差大于第二晶体管M2的阈值电压 V_{th2} ,因此当第一晶体管M1的阈值电压 V_{th1} 的绝对值 $|V_{th1}|$ 等于第二晶体管M2的阈值电压 V_{th2} 时, $V_{GL}+\Delta V$ 大于 $V_{GL}+V_{th2}$, $V_{GH}-\Delta V$ 小于 $V_{GH}+V_{th1}$ 。如此,第一晶体管M1的栅极电位和第二晶体管M2的栅极电位的变化范围 $[V_{GL}+\Delta V, V_{GH}-\Delta V]$ 在 $[V_{GL}+V_{th2}, V_{GH}+V_{th1}]$ 的范围内,即相较于现有技术,缩小了第一晶体管M1和第二晶体管M2同时导通的电压范围,有利于降低移位寄存单元的功耗,提高移位寄存单元的性能。

[0060] 示例性的,对于时钟信号输入端CKV1的时钟信号CK1通过负载单元31后会向0V靠近的情况,该负载单元可以包括至少一个第三电阻。图7是本发明实施例提供的又一种信号转换电路的结构示意图。结合图6和图7所示,负载单元31可以包括至少一个第三电阻R3;该第三电阻R3的第一端与时钟信号输入端CKV1电连接,第三电阻R3的第二端与第一晶体管M1

的栅极和第二晶体管M2的栅极电连接。此时,当第三电阻R3的分压值大于第二晶体管M2的阈值电压时,能够缩小第一晶体管M1和第二晶体管M2同时导通的电压范围,从而有利于降低移位寄存单元的功耗,提高移位寄存单元的性能。其中,负载单元31可以包括一个第三电阻R3,也可以包括多个第三电阻R3,本发明实施例对此不做具体限定。

[0061] 或者,时钟信号输入端CKV1的时钟信号CK1通过负载单元31会产生压降,即当负载单元31两端的电势差为 ΔV ,时钟信号输入端CKV1的时钟信号CK1在 $[VGL, VGH]$ 的范围内变化时,第一晶体管M1的栅极电位和第二晶体管M2的栅极电位可在 $[VGL - \Delta V, VGH - \Delta V]$ 的范围内变化。由于负载单元31两端的电势差大于第二晶体管M2的阈值电压 V_{th2} ,因此当第一晶体管M1的阈值电压 V_{th1} 的绝对值 $|V_{th1}|$ 等于第二晶体管M2的阈值电压 V_{th2} 时, $VGL - \Delta V$ 小于 $VGL + V_{th2}$, $VGH - \Delta V$ 小于 $VGH + V_{th1}$,此时第一晶体管M1和第二晶体管M2同时导通的电压范围为 $[VGL + V_{th2}, VGH - \Delta V]$ 。如此,第一晶体管M1和第二晶体管M2同时导通的电压范围 $[VGL + V_{th2}, VGH - \Delta V]$ 在 $[VGL + V_{th2}, VGH + V_{th1}]$ 的范围内,即相较于现有技术,缩小了第一晶体管M1和第二晶体管M2同时导通的电压范围,有利于降低移位寄存单元的功耗,提高移位寄存单元的性能。

[0062] 示例性的,对于时钟信号输入端CKV1的时钟信号CK1通过负载单元31会产生压降的情况,该负载单元31可以包括至少一个第三二极管,该第三二极管的阳极与时钟信号输入端CKV1电连接,第三二极管的阴极与第一晶体管M1的栅极和第二晶体管M2的栅极电连接;且当包括至少两个第二二极管时,各第三二极管应依次串联。图8是本发明实施例提供的又一种信号转换电路的结构示意图。如图8所示,负载单元31包括第三二极管D3,该第三二极管D3的阳极与时钟信号输入端CKV1电连接;第三二极管D3的阴极与第一晶体管M1的栅极和第二晶体管M2的栅极电连接。由于第三二极管D3具有管压降,即时钟信号输入端CKV1的时钟信号CK1通过第三二极管D3后产生压降,使得输入至第一晶体管M1的栅极和第二晶体管M2的栅极的电压发生变化,达到缩小第一晶体管M1和第二晶体管M2同时导通的电压范围的目的,从而有利于降低移位寄存单元的功耗,提高移位寄存单元的性能。

[0063] 可选的,图9是本发明实施例提供的又一种信号转换电路的结构示意图。如图9所示,信号转换电路30包括第一开关单元321、第二开关单元322和耦合电容C1;第一开关单元321电连接于耦合电容C1的第一端c11与时钟信号输入端CKV1之间;第二开关单元322电连接于耦合电容C1的第二端c12与时钟信号输入端CKV1之间;耦合电容C1的第一端c11与第一晶体管M1的栅极和第二晶体管M2的栅极电连接;第三开关单元323电连接于耦合电容C1的第二端c12和低电平信号VGL之间;第四开关单元324电连接于耦合电容C1的第二端c12和VGH高电平信号之间;第一开关单元321用于在第一阶段和第三阶段时导通,将第一阶段或第三阶段的时钟信号输入端CKV1的时钟信号CK1写入耦合电容C1的第一端c11;第二开关单元322用于在第二阶段和第四阶段时导通,将第二阶段或第四阶段的时钟信号输入端CKV2的时钟信号写入耦合电容C1的第二端,以抬高或降低耦合电容C1的第一端c11的电位;第三开关单元323用于在第一阶段时导通,以将低电平信号VGL写入耦合电容C1的第二端c11;第四开关单元324用于在第三阶段时导通,以将高电平信号VGH写入耦合电容C1的第二端c12;其中,第一阶段和第二阶段为时钟信号CK1的上升沿阶段,第三阶段和第四阶段为时钟信号CK1的下降沿阶段,且第二阶段和第三阶段位于第一阶段和第四阶段之间。

[0064] 示例性的,当时钟信号输入端CKV1的时钟信号CK1在 $[-8V, 8V]$ 范围内变化时,在第

一阶段,时钟信号CK1可从-8V逐渐升高至0V;在第二阶段,时钟信号CK1可从0V逐渐升高至8V;在第三阶段,时钟信号CK1可从8V下降至0V;在第四阶段,时钟信号CK1可从0V下降至-8V;同时,高电平信号可以为8V的固定电位,低电平信号可以为-8V的固定电位。

[0065] 在第一阶段开始时,第一开关单元321和第三开关单元323导通,第二开关单元322和第四开关单元324断开,时钟信号CK1通过导通的第一开关单元321写入耦合电容C1的第一端c11以及第一晶体管M1的栅极和第二晶体管M2的栅极,使得第一晶体管M1的栅极电位和第二晶体管M2的栅极电位为-8V;低电平信号VGL通过导通的第三开关单元323写入耦合电容C1的第二端c12;在第一阶段结束时,时钟信号CK1上升至0V,使得耦合电容C1的第一端c11升高至0V,耦合电容C1的第二端c12的电位保持为-8V,此时耦合电容C1的第一端c11与第二端c12的电位差为8V。

[0066] 在第二阶段开始时,第二开关单元322导通,第一开关单元321、第三开关单元323以及第四开关单元324均断开,由于此时的时钟信号CK1已经升高至0V,该0V的时钟信号CK1通过导通的第二开关单元322写入耦合电容C1的第二端c12,使得耦合电容C1的第二端c12的电位升高8V;由于耦合电容C1的耦合作用,使得耦合电容C1的第一端c11和第二端c12之间的电位差需保持不变,因此耦合电容C1的第一端c11的电位也会升高8V,即第二阶段开始时耦合电容C1的第一端c11的电位会从0V直接跳转为8V,此时第一晶体管M1的栅极电位和第二晶体管M2的栅极电位也会从0V直接跳转为8V;在第二阶段结束时,耦合电容C1的第二端c12的电位升高至8V,相应的,耦合电容C1的第一端c11的电位升高至16V,即第一晶体管M1的栅极电位和第二晶体管M2的栅极电位升高至16V。

[0067] 在第三阶段开始时,时钟信号CK1开始进入下降沿,第一开关单元321和第四开关单元324导通,第二开关单元322和第三开关单元323断开,由于此时时钟信号CK1已升高至8V,该8V的时钟信号CK1通过导通的第一开关单元321写入至耦合电容C1的第一端c11;同时,高电平信号VGH通过导通的第四开关单元324写入耦合电容C1的第二端c12;在第三阶段结束时,时钟信号CK1下降至0V,使得耦合电容C1的第一端c11下降至0V,耦合电容C1的第二端c12的电位保持为8V,此时耦合电容C1的第一端c11与第二端c12的电位差为8V。

[0068] 在第四阶段开始时,第二开关单元322导通,第一开关单元321、第三开关单元323和第四开关单元324断开,由于此时的时钟信号CK1已经升高至0V,该0V的时钟信号CK1通过导通的第二开关单元322写入耦合电容C1的第二端c12,使得耦合电容C1的第二端c12的电位下降8V;由于耦合电容C1的耦合作用,使得耦合电容C1的第一端c11和第二端c12之间的电位差需保持不变,因此耦合电容C1的第一端c11的电位也会下降8V,即第二阶段开始时耦合电容C1的第一端c11的电位会从0V直接跳转为-8V,此时第一晶体管M1的栅极电位和第二晶体管M2的栅极电位也会从0V直接跳转为-8V;在第四阶段结束时,耦合电容C1的第二端c12的电位下降至-8V,相应的,耦合电容C1的第一端c11的电位下降至-16V,即第一晶体管M1的栅极电位和第二晶体管M2的栅极电位升高至-16V。

[0069] 本实施例中,在时钟信号CK1处于上升沿时,输入至第一晶体管M1的栅极和第二晶体管M2的栅极的电压为-8V到0V以及8V到16V,而在时钟信号CK1处于下降沿时,输入至第一晶体管M1的栅极和第二晶体管M2的栅极的电压为8V到0V以及-8V到-16V;当第一晶体管M1的阈值电压 V_{th1} 为-2V,第二晶体管M2的阈值电压 V_{th2} 为2V时,若第一晶体管M1的栅极电位 V_{g1} 小于6V,该第一晶体管M1导通;若第二晶体管M2的栅极电位 V_{g2} 大于-6V时,第二晶体管

M2导通。如此,在上升沿时,第一晶体管M1和第二晶体管M2同时导通的电压缩小为 $[-6V, 0V]$,而在下降沿时,第一晶体管M1和第二晶体管M2同时导通的电压缩小为 $[0V, 6V]$,从而减少了第一晶体管M1和第二晶体管M2同时导通所产生的贯穿电流的时间,有利于降低移位寄存单元的功耗,提高移位寄存单元的性能。

[0070] 可选的,图10是本发明实施例提供的又一种信号转换电路的结构示意图。结合图9和图10所示,信号转换电路30的第一开关单元321包括第三晶体管T3,信号转换电路30的第二开关单元322包括第四晶体管T4,信号转换电路30的第三开关单元323包括第五晶体管T5;信号转换电路30的第四开关单元324包括第六晶体管T6;该第三晶体管T3的第一电极与时钟信号输入端CKV1电连接,第三晶体管T3的第二电极与耦合电容C1的第一端c11电连接;第三晶体管T3的栅极接收第一栅极控制信号SW1电连接;第四晶体管T4的第一电极与时钟信号输入端CKV1电连接,第四晶体管T4的第二电极与耦合电容C1的第二端c12电连接,第四晶体管T4的栅极接收第二栅极控制信号SW2;第五晶体管T5的第一电极与低电平信号VGL电连接,第五晶体管T5的第二电极与耦合电容C1的第二端c11电连接,第五晶体管T5的栅极接收第三栅极控制信号SW3;第六晶体管T6的第一电极与高电平信号VGH电连接,第六晶体管T6的第二电极与耦合电容C1的第二端c11电连接,第六晶体管T6的栅极接收第四栅极控制信号SW4。

[0071] 具体的,第三晶体管T3在有效的第一栅极控制信号SW1的控制下导通。第四晶体管T4在有效的第二栅极控制信号SW2的控制下导通,第五晶体管T5在有效的第三栅极控制信号SW3的控制下导通,第六晶体管T6在有效的第四栅极控制信号SW4的控制下导通,以能够在时钟信号写入过程中,通过耦合电容C1的耦合作用,使得写入至第一晶体管M1的栅极和第二晶体管M2的栅极的电信号快速升高或快速降低,从而减少第一晶体管M1和第二晶体管M2同时导通的时间,降低因第一晶体管M1和第二晶体管M2同时导通所产生的贯穿电流带来的功耗,进而提高移位寄存单元的性能。

[0072] 可选的,当第三晶体管T3为N型晶体管,第四晶体管T4为P型晶体管,或者第三晶体管T3为P型晶体管,第四晶体管T4为N型晶体管时,第一栅极控制信号SW1与第二栅极控制信号SW2为同一栅极控制信号SW。

[0073] 其中,N型晶体管的栅极为高电平信号时导通,P型晶体管的栅极为低电平信号时导通。以第三晶体管T3、第五晶体管T5和第六晶体管T6均为N型晶体管,第四晶体管T4为P型晶体管为例,对本实施例的驱动时序进行示例性的说明。

[0074] 示例性的,图11是与图10对应的一种信号转换电路的驱动时序图。结合图10和图11所示,时钟信号输入端CKV1的时钟信号CK1例如可以在 $[-8V, 8V]$ 之间变化,高电平信号VGH例如为8V的固定电位,低电平信号例如为-8V的固定电位,第一晶体管M1的栅极电位Vg1小于6V时,第一晶体管M1导通,第二晶体管M2的栅极电位Vg2大于-6V时,第二晶体管M2导通。

[0075] 在第一阶段的开始时刻t1时,第三晶体管T3和第五晶体管T5开始导通,第四晶体管T4和第六晶体管T6断开,-8V的时钟信号CK1通过导通的第三晶体管T3写入耦合电容C1的第一端c11,-8V的低电平信号通过导通的第五晶体管T5写入耦合电容C1的第二端c12;在第一阶段的t1~t2之间,第三晶体管T3和第五晶体管T5保持导通,第四晶体管T4和第六晶体管T6保持断开状态,耦合电容C1的第一端c11的电位逐渐升高,耦合电容C1的第二端c12的

电位保持不变;在第一阶段的结束时刻 t_2 ,耦合电容C1的第一端c11的电位升高至0V,使得耦合电容C1的第一端c11和第二端c12之间的电位差为8V。

[0076] 在第二阶段的开始时刻 t_2 ,第四晶体管T4开始导通,第三晶体管T3、第五晶体管T5和第六晶体管T6断开,此时的时钟信号CK1已上升至0V,且0V的时钟信号CK1通过导通的第四晶体管T4写入耦合电容C1的第二端c12,使得耦合电容C1的第二端c12的电位从-8V跳转至0V,即耦合电容C1的第二端c12的电位升高了8V;由于耦合电容C1的耦合作用,使得耦合电容C1的第一端c11和第二端c12之间的电位差需保持不变,因此耦合电容C1的第二端c12的电位也会升高8V,此时耦合电容C1的第二端c12的电位会由0V跳转至8V,即第一晶体管M1和第二晶体管M2的栅极电位 V_g 会由0V跳转至8V;在第二阶段 $t_2 \sim t_3$ 中,时钟信号CK1持续升高至8V,即在第二阶段的结束时刻 t_3 ,耦合电容C1的第二端c12的电位升高至8V;相应的,耦合电容C1的第一端c11的电位会升高至16V,即第一晶体管M1和第二晶体管M2的栅极电位 V_g 升高至16V。

[0077] 在第三阶段的开始时刻 t_3 ,时钟信号CK1开始进入下降沿,第三晶体管T3和第六晶体管T6导通,第四晶体管T4和第五晶体管T5断开,由于此时的时钟信号CK1已升高至8V,该8V的时钟信号CK1通过导通的第三晶体管T3写入至耦合电容C1的第一端c11;同时,高电平信号VGH通过导通的第六晶体管T6写入耦合电容C1的第二端c12;在第三阶段的结束时刻 t_4 ,时钟信号CK1下降至0V,使得耦合电容C1的第一端c11下降至0V,耦合电容C1的第二端c12的电位保持为8V,此时耦合电容C1的第一端c11与第二端c12的电位差为8V。

[0078] 在第四阶段的开始时刻 t_4 ,第四晶体管T4开始导通,第三晶体管T3、第五晶体管T5和第六晶体管T6断开,由于此时的时钟信号CK1已经升高至0V,该0V的时钟信号CK1通过导通的第四晶体管T4写入耦合电容C1的第二端c12,使得耦合电容C1的第二端c12的电位下降8V;由于耦合电容C1的耦合作用,使得耦合电容C1的第一端c11和第二端c12之间的电位差需保持不变,因此耦合电容C1的第一端c11的电位也会下降8V,即第二阶段开始时耦合电容C1的第一端c11的电位会从0V直接跳转为-8V,此时第一晶体管M1和第二晶体管M2的栅极电位 V_g 也会从0V直接跳转为-8V;在第四阶段结束时,耦合电容C1的第二端c12的电位下降至-8V,相应的,耦合电容C1的第一端c11的电位下降至-16V,即第一晶体管M1和第二晶体管M2的栅极电位 V_g 下降至-16V。

[0079] 如此,在上升沿时,第一晶体管M1和第二晶体管M2同时导通的电压缩小为[-6V, 0V],而在下降沿时,第一晶体管M1和第二晶体管M2同时导通的电压缩小为[0V, 6V],从而减少了第一晶体管M1和第二晶体管M2同时导通所产生的贯穿电流的时间,有利于降低移位寄存单元的功耗,提高移位寄存单元的性能。

[0080] 此外,在本发明实施例中,为使移位模块实现移位信号的锁存功能,该移位模块可以由多个晶体管组成。示例性的,图12是本发明实施例提供的一种移位寄存单元的电路结构示意图。如图12所示,移位模块10可以由第一反相器11、第二反相器12和8个晶体管(M3~M10)组成。第一反相器11由沟道类型不同的第一晶体管M1和第二晶体管M2组成,第二反相器12同样可由沟道类型不同的晶体管M11和M12组成,且晶体管M11的沟道类型可与第一晶体管M1的沟道类型相同,晶体管M12的沟道类型可与第二晶体管M2的沟道类型相同,此时晶体管M11的栅极和晶体管M12的栅极为第二反相器12的输入端,晶体管M11的第二电极和晶体管M12的第一电极为第二反相器12的输出端,以及晶体管M11的第一电极与高电平信号

VGH电连接,晶体管M12的第一电极与低电平信号VGL电连接;同时,晶体管M3、M4、M7和M8的沟道类型可与第一晶体管M1的沟道类型相同,而晶体管M5、M6、M9和M10可与第二晶体管M2的沟道类型相同。

[0081] 其中,第一晶体管M1的第一电极与高电平信号VGH电连接,第二晶体管M1的第二电极与低电平信号VGL电连接,第一晶体管M1的栅极和第二晶体管M2的栅极均通过信号转换电路30与时钟信号输入端CKV1电连接;第一晶体管M1的第二电极和第二晶体管M2的第一电极为第一反相器11的输出端;晶体管M3的栅极与第一反相器11的输出端电连接。晶体管M3的第一电极与高电平信号VGH电连接,晶体管M3的第二电极与晶体管M4的第一电极电连接。晶体管M4的第二电极和晶体管M5的第一电极均电连接与第一节点N1,且晶体管M4的栅极和晶体管M5的栅极均与移位信号输入端IN电连接;晶体管M5的第一电极与晶体管M6的第一电极电连接;晶体管M6的栅极与时钟信号输入端CKV1电连接,晶体管M6的第二电极与低电平信号VGL电连接。晶体管M7的栅极与时钟信号输入端CKV1电连接,晶体管M7的第一电极与高电平信号VGH电连接,晶体管M7的第二电极与晶体管M8的第一电极电连接。晶体管M8的第二电极和晶体管M9的第一电极均电连接于第一节点N1,晶体管M8的栅极、晶体管M9的栅极、以及第二反相器12的输出端均电连接于第二节点N2;晶体管M9的第一电极与晶体管M10的第二电极电连接;晶体管M10的第一电极与低电平信号VGL电连接,晶体管M10的栅极与第一反相器11的输出端电连接;第二反相器12的输入端电连接于第一节点N1。此外,第二节点N2作为锁存器10的输出端与使能模块20和移位信号输出端Next电连接。

[0082] 相应的,为使使能模块实现逻辑运算并输出栅极驱动信号,该使能模块也可以由多个晶体管组成。示例性的,继续参考图12,使能模块20可以包括4个晶体管(M13、M14、M15和M16)。晶体管M15的栅极与时钟信号输入端CKV2电连接,晶体管M15的第一电极与高电平信号VGH电连接;晶体管M15的第二电极与晶体管M13的第一电极以及栅极驱动信号输出端Gout电连接;晶体管M13的第二电极与高电平信号VGH电连接,晶体管M13的栅极和晶体管M14的栅极作为使能模块20的输入端与锁存模块10的输出端电连接;晶体管M14的第一电极与低电平信号VGL电连接,晶体管M14的第二电极与晶体管M16的第一电极电连接;晶体管M16的第二电极与栅极驱动信号输出端Gout电连接。其中,晶体管M13与晶体管M15的沟道类型相同,晶体管M14和晶体管M16的沟道类型相同。其中,栅极驱动信号输出端Gout输出的栅极驱动信号为使能模块对该使能模块的输入端接收的信号和时钟信号输入端CKV2接收的时钟信号进行与非运算后的信号。

[0083] 示例性的,图13与图12对应的一种移位寄存单元的驱动时序图。结合图12和图13所示,以晶体管M3、M4、M7、M8、M11、M13和M15均为N型晶体管,晶体管M5、M6、M9、M10、M12、M14和M16均为P型晶体管为例。

[0084] 在第一阶段 t_1' ,时钟信号输入端CKV1的时钟信号CK1控制晶体管M6导通,移位信号输入端IN的移位信号控制晶体管M5导通,时钟信号输入端CKV2的时钟信号CK2控制晶体管M15导通,低电平信号VGL依次通过导通的晶体管M5和M6写入第一节点,使得与第一节点电连接的第二反相器12的输入端输入低电平信号VGL,此时第二反相器12的输出端输出高电平信号VGH至第二节点,与第二节点电连接的移位信号输出端Next输出高电平信号;相应的,移位模块10输出高电平信号至使能模块20的晶体管M13和M14的栅极,使得晶体管M14导通,而此时晶体管M16为断开状态,晶体管M14的第一电极接收的低电平信号VGL无法输出至

栅极驱动信号输出端Gout;由于M15为导通状态,高电平信号VGH通过导通的晶体管M15和栅极驱动信号输出端Gout输出,即栅极驱动信号输出端Gout输出的栅极驱动信号Si为高电平信号。

[0085] 在第二阶段 t_2' ,时钟信号输入端CKV1的时钟信号CK1通过信号转换电路30后控制第一晶体管M1导通,时钟信号输入端CKV2的时钟信号CK2控制晶体管M16导通,高电平信号VGH通过导通的第一晶体管M1写入晶体管M10的栅极,使得晶体管M10导通;由于第一阶段时第二节点N2为高电平信号,因此晶体管M9保持导通,使得低电平信号通过导通的晶体管M10和M9写入第一节点N1,即第一节点N1保持低电平信号,第二反相器12输出高电平信号至第二节点N2,移位信号输出端Next输出的移位信号保持为高电平信号;此时使能模块20中的晶体管M14和M16为导通状态,低电平信号VGL通过导通的晶体管M14和M16以及栅极驱动信号输出端Gout输出,即栅极驱动信号输出端Gout输出的栅极驱动信号Si为低电平信号。

[0086] 在第三阶段 t_3' ,时钟信号输入端CKV1的时钟信号CK1通过信号转换电路30后控制第二晶体管M2导通,移位信号输入端IN的移位信号STV控制晶体管M4导通,时钟信号输入端CKV2的时钟信号CK2控制晶体管M15导通;低电平信号VGL通过导通的第二晶体管M2写入晶体管M3的栅极,使得晶体管M3导通,高电平信号VGH依次通过导通的晶体管M3和M4写入第一节点N1,第一节点N1的变为高电平信号;此时,第二反相器12的输入端输入高电平信号,使得第二反相器12输出低电平信号VGL至第二节点N2;与第二节点N2电连接的移位信号输出端Next输出低电平的移位信号;相应的,移位模块10输出低电平信号至使能模块20的晶体管M13和M14的栅极,使得晶体管M13导通,晶体管M14端开,高电平信号VGH通过导通的晶体管M13输出至栅极驱动信号输出端Gout,即栅极驱动信号输出端Gout输出高电平的栅极驱动信号Si。

[0087] 需要说明的是,由于N型晶体管在高电平时导通,P型晶体管在低电平时导通,因此在晶体管的沟道类型发生变化时,可通过相应的时序变化,同样能够使晶体管在相应的阶段导通。本发明实施例中,在移位寄存单元的移位模块和使能模块能够实现相应功能的前提下,对移位寄存单元中移位模块和使能模块的各晶体管的沟道类型不作具体限定。

[0088] 可选的,图14是本发明实施例提供的又一种移位寄存单元的结构示意图。如图14所示,移位寄存单元100还可以包括缓冲器40,该缓冲器40设置于使能模块20和栅极驱动信号输出端Gout之间;该缓冲器40用于增加使能模块20输出的栅极驱动信号的驱动能力,并通过栅极驱动信号输出端输出。其中,示例性的,图15是本发明实施例提供的又一种移位寄存单元的电路结构示意图。如图15所示,该移位寄存单元100的缓冲器40可以包括三个顺次连接的第三反相器。

[0089] 可选的,继续参考图15,移位寄存单元100还可以包括重置信号输入端Rest和重置单元50;该重置单元50电连接于重置信号输入端Rest和移位模块10之间;重置单元50用于在重置信号输入端Rest的重置信号的控制下,重置移位模块10的移位信号。示例性的,继续参考图15,重置单元50可以包括一晶体管M17。

[0090] 需要说明的是,图15仅为本发明实施例示例性的附图,在能够实现缓冲器和重置单元的功能的前提下,本发明实施例对重置的单元和缓冲器的结构不做具体限定。

[0091] 本发明实施例还提供一种移位寄存器。该移位寄存器包括本发明实施例提供的移位寄存单元,因此该移位寄存器也具备本发明实施例提供的移位寄存单元的有益效果,相

同之处可参照上述为移位寄存单元的描述,在此不再赘述。

[0092] 在本发明实施例中,移位寄存器可以包括多个级联的移位寄存单元,该多个级联的移位寄存单元中部分或全部为本发明实施例提供的移位寄存单元。其中,当移位寄存器中的部分移位寄存单元为本发明实施例提供的移位寄存单元时,该部分移位寄存单元可以为远离时钟信号输入引脚的移位寄存单元。为便于描述,以本发明实施例提供的移位寄存器的移位寄存的单元均为本发明实施例提供的移位寄存单元为例进行示例性的说明。

[0093] 示例性的,图16是本发明实施例提供的一种移位寄存器的结构示意图。如图16所示,移位寄存器可以包括N个本发明实施例提供的移位寄存单元ASG1~ASGn;该N个移位寄存单元ASG1~ASGn级联设置,N为正整数;其中,第一级移位寄存单元ASG1的移位模块接收并锁存启动信号STV,第二级至第N级移位寄存单元ASG2~ASGn中的每一级移位寄存单元的移位模块接收并锁存上一级移位寄存单元中的移位模块输出的移位信号。

[0094] 具体地,第一级移位寄存单元ASG1根据启动信号STV以及时钟信号输入端CKV1和时钟信号输入端CKV2的时钟信号输出相应的栅极驱动信号,以及输出相应的移位信号至第二级移位寄存单元ASG2;第二级移位寄存单元ASG2根据第一级移位寄存单元ASG1输出的移位信号以及时钟信号输入端CKV1和时钟信号输入端CKV2的时钟信号输出相应的栅极驱动信号,以及输出相应的移位信号至第三级移位寄存单元ASG3;如此,下一级的移位寄存单元能够根据上一级移位寄存单元输出的移位信号以及时钟信号输入端CKV1和时钟信号输入端CKV2的时钟信号输出相应的栅极驱动信号,以及输出相应的移位信号至该级移位寄存单元的下一级移位寄存单元,从而实现级联的移位寄存单元顺序输出栅极驱动信号。

[0095] 本发明实施例还提供一种显示面板,该显示面板包括本发明实施例提供的移位寄存器。因此具备任一实施例提供的移位寄存器的有益效果,在此不再赘述。

[0096] 示例性的,图17为本发明实施例提供的一种显示面板的结构示意图。如图17所示,该显示面板包括本发明例提供的移位寄存器,该显示面板还包括阵列排布的像素201和扫描信号线210,移位寄存器通过扫描信号线210与像素201电连接,且该移位寄存器的各移位寄存单元ASG1~ASGn一一对应,并通过扫描信号线210为一行像素201提供扫描信号。当级联的移位寄存单元ASG1~ASGn依次输出扫描信号时,显示面板中的像素101逐行被提供扫描信号。

[0097] 本发明实施例还提供一种显示装置,该显示装置包括本发明实施例提供的显示面板,因此本发明实施例提供的显示装置具备本发明实施例提供的显示面板的有益效果,在此不再赘述。

[0098] 示例性的,图18是本发明实施例提供的一种显示装置的结构示意图。如图18所示,该显示装置例如可以为手机、平板电脑、智能可穿戴设备(例如,智能手表)以及本领域技术人员可知的其他电子设备。

[0099] 注意,上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解,本发明不限于这里所述的特定实施例,对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还可以包括更多其他等效实施例,而本发明的范围由所附的权利要求范围决定。

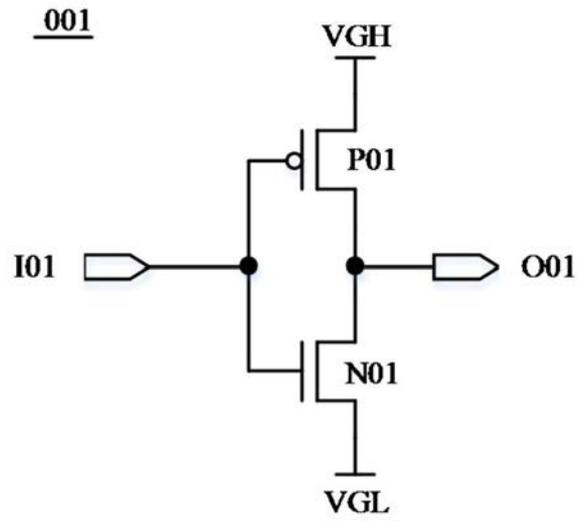


图1

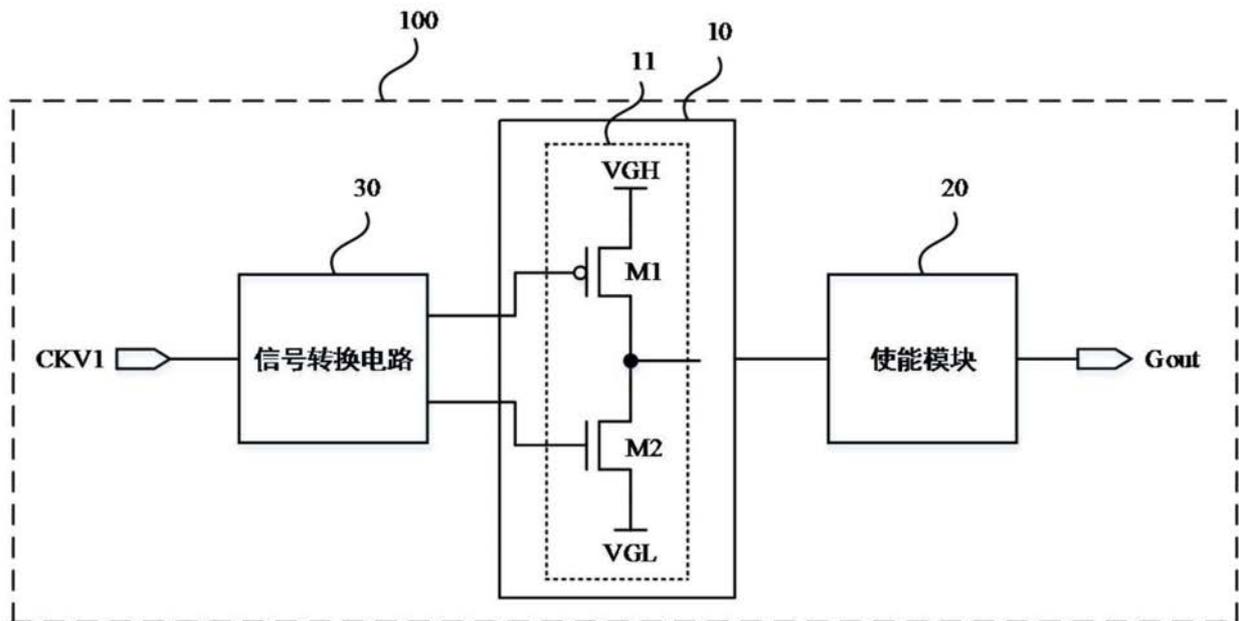


图2

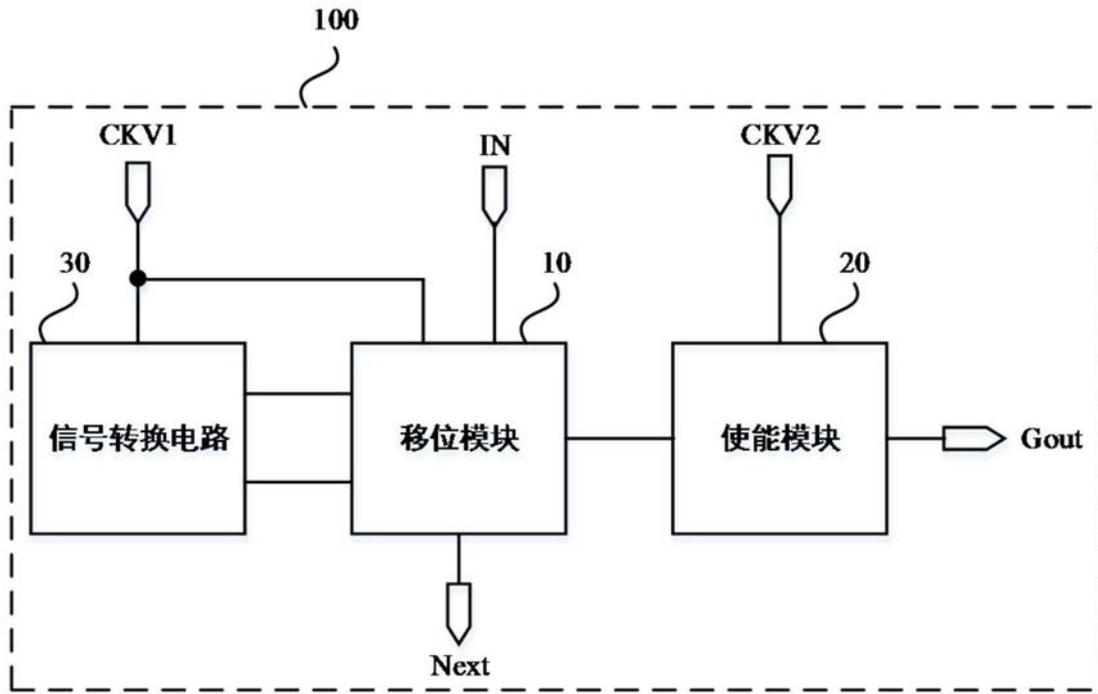


图3

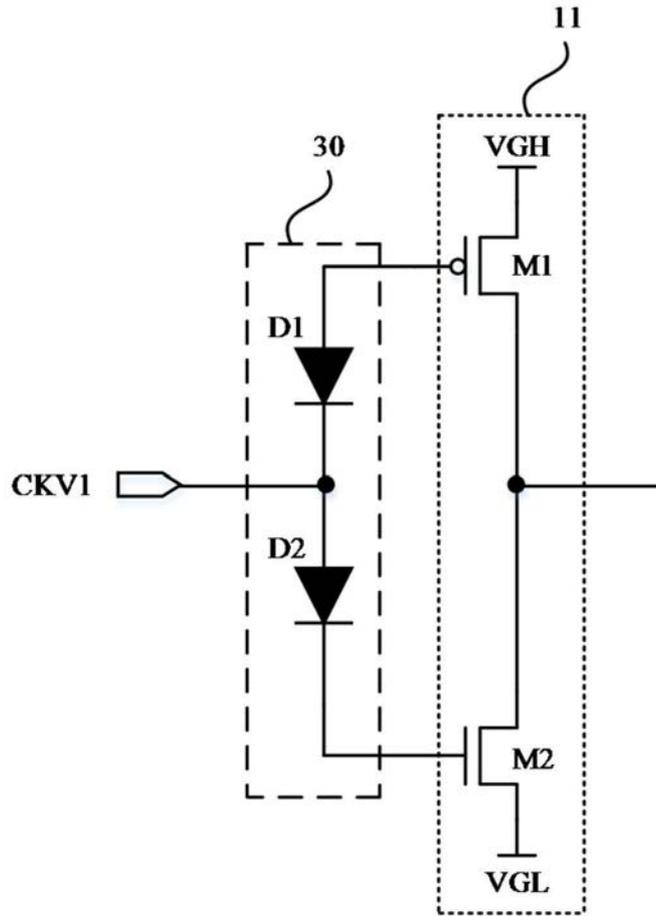


图4

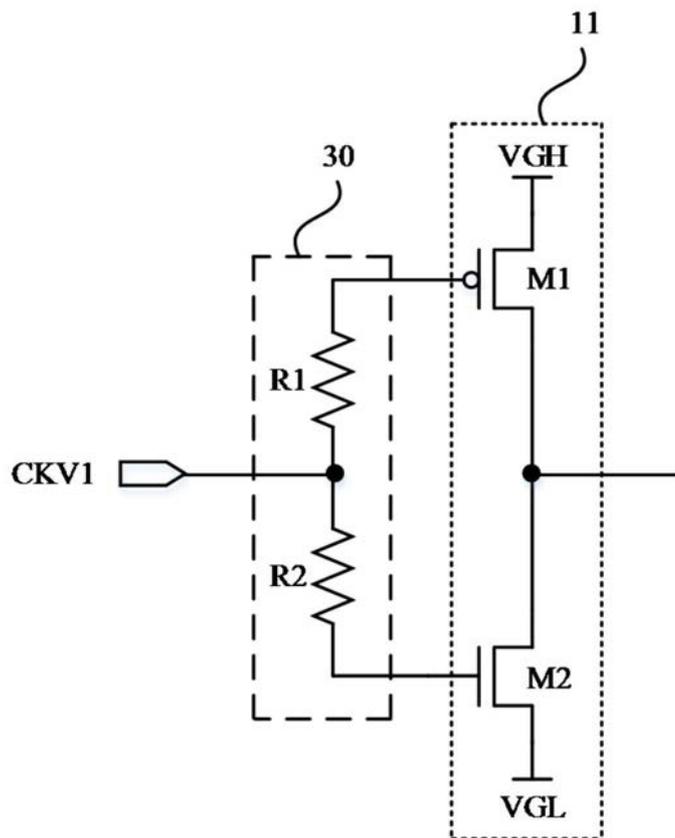


图5

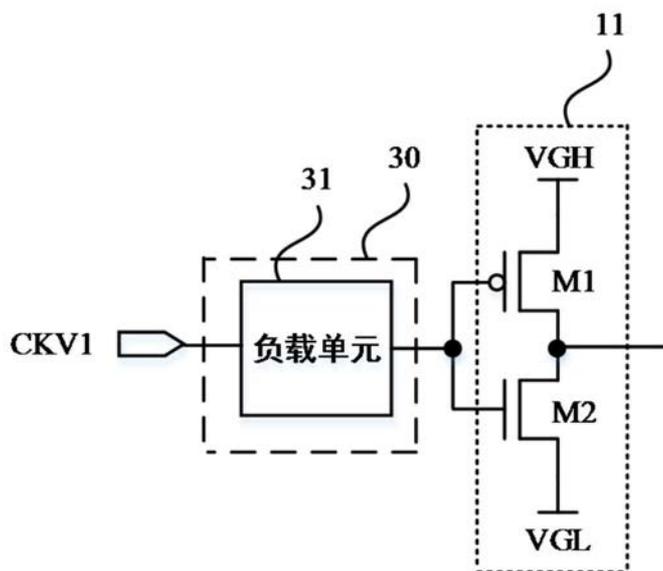


图6

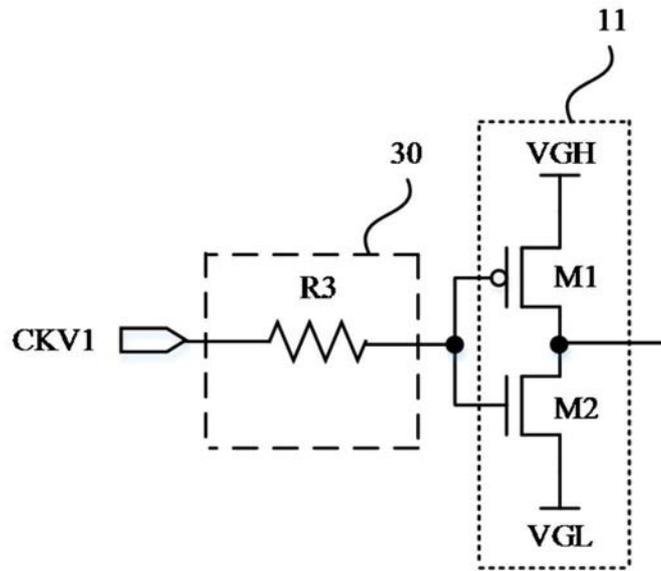


图7

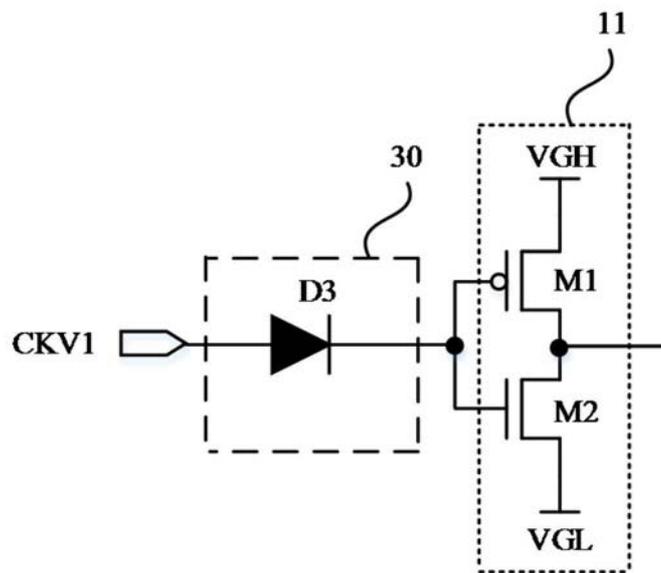


图8

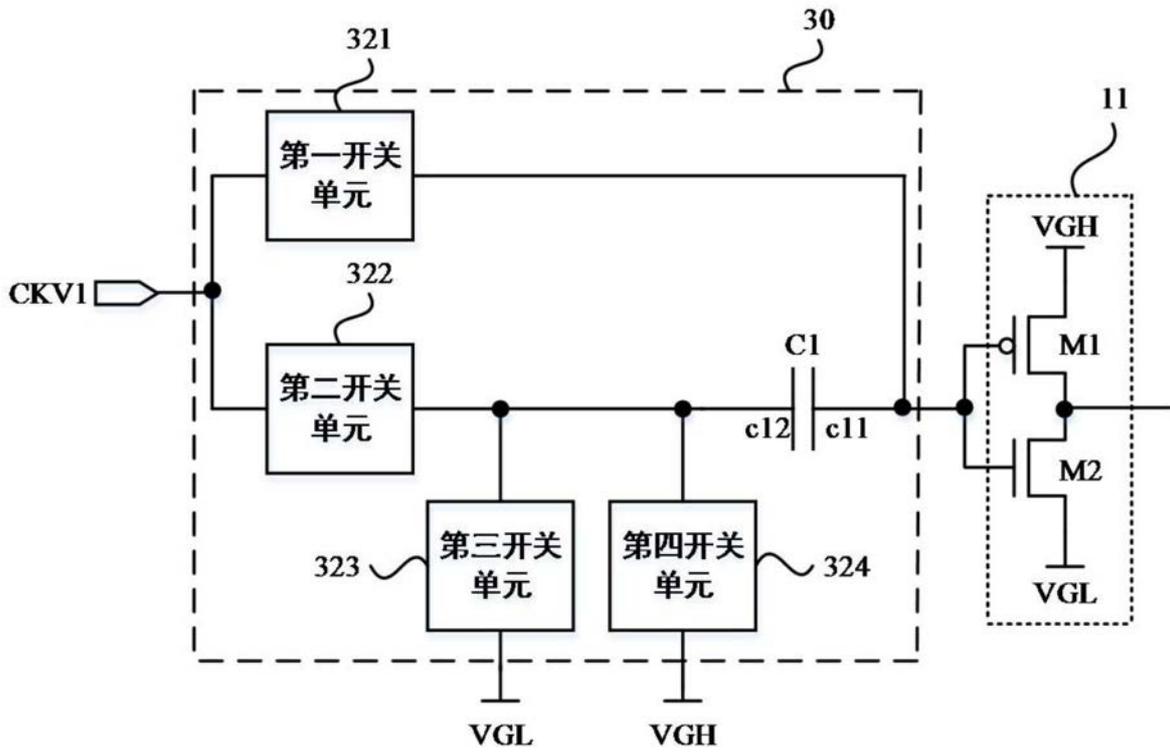


图9

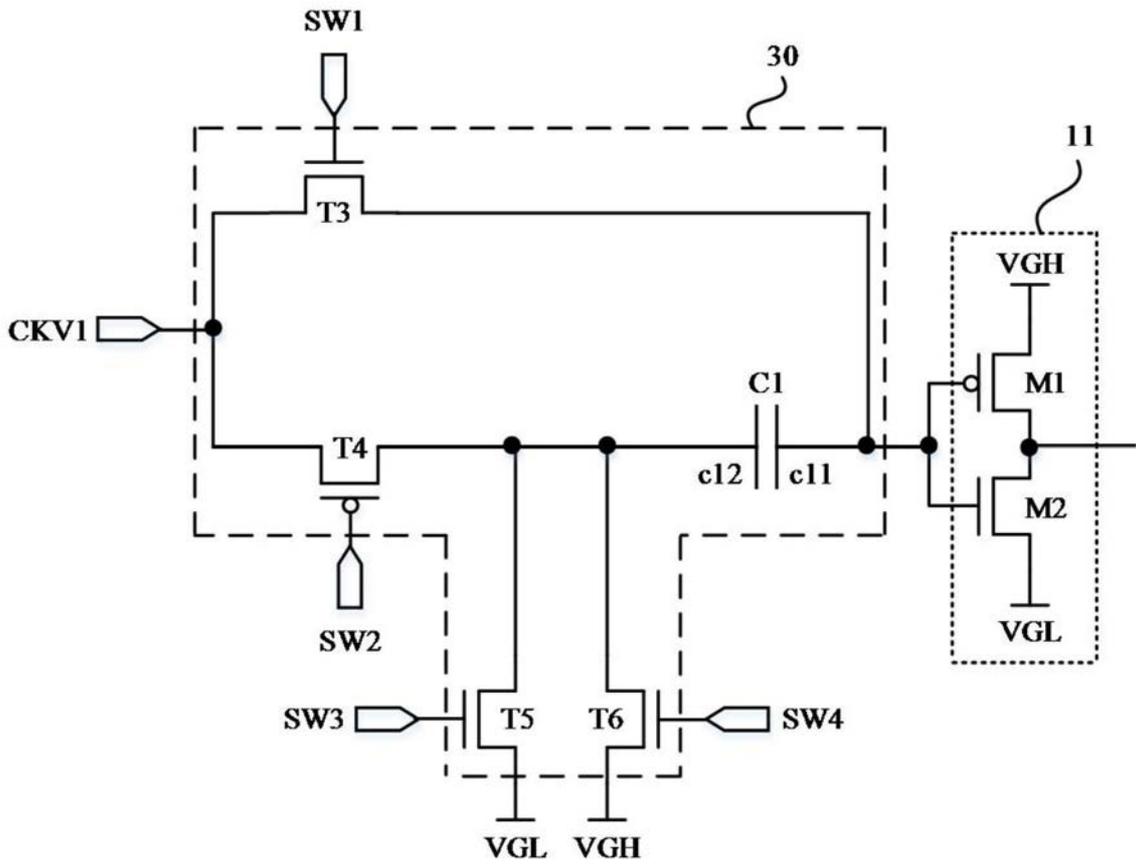


图10

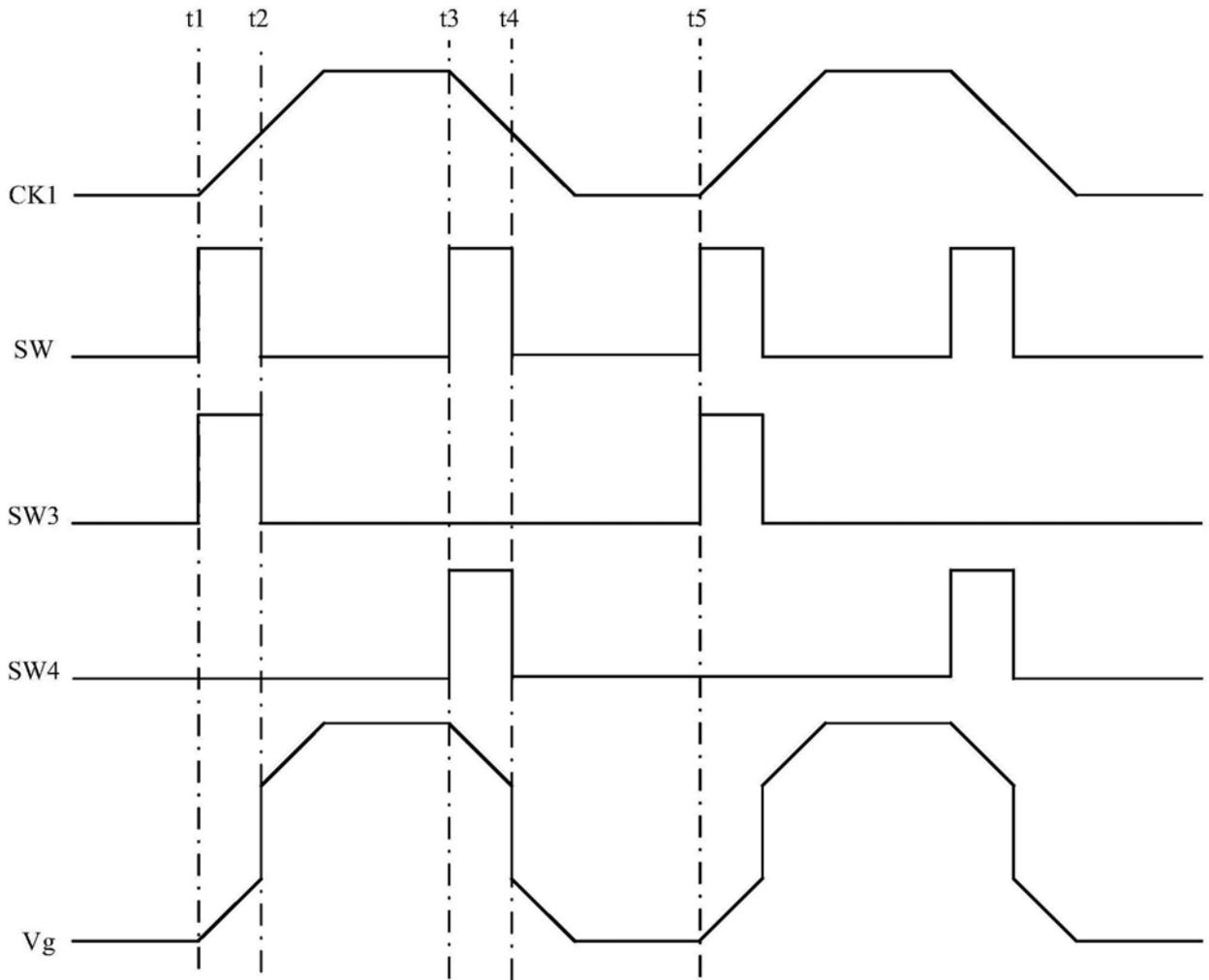


图11

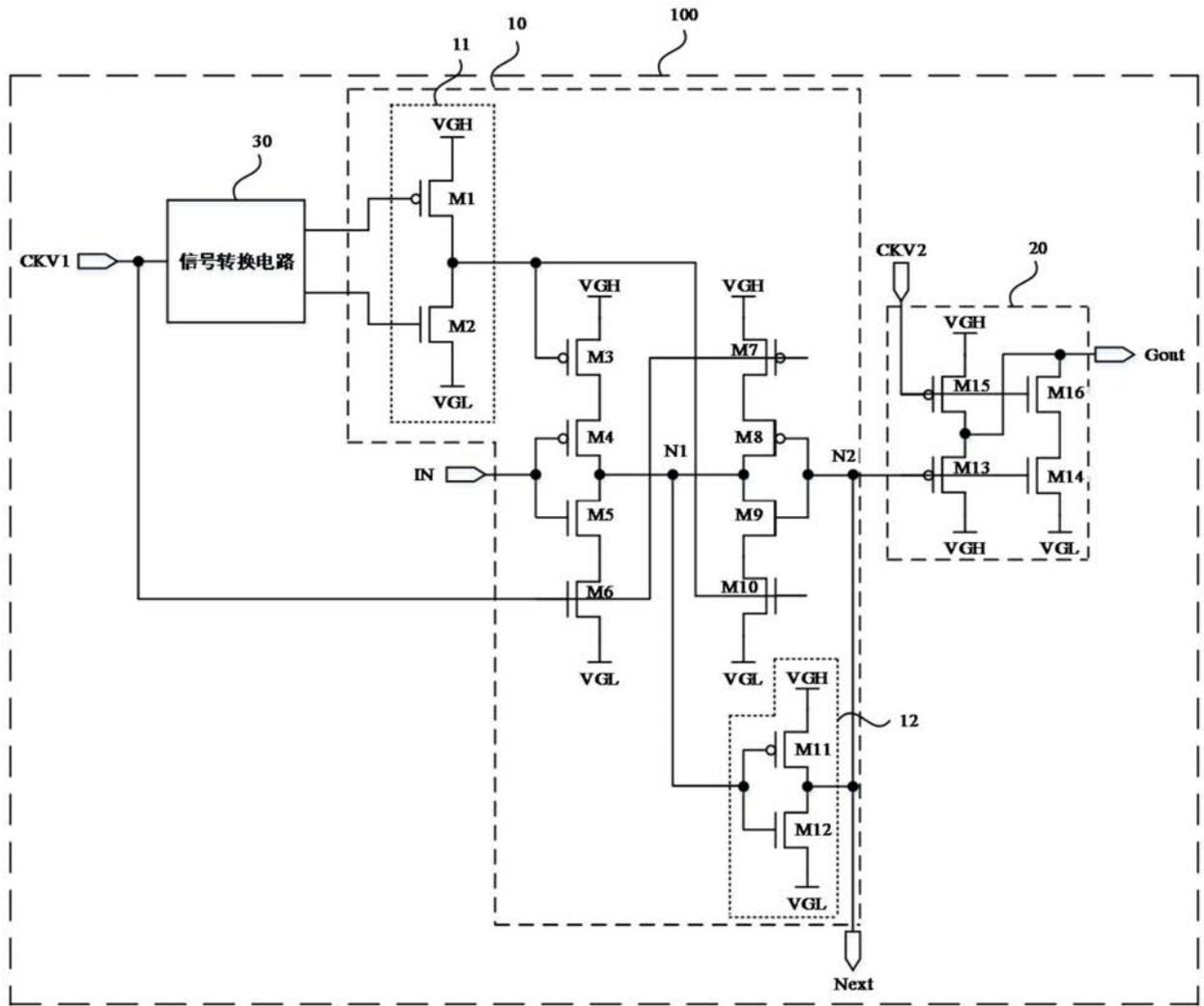


图12

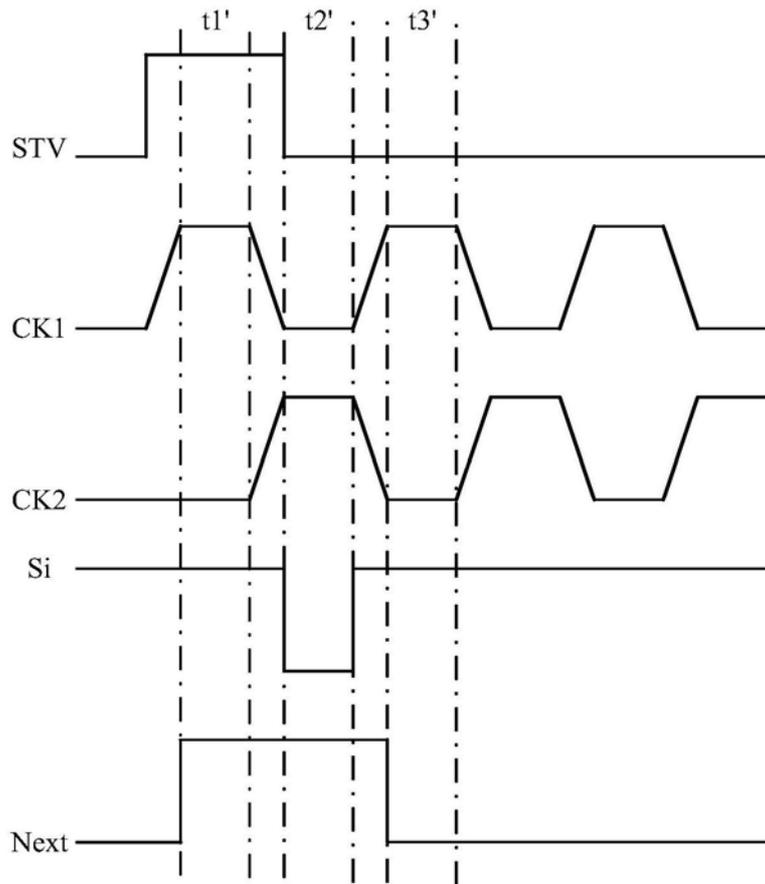


图13

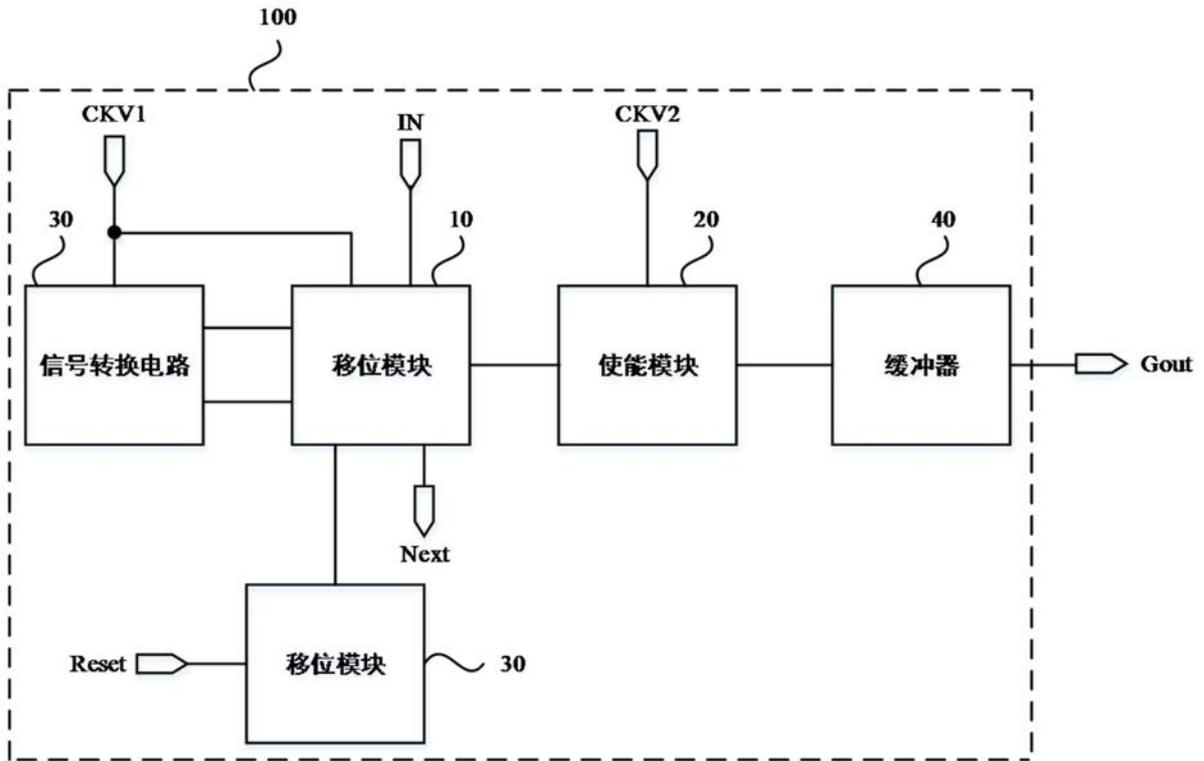


图14

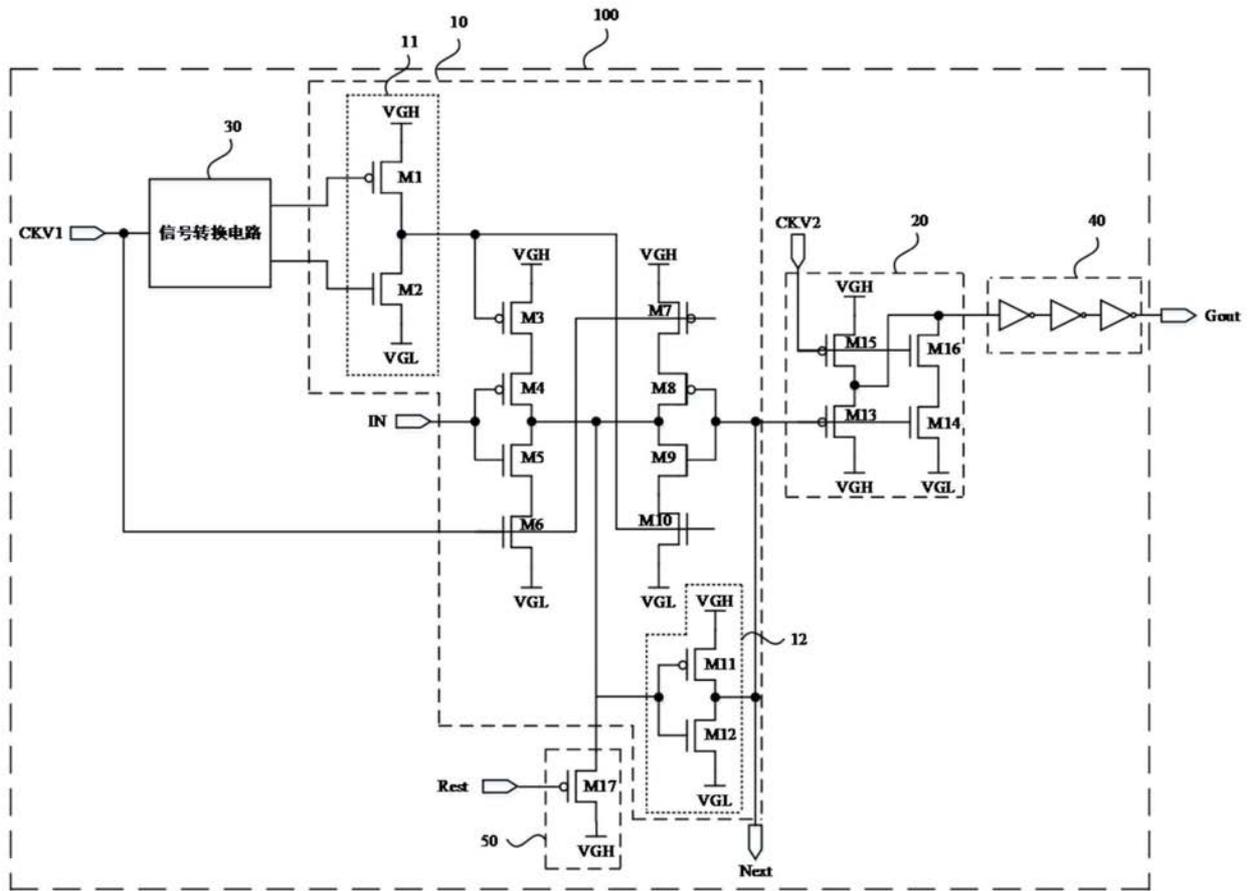


图15

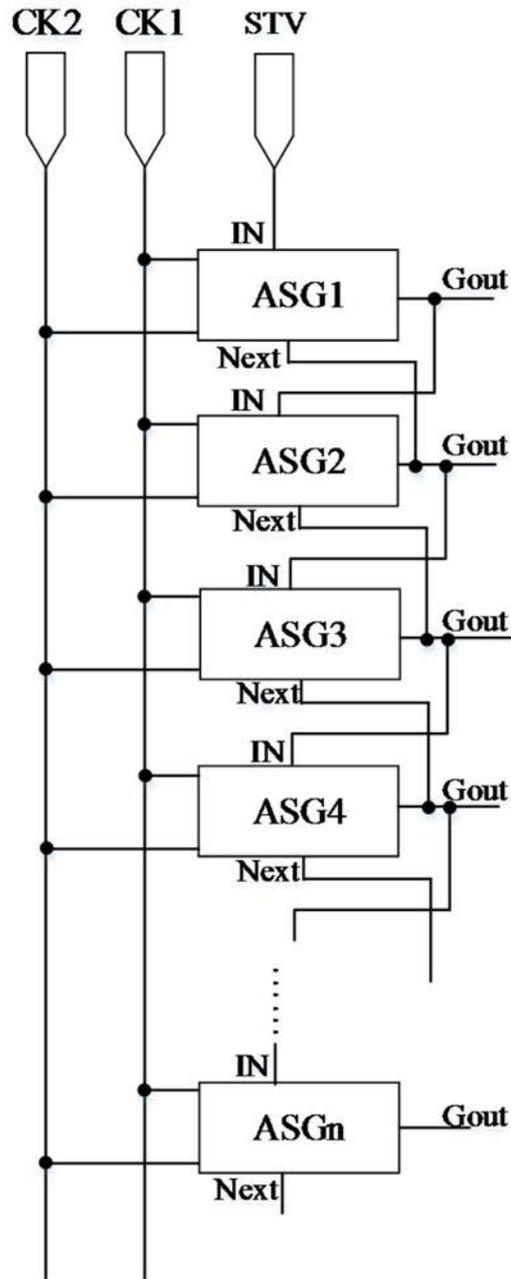


图16

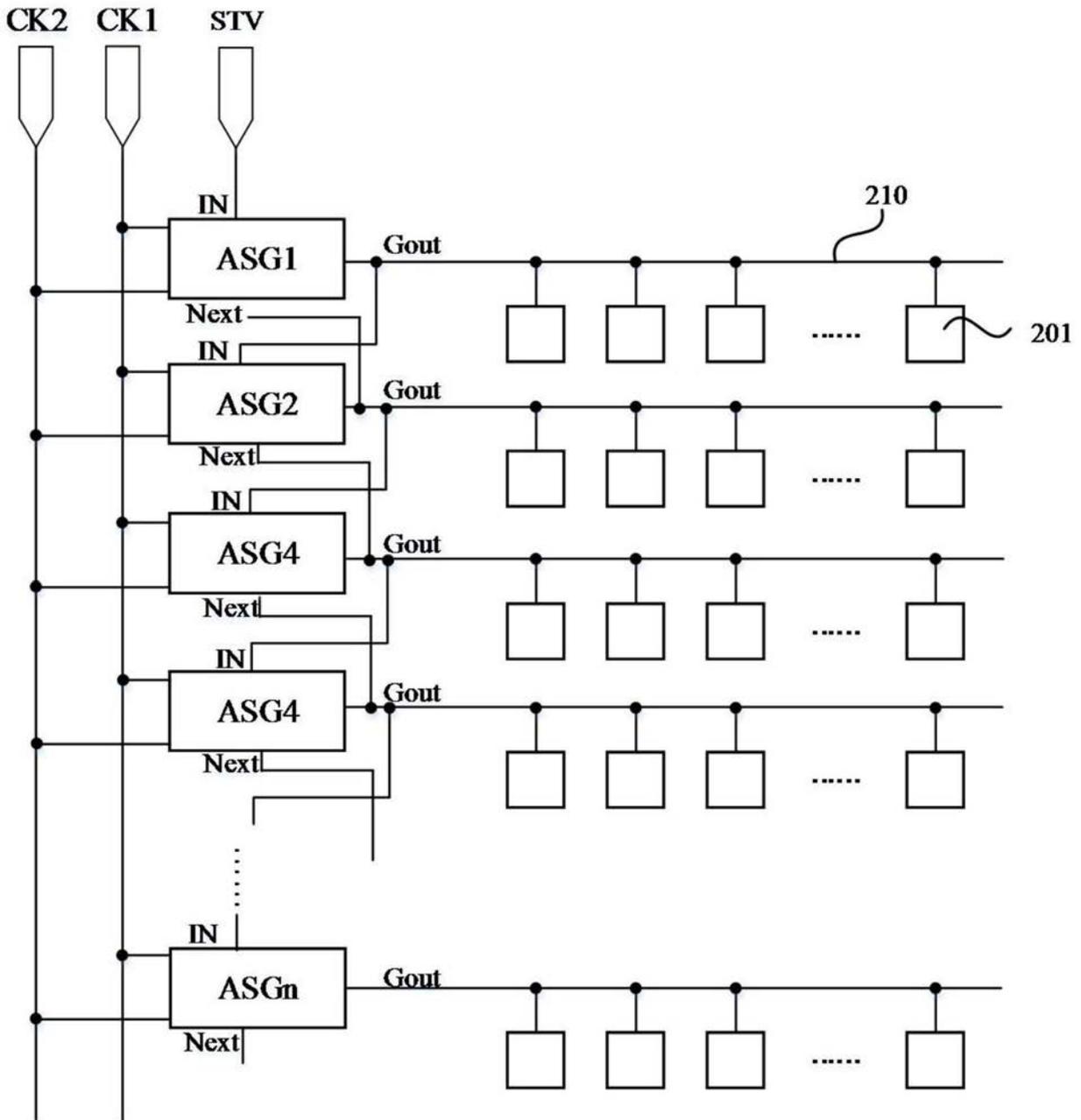


图17

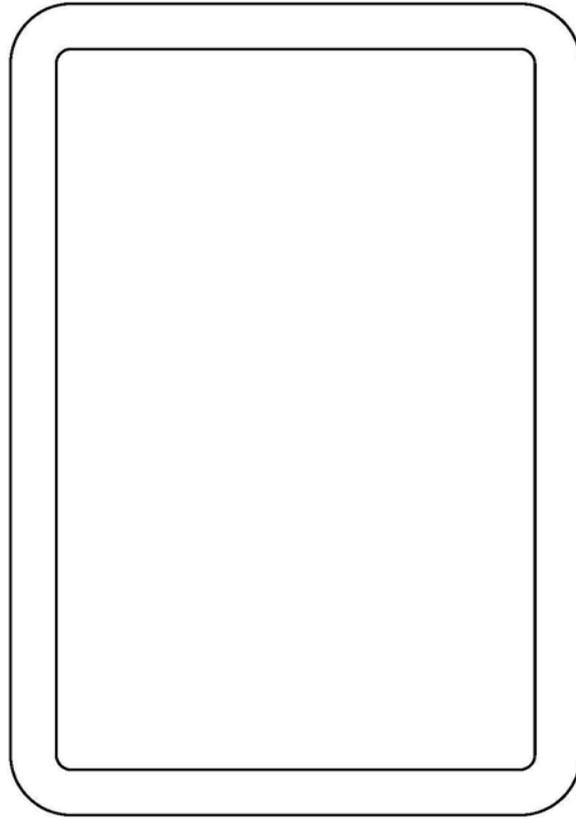


图18