



[12] 发明专利申请公开说明书

[21] 申请号 03121316.2

[43] 公开日 2003 年 10 月 8 日

[11] 公开号 CN 1447506A

[22] 申请日 2003.3.25 [21] 申请号 03121316.2

[30] 优先权

[32] 2002. 3. 26 [33] JP [31] 2002 - 087128

[71] 申请人 精工爱普生株式会社

地址 日本东京

[72] 发明人 西牧辰夫

[74] 专利代理机构 北京康信知识产权代理有限责
任公司

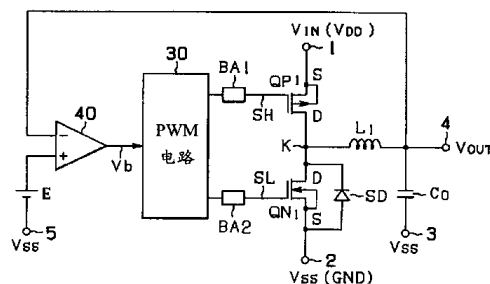
代理人 余 刚

权利要求书 5 页 说明书 19 页 附图 6 页

[54] 发明名称 电源电路及 PWM 电路

[57] 摘要

本发明提供能在 0 - 100% 工作比范围内进行 PWM 控制、并能高速响应的电源电路及 PWM 电路，包括：DC - DC 转换电路，其具有串联连接在电源输入端子 1 和基准电位输入端子 2 之间的 PMOS (QP1) 和 NMOS (QN1)，用 PWM 信号使其分别交替导通，以获得作为输出的受 PWM 控制的直流输出电压；误差放大器 40，其将直流输出电压和基准电压进行比较，然后输出误差电压；以及 PWM 电路 30，其按照该误差放大器 40 的误差输出，进行 0 - 100% 工作比范围内的 PWM 控制，其中，PWM 电路 30 采用互错半周期的第一和第二分频时钟脉冲，通过生成三角波所用的各充放电电路，生成互错半周期的三角波信号，把各三角波信号作为第一和第二 PWM 信号，通过第一和第二施密特触发电路将他们混合后，生成 PWM 信号。



1. 一种电源电路，其特征在于包括：

DC—DC 转换电路，其具有串联连接在电源电压和基准电位之间的高频晶体管和低频晶体管，利用各 PWM 信号控制各晶体管，作为输出获得受 PWM 控制的直流输出电压；

误差检测装置，其将所述 DC—DC 转换电路的直流输出电压和基准电压相比较后输出误差量；以及

PWM 电路，其根据所述误差检测装置的误差输出，生成 0—100%工作比范围的 PWM 信号，对所述 DC—DC 转换电路进行 PWM 控制。

2. 根据权利要求 1 所述的电源电路，其特征在于，所述 PWM 电路包括：

第一和第二 PWM 电路，其接收来自所述误差检测装置的误差信号，使用互错半周期的特定频率的第一和第二时钟脉冲，在生成互错半周期且振幅与所述误差信号相对应的第一和第二三角波信号后，使用第一和第二电位判断电路生成互错半周期的 PWM 信号；以及

混频电路，其混合来自所述第一和第二 PWM 电路的第一和第二 PWM 信号，然后输出具有所述预定频率的两倍频的 PWM 信号。

3. 根据权利要求2所述的电源电路,其特征在于:

所述第一PWM电路包括:

分频信号输入端子,其接收根据特定频率的主基准时钟脉冲生成的50%工作比的分频信号;

第一时钟脉冲输入端子,其接收将所述主基准时钟脉冲分频为两部分,且互错半周期形成的第一和第二分频时钟脉冲中的第一分频时钟脉冲;

电源输入端子,其接收作为电源电压的输入电压;

输入端子,其接收来自误差检测装置的误差输出;

基准电位输入端子,其接收基准电位;

第一电压—电流转换电路,包括第一误差放大器、第一基准电阻、和第一电流控制P沟道型晶体管,其中向所述第一误差放大器的“-”端子输入所述误差输出,所述第一误差放大器的“+”端子连接在所述第一电流控制P沟道型晶体管的漏极和所述第一基准电阻的串联连接点上,所述第一误差放大器的输出端连接在所述第一电流控制P沟道型晶体管的栅极上,所述第一电流控制P沟道型晶体管的源极连接在所述电源输入端子上,所述第一基准电阻连接在所述基准电位输入端子上;

第一充放电电路,包括第一供电P沟道型晶体管、第一充电电容器、和第一放电N沟道型晶体管,其中所述第一供电P沟道型晶体管的源极连接在所述电源输入端子上,其漏极通过所述第一充电电容器连接在所述基准电位输入端子上,所述第一供电N沟道型晶体管的漏极和源极并联连接在所述第一充电电容器的两端,所述第一供电P沟道型晶体管的栅极连接在所述第一电流控制P沟道型晶体管的栅极及所述第一误差放大器的输出端,所述第一放电N沟道型晶体管的栅极连

接在所述第一时钟脉冲输入端子上，所述第一放电 N 沟道型晶体管通过其栅极接收的所述第一分频时钟脉冲被周期性地导通，并使所述第一充电电容器的充电电荷放电，以输出第一三角波信号；

第一施密特触发电路，其接收从所述第一充电电容器的输出端获得的所述第一三角波信号，并用特定的阈值生成矩形波信号；以及

第一锁存电路，其由 R-S 或非锁存器构成，并使用两个双输入或非元件，分别接收来自所述第一施密特触发电路的矩形波信号和来自所述分频信号输入端的分频信号，然后相互反馈其输出作为另一个或非元件的输入，并作为第一 PWM 信号输出，以及

所述第二 PWM 电路包括：

所述分频信号输入端子，其接收根据特定频率的主基准时钟脉冲生成的 50%工作比的分频信号；

第二时钟脉冲输入端子，其接收将所述主基准时钟脉冲分频为两部分，且互错半周期形成的第一和第二分频时钟脉冲中的第二分频时钟脉冲；

所述电源输入端子，其接收作为电源电压的输入电压；

所述输入端子，其接收来自误差检测装置的误差输出；

所述基准电位输入端子，其接收基准电位；

第二电压—电流转换电路，其包括第二误差放大器、第二基准电阻、和第二电流控制 P 沟道型晶体管，其中向所述第二误差放大器的“-”端子输入所述误差输出，所述第二误差放大器的“+”端子连接在所述第二电流控制 P 沟道型晶体管的漏极和所述第二基准电阻的串联连接点上，所述第二误差放大器的输出端连接在所述第二电流控制 P 沟道型晶体管的栅

极上,所述第二电流控制 P 沟道型晶体管的源极连接在所述电源输入端子上,所述第二基准电阻连接在所述基准电位输入端子上;

第二充放电电路,其包括第二供电 P 沟道型晶体管、第二充电电容器、和第二放电 N 沟道型晶体管,其中所述第二供电用 P 沟道型晶体管的源极连接在所述电源输入端子上,其漏极通过所述第二充电电容器连接在所述基准电位输入端子上,所述第二放电 N 沟道型晶体管的漏极和源极并联连接在所述第二充电电容器的两端,所述第二供电 P 沟道型晶体管的栅极连接在所述第二电流控制 P 沟道型晶体管的栅极及所述第二误差放大器的输出端,所述第二放电 N 沟道型晶体管的栅极连接在所述第二时钟脉冲输入端子上,所述第二放电 N 沟道型晶体管通过其栅极接收的所述第二分频时钟脉冲被周期性地导通,并使所述第二充电电容器的充电电荷放电,以输出第二三角波信号;

第二施密特触发电路,其接收从所述第二充电电容器的输出端获得的所述第二三角波信号,并用特定的阈值生成矩形波信号;以及

第二锁存电路,其由 R-S 或非锁存器构成,并使用两个双输入或非元件,分别接收来自所述第二施密特触发电路的矩形波信号和来自所述分频信号输入端的分频信号,然后用反相器反转后相互反馈其输出作为另一个或非元件的输入,并作为第二 PWM 信号输出。

4. 一种 PWM 电路, 其特征在于包括:

第一和第二 PWM 电路, 其接收控制信号, 使用互错半周期的预定频率的第一和第二时钟脉冲, 生成互错半周期且振幅与所述控制信号相对应的第一和第二三角波信号后, 使用第一和第二电位判断电路生成互错半周期的第一和第二 PWM 信号; 以及

混频电路, 其混合来自所述第一和第二 PWM 电路的第一和第二 PWM 信号, 然后输出具有所述预定频率两倍频的 PWM 信号。

电源电路及 PWM 电路

技术领域

本发明涉及电源电路及 PWM 电路，特别涉及在同步整流电源电路等中，监控输出电压的变化以获得误差信号，使用三角波生成 PWM 信号的时候，既能生成 0—100%工作比范围内的 PWM 信号，又能扩大输出电压控制范围的电源电路及 PWM 电路。

背景技术

近年来，手机等的移动办公设备很普及，用电池驱动负载电路的几率增加，必然要求电源电路的耗电低。此外，电源电路相对于负载电路能够高速响应也是必不可少的。

特别是，随着使用集成电路的电子设备的普及，需要使用低电压、低能耗、稳定的直流电源。

对应负载及输入的变化，如果通过让晶体管导通、截止的开关作用实现电源的稳定，则能够减少无功能耗，因此电源效率得以大幅提高。也就是说，通过变化晶体管的导通期间（或导通工作比）能够稳定电源。作为这种有效的电源电路，有使用 CMOS 集成电路的同步整流型开关稳压器。

CMOS 集成电路由 N 沟道型晶体管（以下简称为 NMOS）和 P 沟道型晶体管（以下简称为 PMOS）两种 MOS 晶体管组合构成，因其低能耗特性而成为 LSI 技术的主流。

图 7 示出了使用 CMOS 集成电路的同步整流型开关稳压器的构成。

在图 7 中，电源电路包括：同步整流型开关稳压电路，其具有高频 PMOS（以下称为高频晶体管）（QP1）和低频 NMOS（以下称为低频晶体管）（QN1），以交替导通、截止状态输出直流电压 VOUT；误差放大器 40，将该 C 开关稳压电路的输出电压和基准电压源 E 的基准电压值相比较，获得误差信号；PWM 电路 20，根据该误差信号控制 PWM 信号的脉冲宽度，控制该开关稳压电路的固定输出。

开关稳压电路，作为输入电压的直流电压 VIN（等于电源电压 VDD，例如 4V）的输入端子 1 和提供基准电位 VSS（等于接地电位 GND，例如 0V）的端子 2 之间，串联连接高频晶体管（QP1）和低频晶体管（QN1）且共用漏极 D。高频晶体管（QP1）的源极 S 连接在端子 1 上，低频晶体管（QN1）的源极连接在端子 2 上。

向高压晶体管（QP1）和低压晶体管（QN1）各自的栅极供给高频脉冲 SH 和 SL，该高频脉冲是将来自 PWM 电路 20 的 PWM 信号通过输出缓冲器 BA1 和 BA2 反转得到的。通过使各晶体管在该高频脉冲 SH 和 SL 作用下交替导通、截止，从而在两晶体管的连接点的中间节点 K 上产生交流电压 VMA。

中间节点 K 和提供基准电位 VSS 的端子 2 之间串联连接整流线圈 1 和稳压电容 C0，在其串联连接点上连接的输出端子 4，通过稳压电容 C0 输出平滑直流电压 VOUT。而且，输出电压 VOUT 通过反馈线反馈到误差放大器 40 的“-”端子，和连接在提供基准电位 VSS 的端子 5 上的基准电压源 E 的基准电压值相比较。把误差放大器 40 的比较结果的误差输出 Vb 提供到 PWM 电路 20，通过该误差输出，控制生成 PWM 电路 20 的 PWM 信号的脉冲宽度。由

于该反馈控制，提供到无图示负载的输出电压 V_{OUT} （例如 1.5V）被永远控制在不变状态。

可是，在现有技术中，该 PWM 电路 20 如图 8 所示，由比较器 COMP 构成。作为基准信号向比较器“-”端子输入上述误差放大器 40 的误差输出 V_b 【参照图 9 (a)】。向比较器 COMP “+”端子输入由无图示的三角波生成电路生成的特定频率的三角波信号 W_{saw} 【参照图 9 (a)】。作为其比较的结果，输出其脉冲宽度根据误差输出 V_b 发生变化的 PWM 信号【参照图 9 (b)】。该 PWM 信号作为选通脉冲 SH 和 SL 输入到图 7 所示的高频晶体管 (QP1)、低频晶体管 (QN1) 上。但是，为了在 PMOS 及 NMOS 同时导通时不发生从电源电压 V_{IN} 一侧流向基准电位 V_{SS} 一侧的穿透电流，所以，由低频晶体管 (QN1) 输出的选通脉冲 SL，其脉冲宽度比高频晶体管 (QP1) 的选通脉冲 SH 窄。

不过，在使用比较器构成 PWM 电路的情况下，如果将三角波信号频率设置成，例如约 1MHz 的高频率，使 CMOS 变换器电路高速变换，那么很难根据其高频率生成 PWM 信号，也难以高速化。

所以，作为该 PWM 电路 20，由特定频率（例如 1MHz）的基准时钟脉冲，生成与该误差输出 V_b 相应斜率的三角波信号，可以认为，由于将该三角波信号提供到例如施密特触发电路等的电位判断电路中，从而生成满足误差输出 V_b 的脉冲宽度的 PWM 信号。

这种 PWM 电路 20 的构成例如图 10 所示。也就是说，PWM 电路 20 包括：时钟脉冲输入端子 21，其提供例如 1MHz 的基准时钟脉冲 CLK【参照图 11 (a)】；电源输入端子 22，其提供作为电源电压的输入电压 V_{IN} ；输入端子 23，其接收来自误差放大器 40 的误差输出 V_b ；基准电位输入端子 24，其接收基准电位 V_{SS} ；电压—电流转换电路包括：具有误差放大器 201、基准电阻 R 、和电流控制 PMOS (QP2)，其中由误差放大器 201 的“-”端子输入该误

差输出 V_b ，误差放大器 201 的“+”端子连接在 PMOS (QP2) 的漏极和基准电阻 R 的串联连接点上，误差放大器 201 的输出端连接 PMOS (QP2) 的栅极，PMOS (QP2) 的源极连接在该电源输入端子 22 上，基准电阻 R 的一端连接在该基准电位输入端子 24 上；以及充放电电路，其具有供电 PMOS (QP3)、充电电容器 C、和放电 NMOS (QN2)，其中 PMOS (QP3) 的源极连接在该电源输入端子 22 上，其漏极通过充电电容器 C 连接在该基准电位输入端子 24 上，NMOS (QN2) 的漏极和源极并联连接在充电电容器 C 的两端，PMOS (QP3) 的栅极连接在 PMOS (QP2) 的栅极及该误差放大器 201 的输出端，NMOS (QN2) 的栅极连接在时钟脉冲输入端子 21 上，NMOS (QN2) 通过其栅极输出的该基准时钟脉冲 CLK 从而周期性地导通，使充电电容器 C 的充电电荷放电，输出三角波信号 W-CLK；包括施密特触发电路 202，其接收从该充电电容器 C 的输出端获得的三角波信号 W-CLK【参照图 11 (b)】，用特定的阈值 V_{TH} 生成矩形波信号【即 PWM 信号，参照图 11 (c)】。上述 PMOS (QP2) 和 PMOS (QP3) 具有相同的大小，相同的形状，且互为镜像晶体管。

在这种构成中，通过使基准电阻 R 的电流 i 所生成的电压降 $I \cdot R$ 等于误差放大器 40 输入的误差电压 V_b ，在电压—电流转换电路中的误差放大器 201 以这种方式工作从而控制电流，经由 PMOS (QP2) 及电阻 R，电流 $i (=V_b/R)$ 流出。其结果，与误差电压 V_b 相对应的电流流向 PMOS (QP2) 的同时，同一电流也流向 PMOS (QP3)。从而，根据误差放大器 40 输入的误差电压 V_b 值的变化，流向 PMOS (QP2) 和 PMOS (QP3) 的各晶体管的电流量发生变化，其结果电容器 C 充电的电压也发生与误差电压 V_b 的值相应的变化。例如，当误差电压 V_b 上升时，向电容器 C 充电的电流值也呈线性增加，所以，在每个固定的时钟脉冲周期进行充放电生成的三角波信号的峰值随电压 V_b 的增加而变化。其结果，如图 11 (b) 的实线波形①，虚线波形②③所示，在电容器 C 两端生成的三角波

信号的斜度发生变化。为此，在施密特触发电路 202 上，被阈值 V_{TH} 截取的 PWM 信号的脉冲宽度变大，如图 11 (c) 的实线波形 ①，虚线波形 ②③ 所示。也就是说，能够根据误差电压 V_b ，改变三角波信号的斜度，控制 PWM 信号的脉冲宽度。

根据图 10 中的 PWM 电路，由于采用响应良好的施密特触发电路，所以能够根据误差输出 V_b 的变化高速实现 PWM 控制，提高响应性能。

发明内容

如上所述，在图 10 的 PWM 电路中，如果误差电压 V_b 上升，则电流值呈线性上升，所以三角波信号的斜度发生变化，能够控制 PWM 信号的脉冲宽度，虽然电压 V_b 上升了，但因为电流值有限，所以，三角波信号的斜度不能达到 90° 或接近 90° 。

如果三角波的斜度为 90° ，虽然 PMOS (QP1) 栅极接收的 PWM 信号 (SH) 导通的脉冲工作比是 100% (因为 PMOS 是低能动，所以当图 10 的 PWM 信号总是为高的时候 PMOS 永远导通，导通工作比是 100%)。但是，接近于 100% 工作比时，PWM 信号的脉冲宽度 (低能动) 难以变窄。

可是，象这样 PMOS 的栅极需要窄幅脉冲的 (即接近于 100% 工作比的) PWM 信号的理由如下。

即，有时也希望通过设定 PWM 信号总是为高而永远导通 PMOS，即 PMOS 的导通工作比为 100%。参照图 12 说明其理由。

若输入电压 $V_{IN}(=V_{DD})$ 为 4.0V，此后在开关稳压电路使用 75% 工作比的 PWM 信号，并得到 3.0V 的输出电压 V_{OUT} ，则电压比为工作比宽度的 75%。这里，输入电压 V_{IN} 保持 4V 即可，但当输入

电压 V_{IN} 降下来, 例如降至 3.0V 时, 可作为 PWM 信号输出的最大的导通工作比至多为 80% 左右, 所以输出电压 V_{OUT} 3.0V 是输入电压 V_{IN} 的 80%, 即 2.4V 为最大值。如果 PWM 信号可以保持其工作比在 0—100% 的范围内, 则 100% 的工作比对应 3.0V 的输入电压 V_{IN} , 即能够维持 3.0V 的输出电压, 并能把其提供给负载。

一方面, 近年来, 随着集成电路的低压化和低能耗化, 提供给负载的输出电压需要为 1V 以下的低压。因此, 有时需要把 PWM 信号的工作比设定为例如 5%、10% 这样的低值。

因此, 本发明克服了上述不足, 目的在于提供可以在 0—100% 工作比范围内进行 PWM 控制, 能够高速响应的电源电路及 PWM 电路。

本发明的电源电路包括: DC—DC 转换电路, 该 DC—DC 转换电路具有串联连接在电源电压和基准电位之间的高频晶体管和低频晶体管, 利用各 PWM 信号控制各晶体管, 作为输出获得受 PWM 控制的直流输出电压; 误差检测装置, 其将该 DC—DC 转换电路的直流输出电压和基准电压相比较输出误差量; 以及 PWM 电路, 其根据该误差检测装置的误差输出, 生成 0—100% 工作比范围的 PWM 信号, 对该 DC—DC 转换电路进行 PWM 控制。

根据本发明的这种构成, 对 DC—DC 转换电路进行 PWM 控制时, 根据误差检测装置的误差输出生成 0—100% 工作比范围的 PWM 信号, 便可进行 PWM 控制, 需要低输出电压时, 生成接近于 0% 工作比的窄幅 PWM 信号, 使 P 沟道晶体管只在非常短的时间内导通, 从而低电压可以作为输出电压而输出。另一方面, 即使在电池等的电源电压下降的时候, 也能生成 100% 工作比的 PWM 信号, 使 P 沟道晶体管永远导通, 所以也能使电源电压作为输出电压原样输出。

另外,在本发明中,该 PWM 电路优选包括:第一和第二 PWM 电路,其接收来自误差检测装置的误差信号,使用互错半周期的特定频率的第一和第二时钟脉冲,在生成互错半周期且振幅与误差信号相对应的第一和第二三角波信号后,使用第一和第二电位判断电路生成互错半周期的 PWM 信号;以及混频电路,其混合来自第一和第二 PWM 电路的第一和第二 PWM 信号,然后输出具有所述预定频率的两倍频的 PWM 信号。

根据这种构成,使用最终工作频率 1/2 的频率,且互错半周期的第一和第二时钟脉冲,生成互错半周期第一和第二三角波信号后,使用由各施密特触发电路构成的第一和第二电位判断电路,生成第一和第二 PWM 信号,将其混合形成最终工作频率的 PWM 信号,所以能够对应误差信号,生成 0—100%工作比范围的 PWM 信号,而且能够进行不易受噪声影响的高速 PWM 控制。

另外,在本发明中,该第一 PWM 电路优选包括:分频信号输入端子,其接收根据特定频率的主基准时钟脉冲生成的 50%工作比的分频信号;第一时钟脉冲输入端子,其接收将主基准时钟脉冲分频为两部分,且互错半周期形成的第一和第二分频时钟脉冲中的第一分频时钟脉冲;电源输入端子,其接收作为电源电压的输入电压;输入端子,其接收来自误差检测装置的误差输出;基准电位输入端子,其接收基准电位;第一电压—电流转换电路,包括第一误差放大器、第一基准电阻、和第一电流控制 P 沟道型晶体管,其中向第一误差放大器的“-”端子输入误差输出,第一误差放大器的“+”端子连接在第一电流控制 P 沟道型晶体管的漏极和第一基准电阻的串联连接点上,第一误差放大器的输出端连接在第一电流控制 P 沟道型晶体管的栅极上,第一电流控制 P 沟道型晶体管的源极连接在电源输入端子上,第一基准电阻连接在基准电位输入端子上;第一充放电电路,包括第一供电 P 沟道型晶体管、第一充电电容器、和第一放电 N 沟道型晶体管,其中第一供电 P 沟道型晶体管的源极连

接在电源输入端子上，其漏极通过第一充电电容器连接在基准电位输入端子上，第一供电 N 沟道型晶体管的漏极和源极并联连接在第一充电电容器的两端，第一供电 P 沟道型晶体管的栅极连接在第一电流控制 P 沟道型晶体管的栅极及第一误差放大器的输出端，第一放电 N 沟道型晶体管的栅极连接在第一时钟脉冲输入端子上，第一放电 N 沟道型晶体管通过其栅极接收的第一分频时钟脉冲被周期性地导通，并使第一充电电容器的充电电荷放电，以输出第一三角波信号；第一施密特触发电路，其接收从第一充电电容器的输出端获得的第一三角波信号，并用特定的阈值生成矩形波信号；以及第一锁存电路，其由 R-S 或非锁存器构成，并使用两个双输入或非元件，分别接收来自第一施密特触发电路的矩形波信号和来自分频信号输入端的分频信号，然后相互反馈其输出作为另一个或非元件的输入，并作为第一 PWM 信号输出，以及

该第二 PWM 电路优选包括：该分频信号输入端子，其接收根据特定频率的主基准时钟脉冲生成的 50% 工作比的分频信号；第二时钟脉冲输入端子，其接收将主基准时钟脉冲分频为两部分，且互错半周期形成的第一和第二分频时钟脉冲中的第二分频时钟脉冲；该电源输入端子，其接收作为电源电压的输入电压；该输入端子，其接收来自误差检测装置的误差输出；该基准电位输入端子，其接收基准电位；第二电压—电流转换电路，其包括第二误差放大器、第二基准电阻、和第二电流控制 P 沟道型晶体管，其中向所述第二误差放大器的“-”端子输入误差输出，第二误差放大器的“+”端子连接在第二电流控制 P 沟道型晶体管的漏极和第二基准电阻的串联连接点上，第二误差放大器的输出端连接在第二电流控制 P 沟道型晶体管的栅极上，第二电流控制 P 沟道型晶体管的源极连接在电源输入端子上，第二基准电阻连接在基准电位输入端子上；第二充放电电路，其包括第二供电 P 沟道型晶体管、第二充电电容器、和第二放电 N 沟道型晶体管，其中第二供电 P 沟道型晶体管的源极连接在电源输入端子上，其漏极通过第二充电电容器连接在基准电

位输入端子上,第二放电 N 沟道型晶体管的漏极和源极并联连接在第二充电电容器的两端,第二供电 P 沟道型晶体管的栅极连接在第二电流控制 P 沟道型晶体管的栅极及第二误差放大器的输出端,第二放电 N 沟道型晶体管的栅极连接在第二时钟脉冲输入端子上,第二放电 N 沟道型晶体管通过其栅极接收的第二分频时钟脉冲被周期性地导通,并使第二充电电容器的充电电荷放电,以输出第二三角波信号;第二施密特触发电路,其接收从第二充电电容器的输出端获得的所述第二三角波信号,并用特定的阈值生成矩形波信号;以及第二锁存电路,其由 R-S 或非锁存器构成,并使用两个双输入或非元件,分别接收来自第二施密特触发电路的矩形波信号和来自分频信号输入端的分频信号,然后用反相器反转后相互反馈其输出作为另一个或非元件的输入,并作为第二 PWM 信号输出。

进而,根据本发明的 PWM 电路,其特征在于包括:第一和第二 PWM 电路,其接收控制信号,使用互错半周期的预定频率的第一和第二时钟脉冲,生成互错半周期且振幅与控制信号相对应的第一和第二三角波信号后,使用第一和第二电位判断电路生成互错半周期的第一和第二 PWM 信号;以及混频电路,其混合来自第一和第二 PWM 电路的第一和第二 PWM 信号,然后输出具有所述预定频率两倍频的 PWM 信号。

根据这种构成,采用最终工作频率 $1/2$ 的频率且互错半周期的第一和第二时钟脉冲,生成互错半周期第一和第二三角波信号后,使用由各施密特触发电路等构成的第一和第二电位判断电路,生成第一和第二 PWM 信号,将其混合后,生成最终工作频率的 PWM 信号,所以能够对应控制信号,生成 0—100%工作比范围的 PWM 信号,而且能够进行不易受噪声影响的高速 PWM 控制。这种 PWM 电路不局限于电源电路,能够应用于需要 PWM 控制的各种电子电路。

附图说明

图 1 示出了本发明的一个实施方式的电源电路的构成图；

图 2 示出了图 1 电源电路的 DC—DC 转换电路中的 PWM 信号 SH 和 SL 与中间节点电位 VMA 之间的关系的时序图；

图 3 示出了图 1 电源电路中的 PWM 电路构成实例的电路图；

图 4 示出了图 3 的 PWM 电路的各部分信号波形的时序图；

图 5 示出了组成图 3 的 PWM 电路的第一 PWM 电路的三角波及 PWM 信号生成的示意图；

图 6 示出了在构成图 3 的 PWM 电路的第一和第二 PWM 电路中，说明可能实现的三角波斜率范围及其效果的示意图；

图 7 示出了采用现有技术的 CMOS 集成电路的同步整流型开关稳压器的构成图；

图 8 示出了图 7 中 PWM 电路的构成实例的电路图；

图 9 是对图 8 的工作状态进行说明的时序图；

图 10 示出了图 7 中 PWM 电路的另一个构成实例的电路图；

图 11 是对图 10 的工作状态进行说明的时序图；以及

图 12 用于说明进行 100%工作比（永远导通状态）PWM 控制的必要性。

具体实施方式

参照附图对发明的实施方式进行说明。

图 1 示出了本发明一实施方式的电源电路的构成。与图 7 现有技术的电路相同的元件用同一附图标记表示。

在图 1 中，电源电路由 DC—DC 转换电路构成，而 DC—DC 转换电路由同步整流型开关稳压电路组成，同步整流型开关稳压电路在输入电压 V_{IN} 和基准电位 V_{SS} 之间具有高频晶体管 (QP1) 和低频晶体管 (QN1)，利用 PWM 信号使这些晶体管交替地导通、截止，输出直流电压 V_{OUT} ；误差放大器 40 将该 DC—DC 转换电路的输出电压与基准电压 E 的电压值相比较得到误差信号；以及 PWM 电路 30，其根据该误差信号，能够在 0—100% 的范围内控制 PWM 信号脉冲宽度，从而控制该 DC—DC 转换电路的输出固定不变。

DC—DC 转换电路具有高频晶体管 (QP1) 和低频晶体管 (QN1)，其共用漏极 D 且相互串联连接在作为输入电压的直流电压 V_{IN} (=电源电压 V_{DD} ，例如 4V) 的接收端子 1 和基准电位 V_{SS} (=接地电位 GND ，例如 0.3V) 的接收端子 2 之间。高频晶体管 (QP1) 的源极 S 接到端子 1 上，低频晶体管 (QN1) 的源极接到端子 2 上。

向高压晶体管 (QP1) 和低压晶体管 (QN1) 的栅极输入作为来自 PWM 电路 30 的 PWM 信号的高频脉冲 SH 和 SL ，各晶体管通过该高频脉冲 SH 和 SL 交替导通、截止，从而在两晶体管的连接点的中间节点 K 上产生交流电压 V_{MA} 。

此外，如图 2 (a) 和图 2 (b) 所示，虽然低频晶体管 (QN1) 的选通脉冲 SL 和高压晶体管 (QP1) 的选通脉冲 SH 几乎同步，但

是，因负载情况不同其脉冲宽度不同。选通脉冲 SL 为高电平的持续时间，比选通脉冲 SH 为高电平的持续时间窄，由于将 PMOS 及 NMOS 设置为不能同时导通，所以防止了从电源 VIN 一侧向基准电位 VSS 一侧的穿透电流通过。另外，低频晶体管 (QN1) 的源极和漏极之间连接肖特基二极管 SD，在低频晶体管导通中，防止过电压流向低频晶体管并且进行后备供电。

在生成交流电压 VMA 的中间节点 K 和接收基准电位 VSS 的端子 2 之间串联连接整流线圈 L1 和稳压电容 C0，连接在其串联连接点上的输出端子 27，通过稳压电容 C0 输出平滑的直流电压 VOUT(例如 1.5V)，然后被提供到无图示的负载上。

而且，输出的直流电压 VOUT 通过反馈线反馈到误差放大器 40 的“-”端子，和连接在接收基准电位 VSS 的端子 5 上的基准电压源 E 的电压值相比较。

作为误差放大器 40 的比较结果的误差电压被提供到 PWM 电路 30，由 PWM 电路 33 生成的 PWM 信号的脉冲宽度被该误差电压控制。通过该反馈控制，被输入到无图示负载的输出电压 VOUT (例如 1.5V) 能够被控制为永远不变。

在上述的结构中，来自 PWM 电路 30 的 PWM 信号通过输出缓冲器 BA1 和 BA2 被分别反转，成为具有相互几乎同步的合适的脉冲宽度的高频(例如 1MHz)脉冲 SH 和 SL，外加在高频晶体管(QP1)和低频晶体管(QN1)的各自栅极上。高频脉冲 SH 和 SL 是如图 2(a) 和图 2(b) 所示的脉冲。由于高频晶体管(QP1)、低频晶体管(QN1)在上述的几乎同步的高频脉冲 SH 和 SL 作用下相互交替地导通、截止，从而在连接点的中间节点 k 如图 2(c) 所示的那样，产生交流电压 VMA。根据该交流电压 VMA，电流通过线圈 L1 向稳压电容器 C0 充电，在输出端 S4 上可获得作为输出电压 VOUT 的直流电压。

图 3 是上述 PWM 电路 30 的构成实例的电路图。该 PWM 电路 30 将几乎和图 10 中 PWM 电路 20 相同构成的第一和第二 PWM 电路并联连接，将该基准时钟脉冲（例如 1MHz）分频为两部分生成互错半周期的两种分频时钟脉冲，利用第一和第二 PWM 电路的充放电电路生成互错半周期的三角波信号。将三角波信号作为第一和第二 PWM 信号，分别通过第一和第二施密特触发电路将其混合，作为 PWM 信号输出到 CMOS 反相器。

因此，PWM 电路 30 由第一和第二 PWM 电路构成，该第一和第二 PWM 电路接收来自误差放大器 40 的误差信号 V_b ，并生成互错半周期且振幅与该误差信号 V_b 相对应的第一和第二三角波信号，并生成第一和第二 PWM 信号；以及混频电路，其混合来自该第一和第二 PWM 电路的第一和第二 PWM 信号，并作为 PWM 信号输出。

上述第一 PWM 电路包括：分频信号输入端子 6，其接收根据例如 1MHz 的基准时钟脉冲【参照图 4 (a)】生成的分频信号；第一时钟脉冲输入端子 7，其接收将该主基准时钟脉冲（例如 1MHz）分频为两部分生成的互错半周期的第一分频时钟脉冲 CLK1 和第二分频时钟脉冲 CLK2（各 500kHz）中的第一分频时钟脉冲 CLK1；电源输入端子 9，其接收作为电源电压的输入电压 V_{IN} ；输入端子 10，其接收来自误差放大器器 40 的误差输出 V_b ；基准电位输入端子 11，其接收基准电位 V_{SS} ；第一电压—电流转换电路，用于生成对应该误差电压 V_b 的电流；第一充放电电路，用于由该第一电压—电流转换电路生成的电流以固定时钟脉冲周期对电容器 C1 充电后放电，从而生成对应于该误差电压 V_b 的振幅（上升斜率）的三角波信号 W-CLK1；第一施密特触发电路 302，用于输入该三角波信号 W-CLK1 生成矩形波；以及第一锁存电路，用于在特定的期间内锁存该矩形波。

该第一电压—电流转换电路包括误差放大器 301、基准电阻 R1、和电流控制 PMOS (QP4)，其中由误差放大器 301 的“-”端子输入该误差输出 Vb，误差放大器 301 的“+”端子连接在 PMOS (QP4) 的漏极和基准电阻 R1 的串联连接点上，误差放大器 301 的输出端连接在 PMOS (QP4) 的栅极上，PMOS (QP4) 的源极连接在电源输入端子 9 上，基准电阻 R1 连接在基准电位输入端子 11 上。

该第一充放电电路包括供电 PMOS (QP5)、充电电容器 C1 和放电 NMOS (QN3)，其中 PMOS (QP5) 的源极连接在该电源输入端子 9 上，其漏极通过充电电容器 C1 连接在基准电位输入端子 11 上，NMOS (QN3) 的漏极和源极并联连接在充电电容器 C1 的两端，PMOS (QP5) 的栅极连接在 PMOS (QP4) 的栅极及该误差放大器 301 的输出端，NMOS (QN3) 的栅极连接在时钟脉冲输入端子 7 上，NMOS (QN3) 通过由其栅极接收的该基准时钟脉冲 CLK1 而周期性地导通，使该电容器 C1 的充电电荷放电，输出三角波信号 W-CLK1 【参照图 4 (e)】。

该第一施密特触发电路 302 接收从该充电电容器 C1 的输出端获得的三角波信号 W-CLK1，用特定的阈值 VTH1 生成矩形波信号 【即第一 PWM 信号，参照图 4 (g)】。

该第一锁存电路由使用两个双输入或非元件 303 和 304 的 R-S 或非锁存器构成，该双输入或非元件 303 和 304 分别接收来自该第一施密特触发电路 302 的 PWM 信号和来自分频信号输入端 6 的分频信号，然后将或非元件的输出相互返还作为另一个或非元件的输入并作为第一 PWM 信号 (PWM1) 输出。

另一方面，该第二 PWM 电路的构成和第一 PWM 电路几乎相同，包括：分频信号输入端子 6，其接收根据例如 1MHz 的基准时钟脉冲 【参照图 4 (a)】 生成的分频信号；第二时钟脉冲输入端子

8, 其接收将该主基准时钟脉冲 (例如 1MHz) 分频为两部分生成的互错半周期的第一分频时钟脉冲 **CLK1** 和第二分频时钟脉冲 **CLK2** (各 500KHz) 中的第二分频时钟脉冲 **CLK2**; 电源输入端子 9, 其接收作为电源电压的输入电压 V_{IN} ; 输入端子 10, 其接收来自误差放大器 40 的误差输出 V_b ; 基准电位输入端子 11, 其接收基准电位 V_{SS} ; 第二电压-电流转换电路, 用于生成对应该误差电压 V_b 的电流; 第二充放电电路, 用于由该第二电压-电流转换电路生成的电流以固定时钟脉冲周期向电容器 C2 充电后放电, 从而生成对应该误差电压 V_b 的振幅 (上升斜率) 的三角波信号 **W-CLK2**; 第二施密特触发电路 312, 用于输入该三角波信号 **W-CLK2** 并生成矩形波; 以及第二锁存电路, 其用于在一定期间内锁存该矩形波。

该第二电压-电流转换电路包括误差放大器 311、基准电阻 R2、和电流控制 PMOS (QP6), 且在误差放大器 311 的“-”端子输入该误差输出 V_b , 误差放大器 311 的“+”端子连接在 PMOS (QP6) 的漏极和基准电阻 R2 的串联连接点上, 误差放大器 311 的输出端连接在 PMOS (QP6) 的栅极上, PMOS (QP6) 的源极连接在电源输入端子 9 上, 基准电阻 R2 连接在基准电位输入端子 11 上。

该第二充放电电路包括供电 PMOS (QP7)、充电电容器 C2、和放电 NMOS (QN4), 其中 PMOS (QP7) 的源极连接在该电源输入端子 9 上, 其漏极通过充电电容器 C2 连接在基准电位输入端子 11 上, NMOS (QN4) 的漏极和源极并联连接在充电电容器 C2 的两端, PMOS (QP7) 的栅极连接到 PMOS (QP6) 的栅极及该误差放大器 311 的输出端, NMOS (QN4) 的栅极连接到时钟脉冲输入端子 7 上, NMOS (QN4) 通过其栅极接收的该基准时钟脉冲 **CLK1** 进行周期性地导通, 使该充电电容器 C2 的充电电荷放电, 输出三角波信号 **W-CLK2** 【参照图 4 (f)】。

该第二施密特触发电路 312 接收从该充电电容器 C2 的输出端获得的三角波信号 W-CLK2, 用特定的阈值 VTH2 生成矩形波信号【即第二 PWM 信号, 参照图 4 (h)】。

该第二锁存电路由使用两个双输入或非元件 313 和 315 的 R-S 或非锁存器构成, 该双输入或非元件 313 和 315 分别接收来自该第二施密特触发电路 312 的 PWM 信号和来自分频信号输入端 6 的分频信号利用反相器 314 反转的信号, 然后将或非元件的输出相互返还作为另一个或非元件的输入并作为第二 PWM 信号 (PWM2) 输出。

该混频电路由求该第一 PWM 信号 (PWM1) 和第二 PWM 信号 (PWM2) 逻辑和的“或”电路(或者为‘或非’电路 321 与‘非’电路 322 的组合电路)构成。

下面参照图 4 至图 6, 对图 3 电路的作用、效果进行说明。此外, 因为该第一和第二 PWM 电路的各自工作状态和图 10 中的 PWM 电路的工作大体相同, 所以在此省略说明。

在图 4 中, (a) 是例如 1MHz 的主基准时钟脉冲 Main-CLK; (b) 是根据主基准时钟脉冲 Main-CLK 生成的工作比为 50% 的分频信号 Div-Main; (c) 是将 (a) 的主基准时钟脉冲 Main-CLK 分频为两部分, 例如 500kHz 的分频时钟脉冲 CLK1; (d) 是将 (a) 的主基准时钟脉冲 Main-CLK 分频为两部分, 例如 500kHz 的分频时钟脉冲, 而且相对于 (c) 的分频时钟脉冲互错半周期的分频时钟脉冲 CLK2; (e) 是采用 (c) 的分频时钟脉冲 CLK1, 在第一 PWM 电路生成的三角波信号 W-CLK1; (f) 是采用 (d) 的分频时钟脉冲 CLK2 在第二 PWM 电路生成三角波信号 W-CLK2; (g) 是根据 (e) 的三角波信号 W-CLK1 生成的 PWM 信号 (PWM1); (h) 是根据 (f) 的三角波信号 W-CLK2 生成的 PWM 信号 (PWM2); (i) 是混合第一 PWM 信号 (PWM1) 和第二 PWM 信号 (PWM2) 得到

的 PWM 信号,作为选通脉冲 SH 被提供到图 1 的高频晶体管(QP1)的栅极。此外,通过如下方法能够得到被提供到图 1 的低频晶体管(QN1)栅极的选通脉冲 SL,利用无图示的电路在图 2(b)示出,在选通脉冲 SH 的高电平持续时间内,生成多个具有比其持续时间窄的高电平脉冲。

如图 3 所示的 PWM 电路 30 包括相互并联连接的第一和第二 PWM 电路,其各自具有和图 10 的 PWM 电路 20 几乎相同的构成,并将该主基准时钟脉冲(例如 1MHz)分频为两部分生成互错半周期的两种分频时钟脉冲(各 500kHz),利用第一和第二 PWM 电路各自的充放电电路生成互错半周期的三角波信号,将各三角波信号分别输入到第一和第二施密特触发电路,生成第一和第二 PWM 信号,把他们混合后,如图 4(i)所示作为 PWM 信号输出。这样,可以生成电平状态能从全高到全低的 PWM 信号。

如图 10 中的 PWM 电路 20 所示,如果通过单相的振荡(仅通过 W-CLK1)生成 PWM 波形的话,虽然很难形成接近于 0%工作比(永远截止状态)的窄幅 PWM 脉冲(即低能动脉冲)或接近于 100%工作比(永远导通状态)的宽幅 PWM 脉冲(因为低能动其高电平部分为窄幅),但是,根据本实施方式(图 3)生成互错半周期的两个振荡信号(生成二相),则能够利用在 0—100%工作比范围内的 PWM 信号进行 PWM 控制。

图 5 是该第一 PWM 电路中的主要波形(对应图 4 的各部分波形)特别是三角波的放大示意图。(a)是根据例如为 1MHz 的主基准时钟脉冲 Main-CLK 生成的工作比为 50%的分频信号 Div-Main;(b)是将主基准时钟脉冲 Main-CLK 分频为两部分例如为 500kHz 的分频时钟脉冲 CLK1;(c)使用(b)的分频时钟脉冲 CLK1 在第一 PWM 电路中生成三角波信号 W-CLK1;以及(d)是根据(c)的三角波信号 W-CLK1 生成的第一 PWM 信号(PWM1)。

三角波信号 W-CLK1, 其波形上升斜率根据来自误差放大器 40 的误差信号振幅变化而变化, 其结果是由施密特触发电路 302 生成的 PWM 信号 (PWM1) 宽度发生变化。即如图 5 (c) 所示, 误差信号 Vb 的电压越大, 三角波的斜率就越大如①、②、...⑤所示就越大, 随之第一 PWM 信号 (PWM1) 的脉冲宽度上升部分如①、②、...⑤所示向左侧移动 (即低能动脉冲工作比从 100% 变到 50%)。这种情况, 可以同样改变互错半周期的三角波信号 W-CLK2 的斜率及第二 PWM 信号 (PWM2) 的脉冲宽度。

图 6 示出了该三角波信号 W-CLK1、W-CLK2 的斜率范围 (在本实施方式中所需三角波的最大可变范围。) 三角波 W-CLK1、W-CLK2 两者的斜率都最好在符号 L 表示的范围内变化。从图 6 所示的三角波 W-CLK1、W-CLK2 的生成时间及倾斜范围可知, 两个三角波 W-CLK1、W-CLK2 都是实线的时候能够进行全低 (永远截止状态) PWM 控制, 两个三角波 W-CLK1、W-CLK2 都是虚线的时候能够进行全高 (永远导通状态) PWM 控制。

根据上述的实施方式, 生成适应误差电压的 PWM 波形的时候, 将一个高频基准时钟脉冲进行分频, 生成互错半周期的两个基准时钟脉冲从而实现二相化, 便能够生成 0—100% 工作比范围的 PWM 信号, 进行控制范围更广的 PWM 控制的同时, 能够使用施密特触发电路, 所以, 即能够抗噪声影响又能实现高速的 PWM 控制。从而, 能够实现更高响应性能的 PWM 电路及使用该 PWM 电路的电源电路。

本发明不局限于上述实施方式, 在不改变本发明要点的范围内可以有各种变形。

如上所述, 根据本发明, 能够进行 0—100% 工作比范围内的 PWM 控制, 因此, 使实现能够高速响应的 PWM 电路及使用 PWM 电路的电源电路成为可能。

尽管本发明已经参照附图和优选实施例进行了说明，但是，对于本领域的技术人员来说，本发明可以有各种更改和变化。本发明的各种更改、变化、和等同物由所附的权利要求书的内容涵盖。

附图标记说明

- 1, 9 电源输入端子
- 2, 11 基准电位输入端子
- 4 输出端子
- 6 分频信号输入端子
- 7, 8 时钟脉冲输入端子
- 10 误差电压输入端子
- 12 PWM 信号输出端子
- 30 PWM 电路
- 321 和 322 混频电路
- 40 误差放大器（误差检测装置）
- QP1 PMOS（高频晶体管）
- QN1 NMOS（高频晶体管）
- E 基准电压源
- L1 整流线圈
- C0 稳压电容器

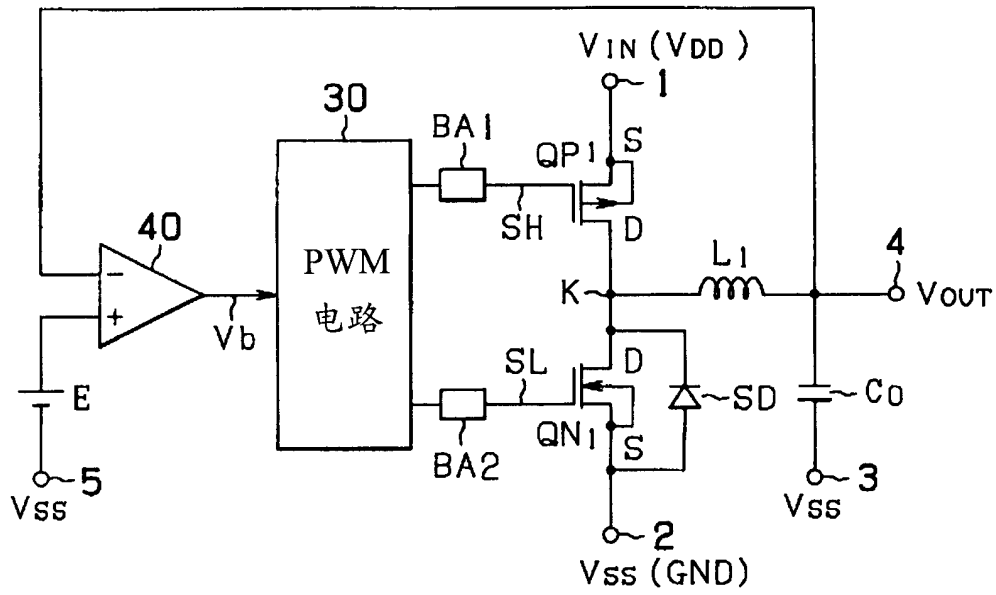


图 1

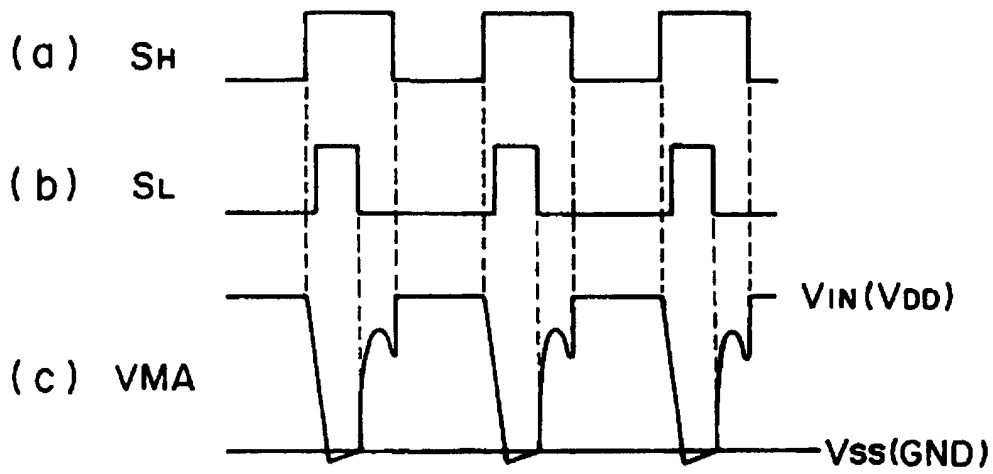


图 2

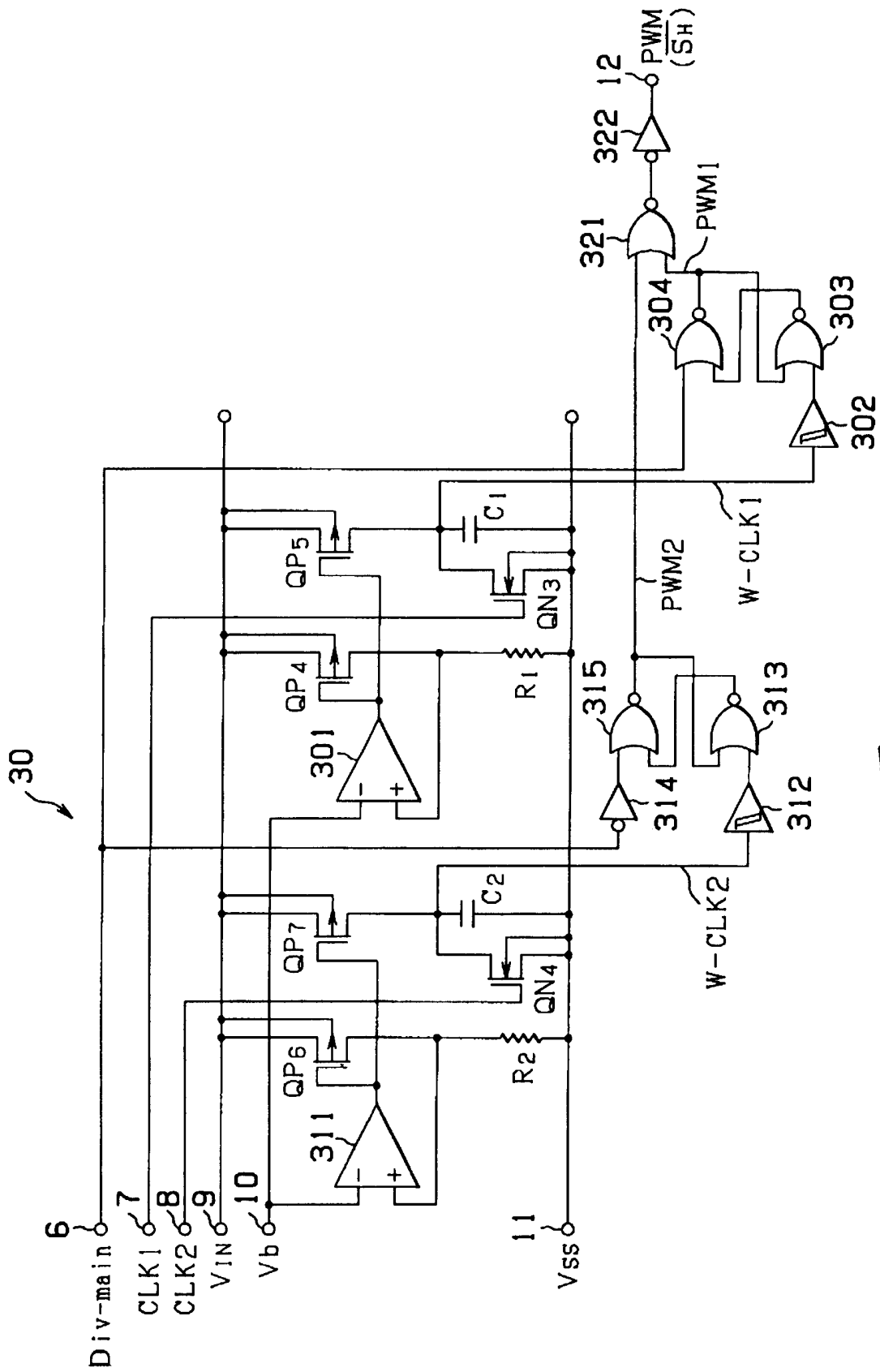


图 3

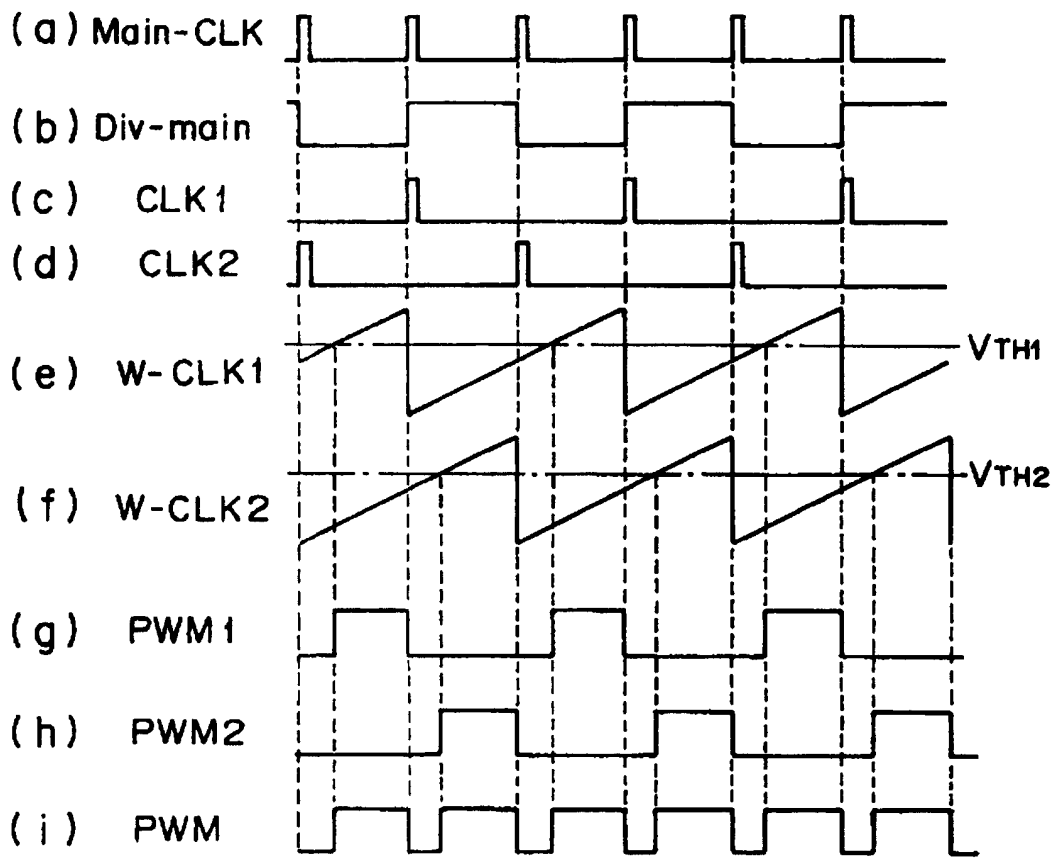


图 4

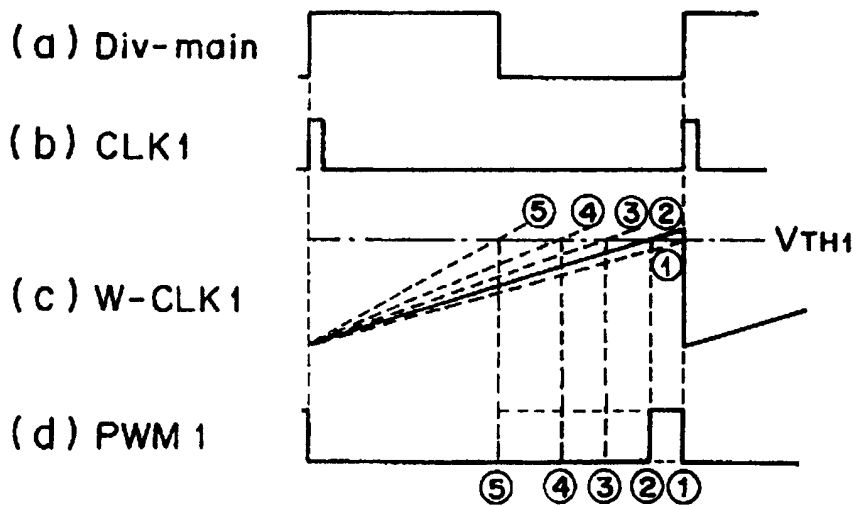


图 5

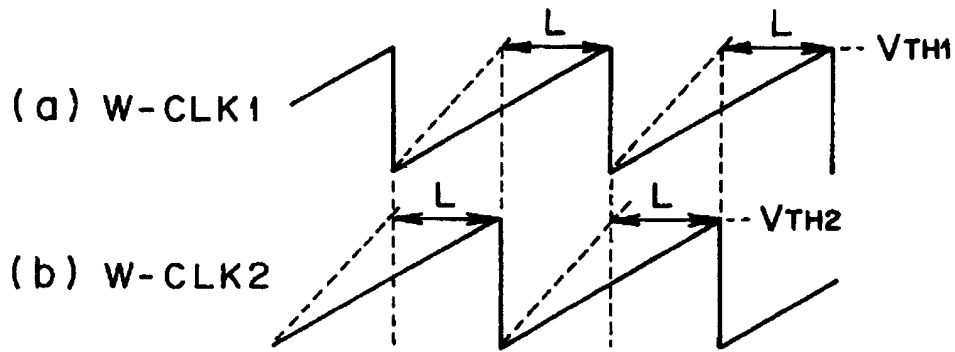


图 6

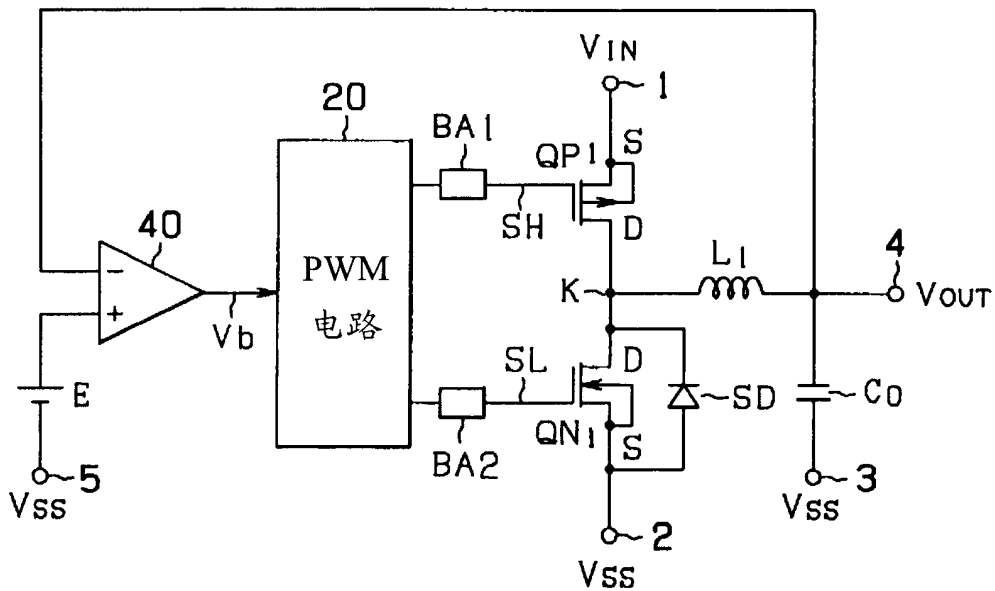


图 7

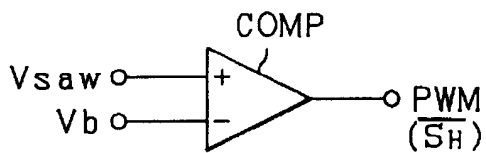


图 8

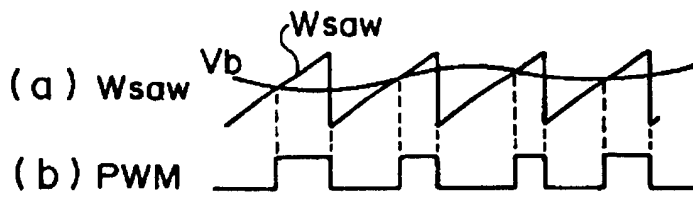


图 9

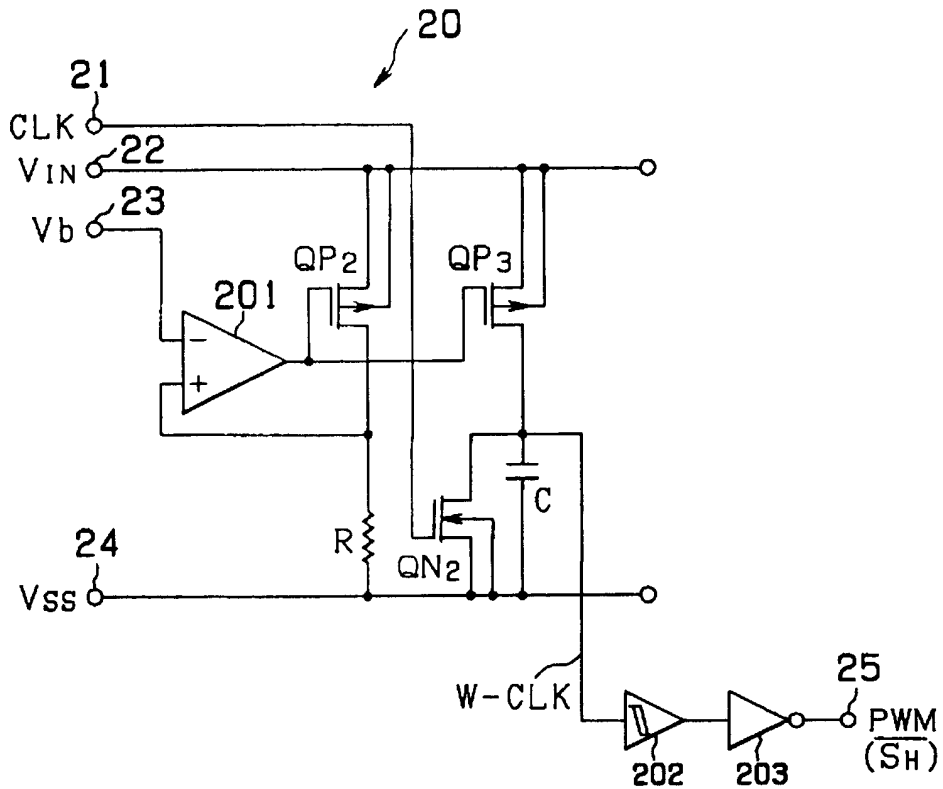


图 10

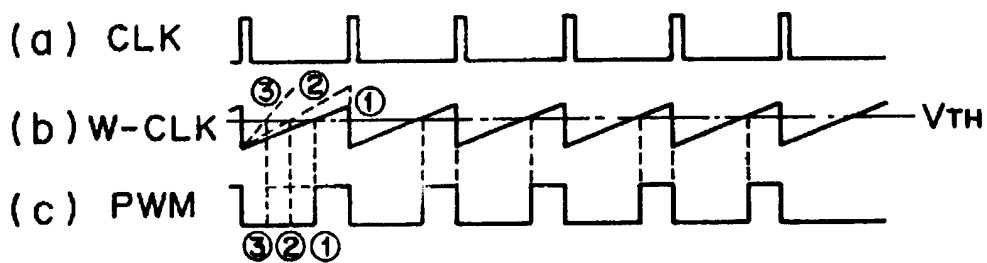


图 11

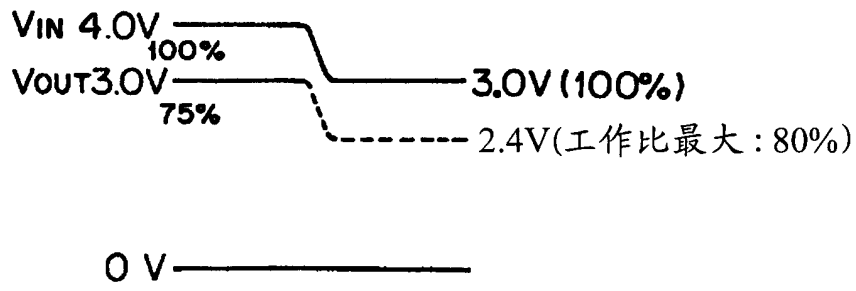


图 12